



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년02월21일
(11) 등록번호 10-2639697
(24) 등록일자 2024년02월19일

(51) 국제특허분류(Int. Cl.)
G11C 16/34 (2006.01) G11C 16/04 (2006.01)
G11C 16/08 (2006.01)
(52) CPC특허분류
G11C 16/3459 (2013.01)
G11C 16/0483 (2013.01)
(21) 출원번호 10-2017-0002922
(22) 출원일자 2017년01월09일
심사청구일자 2021년11월04일
(65) 공개번호 10-2018-0081956
(43) 공개일자 2018년07월18일
(56) 선행기술조사문헌
KR1020150080819 A*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이지상
전라북도 익산시 고봉로28길 12 (영등동)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 18 항

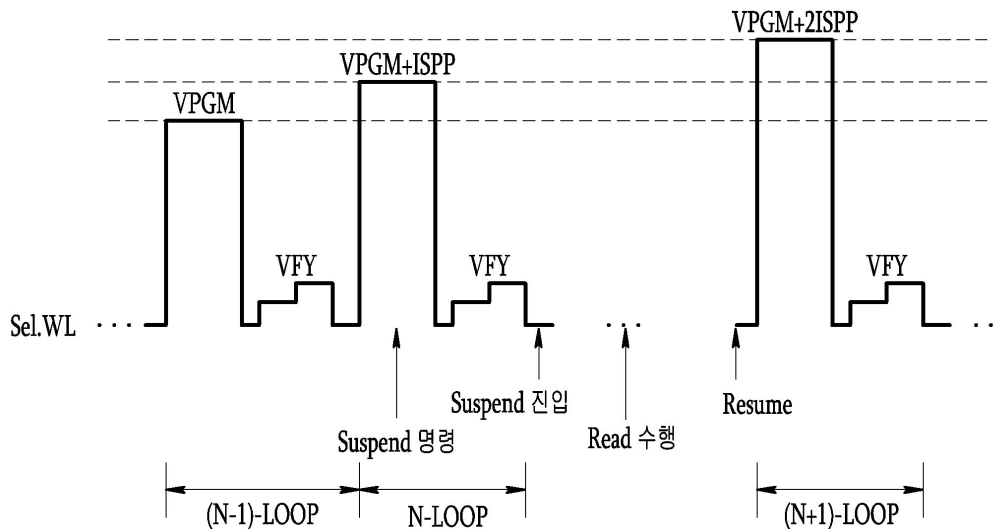
심사관 : 한선경

(54) 발명의 명칭 비휘발성 메모리 장치 및 그 프로그램 방법

(57) 요약

비휘발성 메모리 장치는, 복수의 워드라인 및 복수의 비트라인에 연결되어 있는 복수의 메모리 셀을 포함하는 메모리 셀 어레이, 상기 복수의 워드라인을 선택적으로 제어하는 로우 디코더, 상기 복수의 비트라인 각각에 대응하는 복수의 래치를 포함하는 페이지 버퍼, 및 대응하는 복수의 메모리 셀에 대한 프로그램 동작 중 서스펜드(suspend) 요청이 발생하면, 상기 프로그램 동작 중인 프로그램 루프의 검증 동작을 종료한 후 상기 요청된 서스펜드에 진입하도록 제어하는 제어 회로를 포함한다.

대표도



(52) CPC특허분류

G11C 16/08 (2013.01)

G11C 2216/20 (2013.01)

(56) 선행기술조사문헌

KR1020150090369 A

KR1020130133419 A

KR100624595 B1

US20150186042 A1

US07317636 B

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

복수의 워드라인 및 복수의 비트라인에 연결되어 있는 복수의 메모리 셀을 포함하는 메모리 셀 어레이;

상기 복수의 워드라인을 선택적으로 제어하는 로우 디코더;

상기 복수의 비트라인 각각에 대응하는 복수의 래치를 포함하는 페이지 버퍼; 및

대응하는 복수의 메모리 셀에 대한 프로그램 동작 중 서스펜드(suspend) 요청이 발생하면, 상기 프로그램 동작 중인 프로그램 루프의 검증 동작을 종료한 후 상기 요청된 서스펜드에 진입하도록 제어하고, 상기 서스펜드 진입 후 재개(resume) 시 상기 페이지 버퍼에 포함된 복수의 래치 중 적어도 하나의 데이터를 복구하는 초기 검증 동작을 수행하도록 제어하는 제어 회로를 포함하는 비휘발성 메모리 장치.

청구항 2

제1항에 있어서,

상기 제어 회로는,

상기 서스펜드 진입 후 재개(resume)시, 상기 프로그램 동작 중인 프로그램 루프의 다음 루프의 프로그램 동작이 수행되도록 제어하는 비휘발성 메모리 장치.

청구항 3

제2항에 있어서,

상기 페이지 버퍼는,

서스펜드-재개 래치;

포스 데이터를 저장하는 포스 래치; 및

프로그램 데이터를 저장하는 데이터 래치들을 포함하고,

상기 요청된 서스펜드 진입 후, 상기 데이터 래치들 중 캐시 래치에 저장된 프로그램 데이터가 상기 서스펜드-재개 래치에 전송되는 비휘발성 메모리 장치.

청구항 4

제3항에 있어서,

상기 데이터 래치들 중 센스 래치에 대응하는 메모리 셀의 데이터가 저장되고, 상기 센스 래치에 저장된 데이터가 상기 캐시 래치를 통해 출력되며, 상기 서스펜드-재개 래치에 저장된 프로그램 데이터가 상기 캐시 래치에 전송되는 비휘발성 메모리 장치.

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 페이지 버퍼는,

포스 데이터를 저장하는 포스 래치; 및

프로그램 데이터를 저장하는 데이터 래치들을 포함하고,

상기 요청된 서스펜드 진입 후, 상기 포스 래치에 저장된 포스 데이터가 소거되고, 상기 데이터 래치 중 캐시 래치에 저장된 프로그램 데이터가 상기 포스 래치에 전송되는 비휘발성 메모리 장치.

청구항 7

제6항에 있어서,

상기 서스펜드 진입 후 재개 시, 상기 초기 검증 동작으로 상기 포스 래치에 상기 소거된 포스 데이터가 복구되는

비휘발성 메모리 장치.

청구항 8

제1항에 있어서,

상기 제어 회로는,

상기 서스펜드 요청이 1부터 m (m 은 2 이상의 자연수)번째 프로그램 루프 중 발생하면,

상기 서스펜드 진입 후 재개(resume) 시, 상기 초기 검증 동작이 수행되도록 제어하고,

상기 서스펜드 요청이 m 번째 이후의 프로그램 루프에서 발생하면,

상기 서스펜드 진입 후 재개 시, 상기 서스펜드 요청이 발생한 프로그램 루프의 다음 프로그램 루프의 프로그램 동작이 수행되도록 제어하는

비휘발성 메모리 장치.

청구항 9

제8항에 있어서,

상기 페이지 버퍼는,

포스 데이터를 저장하는 포스 래치; 및

n (n 은 2 이상의 자연수) 비트 프로그램 데이터를 저장하는 데이터 래치들을 포함하고,

상기 m 번째 프로그램 루프 이후에 남은 프로그램 스테이트의 개수는 $n-1$ 비트의 프로그램 데이터로 나타낼 수 있는 개수이고,

상기 요청된 서스펜드 진입 후, 상기 데이터 래치들 중 하나에 상기 포스 데이터가 저장되는

비휘발성 메모리 장치.

청구항 10

제8항에 있어서,

상기 페이지 버퍼는,

포스 데이터를 저장하는 포스 래치; 및

프로그램 데이터를 저장하는 데이터 래치들을 포함하고,

상기 서스펜드 요청이 1부터 m 번째 프로그램 루프 중 발생하면,

상기 요청된 서스펜드 진입 후, 상기 포스 래치에 저장된 포스 데이터가 소거되고, 상기 데이터 래치 중 캐시 래치에 저장된 프로그램 데이터가 상기 포스 래치에 전송되며, 상기 서스펜드 진입 후 재개 시, 상기 초기 검증 동작으로 상기 포스 래치에 상기 소거된 포스 데이터가 복구되는

비휘발성 메모리 장치.

청구항 11

제1항에 있어서,

상기 메모리 셀 어레이는,

기관에 대해 수직방향으로 적층되어 형성되는 복수의 메모리 셀들을 포함하는 복수의 메모리 셀 스트링을 포함하는

비휘발성 메모리 장치.

청구항 12

복수의 워드라인 및 복수의 비트라인에 연결되어 있는 복수의 메모리 셀을 포함하는 메모리 셀 어레이;

상기 복수의 워드라인을 선택적으로 제어하는 로우 디코더;

상기 복수의 비트라인 각각에 대응하는 복수의 래치를 포함하는 페이지 버퍼; 및

대응하는 복수의 메모리 셀에 대한 프로그램 동작 중 서스펜드(suspend) 요청 시, 프로그램 동작 중인 N(N은 자연수)번째 프로그램 루프의 프로그램 실행을 마친 후 서스펜드에 진입하고,

상기 서스펜드 진입 후 재개(resume) 시, 상기 N번째 프로그램 루프의 검증 동작이 수행되며, N+1 번째 프로그램 루프의 프로그램 전압과 N+2 번째 프로그램 루프의 프로그램 전압간의 차가 상기 N 번째 프로그램 루프의 프로그램 전압과 N+1 번째 프로그램 루프의 프로그램 전압간의 차보다 작도록 제어하는 제어회로를 포함하는

비휘발성 메모리 장치.

청구항 13

제12항에 있어서,

상기 N+1 번째 프로그램 루프의 프로그램 전압과 상기 N 번째 프로그램 루프의 프로그램 전압이 동일한

비휘발성 메모리 장치.

청구항 14

제13항에 있어서,

상기 페이지 버퍼는,

포스 데이터를 저장하는 포스 래치; 및

프로그램 데이터를 저장하는 데이터 래치들을 포함하고,

상기 요청된 서스펜드 진입 후, 상기 포스 래치에 저장된 포스 데이터가 소거되고, 상기 데이터 래치 중 캐시 래치에 저장된 프로그램 데이터가 상기 포스 래치에 전송되는

비휘발성 메모리 장치.

청구항 15

제14항에 있어서,

상기 서스펜드 진입 후 재개 시, 상기 N번째 프로그램 루프의 검증 동작으로 상기 포스 래치에 상기 소거된 포스 데이터가 복구되는

비휘발성 메모리 장치.

청구항 16

제12항에 있어서,

상기 메모리 셀 어레이는,

기관에 대해 수직방향으로 적층되어 형성되는 복수의 메모리 셀들을 포함하는 복수의 메모리 셀 스트링을 포함하는

비휘발성 메모리 장치.

청구항 17

복수의 메모리 셀을 포함하는 비휘발성 메모리 장치의 프로그램 방법에 있어서,
 대응하는 복수의 메모리 셀에 대한 N(N은 자연수)번째 프로그램 루프를 수행하는 단계;
 서스펜드(suspend) 요청을 수신하는 단계;
 상기 N번째 프로그램 루프의 검증 동작 단계;
 상기 서스펜드에 진입하는 단계; 및
 상기 서스펜드 진입 후 재개(resume)시, 상기 비휘발성 메모리 장치의 페이지 버퍼에 포함된 적어도 하나의 래치의 데이터를 복구하는 초기 검증 동작을 수행하는 단계를 포함하는
 비휘발성 메모리 장치의 프로그램 방법.

청구항 18

삭제

청구항 19

제17항에 있어서,
 상기 서스펜드에 진입하는 단계는 상기 N번째 프로그램 루프의 검증 동작 후 수행되는
 비휘발성 메모리 장치의 프로그램 방법.

청구항 20

제19항에 있어서,
 N+1 번째 프로그램 루프를 수행하는 단계; 및
 N+2 번째 프로그램 루프를 수행하는 단계를 더 포함하는
 비휘발성 메모리 장치의 프로그램 방법.

발명의 설명

기술 분야

[0001] 본 발명은 비휘발성 메모리 장치 및 그 프로그램 방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치는 크게 휘발성 메모리 장치와 비휘발성 메모리 장치로 나뉘어진다. 비휘발성 메모리 장치는 전원이 차단되어도 저장된 데이터를 소실하지 않고 유지할 수 있으며, 데이터 저장 장치 또는 시스템용 메모리로 사용될 수 있다. 최근 비휘발성 메모리 장치 중에서 플래시 메모리 장치가 하드 디스크를 대체하는 데이터 저장 장치로서 광범위하게 사용되고 있다.

[0003] 플래시 메모리 장치에서는 프로그램(program) 동작 수행 중에 리드(read) 동작 수행이 필요한 때, 수행하고 있던 프로그램 동작을 서스펜드(suspend)하고, 필요한 리드 동작을 수행 후, 서스펜드 된 프로그램 동작을 재개(resume) 할 수 있다. 이때 프로그램 서스펜드와 재개 사이의 시간 간격은 프로그램 문턱 전압 산포 열화의 원인이 될 수 있다. 이에 따라 프로그램 서스펜드-재개(program suspend-resume) 동작시 프로그램 문턱 전압 산포 열화를 방지하는 기술이 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 프로그램 서스펜드-재개 동작에 의한 프로그램 문턱 전압 산포 열화를 방지할 수 있는 비휘발성 메모리 장치 및 그 프로그램 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 발명의 한 특징에 따른 비휘발성 메모리 장치는, 복수의 워드라인 및 복수의 비트라인에 연결되어 있는 복수의 메모리 셀을 포함하는 메모리 셀 어레이, 상기 복수의 워드라인을 선택적으로 제어하는 로우 디코더, 상기 복수의 비트라인 각각에 대응하는 복수의 래치를 포함하는 페이지 버퍼, 및 대응하는 복수의 메모리 셀에 대한 프로그램 동작 중 서스펜드(suspend) 요청이 발생하면, 상기 프로그램 동작 중인 프로그램 루프의 검증 동작을 종료한 후 상기 요청된 서스펜드에 진입하도록 제어하는 제어 회로를 포함할 수 있다.

[0006] 발명의 다른 특징에 따른 비휘발성 메모리 장치는, 복수의 워드라인 및 복수의 비트라인에 연결되어 있는 복수의 메모리 셀을 포함하는 메모리 셀 어레이, 상기 복수의 워드라인을 선택적으로 제어하는 로우 디코더, 상기 복수의 비트라인 각각에 대응하는 복수의 래치를 포함하는 페이지 버퍼, 및 대응하는 복수의 메모리 셀에 대한 프로그램 동작 중 서스펜드(suspend) 요청 시, 프로그램 동작 중인 N번째 프로그램 루프의 프로그램 혹은 검증 실행을 마친 후 서스펜드에 진입하고, 상기 서스펜드 진입 후 재개 시, 상기 N번째 프로그램 루프의 검증 혹은 프로그램 동작이 수행되며, N+1 번째 프로그램 루프의 프로그램 전압과 상기 N+2 번째 프로그램 루프의 프로그램 전압간의 차가 상기 N 번째 프로그램 루프의 프로그램 전압과 N+1 번째 프로그램 루프의 프로그램 전압간의 차보다 작도록 제어하는 제어회로를 포함할 수 있다(N은 자연수).

[0007] 발명의 또 다른 특징에 따른 복수의 메모리 셀을 포함하는 비휘발성 메모리 장치의 프로그램 방법은, 대응하는 복수의 메모리 셀에 대한 N번째 프로그램 루프를 수행하는 단계, 서스펜드(suspend) 요청을 수신하는 단계, 상기 N번째 프로그램 루프의 검증 동작 단계, 및 상기 서스펜드에 진입하는 단계를 포함할 수 있다.

발명의 효과

[0008] 프로그램 서스펜드-재개 동작에 의한 프로그램 문턱 전압 산포 열화를 방지할 수 있는 비휘발성 메모리 장치 및 그 프로그램 방법을 제공한다.

도면의 간단한 설명

- [0009] 도 1은 비휘발성 메모리 장치를 설명하는 도면이다.
- 도 2는 일 실시예에 따른 메모리 블록을 구체적으로 설명하는 도면이다.
- 도 3은 일 실시예에 따른 삼차원 메모리 셀 어레이를 포함하는 메모리 블록을 구체적으로 설명하는 도면이다.
- 도 4는 일 실시예에 따른 삼차원 메모리 셀 어레이를 포함하는 메모리 블록의 회로도이다.
- 도 5는 일 실시예에 따른 페이지 버퍼를 구체적으로 설명하는 도면이다.
- 도 6은 일 실시예에 따른 페이지 버퍼를 구체적으로 설명하는 도면이다.
- 도 7은 프로그램 동작시 메모리 셀의 문턱 전압에 따른 페이지 버퍼 래치 값을 설명하는 도면이다.
- 도 8은 다수의 프로그램 루프를 포함하는 프로그램 동작을 설명하는 도면이다.
- 도 9는 프로그램 동작시 워드라인 및 비트라인 전압을 설명하는 도면이다.
- 도 10은 프로그램 동작 중의 종래의 서스펜드-재개 동작을 설명하는 도면이다.
- 도 11A은 프로그램 동작 중의 종래의 서스펜드-재개 동작에 의한 프로그램 문턱 전압 산포의 열화를 설명하는 도면이다
- 도 11B는 프로그램 동작 중의 P2 패스 이후 종래의 서스펜드-재개 동작에 의한 프로그램 문턱전압 산포의 열화를 설명하는 도면이다.
- 도 12는 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 설명하는 도면이다.
- 도 13 및 도 14는 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 설명하는 도면이다.
- 도 15는 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 위한 페이지 버퍼의 동작을 설명하기 위한

도면이다.

도 16 및 도 17은 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 설명하는 도면이다.

도 18은 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 설명하는 도면이다.

도 19는 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 설명하는 도면이다.

도 20은 일 실시예에 따른 프로그램 동작 중 메모리 셀의 문턱 전압에 따른 페이지 버퍼 래치 값을 설명하는 도면이다.

도 21은 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 위한 페이지 버퍼의 동작을 설명하기 위한 도면이다.

도 22는 메모리 시스템을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0011] 도 1은 비휘발성 메모리 장치를 설명하는 도면이다.
- [0012] 도 1을 참조하면, 비휘발성 메모리 장치(100)는 메모리 셀 어레이(Memory Cell Array; 110), 로우 디코더(Row Decoder; 120), 데이터 입출력 회로(Data I/O Circuit; 130), 제어 회로(Control Circuit 140), 그리고 전압 발생기(Voltage Generator; 150)를 포함한다.
- [0013] 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함할 수 있다. 메모리 블록들은 워드라인들(WLs), 스트링 선택 라인들(SSLs), 접지 선택 라인들(GSLs) 및 공통 소스 라인을 통해 로우 디코더(Row Decoder; 120)에 연결될 수 있다. 메모리 셀 어레이(110)는 비트라인들(BLs)을 통해서 데이터 입출력 회로(Data I/O Circuit; 130)에 연결될 수 있다. 메모리 셀 어레이(110)는 복수의 메모리 셀들이 기판 위에 2차원적으로 형성되는 2차원 메모리 셀 어레이(two dimensional memory cell array) 일 수 있다. 또한 메모리 셀 어레이(110)는 복수의 메모리 셀들이 기판에 수직 방향으로 적층 되어 형성되는 3차원 메모리 셀 어레이(three dimensional memory cell array) 일 수 있다. 메모리 셀 어레이(110)의 메모리 셀들 각각은 하나의 셀에 1비트가 저장되는 싱글 레벨 셀(SLC)일 수 있다. 또한 메모리 셀들은 하나의 셀에 2비트 이상이 저장되는 멀티 레벨 셀(MLC) 일 수 있다.
- [0014] 전압 발생기(150)는 제어 회로(140)의 제어에 응답하여, 로우 디코더(120)에 제공될 동작 전압들(Vop)을 생성할 수 있다. 예를 들어, 프로그램 동작 시, 전압 발생기(150)는 제어 회로(140)의 제어에 응답하여 프로그램 전압, 프로그램 패스 전압, 프로그램 검증 전압, 프로그램 검증 패스 전압을 생성하고, 생성된 동작 전압들을 로우 디코더(120)에 제공할 수 있다. 다른 예로, 리드 동작 시, 전압 발생기(150)는 제어 회로(140)의 제어에 응답하여 리드 전압, 리드 패스 전압을 생성하고, 생성된 동작 전압들을 로우 디코더(120)에 제공할 수 있다. 각각의 예에 있어서, 로우 디코더(120)는 제공받은 동작 전압들을 제어 회로(140)의 제어에 따라 워드라인들(WLs)에 선택적으로 인가할 것이다. 또한 전압 발생기(150)는 제어 회로(140)의 제어에 응답하여, 프로그램 및 리드 동작 중 스트링 선택 라인들(SSLs), 접지 선택 라인들(GSLs) 및 공통 소스 라인(CSL)에 인가되는 전압들을 생성하여 로우 디코더(120)에 제공할 수 있다.
- [0015] 로우 디코더(120)는 외부로부터 수신되거나 비휘발성 메모리 장치(100) 내에서 생성된 어드레스(ADDR)에 응답하여, 메모리 셀 어레이(110)에 연결된 다수의 워드라인들(WLs) 중 어느 하나를 선택할 수 있다. 로우 디코더(120)는 전압 발생기(150)로부터 동작 전압(Vop)을 수신하며, 선택된 워드라인에 제공된 동작 전압(Vop)을 전달할 수 있다.
- [0016] 프로그램 동작 시, 로우 디코더(120)는 하나의 워드라인을 선택하고, 선택된 워드라인(Selected WL)에 프로그램 전압 및 프로그램 검증 전압을 전달할 수 있다. 로우 디코더(120)는 선택된 워드라인에 프로그램 전압을 전달하는 동안 비선택된 워드라인들(Unselected WLs)에 프로그램 패스 전압을 전달할 수 있다. 또한 로우 디코더(120)는 선택된 워드라인에 프로그램 검증 전압을 전달 하는 동안 비선택된 워드라인들에 프로그램 검증 패스

전압을 전달할 수 있다. 리드 동작 시, 로우 디코더(120)는 하나의 워드라인을 선택하고, 선택된 워드라인에 리드 전압을 전달할 수 있다. 또한 로우 디코더(120)는 비선택된 워드라인들에 리드 패스 전압을 전달할 수 있다.

- [0017] 데이터 입출력 회로(130)는 페이지 버퍼부(135)를 포함하고, 외부로부터 데이터(DATA)를 전달 받고, 전달 받은 데이터를 비트라인들(BLs)을 통해 메모리 셀 어레이(110)에 저장할 수 있다. 데이터 입출력 회로(130)는 프로그램 동작 시 외부로부터 전달 받은 데이터와 메모리 셀의 문턱 전압에 근거하여 비트라인 전압을 제어할 수 있다. 또한, 데이터 입출력 회로(130)는 비트라인들(BLs)을 통해 메모리 셀 어레이(110)에 저장된 데이터(DAT A)를 전송 받고, 전송 받은 데이터를 외부로 출력할 수 있다. 도 1에서 페이지 버퍼부(135)가 데이터 입출력 회로(130)에 포함된 것으로 도시되어 있으나, 데이터 입출력 회로(130)의 외부에 별도로 형성될 수 있다.
- [0018] 제어 회로(140)는 외부로부터 커맨드(CMD) 및 어드레스(ADDR)를 수신하며, 비휘발성 메모리 장치(100)의 전반적인 리드(read), 프로그램(program) 및 소거(erase) 동작들을 제어한다. 예를 들어, 제어 회로(140)는 외부로부터 프로그램 명령을 수신하고, 비휘발성 메모리 장치(100)의 전반적인 프로그램 동작을 제어한다. 다른 예로, 외부로부터 리드 명령을 수신하고, 비휘발성 메모리 장치(100)의 전반적인 리드 동작을 제어한다.
- [0019] 또한 제어 회로(140)는 예를 들어, 메모리 셀 어레이(110)의 제1 메모리 블록(BLK1)에 데이터를 기입하는 프로그램 동작 중 제2 메모리 블록(BLK2)에 리드 요청이 요구될 때, 비휘발성 메모리 장치(100)가 수행 중인 제1 메모리 블록(BLK1)에 대한 프로그램 동작을 서스펜드(suspend) 하도록 제어할 수 있다. 또한 제1 메모리 블록(BLK1)에 대한 프로그램 동작을 서스펜드(suspend) 한 후, 비휘발성 메모리 장치(100)가 제2 메모리 블록(BLK 2)에 대한 요청된 리드 동작을 수행하도록 제어할 수 있다. 요청된 리드 동작 완료 후 제어 회로(140)는 비휘발성 메모리 장치(100)가 서스펜드 된 제1 메모리 블록(BLK1)에 대한 프로그램 동작을 재개(resume)하도록 제어할 수 있다.
- [0020] 이와 같이, 제어 회로(140)의 제어에 의해 비휘발성 메모리 장치의 서스펜드 및 재개시의 프로그램 동작이 수행된다. 상세한 내용은 도 12 내지 도 21을 참조하여 후술한다.
- [0021] 메모리 블록들(111) 각각은 복수의 워드라인들(WLs), 하나 이상의 스트링 선택 라인(SSL) 및 하나 이상의 접지 선택 라인(GSL)에 독립적으로 연결될 수 있다. 도 1에서 "111"은 복수의 메모리 블록 중 적어도 두 개의 메모리 블록을 지칭한다. 예를 들어 제 1 메모리 블록(BLK1)은 제 1 워드라인들, 제 1 스트링 선택 라인 및 제 1 접지 선택 라인에 연결되고, 제 2 메모리 블록(BLK2)은 제 2 워드라인들, 제 2 스트링 선택 라인 및 제 2 접지 선택 라인에 연결될 수 있다.
- [0022] 제 1 메모리 블록이 선택될 경우, 제 1 스트링 선택 라인 및 제 1 접지 선택 라인에 스트링 선택 전압 및 접지 선택 전압이 인가될 수 있다. 이때 제 2 메모리 블록이 비선택될 경우, 제 2 스트링 선택 라인 및 제 2 접지 선택 라인에 스트링 비선택 전압 및 접지 비선택 전압이 인가될 수 있다. 공통 소스 라인(CSL)은 메모리 셀 어레이(110)에 포함된 다수의 메모리 블록들에 공통으로 연결될 수 있다.
- [0023] 도 2는 일 실시예에 따른 메모리 블록을 구체적으로 설명하는 도면이다.
- [0024] 도 2를 참조하면, 메모리 블록들(111) 각각은 복수의 메모리 셀 스트링들(Memory Cell String; 1111)을 포함할 수 있다. 또한 복수의 메모리 셀 스트링(1111) 각각은 직렬로 연결된 다수의 메모리 셀(MC)들을 포함할 수 있고, 대응되는 비트라인(BL)에 연결될 수 있다. 복수의 메모리 셀 스트링(1111) 각각은 직렬로 연결된 다수의 메모리 셀(MC)들과 비트라인(BL) 사이에 하나의 스트링 선택 트랜지스터(SST)를 포함할 수 있다. 도 2에서는 하나의 스트링 선택 트랜지스터(SST)가 도시되어 있으나, 메모리 셀 스트링은 직렬로 연결된 다수의 메모리 셀(MC)들과 비트라인 사이에 서로 직렬로 연결된 두 개 이상의 스트링 선택 트랜지스터(SST)들을 포함할 수도 있다.
- [0025] 복수의 메모리 셀 스트링(1111) 각각은 직렬로 연결된 다수의 메모리 셀(MC)들과 공통 소스 라인(CSL) 사이에 하나의 접지 선택 트랜지스터(GST)를 포함할 수 있다. 도 2에서는 하나의 접지 선택 트랜지스터(GST)가 도시되어 있으나, 메모리 셀 스트링은 직렬로 연결된 다수의 메모리 셀(MC)들과 공통 소스 라인 사이에 서로 직렬로 연결된 두 개 이상의 접지 선택 트랜지스터(GST)들을 포함할 수도 있다.
- [0026] 메모리 블록들(111)에 포함된 복수의 메모리 셀들 중 일부는 하나의 워드라인에 공통적으로 연결될 수 있다. 하나의 워드라인에 공통으로 연결된 메모리 셀들의 일부 또는 전부는 동시에 프로그램이 진행되고, 이러한 동시에 프로그램이 진행되는 메모리 셀들의 그룹을 물리 페이지(physical page)라고 부른다.
- [0027] 싱글 레벨 셀(SLC)의 경우 하나의 물리 페이지는 하나의 논리 페이지(logical page) 데이터를 저장할 수 있다.

또한 멀티 레벨 셀(MLC)의 경우 하나의 물리 페이지는 두 개 이상의 논리 페이지 데이터들을 저장할 수 있다.

- [0028] 도 3은 일 실시예에 따른 삼차원 메모리 셀 어레이를 포함하는 메모리 블록을 구체적으로 설명하는 도면이다.
- [0029] 도 3을 참조하면, 메모리 블록들(111) 각각은 3차원 구조(three dimensional structure)로 기판에 수직으로 메모리 셀들이 적층 되어 형성되는 메모리 셀 스트링들을 포함한다. 메모리 블록들(111) 각각은 서로 수직인 복수의 방향들(x, y, z)을 따라 신장된 구조물들을 포함한다. 메모리 블록들(111)을 형성하기 위해서는, 우선 기판(201)이 제공된다. 예를 들면, 기판(201)은 붕소(B, Boron)와 같은 5족 원소가 주입되어 형성된 P-웰(P-well)으로 형성될 수 있다. 또는, 기판(201)은 N-웰 내에 제공되는 포켓 P-웰로 형성될 수 있다. 이하에서, 기판(201)은 P-웰 인 것으로 가정하기로 한다. 그러나 기판(201)은 P-웰에만 한정되지 않는다. 기판(201)은 xz 판(plane)에 평행하게 형성되고, y 방향에 수직이다.
- [0030] 기판(201) 상에, 복수의 도핑 영역들(311~314)이 형성된다. 예를 들면, 복수의 도핑 영역들(311~314)은 기판(201)과 상이한 n 타입의 도전체로 형성될 수 있다. 이하에서, 실시 예의 제 1 내지 제 4 도핑 영역들(311~314)은 n 타입을 갖는 것으로 설명하지만, 발명이 이에 한정되지 않는다.
- [0031] 제 1 및 제 2 도핑 영역들(311, 312) 사이의 기판(201)의 영역 상에, y 방향을 따라 신장되는 복수의 절연 물질들(112)이 z 방향을 따라 순차적으로 제공된다. 예를 들면, 복수의 절연 물질들(112)은 z 방향을 따라 특정 거리만큼 이격 되어 형성될 것이다. 예시적으로, 절연 물질들(112)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 것이다.
- [0032] 제 1 및 제 2 도핑 영역들(311, 312) 사이의 기판(201) 상부에, 절연 물질들(112)을 관통하는 필라(pillar; 113)가 형성된다. 예시적으로, 필라(113)는 절연 물질들(112)을 관통하여 기판(201)과 연결될 것이다. 여기서, 필라(113)는 제 2 및 제 3 도핑 영역들(312, 313) 사이의 기판 상부와, 제 3 및 제 4 도핑 영역들(313, 314) 사이의 기판 상부에도 형성된다. 필라(113)는 메모리 셀 스트링의 리드 또는 프로그램 검증 동작시 채널을 형성할 수 있다.
- [0033] 이러한 채널 홀(channel hole)의 직경은 기판(201)에 가까워질수록 작아질 수 있다. 또한 채널 홀(channel hole)의 직경은 항아리 형태와 같이 기판에서 멀어질수록 커졌다가 어느 순간부터 다시 작아질 수 있다. 다시 말해 가운데 부분이 볼록하게 형성될 수도 있다.
- [0034] 필라(113)는 복수의 물질들로 구성될 수 있다. 예를 들면, 필라(113)의 표면층(114)은 제 1 타입을 갖는 실리콘 물질을 포함할 것이다. 예를 들면, 필라(113)의 표면층(114)은 기판(201)과 동일한 타입을 갖는 실리콘 물질을 포함할 수 있다. 이하에서, 필라(113)의 표면층(114)은 p 타입 실리콘을 포함하는 것으로 설명한다. 그러나, 필라(113)의 표면층(114)이 p 타입 실리콘을 포함하는 것으로 한정되지 않는다.
- [0035] 필라(113)의 내부층(115)은 절연 물질로 구성될 수 있다. 예를 들면, 각 필라(113)의 내부층(115)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함하거나, 필라(113)의 내부층(115)은 에어 갭(Air gap)을 포함할 수 있다.
- [0036] 제 1 및 제 2 도핑 영역들(311, 312) 사이의 영역에서, 절연 물질들(112), 필라들(113), 그리고 기판(201)의 노출된 표면을 따라 절연막(116)이 제공된다. 예시적으로, z 방향을 따라 제공되는 마지막 절연 물질(112)의 z 방향 쪽의 노출면에 제공되는 절연막(116)은 제거될 수 있다. 제 1 및 제 2 도핑 영역들(311, 312) 사이의 영역에서, 절연막(116)의 노출된 표면에 제 1 도전 물질들(211~291)이 제공된다. 예를 들면, 기판(201)에 인접한 절연 물질(112) 및 기판(201) 사이에 y 방향을 따라 신장되는 제 1 도전 물질(211)이 제공된다. 더 상세하게는, 기판(201)에 인접한 절연 물질(112)의 하부면의 절연막(116) 및 기판(201) 사이에, y 방향으로 신장되는 제 1 도전 물질(211)이 제공된다.
- [0037] 절연 물질들(112) 사이에 y 방향을 따라 신장되는 제 1 도전 물질이 제공된다. 예시적으로, 인접한 두 절연 물질들(112) 중 하단에 위치한 절연 물질(112)의 상부면의 절연막(116)과 상단에 위치한 절연 물질(112)의 하부면의 절연막(116) 사이에, y 방향으로 신장되는 복수의 제 1 도전 물질들(221~281)이 제공된다. 제 1 도전 물질들(211~291)은 금속 물질이거나, 폴리 실리콘 등과 같은 도전 물질일 수 있다.
- [0038] 제 2 및 제 3 도핑 영역들(312, 313) 및 제 3 및 제 4 도핑 영역들(313, 314) 사이의 영역에서, 제 1 및 제 2 도핑 영역들(311, 312) 상의 구조물과 동일한 구조물이 제공될 것이다.
- [0039] 복수의 필라들(113) 상에 드레인들(320)이 각각 제공된다. 드레인들(320) 상에, x 방향으로 신장된 제 2 도전 물질들(331~333)이 제공된다. 제 2 도전 물질들(331~333)은 y 방향을 따라 순차적으로 배치된다. 제 2 도전 물

질들(331~333) 각각은 대응하는 영역의 드레인들(320)과 연결된다. 예시적으로, 드레인들(320) 및 x 방향으로 신장된 제 2 도전 물질(333)은 각각 콘택 플러그들(Contact plug)을 통해 연결될 수 있다. 예시적으로, 제 2 도전 물질들(331~333)은 금속 물질이거나, 폴리 실리콘 등과 같은 도전 물질일 수 있다.

- [0040] 도 4는 일 실시예에 따른 삼차원 메모리 셀 어레이를 포함하는 메모리 블록의 회로도이다.
- [0041] 도 4는 도 3을 참조하여 설명된 3차원 구조를 가지는 메모리 블록의 등가 회로를 보여주는 회로도이다. 비트라인0(BL0) 및 공통 소스 라인(CSL) 사이에 메모리 셀 스트링들(ST11, ST21, ST31)이 연결된다. 비트라인0(BL0)은 x 방향으로 신장된 제2 도전 물질(331)에 대응한다. 비트라인1(BL1) 및 공통 소스 라인(CSL) 사이에 메모리 셀 스트링들(ST12, ST22, ST32)이 연결된다. 비트라인1(BL1)은 x 방향으로 신장된 제2 도전 물질(332)에 대응한다. 비트라인2(BL2) 및 공통 소스 라인(CSL) 사이에, 메모리 셀 스트링들(ST13, ST23, ST33)이 연결된다. 비트라인2(BL2)은 x 방향으로 신장된 제2 도전 물질(333)에 대응한다.
- [0042] 복수의 메모리 셀 스트링(ST11~ST31, ST12~ST32, ST13~ST33) 각각은 직렬로 연결된 복수의 메모리 셀들(MC0~MC4)을 포함한다. 이하, "ST11~ST31, ST12~ST32, ST13~ST33" 중 적어도 하나를 언급할 때, "ST"로 기재한다. 복수의 메모리 셀들(MC0~MC4)은 기판(201)에 수직 방향으로 적층 되어 형성될 수 있다. 복수의 메모리 셀들(MC0~MC4)은 차지 트랩 레이어(charge trap layer)를 가지는 차지 트랩 플래시 메모리 셀(charge trap flash memory cell, CTF)로 구현될 수 있다. 또한 복수의 메모리 셀들(MC0~MC4)은 플로팅 게이트(floating gate)를 가지는 플로팅 게이트 메모리 셀(floating gate memory cell)로 구현될 수도 있다.
- [0043] 메모리 셀 스트링(ST)은 직렬로 연결된 복수의 메모리 셀들(MC0~MC4)과 대응하는 비트라인(BL) 사이에 연결된 하나 이상의 스트링 선택 트랜지스터를 포함할 수 있다. 메모리 셀 스트링(ST)은 도 4에 도시된 바와 같이 두 개의 직렬로 연결된 스트링 선택 트랜지스터(SST0, SST1)를 포함할 수 있다. 이하, "SST0, SST1" 중 적어도 하나를 언급할 때, "SST"로 기재한다. 스트링 선택 트랜지스터(SST)는 메모리 셀(MC)과 동일한 형태의 메모리 셀로 구현될 수 있다.
- [0044] 메모리 셀 스트링(ST)은 직렬로 연결된 복수의 메모리 셀들(MC0~MC4)과 공통 소스 라인(CSL) 사이에 연결된 하나 이상의 접지 선택 트랜지스터를 포함할 수 있다. 메모리 셀 스트링(ST) 각각은 도 4에 도시된 바와 같이 두 개의 직렬로 연결된 접지 선택 트랜지스터(GST0, GST1)를 포함할 수 있다. 이하, "GST0, GST1" 중 적어도 하나를 언급할 때, "GST"로 기재한다. 접지 선택 트랜지스터(GST)는 메모리 셀(MC)과 동일한 형태의 메모리 셀로 구현될 수도 있고 차지 트랩 레이어나 플로팅 게이트가 없는 일반적인 모스 트랜지스터(MOS Transistor) 형태로 구현될 수도 있다.
- [0045] 복수의 메모리 셀 스트링(ST)은 행 또는 열 단위로 구분하여 정의될 수 있다.
- [0046] 하나의 비트라인에 공통으로 연결된 메모리 셀 스트링들(ST)은 하나의 열을 형성한다. 예를 들어, 비트라인 0(BL0)에 연결된 메모리 셀 스트링들(ST11~ST31)은 제 1 열에 대응한다. 비트라인1(BL1)에 연결된 메모리 셀 스트링들(ST12~ST32)은 제 2 열에 대응한다. 비트라인2(BL2)에 연결된 스트링들(ST13~ST33)은 제 2 열에 대응한다.
- [0047] 하나의 스트링 선택 라인(SSL)에 연결되는 스트링들(ST)은 하나의 행을 형성한다. 예를 들어, 제 1 스트링 선택 라인(SSL10)에 연결된 스트링들(ST11, ST12, ST13)은 제 1 행을 형성한다. 제 2 스트링 선택 라인(SSL11)에 연결된 스트링들(ST21, ST22, ST23)은 제 2 행을 형성한다. 제 3 스트링 선택 라인(SSL13)에 연결된 스트링들(ST31, ST32, ST33)은 제 3 행을 형성한다.
- [0048] 메모리 셀 스트링(ST)에서, 복수의 메모리 셀(MC0~MC4) 각각의 높이가 정의된다. 예를 들어, 메모리 셀 스트링(ST)에서 제 2 접지 선택 트랜지스터(GST1)에 인접한 메모리 셀(MC0)의 기판 대비 높이는 1이다. 메모리 셀 스트링(ST)에서, 스트링 선택 트랜지스터(SST)에 인접할수록 메모리 셀의 높이는 증가한다. 제 2 스트링 선택 트랜지스터(SST1)에 인접한 메모리 셀(MC4)의 기판 대비 높이는 5이다.
- [0049] 동일한 행의 메모리 셀 스트링들(ST)은 스트링 선택 라인(SSL)을 공유한다. 상이한 행의 메모리 셀 스트링들(ST)은 상이한 스트링 선택 라인들에 각각 연결된다. 동일한 행의 메모리 셀 스트링들(ST)에 포함되는 동일한 높이의 메모리 셀들은 워드라인(WL)을 공유한다. 동일한 높이에서, 상이한 행의 메모리 셀 스트링들(ST)의 워드라인들(WL)은 공통으로 연결된다. 동일한 높이의 다수의 행의 메모리 셀 스트링에 연결되는 워드라인들은 메모리 블록의 한쪽 끝에서 서로 연결될 수 있다. 또한 동일한 높이의 다수의 행의 메모리 셀 스트링에 연결되는 워드라인들은 메모리 블록의 양쪽 끝에서 서로 연결될 수 있다.

- [0050] 동일한 행의 메모리 셀 스트링들(ST)은 접지 선택 라인(GSL)을 공유할 수 있다. 상이한 행의 메모리 셀 스트링들(ST)은 접지 선택 라인(GSL)을 공유할 수 있다. 즉, 메모리 셀 스트링들(ST11~ST13, ST21~ST23, ST31~ST33)은 접지 선택 라인(GSL)에 공통으로 연결될 수 있다. 또한 메모리 셀 스트링들(ST)은 스트링 선택 라인과 같이 행 단위로 별도의 접지 선택 라인(GSL)에 연결될 수 있다. 공통 소스 라인(CSL)은 메모리 셀 스트링들(ST)에 공통으로 연결된다.
- [0051] 동일 높이의 워드라인들(WL)은 공통으로 연결될 수 있다. 특정 워드라인(WL)이 선택될 때, 특정 워드라인(WL)에 연결된 모든 메모리 셀 스트링들(ST)이 선택될 수 있다.
- [0052] 상이한 행의 메모리 셀 스트링들(ST)은 상이한 스트링 선택 라인(SSL)에 연결되어 있다. 제 1 스트링 선택 라인들(SSL10~SSL12) 및 제 2 스트링 선택 라인들(SSL20~SSL22) 중 대응하는 제1 스트링 선택 라인 및 제2 스트링 선택 라인을 선택함으로써, 동일 워드라인(WL)에 연결된 메모리 셀 스트링들(ST) 중 비선택 행의 메모리 셀 스트링들(ST)이 대응되는 비트라인으로부터 분리될 수 있다. 그리고, 비트라인들(BL0~BL2)을 선택함으로써, 선택 행의 메모리 셀 스트링들(ST)이 열 단위로 선택될 수 있다.
- [0053] 실시 예에 있어서, 프로그램 동작 시에 선택 행의 선택 워드라인에 프로그램 전압 또는 프로그램 검증 전압이 인가될 수 있다.
- [0054] 도 5는 일 실시예에 따른 페이지 버퍼를 구체적으로 설명하는 도면이다.
- [0055] 페이지 버퍼부(135)는 복수의 페이지 버퍼를 포함하고, 도 5에는 다수의 페이지 버퍼 중 하나가 도시되어 있다.
- [0056] 리드 또는 프로그램 검증 동작 시, 메모리 셀에 저장된 데이터 또는 메모리 셀의 문턱 전압이 센싱(sensing)된다. 페이지 버퍼(131)는 그 센싱 결과를 저장하기 위한 센스 래치(S-Latch; 1311)를 포함 할 수 있다. 또한 센스 래치(1311)는 프로그램 실행(program execution) 동작 시, 비트라인에 프로그램 비트라인 전압(Vprogram_BL) 또는 프로그램 금지 전압(Vinhibit)을 인가하는 데 활용될 수 있다.
- [0057] 페이지 버퍼(131)는 프로그램 동작시 프로그램 문턱 전압 산포를 개선하기 위한 포스(force) 래치(F-Latch; 1312)를 포함할 수 있다. 프로그램 동작 중 메모리 셀의 문턱 전압에 따라 포스 래치(1312)의 값이 변경될 수 있고, 프로그램 실행(program execution) 중 포스 래치(1312)의 값에 따라 비트라인 전압이 가변될 수 있다. 이에 대해서는 하기에 보다 자세히 설명할 것이다.
- [0058] 페이지 버퍼(131)는 프로그램 동작시 외부에서 입력된 프로그램 데이터를 저장하기 위한 상위 비트 래치(M-Latch 1313), 하위 비트 래치(L-Latch 1314) 및 캐시 래치(C-Latch 1315)를 포함할 수 있다. 하나의 메모리 셀에 3비트의 데이터를 프로그램 하는 경우, 페이지 버퍼는 외부에서 입력된 3비트의 프로그램 데이터를 상위 비트 래치(1313), 하위 비트 래치(1314) 및 캐시 래치(1315)를 이용하여 저장할 수 있다. 메모리 셀이 프로그램 완료될 때까지, 상위 비트 래치(1313), 하위 비트 래치(1314) 및 캐시 래치(1315)는 저장된 프로그램 데이터를 유지할 수 있다. 또한 캐시 래치(1315)는 리드 동작시 메모리 셀로부터 읽어낸 데이터를 센스 래치(1311)로부터 전송 받아 데이터 출력 라인(Data-out)을 통해 페이지 버퍼(131)의 외부로 출력할 수 있다. 이러한 상위 비트 래치(1313), 하위 비트 래치(1314) 및 캐시 래치(1315)를 통상적으로 데이터 래치(data latch)라고 명명한다.
- [0059] 페이지 버퍼(131)는 비트라인(BL)과 센스 래치(1311) 및 데이터 래치들(1313-1315)과의 연결을 제어하는 셋-오프 트랜지스터(shut-off transistor; 1316)를 포함할 수 있다. 셋-오프 트랜지스터(1316)는 비트라인 셋-오프 신호(BLSHF)에 의해 제어된다. 예를 들어, 메모리 셀로부터 데이터를 읽어낼 때, 셋-오프 트랜지스터(1316)는 턴-온(turn-on)되어 비트라인과 센스 래치(1311)를 전기적으로 연결시켜 준다. 또한 센스 래치(1311)에 저장된 데이터를 캐시 래치(1315)로 전송하거나, 또는 캐시 래치(1315)에 저장된 데이터를 포스 래치(1312)로 전송할 때 셋-오프 트랜지스터(1316)는 턴-오프(turn-off)될 수 있다.
- [0060] 도 6은 일 실시예에 따른 페이지 버퍼를 구체적으로 설명하는 도면이다.
- [0061] 도 6을 참조하면, 페이지 버퍼(131)는 추가적으로 서스펜드-재개(suspend-resume) 래치(SR-Latch; 1317)를 포함할 수 있다. 예를 들어 하나의 메모리 셀에 3비트의 데이터를 프로그램 하는 동작 수행 시, 페이지 버퍼(131)는 상위 비트 래치(1313), 하위 비트 래치(1314) 및 캐시 래치(1315)를 이용하여 3비트의 프로그램 데이터를 저장할 수 있다. 또한 프로그램 문턱 전압 산포 개선을 위하여 포스 래치(1312)에 대응하는 메모리 셀의 프로그램 문턱 전압에 관련된 정보를 저장할 수 있다.
- [0062] 프로그램 동작 중 서스펜드에 진입하면, 먼저 캐시 래치(1315)에 저장된 프로그램 데이터를 서스펜드-재개 래치(1317)로 전송한 후 캐시 래치(1315)를 사용 가능하게(available) 만들 수 있다. 그 후 요청된 리드 동작이 수

행되는데, 센스 래치(1311)는 요청된 리드 동작이 수행되는 메모리 셀에 저장된 데이터를 읽어 저장하게 된다. 센스 래치(1311)에 저장된 리드 데이터(read data)는 캐시 래치(1315)로 전송되어 데이터 출력 라인(Data-out)을 통해 외부로 출력될 수 있다. 데이터 출력이 끝난 후 서스펜드-재개 래치(1317)에 저장된 프로그램 데이터를 다시 캐시 래치(1315)로 전송 하고, 서스펜드 된 프로그램 동작을 재개 할 수 있다.

- [0063] 도 7은 프로그램 동작시 메모리 셀의 문턱 전압에 따른 페이지 버퍼 래치 값을 설명하는 도면이다.
- [0064] 도 7에는 하나의 메모리 셀에 3비트의 데이터가 프로그램 되는 경우, 메모리 셀의 문턱 전압 및 프로그램 데이터에 따른 페이지 버퍼(131)에 포함된 래치들의 값이 도시되어 있다. 실시 예에 따른 프로그램 동작을 설명하기 위한 예시로 발명이 이에 한정되는 것은 아니다.
- [0065] 먼저 외부에서 입력된 3비트의 프로그램 데이터가 상위 비트 래치(M-Latch; 1313), 하위 비트 래치(L-Latch; 1314) 및 캐시 래치(C-Latch; 1315)에 각각 1비트씩 저장된다. 예를 들어 프로그램 데이터가 '110'인 경우, 타겟 프로그램 문턱 전압 영역은 P1이 되고, 상위 비트 래치(1313)에 '1', 하위 비트 래치(1314)에 '1', 그리고 캐시 래치(1315)에 '0'이 저장될 수 있다.
- [0066] 상위 비트 래치(M-Latch; 1313), 하위 비트 래치(L-Latch; 1314) 및 캐시 래치(C-Latch; 1315)의 값은 메모리 셀의 문턱 전압이 타겟 영역에 들어가기 전에는 외부에서 입력된 프로그램 데이터 값을 유지하고 있다가 타겟 영역에 들어간 때 모두 '1'의 값으로 변경될 수 있다. 예를 들어 프로그램 데이터가 '110'인 경우, 메모리 셀의 문턱 전압이 제 1 영역 또는 제 2 영역에 진입한 때 상위 비트 래치(M-Latch; 1313), 하위 비트 래치(L-Latch; 1314) 및 캐시 래치(C-Latch; 1315)의 값은 원래의 프로그램 데이터 값인 '110'을 유지하게 된다. 메모리 셀의 문턱 전압이 제 3 영역에 진입한 때, 상위 비트 래치(M-Latch; 1313), 하위 비트 래치(L-Latch; 1314) 및 캐시 래치(C-Latch; 1315)의 값은 모두 '1'로 변경될 수 있다.
- [0067] 포스 래치(F-Latch; 1312)는 포스 데이터(force data)를 저장한다. 이 포스 데이터는 초기에 '1'로 설정된 후, 메모리 셀의 문턱 전압이 타겟 영역에 못 미치는 소정 영역에 진입한 때 '0'으로 반전될 수 있다. 예를 들어 프로그램 데이터가 '110'인 경우, 메모리 셀의 문턱 전압이 제 2 영역에 진입한 때 포스 래치(1312)의 값이 '1'에서 '0'으로 반전된다. 이 포스 데이터를 활용하여 프로그램 실행 동작 중 비트라인 전압을 제어하고 프로그램 산포를 보다 좁게 형성할 수 있다. 이에 대해서는 하기에 상세히 설명한다.
- [0068] 도 7에는 P1 프로그램 스테이트에 대한 제1 내지 제3 영역이 도시되어 있으나, 다른 프로그램 스테이트에 대해서도 타겟 영역을 기준으로 제1 내지 제3 영역이 구분될 수 있다.
- [0069] 도 8은 다수의 프로그램 루프를 포함하는 프로그램 동작을 설명하는 도면이다.
- [0070] 도 8은 예시로서 하나의 메모리 셀에 3비트의 프로그램 데이터를 프로그램 하는 경우의 프로그램 동작을 나타낸다. 프로그램 동작은 다수의 프로그램 루프(1N 내지 21N)를 포함하고, 각각의 프로그램 루프는 프로그램 실행(program execution) 동작과 프로그램 검증(program verify)을 포함할 수 있다. 3비트 메모리 셀인 경우, 프로그램 스테이트(program state)는 도 7과 같이 P1 프로그램 스테이트 내지 P7 프로그램 스테이트로 총 7개가 된다. 프로그램 검증(program verify) 동작은 P1 프로그램 스테이트에 대응하는 P1 프로그램 검증(P1 verify) 동작 내지 P7 프로그램 스테이트에 대응하는 P7 프로그램 검증(P7 verify) 동작 중 하나 이상을 포함할 수 있다.
- [0071] 다수의 프로그램 루프가 진행됨에 따라 메모리 셀들이 점차적으로 프로그램 패스(program pass)가 된다. 프로그램 패스란 메모리 셀들이 타겟하는 문턱 전압 영역으로 진입하는 것을 의미한다. 도 8을 참조하면, 타겟 문턱 전압이 가장 낮은 P1 프로그램 스테이트를 타겟으로 하는 메모리 셀들은 7N 프로그램 루프에서 모두 프로그램 패스가 될 수 있다. 즉 8N 프로그램 루프부터, 페이지 버퍼(131)의 데이터 래치들, 즉 상위 비트 래치(M-Latch; 1313), 하위 비트 래치(L-Latch; 1314) 및 캐시 래치(C-Latch; 1315)가 P1 프로그램 스테이트에 대응하는 '110'을 저장하는 경우는 존재하지 않는다. P1 프로그램 스테이트에 대응하는 상위 비트 래치(M-Latch; 1313), 하위 비트 래치(L-Latch; 1314) 및 캐시 래치(C-Latch; 1315)들은 그 값이 모두 '1'로 변경된 상태인 것이다.
- [0072] 타겟 문턱 전압 영역이 가장 높은 P7 프로그램 스테이트가 프로그램 패스 된 후 최종적으로 프로그램 동작이 종료한다.
- [0073] 도 9는 프로그램 동작시 워드라인 및 비트라인 전압을 설명하는 도면이다.
- [0074] 상술한 바와 같이 각각의 프로그램 루프는 프로그램 실행(program execution) 동작과 프로그램 검증(program verify) 동작을 포함할 수 있고, 프로그램 검증 동작은 P1 프로그램 스테이트에 대응하는 P1 프로그램 검증(P1 verify) 동작 내지 P7 프로그램 스테이트에 대응하는 P7 프로그램 검증(P7 verify) 동작 중 하나 이상을 포함할

수 있다. 또한 통상적으로 P1 프로그램 검증(P1 verify) 동작 내지 P7 프로그램 검증(P7 verify) 동작 시 선택된 워드라인에 인가되는 프로그램 검증 전압의 크기는 상이할 수 있다.

[0075] (N-1)-루프(loop)의 프로그램 실행 동작 수행 시, 선택된 워드라인(SEL. WL)에 프로그램 전압(VPGM)이 인가될 수 있다. 이때 선택된 메모리 셀의 문턱 전압이 제 1 영역(도 7 참조)에 있다면 상위 비트 래치(M-Latch; 1313), 하위 비트 래치(L-Latch; 1314) 및 캐시 래치(C-Latch; 1315)는 초기의 프로그램 데이터를 그대로 유지하고 있고, 포스 래치(1312)의 값이 '1'일 수 있다. 그 결과 비트라인에는 프로그램 비트라인 전압(Vprogram_BL)이 인가될 수 있다. 프로그램 비트라인 전압(Vprogram_BL)은 통상적으로 접지(ground) 전압이다. 또한 프로그램 실행 동작 후 프로그램 검증 동작이 수행되고, 프로그램 검증 동작은 P1 프로그램 검증(P1 verify) 동작 내지 P7 프로그램 검증(P7 verify) 동작 중 하나 이상을 포함할 수 있고, 선택된 워드라인에는 하나 이상의 크기를 갖는 프로그램 검증 전압(VFY)이 인가될 수 있다.

[0076] N-루프에서의 프로그램 실행 동작시 선택된 워드라인(SEL. WL)에는 (N-1)-루프 대비 ISPP만큼 더 높은 전압(VPGM+ISPP)이 인가될 수 있다. 통상적으로 프로그램 루프가 진행되면서 선택 워드라인에 인가되는 프로그램 전압을 일정하게 상승시키는 프로그램 방법을 인크리먼트 스텝 펄스 프로그램 방법(Incremental Step Pulse Program Method)이라고 부른다. 또한 선택된 메모리 셀의 문턱 전압이 제 2 영역(도 7 참조)에 있다면, 포스 래치(1312)의 값이 초기값에서 반전된 값, 즉 '0'일 수 있고, 그 결과 선택된 메모리 셀에 연결되는 비트라인에는 프로그램 포스 전압(VFORCE)이 인가될 수 있다. 프로그램 포스 전압(VFORCE)은 접지 전압 보다는 높고 프로그램 금지 전압(Vinhibit) 보다는 낮다. 이러한 프로그램 포스 전압을 이용하여 프로그램 문턱 전압 산포의 크기를 좁게 제어할 수 있다.

[0077] (N+1)-루프에서의 프로그램 실행 동작시 선택된 워드라인(SEL. WL)에는 인크리먼트 스텝 펄스 프로그램 방법에 의해 N-루프 대비 ISPP만큼 더 높은 전압(VPGM+2ISPP)이 인가될 수 있다. 또한 선택된 메모리 셀의 문턱 전압이 제 3 영역(도 7 참조)에 있다면 선택된 메모리 셀에 대응하는 페이지 버퍼(131)의 데이터 래치들은 모두 '1'의 값을 가지게 되고, 그 결과 선택된 메모리 셀에 연결된 비트라인에는 프로그램 금지 전압(Vinhibit)이 인가될 수 있다. 프로그램 금지 전압(Vinhibit)은 통상적으로 내부 전원 전압(VCC)이다.

[0078] 도 10은 프로그램 동작 중의 종래의 서스펜드-재개 동작을 설명하는 도면이다. 또한 도 11은 프로그램 동작 중의 종래의 서스펜드-재개 동작에 의한 프로그램 문턱 전압 산포의 열화를 설명하는 도면이다.

[0079] N-루프의 프로그램 실행 동작 중 서스펜드(suspend) 명령이 입력되면, 수행 중이던 프로그램 실행 동작을 완료한 후 서스펜드에 진입할 수 있다. 그리고 나서 요청된 리드(read) 동작을 수행하고, 그 후 서스펜드 된 프로그램 동작을 재개(resume)할 수 있다. 재개된 프로그램 동작은 이전에 진행한 N-루프의 프로그램 실행 동작에 이어 N-루프의 프로그램 검증 동작으로 시작할 수 있다.

[0080] 이러한 경우 N-루프의 프로그램 실행 동작과 프로그램 검증 동작 사이에는 다른 프로그램 루프와는 달리 요청된 리드 동작 수행에 기인한 시간 간격(time interval)이 발생하게 된다. 상기의 시간 간격 동안 메모리 셀의 플로팅 게이트 또는 차지 트랩 레이어(charge trap layer)에 존재하던 전하(charge)가 외부로 빠져 나오는 차지ロス(charge loss) 현상이 발생하고, 메모리 셀의 문턱 전압이 낮아질 수 있다.

[0081] 예를 들어, N-루프의 프로그램 실행 동작에 의해 메모리 셀의 문턱 전압이 실질적으로 도 7의 제 3 영역으로 진입하였다고 하자. 이 경우 서스펜드-재개 동작 없이 프로그램 실행 후 바로 프로그램 검증 동작이 수행된다면 메모리 셀은 프로그램 패스로 판단될 것이다. 그러나 서스펜드 명령에 의해 프로그램 실행 동작 후 프로그램 서스펜드 동작에 진입하게 된다면, 서스펜드-재개 간의 시간 동안 메모리 셀의 문턱 전압이 상승한 차지로스(charge loss) 현상에 의해 제 2 영역으로 낮아질 수 있고, 프로그램 재개(resume) 후 수행되는 프로그램 검증 동작에 의해 제 2 영역으로 판단될 수 있다. 그 결과 해당 메모리 셀은 (N+1)-루프에서 다시 한번 프로그램 실행 동작이 수행되고 문턱 전압이 타겟 보다 더 높게 형성될 수 있다.

[0082] 도 11A는 서스펜드-재개 동작에 의해 발생하는 프로그램 문턱 전압 산포의 열화를 나타낸 도면이다.

[0083] 도 11A에서 점선으로 도시된 바와 같이, 오버 프로그램에 의해 프로그램 문턱 전압 산포가 오른쪽으로 더 넓어질 수 있다. 이러한 프로그램 문턱 전압 산포의 열화는 메모리 셀에서 전하를 저장하는 공간으로 종래의 플로팅 게이트(floating gate) 대신 차지 트랩 레이어(charge trap layer)를 적용하는 삼차원 플래시 메모리 장치에서 더 크게 나타날 수 있다. 또한, 이러한 프로그램 문턱 전압 산포의 열화는 프로그램 동작 종료 후 리드 동작 수행 시 리드 페일(fail)을 초래하여 플래시 메모리 장치의 신뢰성을 저하시킬 수 있다.

[0084] 도 11B는 프로그램 동작 중의 P2 패스 이후 서스펜드-재개 동작에 의한 종래의 프로그램 문턱전압 산포의 열화

를 설명하는 도면이다.

- [0085] 도 11B에 도시된 바와 같이, P1 및 P2에서의 프로그램 문턱 전압 산포는 서스펜드-재개 동작에 영향을 받지 않는다. 그러나, P2 패스 이후의 서스펜드-재개 동작에 의해 P3, P4, P5, P6, 및 P7에서의 프로그램 문턱 전압 산포가 오른쪽으로 넓어진다. 프로그램 문턱 전압 산포가 오른쪽으로 넓어지는 정도는 $P3 > P4 > P5 > P6 > P7$ 일 수 있다. 이 때, P5, P6, 및 P7에서의 프로그램 문턱 전압 산포의 우측 확장 정도는 실질적으로 동일할 수 있다.
- [0086] 도 12는 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 설명하는 도면이다.
- [0087] 도 12에 도시된 바와 같이, N-루프의 프로그램 실행 동작 중 서스펜드 명령이 입력된 경우, 프로그램 실행 동작을 마친 후 바로 서스펜드로 진입하지 않고 N-루프의 프로그램 검증 동작까지 완료한 후 서스펜드에 진입할 수 있다. 다시 말해 P1 프로그램 검증(P1 verify) 동작 내지 P7 프로그램 검증(P7 verify) 동작 중 N-루프에 수행되기로 설계된 프로그램 검증 동작이 모두 완료된 후 서스펜드로 진입할 수 있다.
- [0088] 서스펜드에 진입한 후 요청된 리드(read) 동작이 수행되고, 리드 동작이 종료된 후 서스펜드 된 프로그램 동작이 재개(resume) 될 수 있다. 재개된 프로그램 동작은 (N+1)-루프의 프로그램 실행 동작으로 시작되고, 선택된 워드라인에 인가되는 프로그램 전압은 N-루프 대비 ISPP만큼 높은 $V_{PGM} + 2ISPP$ 가 인가될 수 있다.
- [0089] 서스펜드 진입 후 리드 동작 수행 시, 도 6에서 설명한 바와 같이, 먼저 캐시 래치(1315)에 저장된 프로그램 데이터는 서스펜드-재개 래치(1317)로 전송 되고, 리드 동작이 수행된 메모리 셀의 데이터는 센스 래치(1311)에 일시 저장된 후 캐시 래치(1315)로 전송 되어 외부로 출력될 수 있다. 이후 서스펜드-재개 래치(1317)에 전송된 프로그램 데이터는 다시 캐시 래치(1315)로 전송 되고 서스펜드 된 프로그램 동작이 재개될 수 있다.
- [0090] 도 13 및 도 14는 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 설명하는 도면이다.
- [0091] 도 13을 참조하면, N-루프의 프로그램 실행 동작 중 서스펜드 명령이 입력된 경우, 프로그램 실행 동작을 마친 후 프로그램 검증 동작 수행 없이 바로 서스펜드로 진입할 수 있다. 서스펜드 진입 후 요청된 리드 동작이 수행되고, 리드 동작 수행 완료 후 서스펜드 된 프로그램 동작이 재개된다. 이때 재개된 프로그램 동작은 N-루프의 프로그램 검증 동작으로 시작할 수 있다. 이 경우 도 10 및 도 11을 통해 설명한 바와 같은 프로그램 문턱 전압 산포의 열화가 발생할 우려가 있다. 따라서 (N+1)-루프의 프로그램 실행 동작시 선택된 워드라인에 인가되는 프로그램 전압을 N-루프와 동일한 전압($V_{PGM} + ISPP$) 혹은 그 이상으로 인가할 수 있다. 이 경우 서스펜드-재개 사이의 시간 간격 중 차지 로스(charge loss)에 의한 메모리 셀의 문턱 전압 감소가 발생해도 프로그램 전압이 증가되지 않아 산포 열화는 발생하지 않을 수 있다.
- [0092] 또한 도 14를 참조하면, 도 13과 달리 (N+1)-루프에서 N-루프에서의 프로그램 전압($V_{PGM} + ISPP$) 보다 $V1$ 만큼 더 높은 전압($V_{PGM} + ISPP + V1$)을 인가할 수 있다. $V1$ 은 ISPP 보다 작은 양의 값이며, 도 10과 도 11을 통해 설명한 프로그램 산포 열화가 발생하지 않을 정도의 값일 수 있다. 이후 (N+2)-루프에서는 (N+1)-루프의 프로그램 전압($V_{PGM} + ISPP + V1$) 보다 ISPP만큼 혹은 ISPP 이하의 레벨만큼 더 높은 전압($V_{PGM} + 2ISPP + V1$)을 인가하여 프로그램 실행 동작을 수행할 수 있다. 이 때, ISPP 이하의 레벨은 $V1$ 보다 작은 레벨일 수 있다.
- [0093] 도 15는 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 위한 페이지 버퍼의 동작을 설명하기 위한 도면이다.
- [0094] 도 5와 같이 페이지 버퍼(131)가 도 6에서와 같은 별도의 서스펜드-재개 래치(1317)를 포함하지 않는 경우, 서스펜드 진입 후 요청된 리드 동작 수행을 위해 포스 래치(1312), 상위 비트 래치(1313), 하위 비트 래치(1314) 및 캐시 래치(1315) 중 어느 하나를 사용 가능(available)하도록 하여야 한다. 예시로서 도 15는 포스 래치(1312)를 이용한 방법을 설명한다.
- [0095] 먼저 프로그램 수행 시, 상위 비트 래치(1313), 하위 비트 래치(1314) 및 캐시 래치(1315)에는 프로그램 데이터가 저장되고, 포스 래치(1312)에는 프로그램 실행 동작 중 비트라인에 프로그램 포스 전압(VFORCE) 인가 여부를 결정하는 포스 데이터(force data)가 저장된다.
- [0096] 서스펜드 명령이 입력되면, 포스 래치(1312)에 저장된 포스 데이터를 소거하고 캐시 래치(1315)에 저장된 프로그램 데이터를 포스 래치(1312)에 전송하여 캐시 래치(1315)를 사용 가능한(available) 상태로 만든다.
- [0097] 그 후 서스펜드에 진입하고 요청된 리드 동작이 수행된다. 리드 동작시 메모리 셀에 저장된 데이터는 센스 래치(1311)에 일시 저장된 후 캐시 래치(1315)를 거쳐 외부로 출력된다.
- [0098] 요청된 리드 동작 종료 후 프로그램 동작이 재개 되면, 리드 동작 수행 전 캐시 래치(1315)로부터 포스 래치

(1312)로 전송되었던 프로그램 데이터는 다시 캐시 래치(1315)로 전송되고, 프로그램 검증 동작 또는 초기 검증(initial verify) 동작을 통해 포스 래치(1312)의 포스 데이터가 복구 될 수 있다.

- [0099] 예를 들어 도 13 및 도 14 경우에는 프로그램 재개가 N-루프의 프로그램 검증 동작으로 시작하게 되는데 이때 포스 래치(1312)의 포스 데이터를 다시 복구할 수 있다. 이후 (N+1)-루프의 프로그램 실행 동작시 포스 래치(1312)의 포스 데이터에 따라 프로그램 비트라인 전압을 제어할 수 있다.
- [0100] 도 16 및 도 17은 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 설명하는 도면이다. (개선방법 1+추가 래치 없는 경우)
- [0101] 도 16을 참조하면, N-루프의 프로그램 실행 동작 중 서스펜드 명령이 입력되면, 프로그램 실행 동작 완료 후 바로 서스펜드에 진입하지 않고, N-루프의 프로그램 검증 동작까지 완료한 후 서스펜드에 진입할 수 있다.
- [0102] 이후 요청된 리드 동작을 수행하는데 이때 도 15를 통해 설명한 바와 같이 포스 래치(1312)를 이용하여 수행할 수 있다. 다시 말해 요청된 리드 동작 수행 전, 포스 래치(1312)의 포스 데이터를 소거하고 캐시 래치(1315)에 저장된 프로그램 데이터를 포스 래치(1312)에 전송하여 캐시 래치(1315)를 사용 가능한 상태로 만든다. 요청된 리드 동작은 센스 래치(1311)에 리드한 데이터를 일시 저장한 후 캐시 래치(1315)를 거쳐 외부로 출력한다. 요청된 리드 동작 수행 후 포스 래치(1312)에 저장된 프로그램 데이터는 다시 캐시 래치(1315)에 전송된다.
- [0103] 이후 프로그램 동작이 재개 되는데, 이때 재개된 프로그램 동작은 (N+1)-루프의 프로그램 실행 동작으로 시작할 수 있다. 이때 (N+1)-루프의 프로그램 실행 동작은 포스 래치(1312)의 포스 데이터가 복구되지 않은 상태에서 수행될 수 있다. 이 경우 (N+1)-루프의 프로그램 실행 동작에서 선택된 워드라인에 N-루프에서의 프로그램 전압보다 ISPP만큼 높은 프로그램 전압, 즉 VPGM+2ISPP를 인가하게 되면 프로그램 문턱 전압 산포가 열화 될 수 있다. 따라서 (N+1)-루프에서 N-루프의 프로그램 전압과 동일한VPGM+ISPP를 인가하여 수행하고, (N+1)-루프의 프로그램 검증 동작 동안 포스 래치(1312)의 포스 데이터를 복구할 수 있다. 그 후 (N+2)-루프의 프로그램 실행시 이전 루프 보다 ISPP만큼 높은 프로그램 전압(VPGM+2ISPP)을 인가하여 수행할 수 있다. 그 결과 프로그램 문턱 전압 산포의 열화를 방지할 수 있는 것이다.
- [0104] 또한 도 17과 같이 (N+1)-루프 수행시 선택된 워드라인에 프로그램 전압을 N-루프 대비 V2만큼 상승시킨 프로그램 전압(VPGM+ISPP+V2)을 인가할 수도 있다. V2의 크기는 ISPP보다 작고 프로그램 산포가 열화 되지 않을 정도의 크기로 결정될 수 있다.
- [0105] 도 18은 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 설명하는 도면이다.
- [0106] 도 18을 참조하면, N-루프의 프로그램 실행 동작 중 서스펜드 명령이 입력된 경우 N-루프의 프로그램 검증 동작까지 완료한 후 서스펜드에 진입할 수 있다. 서스펜드 진입 후 요청된 리드 동작을 수행하게 되는데 이때 도 15를 통해 설명한 바와 같이 포스 래치(1312) 및 캐시 래치(1315)를 이용하여 수행할 수 있다.
- [0107] 요청된 리드 동작을 완료한 후 프로그램 재개시 초기 검증(initial verify) 동작으로 시작할 수 있다. 이 초기 검증 동작 동안 리드 동작을 위해 소거된 포스 래치(1312)의 포스 데이터를 복구할 수 있다. 그 후 (N+1)-루프의 프로그램 실행 동작이 수행되고 이때의 프로그램 전압은 N-루프 대비 ISPP만큼 높은 VPGM+2ISPP를 이용할 수 있다. 또한 (N+1)-루프의 프로그램 실행 동작시 포스 래치(1312)의 복구된 포스 데이터를 이용하여 비트라인 전압을 제어할 수 있다. 결과적으로 이를 통해 프로그램 문턱 전압 산포의 열화를 방지할 수 있다.
- [0108] 도 19는 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 설명하는 도면이다.
- [0109] 상술한 여러 실시예들을 조합하여 적용할 수 있다. 도 19는 이러한 조합의 예시를 보여 준다. 먼저 (N-1)-루프의 프로그램 실행 동작 중 서스펜드 명령이 입력된 경우 도 13에서와 같이 프로그램 실행 동작 종료 후 바로 서스펜드에 진입할 수 있다. 서스펜드에 진입 후 요청된 리드 동작이 수행되고, 리드 동작 완료 후 프로그램 동작이 재개된다. 재개된 프로그램 동작은 (N-1)-루프의 프로그램 검증 동작으로 시작할 수 있다. 또한 (N-1)-루프의 프로그램 검증 동작 중 포스 래치(1312)의 포스 데이터가 복구될 수 있다. 이후 N-루프의 프로그램 실행 동작에서는 도 13과 같이(N-1)-루프에서의 프로그램 전압(VPGM)과 동일한 전압이 인가될 수 있다.
- [0110] N-루프의 프로그램 실행 동작이 종료되고, 프로그램 검증 동작이 시작된다. 예시로서 N-루프의 프로그램 검증 동작은 P1 프로그램 검증 동작, P2 프로그램 검증 동작 및 P3 프로그램 검증 동작으로 구성된다고 하자. P1 프로그램 검증 동작 수행 중 서스펜드 명령이 입력될 때, P1 프로그램 검증 동작 완료 후 바로 서스펜드로 진입하지 않고 P2 및 P3 프로그램 검증 동작 완료 후 서스펜드에 진입할 수 있다. 이후 포스 래치(1312)의 포스 데이터를 소거하는 방법을 이용하여 요청된 리드 동작을 수행하고, 리드 동작 완료 후 프로그램 동작이 재개된다.

재개된 프로그램 동작은 초기 검증 동작으로 시작할 수 있다. 이 초기 검증 동작 동안 포스 래치(1312)의 포스 데이터가 복구될 수 있다. 이후 (N+1)-루프의 프로그램 실행 동작에서는 도 18과 같이 N-루프에서의 프로그램 전압 보다 ISPP만큼 높은 전압(VPGM+ISPP)이 인가될 수 있다.

- [0111] 도 20은 일 실시예에 따른 프로그램 동작 중 메모리 셀의 문턱 전압에 따른 페이지 버퍼 래치 값을 설명하는 도면이다. 또한 도 21은 일 실시예에 따른 프로그램 동작 중의 서스펜드-재개 동작을 위한 페이지 버퍼의 동작을 설명하기 위한 도면이다.
- [0112] 도 8에서 설명한 바와 같이, 다수의 프로그램 루프를 진행하는 동안 메모리 셀들이 순차적으로 프로그램 패스가 된다. 이때 P1 프로그램 스테이트를 타겟으로 하는 메모리 셀들 내지 P4 프로그램 스테이트를 타겟으로 하는 메모리 셀들이 모두 프로그램 패스가 되면, 아직 프로그램 패스되지 않은 것은 P5 내지 P7 프로그램 스테이트를 타겟으로 하는 메모리 셀들만 남는다. 즉 3개의 프로그램 스테이트만이 프로그램 패스되지 않은 상태인 것이다. 이러한 경우 기존의 3비트로 표현된 프로그램 데이터를 1비트를 줄여 2비트로 표현할 수 있다. 예를 들어 소거 스테이트(E) 및 P1 내지 P4 프로그램 스테이트는 '11'로 표현되고, P5 프로그램 스테이트는 '01', P6 프로그램 스테이트는 '00' 그리고 P7 프로그램 스테이트는 '10'으로 표현될 수 있는 것이다. 따라서 2비트로 표현될 수 있으므로 데이터 래치 중 하나를 사용 가능(available)한 상태로 만들 수 있다. 도 20의 경우에는 P1 프로그램 스테이트 내지 P4 프로그램 스테이트 프로그램 패스 후 캐시 래치(1315)를 사용 가능(available)하게 만든 경우이다.
- [0113] 상술한 바와 같이 P1 내지 P4 프로그램 스테이트가 패스된 후, 캐시 래치(1315)가 사용 가능하게 되면 서스펜드 진입 후 리드 동작시 포스 래치(1312)의 포스 데이터를 소거하지 않고, 사용 가능한 캐시 래치(1315)를 이용할 수 있다. 이 경우 프로그램 재개시 도 18에서 설명한 초기 검증(initial verify) 동작 수행 없이 바로 (N+1)-루프의 프로그램 실행 동작으로 진입할 수 있고, 초기 검증 동작을 수행하는 경우 대비 프로그램 성능이 개선될 수 있다.
- [0114] 따라서 P1 프로그램 스테이트 내지 P4 프로그램 스테이트의 프로그램 패스 전에는 도 18과 같이 프로그램 재개시 초기 검증(initial verify) 동작으로 시작하고, P1 프로그램 스테이트 내지 P4 프로그램 스테이트의 프로그램 패스 후에는, 프로그램 재개를 초기 검증(initial verify) 동작 없이 바로 (N+1)-루프의 프로그램 실행 동작을 수행할 수 있다.
- [0115] 지금까지 설명한 실시 예들에 따라 프로그램 루프마다 서스펜드-재개 동작이 수행될 수 있고, 프로그램 문턱 전압 산포 열화를 방지할 수 있다.
- [0116] 도 22는 메모리 시스템을 설명하는 도면이다.
- [0117] 도 22를 참조하면, 메모리 시스템(1000)은 비휘발성 메모리 장치(100) 및 메모리 제어기(Memory Controller; 200)를 포함할 수 있다. 비휘발성 메모리 장치(100)는 앞에서 설명한 바와 같으므로 자세한 설명은 생략한다.
- [0118] 메모리 제어기(200)는 외부(예를 들어, 호스트)의 요청에 따라 비휘발성 메모리 장치(100)를 제어한다. 실시 예에 있어서, 메모리 제어기(200)는 비휘발성 메모리 장치(100)에 커맨드 및 어드레스를 인가할 수 있고, 리드, 프로그램 및 소거 동작을 제어할 수 있다.
- [0119] 메모리 제어기(200)는 비휘발성 메모리 장치(100) 및 호스트 사이에 연결될 수 있다. 메모리 제어기(200)는 비휘발성 메모리 장치(100)를 제어하기 위한 펌웨어(firmware)를 구동할 수 있다. 메모리 제어기(200)는 에러정정회로(ECC; 210), 버퍼(Buffer; 220), 중앙처리장치(CPU; 230), 호스트 인터페이스(Host Interface; 240), 롬(ROM; 250) 및 메모리 인터페이스(Memory Interface; 260)를 포함할 수 있다.
- [0120] 중앙처리장치(230)는 메모리 제어기(200)의 전반적인 동작을 제어한다. 버퍼(220)는 중앙처리장치(230)의 동작 메모리로서 이용된다. 호스트의 쓰기 요청시, 호스트로부터 입력된 데이터는 버퍼(220)에 임시로 저장된다. 또한, 호스트의 리드 요청시, 비휘발성 메모리 장치(100)로부터 읽혀진 데이터는 버퍼(220)에 임시로 저장된다. 에러정정회로(210)는 쓰기 요청시 버퍼(220)에 저장된 데이터를 에러정정코드를 이용하여 인코딩 한다. 이때, 인코딩된 데이터 및 이에 부과되는 패리티(parity) 데이터는 비휘발성 메모리 장치(100)에 포함되는 메모리 셀 어레이에 저장된다. 한편, 에러정정회로(210)는 리드 요청시 비휘발성 메모리 장치(100)로부터 읽혀진 데이터를 에러정정코드 값을 이용하여 디코딩 한다. 롬(250)은 메모리 제어기(200)를 구동하기 위하여 필요한 데이터를 저장한다.
- [0121] 호스트 인터페이스(240)는 호스트 및 메모리 제어기(200) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함

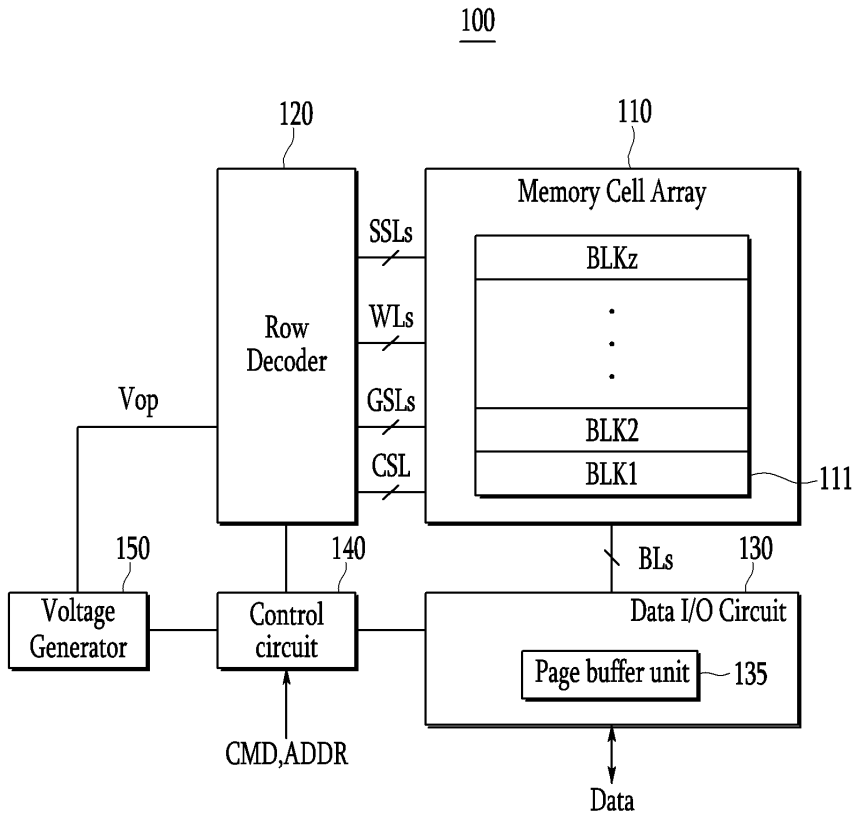
한다.

[0122] 메모리 인터페이스(260)는 비휘발성 메모리 장치(100)와 메모리 제어기(200) 사이를 인터페이싱 한다.

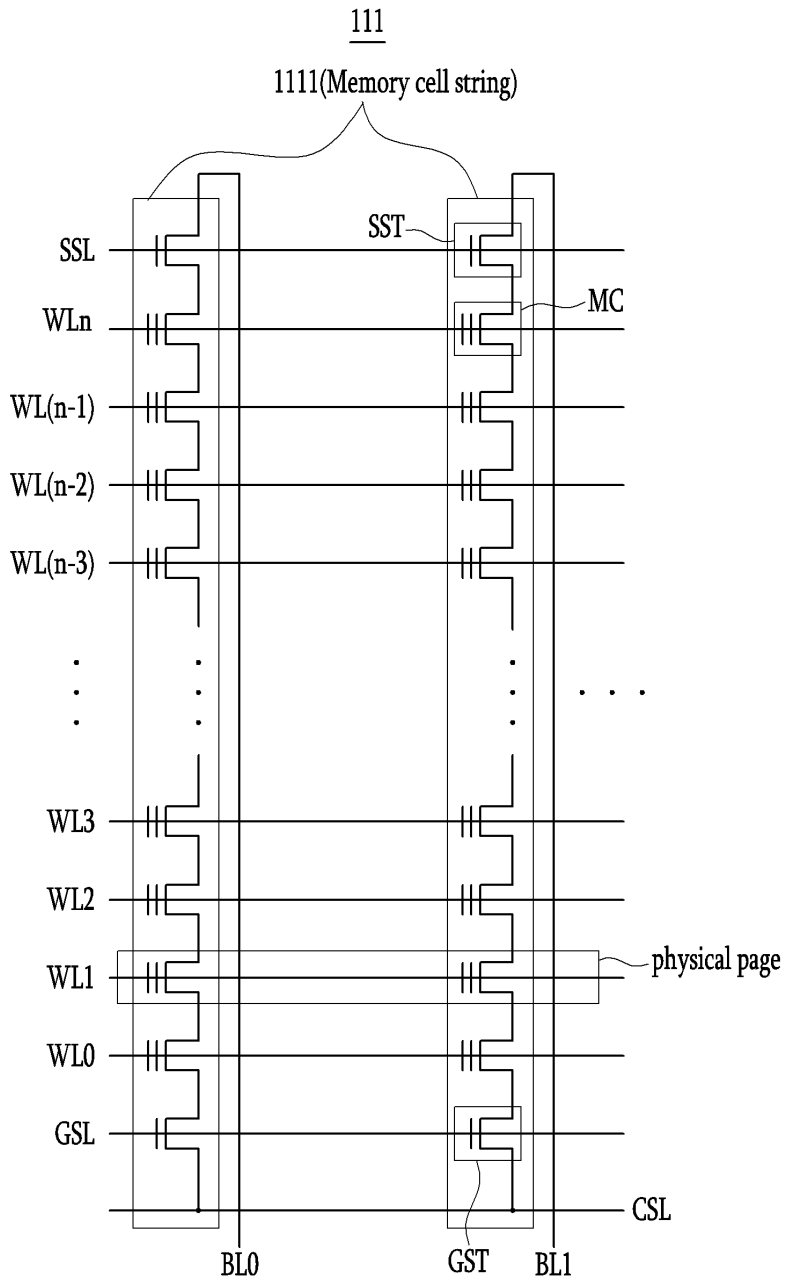
[0123] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

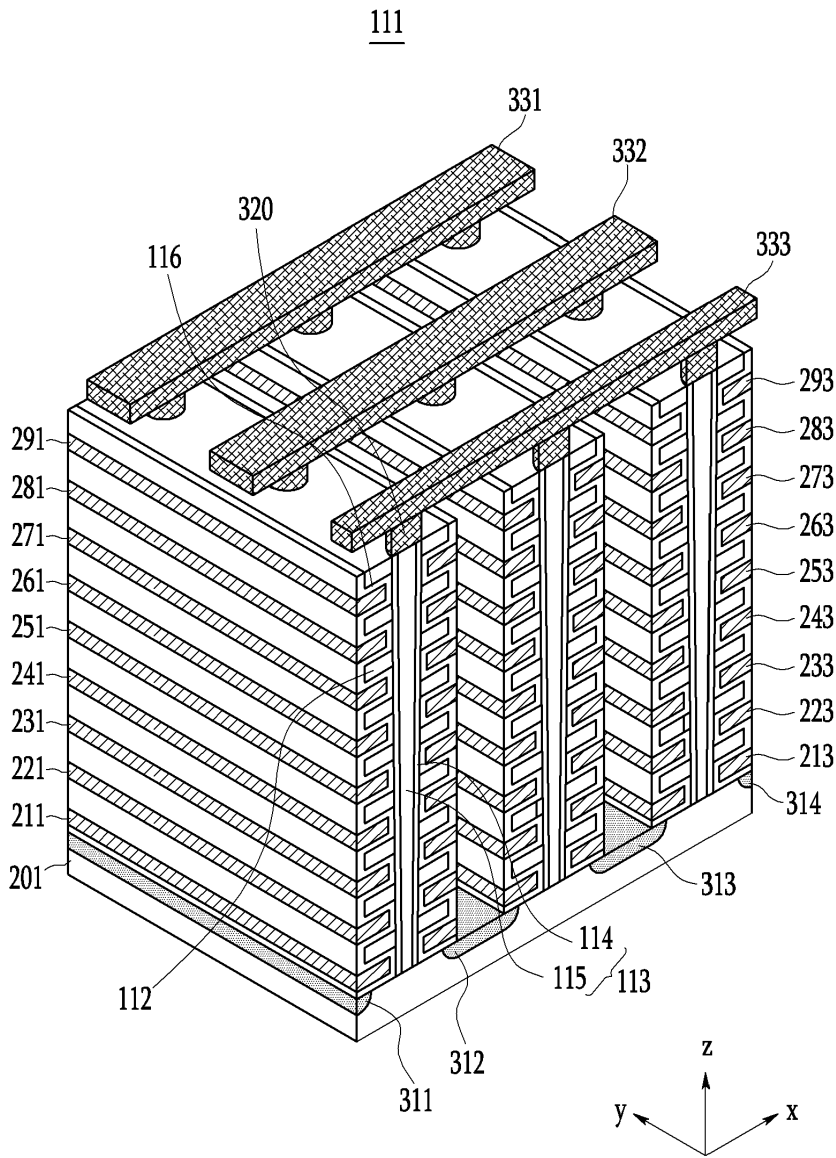
도면1



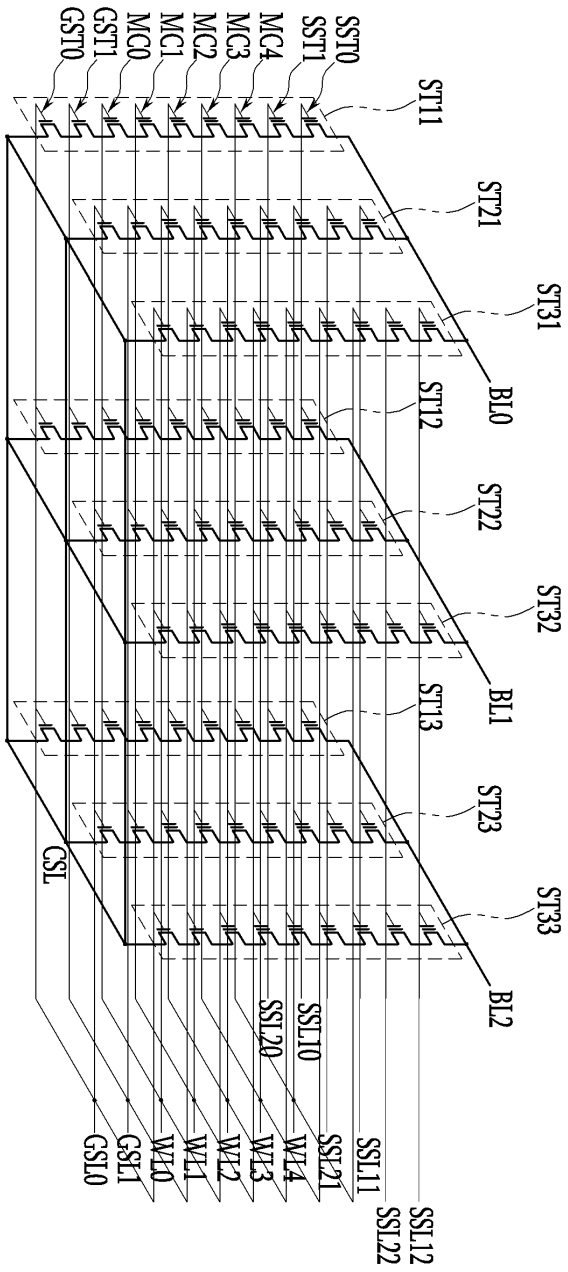
도면2



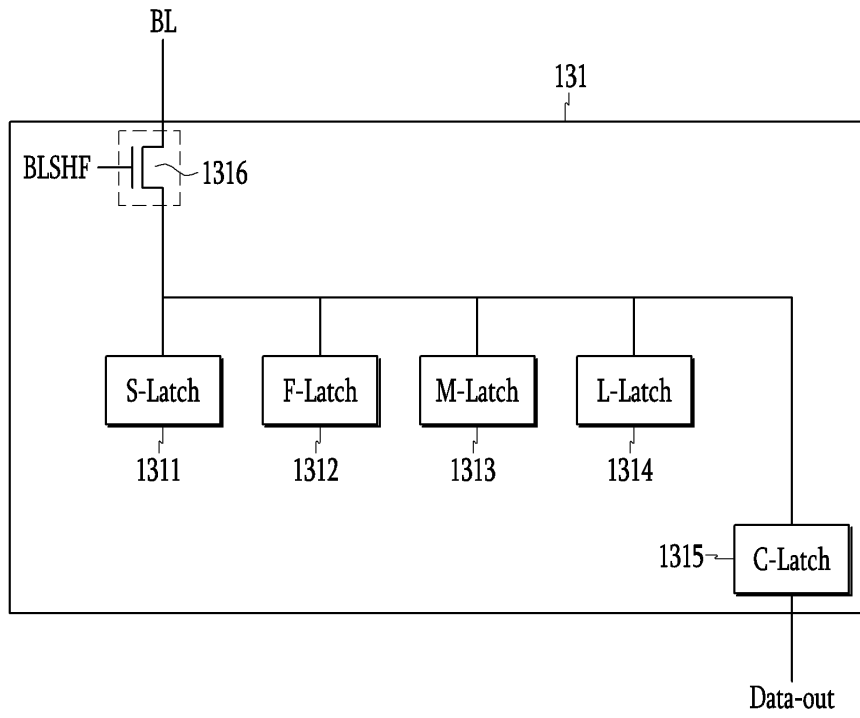
도면3



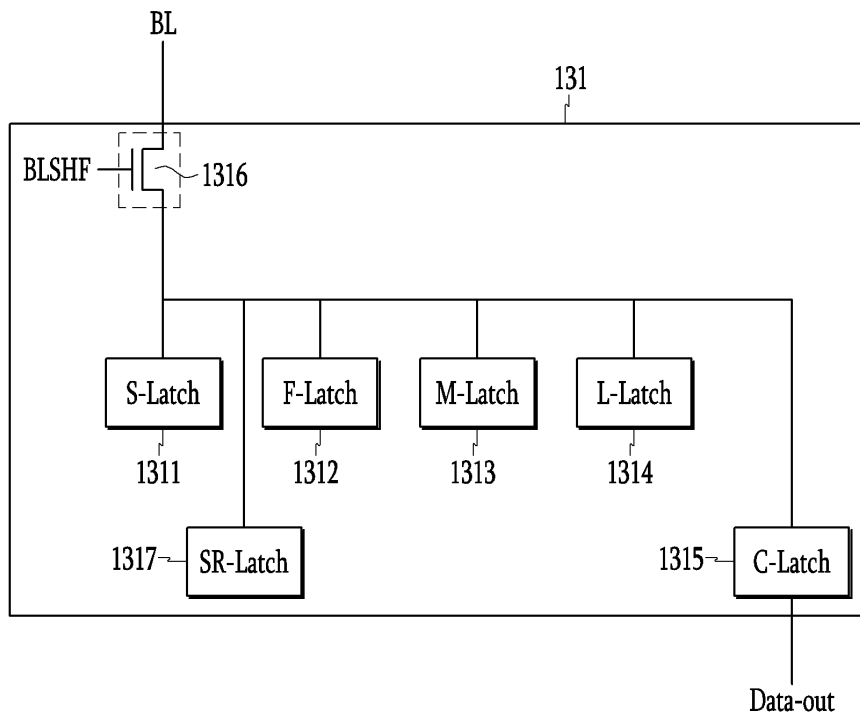
도면4



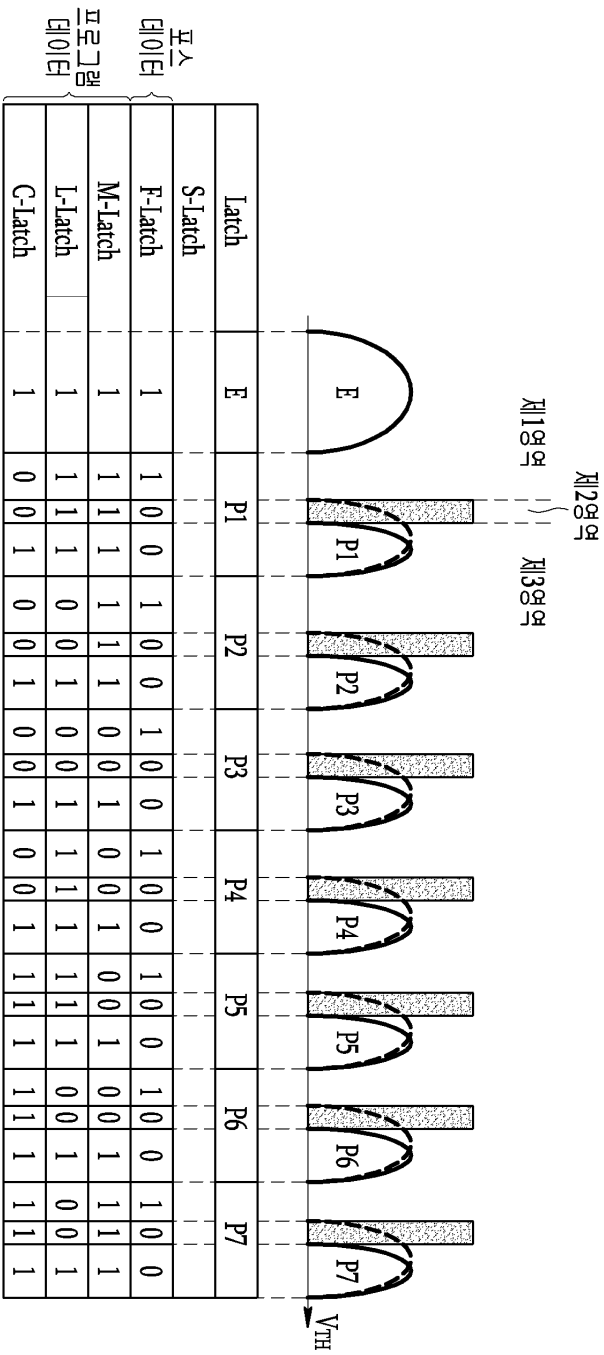
도면5



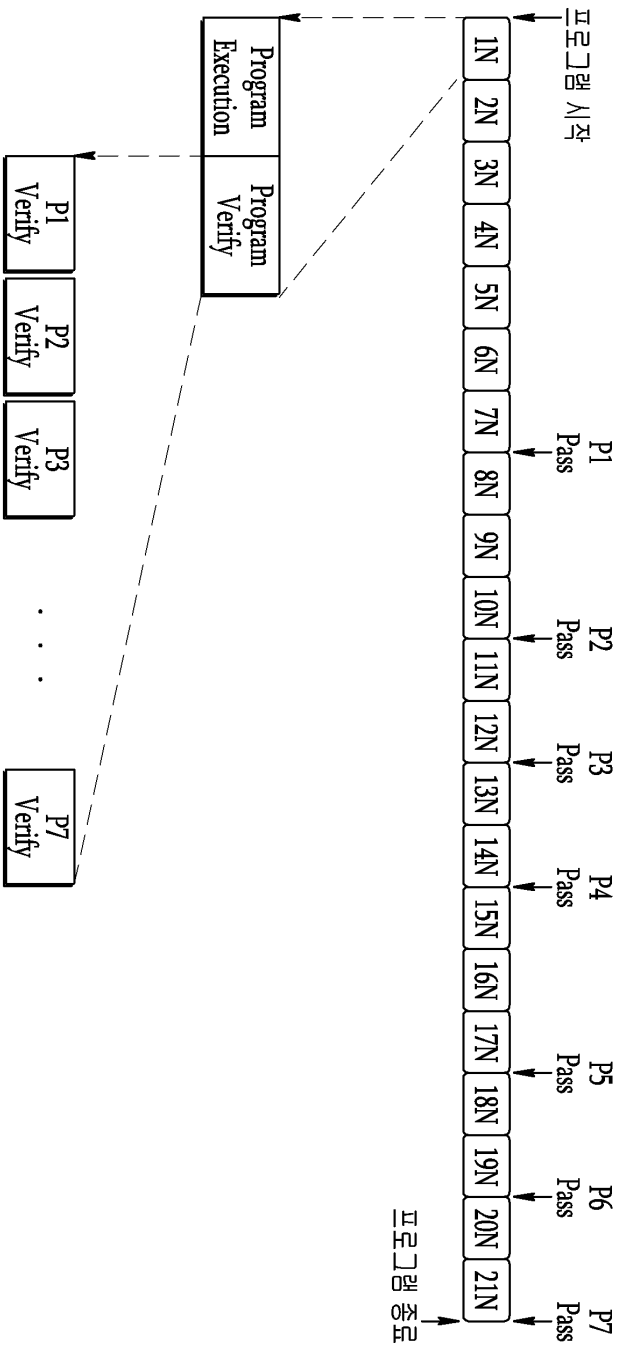
도면6



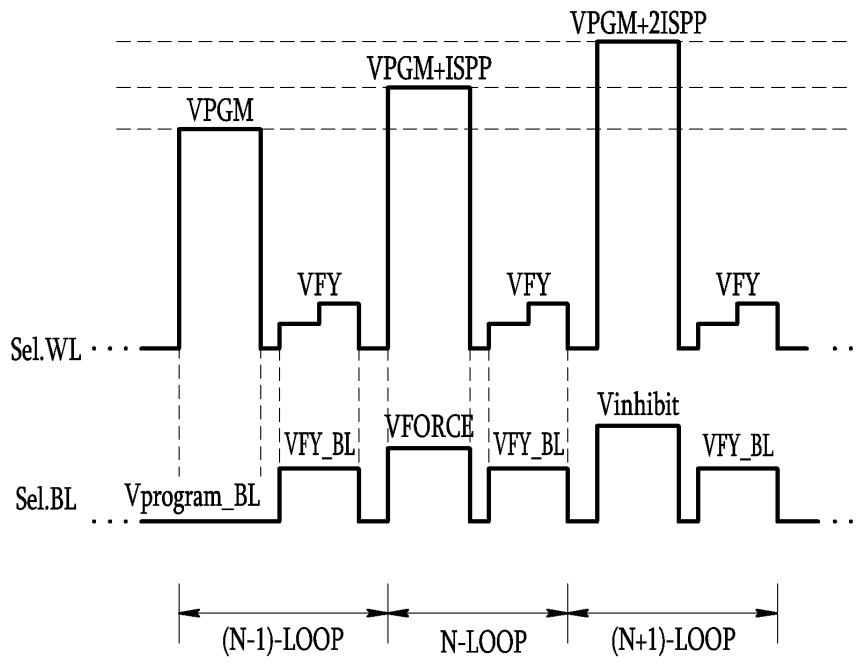
도면7



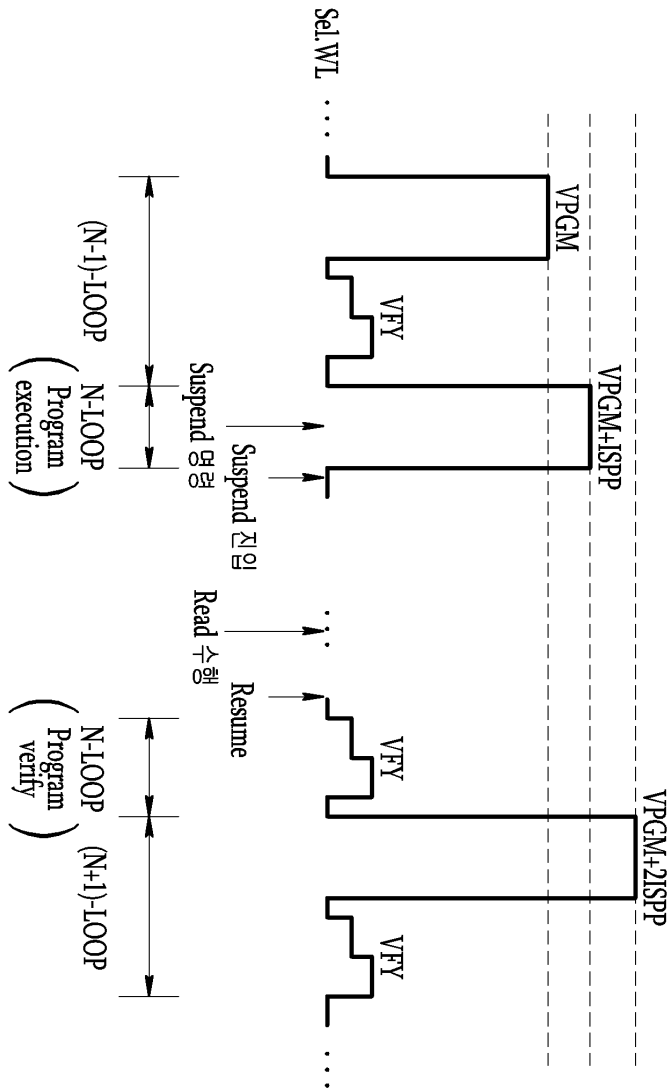
도면8



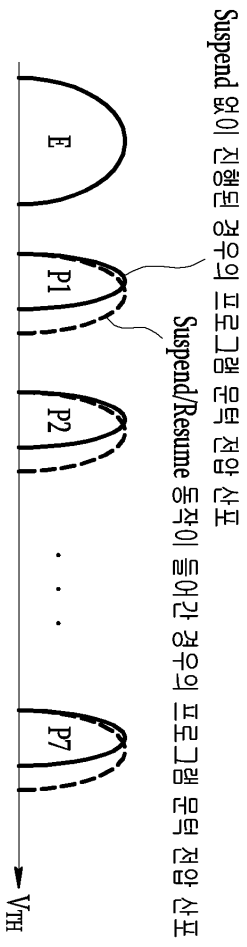
도면9



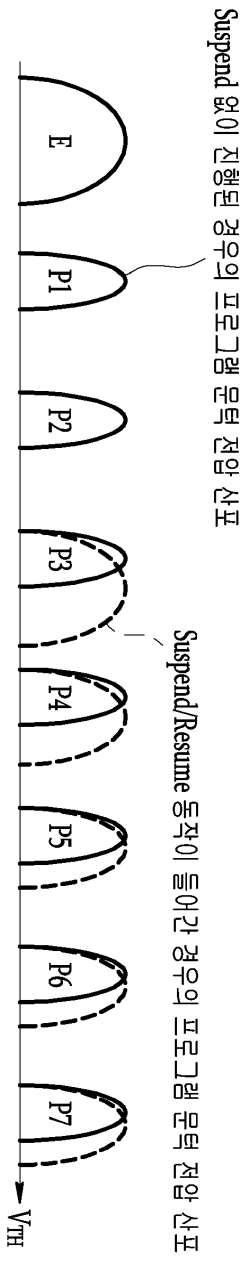
도면10



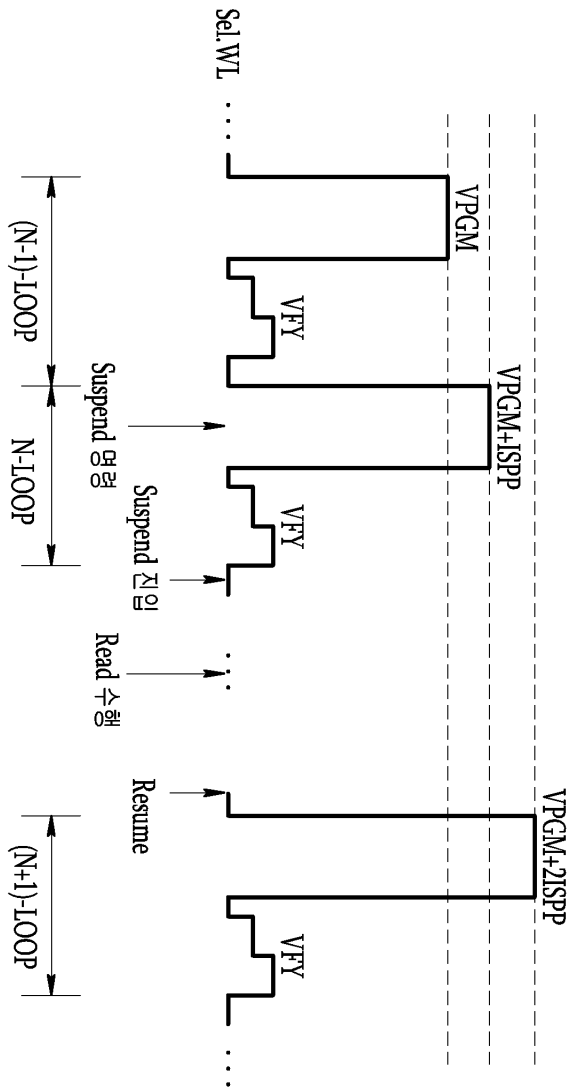
도면11a



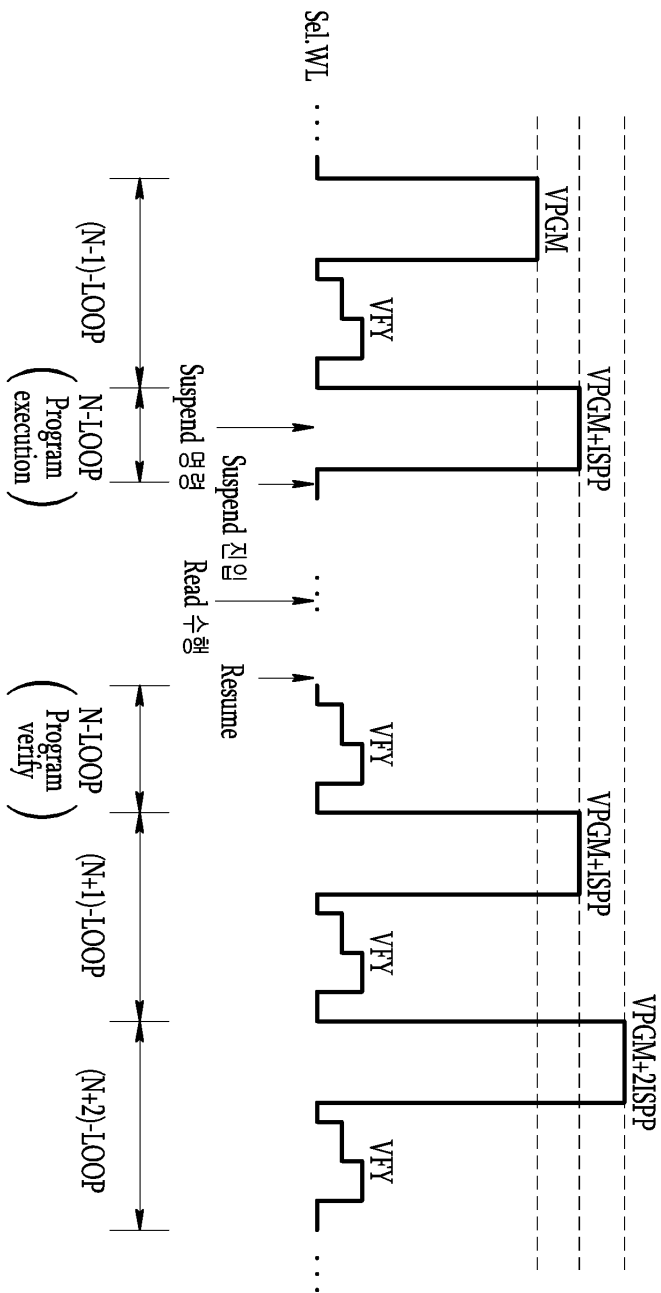
도면11b



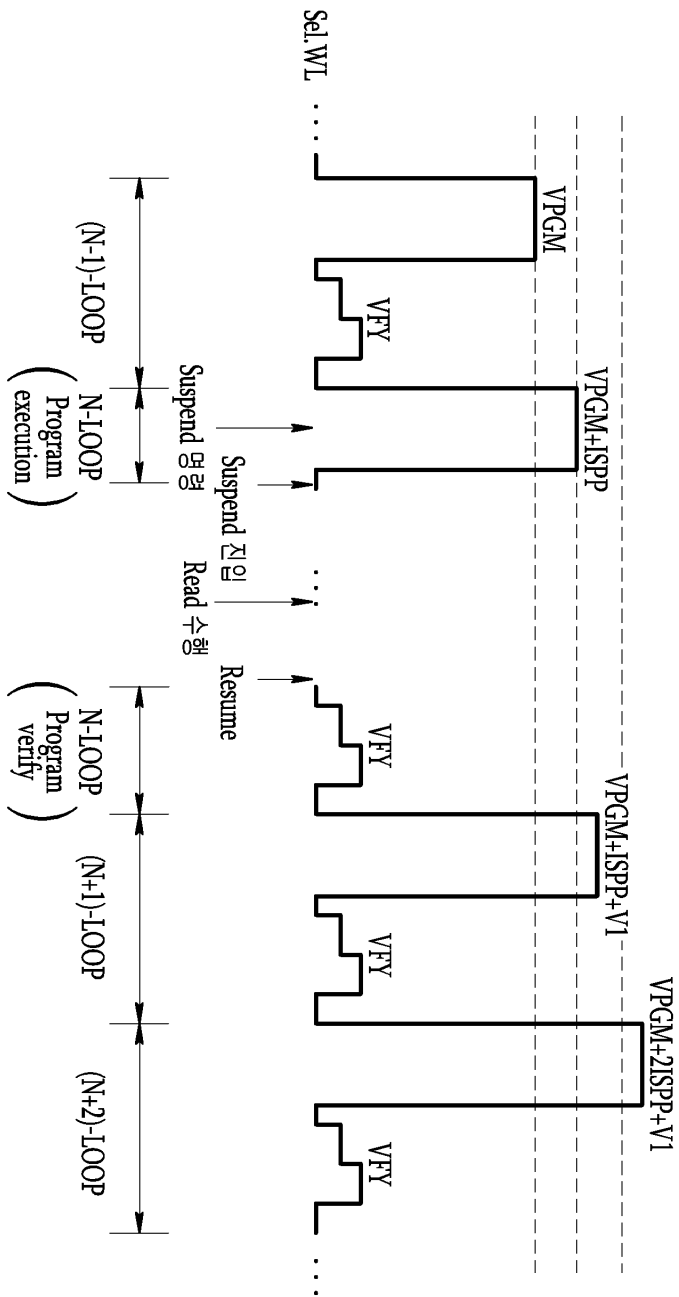
도면12



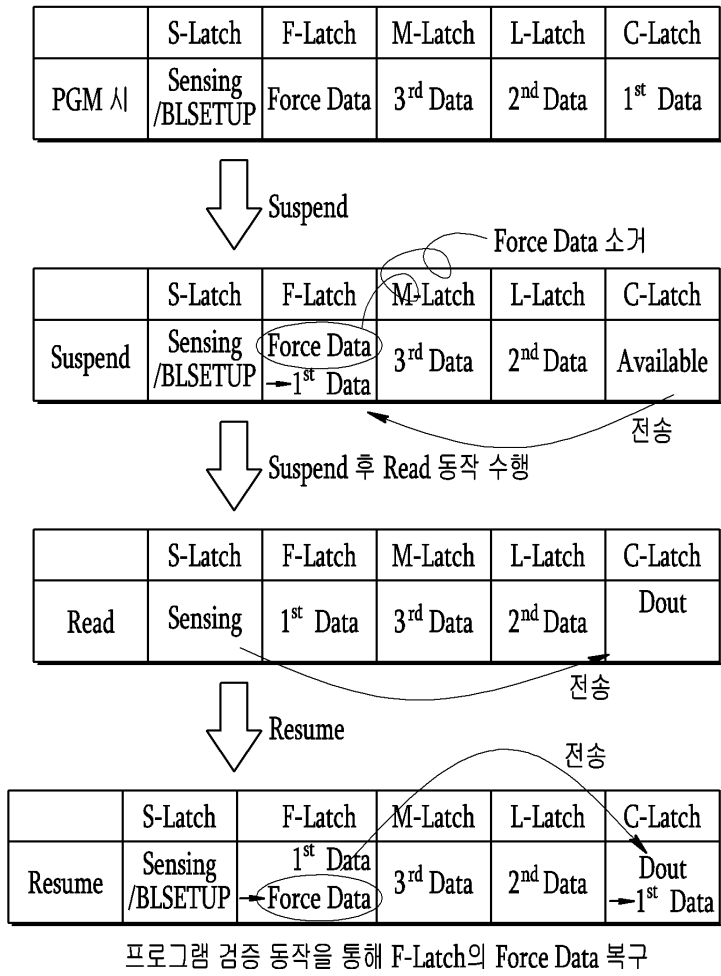
도면13



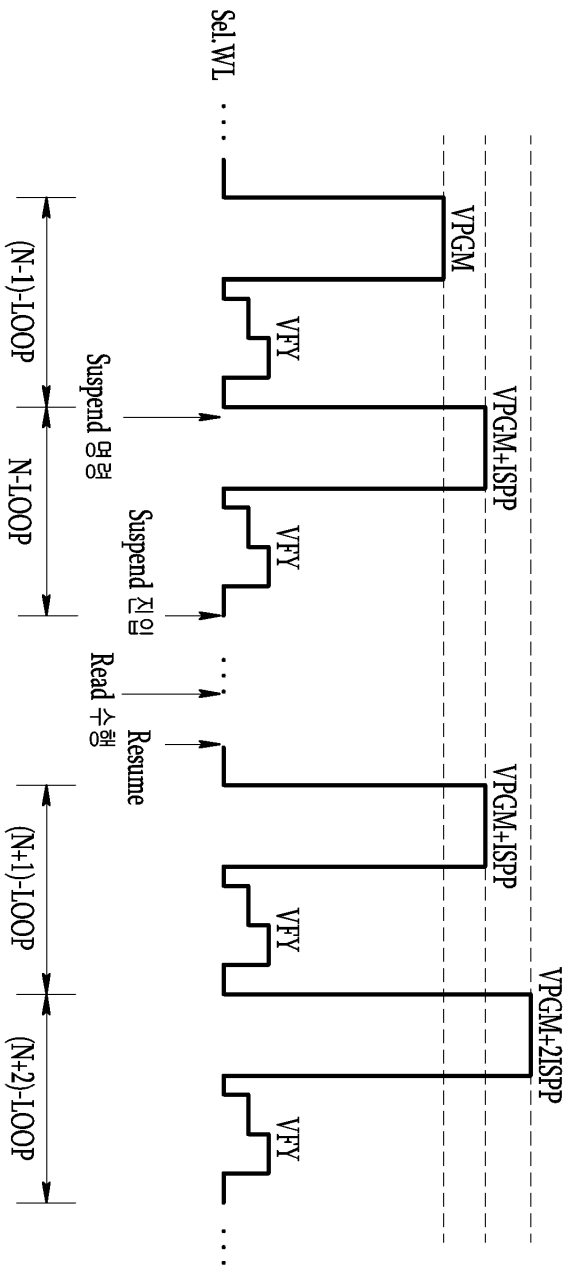
도면14



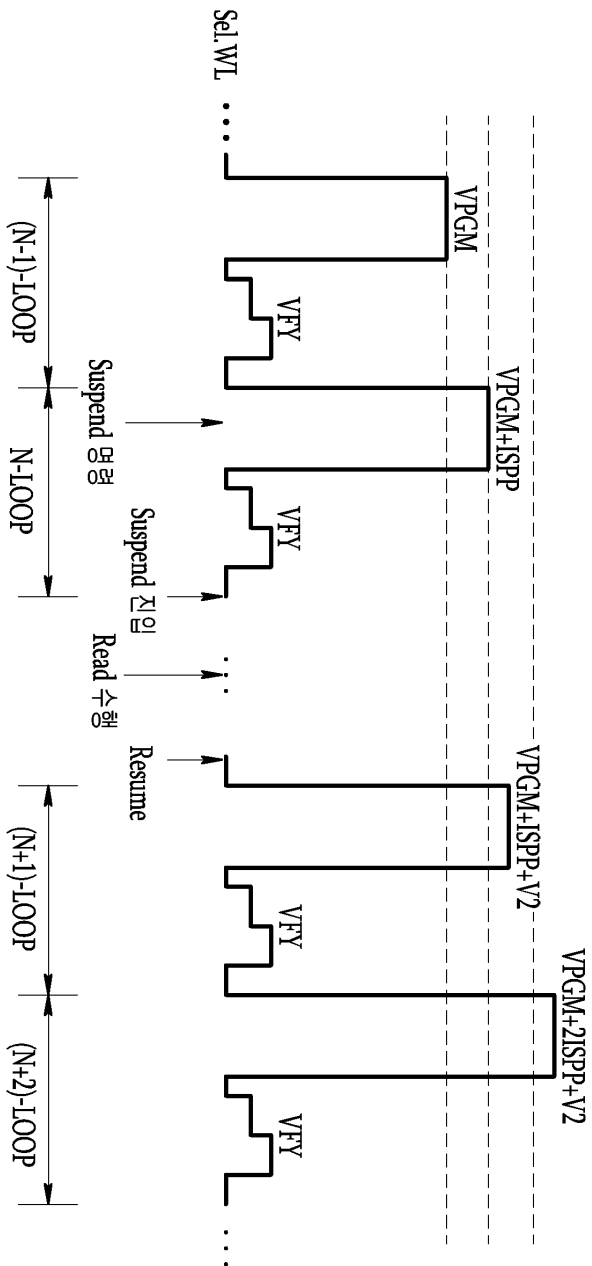
도면15



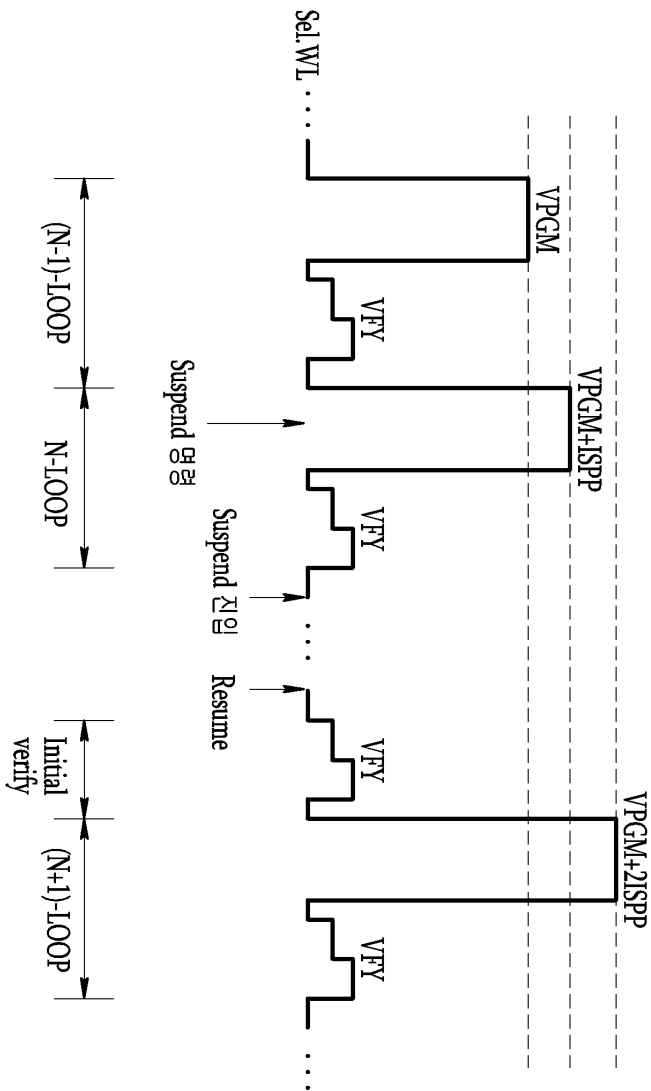
도면16

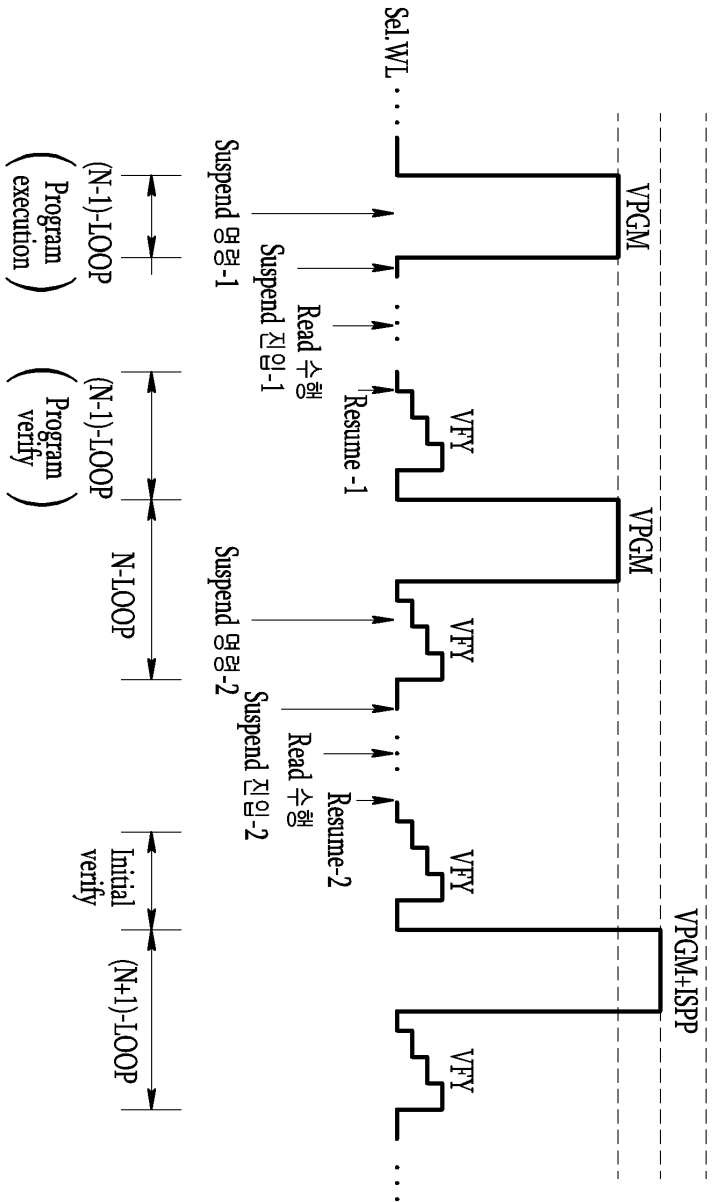


도면17



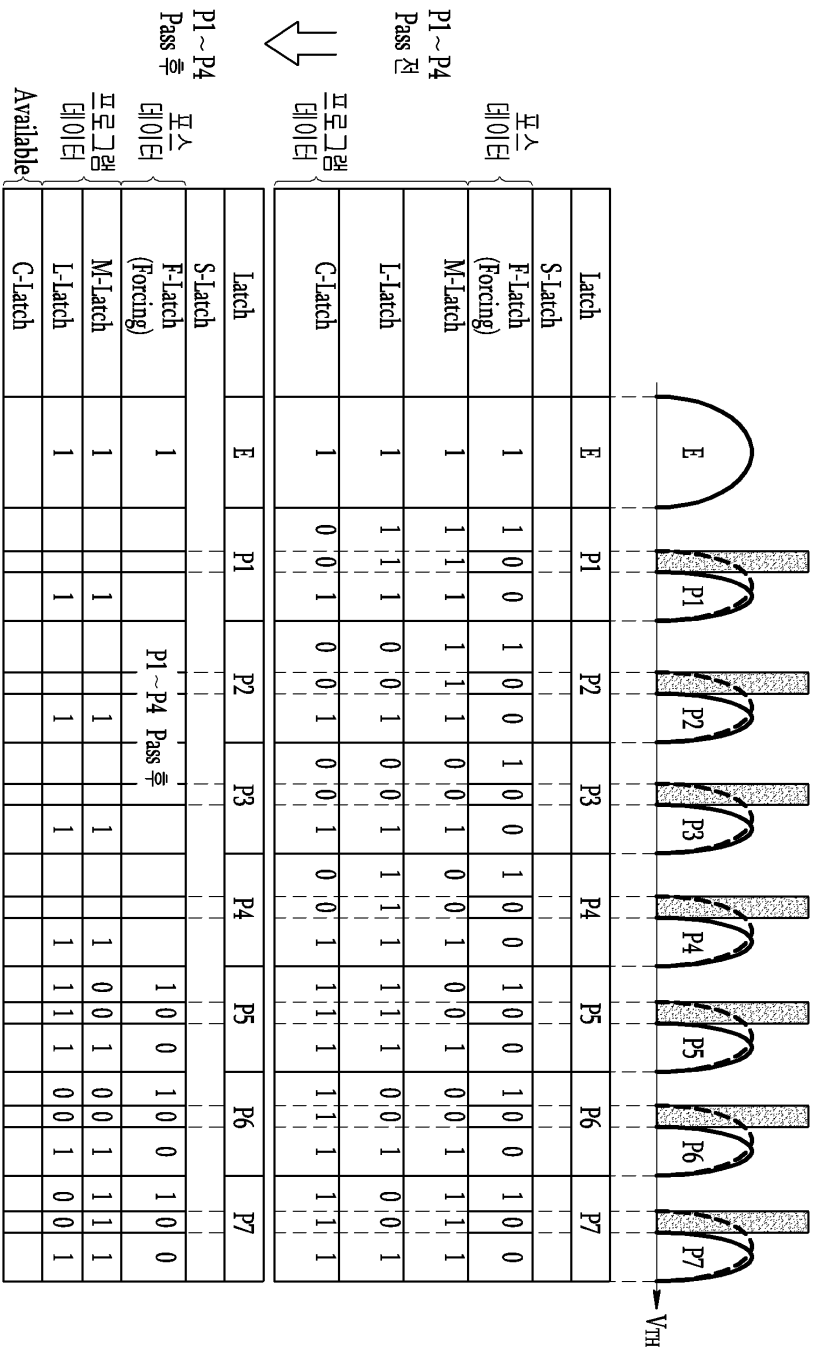
도면18



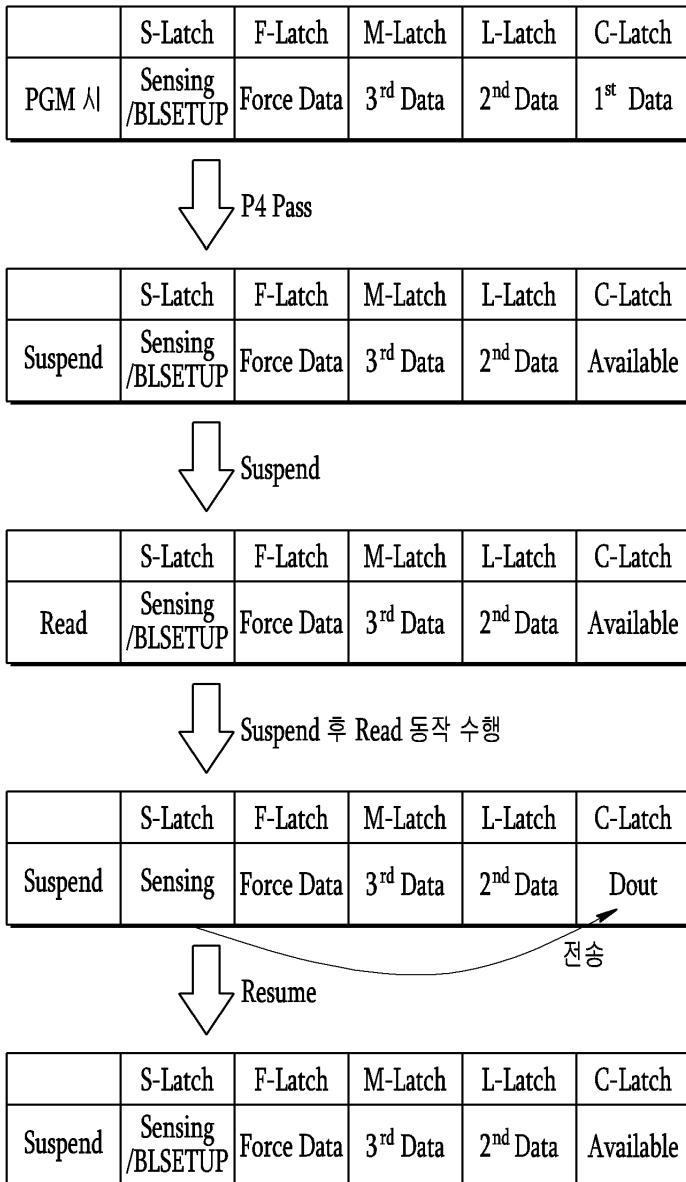


도면19

도면20



도면21



도면22

