



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년04월05일
(11) 등록번호 10-1251351
(24) 등록일자 2013년04월01일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
(21) 출원번호 10-2005-0131967
(22) 출원일자 2005년12월28일
심사청구일자 2010년12월28일
(65) 공개번호 10-2007-0069633
(43) 공개일자 2007년07월03일
(56) 선행기술조사문헌
KR1019980012631 A*
US06188452 B1*
US20040198046 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
황보상우
서울특별시 송파구 올림픽로4길 15, 아시아선수촌
아파트 7동 704호 (잠실동)
김시열
경기 용인시 상현동 861번지 만현마을8단지 두산
위브A 806-1601
(뒷면에 계속)
(74) 대리인
박영우

전체 청구항 수 : 총 21 항

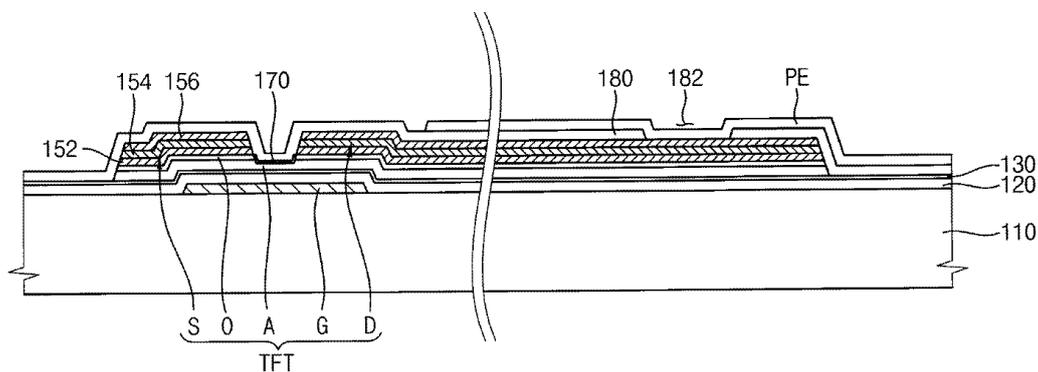
심사관 : 이상호

(54) 발명의 명칭 박막트랜지스터 기관, 이의 제조방법 및 이를 갖는 표시패널

(57) 요약

영상의 표시품질을 향상시킨 박막트랜지스터 기관, 이의 제조방법 및 이를 갖는 표시패널이 개시된다. 박막트랜지스터 기관은 베이스 기관, 게이트 전극, 게이트 절연막, 표면처리막, 활성층, 소스 전극 및 드레인 전극을 포함한다. 게이트 전극은 베이스 기관 상에 형성된다. 게이트 절연막은 게이트 전극을 덮도록 베이스 기관 상에 형성된다. 표면처리막은 질화가스에 의해 게이트 절연막 상에 형성된다. 활성층은 게이트 전극을 커버하도록 표면처리막 상에 형성된다. 소스전극 및 드레인 전극은 활성층의 상부에 소정거리로 이격되어 형성된다. 이와 같이, 게이트 절연막의 표면을 질화가스를 이용하여 표면처리함으로써, 광에 의해 활성층에서 누설전류가 발생하는 것을 방지하여 영상의 표시품질을 보다 향상시킬 수 있다.

대표도



(72) 발명자

양성훈

서울특별시 성동구 성수1가2동 쌍용아파트 106동
301호

이우근

경기도 용인시 기흥구 용구대로 1842, 현대모닝사
이드 2차 107동 204호 (보라동)

특허청구의 범위

청구항 1

베이스 기판;

상기 베이스 기판 상에 형성된 게이트 전극;

상기 게이트 전극을 덮도록 상기 베이스 기판 상에 형성된 게이트 절연막;

질화가스에 의해 상기 게이트 절연막 상에 형성된 제1 표면처리막;

상기 게이트 전극을 커버하도록 상기 제1 표면처리막 상에 형성된 활성층; 및

상기 활성층의 상부에 소정거리로 이격되어 형성된 소스 전극과 드레인 전극을 포함하며,

상기 소스 전극과 드레인 전극은

상기 활성층 상에 금속층을 형성하고,

상기 금속층 상에 포토레지스트 패턴을 형성하며,

상기 포토레지스트 패턴에 의해 노출되는 상기 금속층의 일부를 제거하고,

상기 포토레지스트 패턴의 일부를 제거하며,

잔류하는 포토레지스트 패턴을 이용해 상기 금속층을 식각하여 형성되는 것을 특징으로 하는 박막트랜지스터 기판.

청구항 2

제1항에 있어서, 상기 제1 표면처리막은 15Å ~ 25Å 범위의 두께를 갖는 것을 특징으로 하는 박막트랜지스터 기판.

청구항 3

제1항에 있어서, 질화가스에 의해 형성되며, 상기 소스 전극 및 상기 드레인 전극의 사이와 대응되는 활성층의 상부면에 형성된 제2 표면처리막을 더 포함하는 것을 특징으로 하는 박막트랜지스터 기판.

청구항 4

제3항에 있어서, 상기 제2 표면처리막은 15Å ~ 25Å 범위의 두께를 갖는 것을 특징으로 하는 박막트랜지스터 기판.

청구항 5

제1항에 있어서, 상기 소스전극과 상기 활성층 사이 및 상기 드레인 전극과 상기 활성층 사이에 형성된 오믹콘택층을 더 포함하는 것을 특징으로 하는 박막트랜지스터 기판.

청구항 6

제5항에 있어서, 상기 활성층은 아몰퍼스 실리콘(a-Si)으로 이루어지고, 상기 오믹콘택층은 고밀도 이동도핑 아몰퍼스 실리콘(n+ a-Si)으로 이루어진 것을 특징으로 하는 박막트랜지스터 기판.

청구항 7

제1항에 있어서, 상기 소스 전극 및 상기 드레인 전극은 몰리브덴(Mo), 알루미늄(Al), 몰리브덴(Mo)의 3중층으로 이루어진 것을 특징으로 하는 박막트랜지스터 기판.

청구항 8

베이스 기판;

상기 베이스 기관 상에 형성된 게이트 전극;
 상기 게이트 전극을 덮도록 상기 베이스 기관 상에 형성된 게이트 절연막;
 상기 게이트 전극을 커버하도록 상기 게이트 절연막 상에 형성된 활성층;
 상기 활성층과 대응되도록 상기 활성층의 상부에 형성되고, 이격홈이 형성되도록 소정거리로 이격된 소스 전극과 드레인 전극; 및
 질화가스에 의해 형성되며, 상기 이격홈과 대응되는 상기 활성층의 상부면에 형성된 표면처리막을 포함하며,
 상기 소스 전극과 드레인 전극은
 상기 활성층 상에 금속층을 형성하고,
 상기 금속층 상에 포토레지스트 패턴을 형성하며,
 상기 포토레지스트 패턴에 의해 노출되는 상기 금속층의 일부를 제거하고,
 상기 포토레지스트 패턴의 일부를 제거하며,
 잔류하는 포토레지스트 패턴을 이용해 상기 금속층을 식각하여 형성되는 것을 특징으로 하는 박막트랜지스터 기관.

청구항 9

제8항에 있어서, 상기 표면처리막은 15Å ~ 25Å 범위의 두께를 갖는 것을 특징으로 하는 박막트랜지스터 기관.

청구항 10

베이스 기관 상에 게이트 전극을 형성하는 단계;
 상기 게이트 전극을 덮도록 상기 베이스 기관 상에 게이트 절연막을 형성하는 단계;
 질화가스를 이용하여 상기 게이트 절연막의 표면을 표면처리하는 단계;
 상기 표면처리된 게이트 절연막 상에 활성층을 형성하는 단계; 및
 상기 활성층의 상부에 소정거리 이격된 소스 전극 및 드레인 전극을 형성하는 단계를 포함하며,
 상기 소스 전극 및 드레인 전극을 형성하는 단계는
 상기 활성층 상에 금속층을 형성하는 단계;
 상기 금속층 상에 포토레지스트 패턴을 형성하는 단계;
 상기 포토레지스트 패턴에 의해 노출되는 상기 금속층의 일부를 제거하는 단계;
 상기 포토레지스트 패턴의 일부를 제거하는 단계; 및
 잔류하는 포토레지스트 패턴을 이용해 상기 금속층을 식각하여 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막트랜지스터 기관의 제조방법.

청구항 11

삭제

청구항 12

제10항에 있어서, 상기 소스 전극 및 상기 드레인 전극을 이용하여 상기 활성층의 일부를 제거하는 단계를 더 포함하는 것을 특징으로 하는 박막트랜지스터 기관의 제조방법.

청구항 13

제10항에 있어서, 상기 소스 전극 및 상기 드레인 전극의 사이와 대응되는 활성층의 상부면을 질화가스를 이용하여 표면처리하는 단계를 더 포함하는 것을 특징으로 하는 박막트랜지스터 기관의 제조방법.

청구항 14

제10항에 있어서, 상기 질화가스는 암모니아 가스(NH₃)인 것을 특징으로 하는 박막트랜지스터 기판의 제조방법.

청구항 15

제10항에 있어서, 상기 질화가스는 질소 가스(N₂)인 것을 특징으로 하는 박막트랜지스터 기판의 제조방법.

청구항 16

제10항에 있어서, 상기 드레인 전극의 상부로 일부가 개구되도록 기판 전면에 보호막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막트랜지스터 기판의 제조방법.

청구항 17

제16항에 있어서, 상기 보호막의 개구된 곳을 통해 상기 드레인 전극과 전기적으로 연결되는 화소전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막트랜지스터 기판의 제조방법.

청구항 18

베이스 기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 덮도록 상기 베이스 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 반도체층을 형성하는 단계;

상기 반도체층 상에 금속층을 형성하는 단계;

상기 금속층의 일부를 제거하여 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극 및 상기 드레인 전극을 이용하여 상기 반도체층의 일부를 제거하는 단계; 및

상기 소스 전극 및 상기 드레인 전극의 사이와 대응되는 반도체층의 상부면을 질화가스를 이용하여 표면처리하는 단계를 포함하며,

상기 소스 전극 및 드레인 전극을 형성하는 단계는

상기 금속층 상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴에 의해 노출되는 상기 금속층의 일부를 제거하는 단계;

상기 포토레지스트 패턴의 일부를 제거하는 단계; 및

잔류하는 포토레지스트 패턴을 이용해 상기 금속층을 식각하여 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막트랜지스터 기판의 제조방법.

청구항 19

제18항에 있어서, 상기 질화가스는 암모니아 가스(NH₃)인 것을 특징으로 하는 박막트랜지스터 기판의 제조방법.

청구항 20

제1 기판;

상기 제1 기판과 대향하는 제2 기판;

상기 제1 및 제2 기판의 사이에 개재된 액정층을 포함하고,

상기 제1 기판은

베이스 기판;

상기 베이스 기판 상에 형성된 게이트 전극;

상기 게이트 전극을 덮도록 상기 베이스 기판 상에 형성된 게이트 절연막;

질화가스에 의해 상기 게이트 절연막 상에 형성된 제1 표면처리막;
 상기 게이트 전극을 커버하도록 상기 제1 표면처리막 상에 형성된 활성층; 및
 상기 활성층의 상부에 소정거리로 이격되어 형성된 소스 전극과 드레인 전극을 포함하며,
 상기 소스 전극과 드레인 전극은
 상기 활성층 상에 금속층을 형성하고,
 상기 금속층 상에 포토레지스트 패턴을 형성하며,
 상기 포토레지스트 패턴에 의해 노출되는 상기 금속층의 일부를 제거하고,
 상기 포토레지스트 패턴의 일부를 제거하며,
 잔류하는 포토레지스트 패턴을 이용해 상기 금속층을 식각하여 형성되는 것을 특징으로 하는 표시패널.

청구항 21

제20항에 있어서, 질화가스에 의해 형성되며, 상기 소스 전극 및 상기 드레인 전극의 사이와 대응되는 활성층의 상부면에 형성된 제2 표면처리막을 더 포함하는 것을 특징으로 하는 표시패널.

청구항 22

제1 기관;
 상기 제1 기관과 대향하는 제2 기관;
 상기 제1 및 제2 기관의 사이에 개재된 액정층을 포함하고,
 상기 제1 기관은
 베이스 기관;
 상기 베이스 기관 상에 형성된 게이트 전극;
 상기 게이트 전극을 덮도록 상기 베이스 기관 상에 형성된 게이트 절연막;
 상기 게이트 전극을 커버하도록 상기 게이트 절연막 상에 형성된 활성층;
 상기 활성층과 대응되도록 상기 활성층의 상부에 형성되고, 이격홈이 형성되도록 소정거리로 이격된 소스 전극과 드레인 전극; 및
 질화가스에 의해 형성되며, 상기 이격홈과 대응되는 상기 활성층의 상부면에 형성된 표면처리막을 포함하며,
 상기 소스 전극과 드레인 전극은
 상기 활성층 상에 금속층을 형성하고,
 상기 금속층 상에 포토레지스트 패턴을 형성하며,
 상기 포토레지스트 패턴에 의해 노출되는 상기 금속층의 일부를 제거하고,
 상기 포토레지스트 패턴의 일부를 제거하며,
 잔류하는 포토레지스트 패턴을 이용해 상기 금속층을 식각하여 형성되는 것을 특징으로 하는 표시패널.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터 기관, 이의 제조방법 및 이를 갖는 표시패널에 관한 것으로, 보다 상세하게는 영상의

[0016]

표시품질을 향상시킨 박막트랜지스터 기관, 이의 제조방법 및 이를 갖는 표시패널에 관한 것이다.

- [0017] 일반적으로, 평면표시장치에는 액정표시장치(Liquid Crystal Display), 플라즈마 표시패널(Plasma Display Panel), 필드방사 표시장치(Field Emission Display) 및 전계발광 표시장치(Electro Luminescence Display)등이 있다.
- [0018] 이러한 평면 표시장치들 중 액정 표시장치는 두께가 얇고 무게가 가벼우며, 낮은 소비전력 및 낮은 구동전압에서 작동하는 장점을 갖고 있어 산업 전반에 걸쳐 많이 사용되고 있다.
- [0019] 상기 액정표시장치는 액정의 광투과율을 이용하여 영상을 표시하는 표시패널 및 상기 표시패널의 하부에 배치되어 상기 표시패널로 광을 제공하는 백라이트 어셈블리(back-light assembly)를 포함한다.
- [0020] 상기 표시패널은 박막 트랜지스터(thin film transistor)가 형성된 어레이(array) 기관과, 컬러필터가 형성된 컬러필터 기관과, 상기 어레이 기관 및 상기 컬러필터 기관 사이에 개재된 액정층을 포함한다.
- [0021] 상기 어레이 기관에는 서로 교차되는 복수의 게이트 배선들 및 복수의 데이터 배선들이 형성되고, 상기 게이트 배선들 및 데이터 배선들에 의해 복수의 단위화소들이 정의된다. 상기 각 단위화소에는 박막 트랜지스터 및 화소전극이 형성된다. 상기 박막 트랜지스터는 소스 전극, 드레인 전극, 게이트 전극, 활성층 및 오믹콘택층을 포함한다.
- [0022] 일반적으로, 상기 박막 트랜지스터의 활성층은 빛에너지에 의해 전자전공쌍(electron hole pair)을 발생시킨다. 구체적으로, 상기 백라이트 어셈블리에서 발생된 광이 상기 박막 트랜지스터로 입사되면, 상기 활성층에서는 전자와 전공이 쌍으로 생성된다. 여기서, 상기 활성층에 생성된 전공은 상기 게이트 전극에 음의 게이트 전압이 인가될 경우, 상기 활성층 내의 누설전류원(leakage current source)으로 작용한다.
- [0023] 이와 같이 상기 활성층 내에 광이 입사되어 누설전류가 발생할 경우, 상기 누설전류는 상기 액정표시패널의 화면에 표시되어서는 안 되는 잔상을 발생시킬 수 있고, 그 결과 영상의 표시품질이 저하된다.

발명이 이루고자 하는 기술적 과제

- [0024] 따라서, 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위해 안출된 것으로, 본 발명의 목적은 활성층 내의 누설전류 발생을 방지하여 영상의 표시품질을 향상시킨 박막트랜지스터 기관을 제공하는 것이다.
- [0025] 본 발명의 다른 목적은 상기 박막트랜지스터 기관을 제조하는 방법을 제공하는 것이다.
- [0026] 본 발명의 또 다른 목적은 상기 박막트랜지스터 기관을 갖는 표시패널을 제공하는 것이다.

발명의 구성 및 작용

- [0027] 상기한 본 발명의 목적을 달성하기 위한 제1 실시예에 따른 박막트랜지스터 기관은 베이스 기관, 게이트 전극, 게이트 절연막, 제1 표면처리막, 활성층, 소스 전극 및 드레인 전극을 포함하고, 선택적으로 제2 표면처리막을 더 포함할 수 있다.
- [0028] 상기 게이트 전극은 상기 베이스 기관 상에 형성된다. 상기 게이트 절연막은 상기 게이트 전극을 덮도록 상기 베이스 기관 상에 형성된다. 상기 제1 표면처리막은 질화가스에 의해 상기 게이트 절연막 상에 형성된다. 상기 활성층은 상기 게이트 전극을 커버하도록 상기 제1 표면처리막 상에 형성된다. 상기 소스전극 및 상기 드레인 전극은 상기 활성층의 상부에 소정거리로 이격되어 형성된다. 상기 제2 표면처리막은 질화가스에 의해 형성되며, 상기 소스 전극 및 상기 드레인 전극의 사이와 대응되는 활성층의 상부면에 형성된다.
- [0029] 상기한 본 발명의 목적을 달성하기 위한 제2 실시예에 따른 박막트랜지스터 기관은 베이스 기관, 게이트 전극, 게이트 절연막, 활성층, 소스 전극, 드레인 전극 및 표면처리막을 포함한다.
- [0030] 상기 게이트 전극은 상기 베이스 기관 상에 형성된다. 상기 게이트 절연막은 상기 게이트 전극을 덮도록 상기 베이스 기관 상에 형성된다. 상기 활성층은 상기 게이트 전극을 커버하도록 상기 게이트 절연막 상에 형성된다. 상기 소스 전극 및 상기 드레인 전극은 상기 활성층과 대응되도록 상기 활성층의 상부에 형성되고, 이격홈이 형성되도록 소정거리로 이격된다. 상기 표면처리막은 질화가스에 의해 형성되며, 상기 이격홈과 대응되는 상기 활성층의 상부면에 형성된다.
- [0031] 상기한 본 발명의 다른 목적을 달성하기 위한 제1 실시예에 따른 박막트랜지스터 기관의 제조방법은 베이스 기관 상에 게이트 전극을 형성하는 단계와, 상기 게이트 전극을 덮도록 상기 베이스 기관 상에 게이트 절연막을

형성하는 단계와, 질화가스를 이용하여 상기 게이트 절연막의 표면을 표면처리하는 단계와, 상기 표면처리된 게이트 절연막 상에 활성층을 형성하는 단계와, 상기 활성층의 상부에 소정거리 이격된 소스 전극 및 드레인 전극을 형성하는 단계를 포함하고, 선택적으로 상기 소스 전극 및 상기 드레인 전극의 사이와 대응되는 활성층의 상부면을 상기 질화가스를 이용하여 표면처리하는 단계를 더 포함할 수 있다.

- [0032] 상기한 본 발명의 다른 목적을 달성하기 위한 제2 실시예에 따른 박막트랜지스터 기관의 제조방법은 베이스 기관 상에 게이트 전극을 형성하는 단계와, 상기 게이트 전극을 덮도록 상기 베이스 기관 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 반도체층을 형성하는 단계와, 상기 반도체층 상에 금속층을 형성하는 단계와, 상기 금속층의 일부를 제거하여 소스 전극 및 드레인 전극을 형성하는 단계와, 상기 소스 전극 및 상기 드레인 전극을 이용하여 상기 반도체층의 일부를 제거하는 단계와, 상기 소스 전극 및 상기 드레인 전극의 사이와 대응되는 반도체층의 상부면을 질화가스를 이용하여 표면처리하는 단계를 포함한다.
- [0033] 상기한 본 발명의 또 다른 목적을 달성하기 위한 제1 실시예에 따른 표시패널은 제1 기관과, 상기 제1 기관과 대향하는 제2 기관과, 상기 제1 및 제2 기관의 사이에 개재된 액정층을 포함한다.
- [0034] 상기 제1 기관은 베이스 기관과, 상기 베이스 기관 상에 형성된 게이트 전극과, 상기 게이트 전극을 덮도록 상기 베이스 기관 상에 형성된 게이트 절연막과, 질화가스에 의해 상기 게이트 절연막 상에 형성된 제1 표면처리막과, 상기 게이트 전극을 커버하도록 상기 제1 표면처리막 상에 형성된 활성층과, 상기 활성층의 상부에 소정거리로 이격되어 형성된 소스 전극 및 드레인 전극을 포함하고, 선택적으로 질화가스에 의해 형성되며, 상기 소스 전극 및 상기 드레인 전극의 사이와 대응되는 활성층의 상부면에 형성된 제2 표면처리막을 더 포함할 수 있다.
- [0035] 상기한 본 발명의 또 다른 목적을 달성하기 위한 제2 실시예에 따른 표시패널은 제1 기관과, 상기 제1 기관과 대향하는 제2 기관과, 상기 제1 및 제2 기관의 사이에 개재된 액정층을 포함한다.
- [0036] 상기 제1 기관은 베이스 기관과, 상기 베이스 기관 상에 형성된 게이트 전극과, 상기 게이트 전극을 덮도록 상기 베이스 기관 상에 형성된 게이트 절연막과, 상기 게이트 전극을 커버하도록 상기 게이트 절연막 상에 형성된 활성층과, 상기 활성층과 대응되도록 상기 활성층의 상부에 형성되고, 이격홈이 형성되도록 소정거리로 이격된 소스 전극 및 드레인 전극과, 질화가스에 의해 형성되며 상기 이격홈과 대응되는 상기 활성층의 상부면에 형성된 표면처리막을 포함한다.
- [0037] 이러한 본 발명에 따르면, 활성층의 상부면 및 게이트 절연막의 표면을 질화가스를 이용하여 표면처리함으로써, 광에 의해 활성층에서 누설전류가 발생하는 것을 방지할 수 있고, 그 결과 영상의 표시품질을 보다 향상시킬 수 있다.
- [0038] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하기로 한다.
- [0039] <표시패널의 실시예>
- [0040] 도 1은 본 발명의 일 실시예에 따른 표시패널을 도시한 사시도이다.
- [0041] 도 1을 참조하면, 본 발명의 표시패널(400)은 제1 기관(100), 제2 기관(200) 및 액정층(300)을 포함하고, 광을 이용하여 영상을 외부로 표시한다.
- [0042] 제1 기관(100)은 매트릭스(matrix) 형태로 배치된 복수의 화소전극(pixel electrode)들, 상기 각 화소전극에 구동전압을 인가하는 박막트랜지스터(Thin Film Transistor)들, 상기 박막트랜지스터들을 각각 작동시키기 위한 신호선(signal line)들을 포함한다.
- [0043] 제2 기관(200)은 제1 기관(100)과 마주보도록 배치된다. 제2 기관(200)은 제1 기관(200)의 전면에 배치되며 투명하면서 도전성인 공통전극(common electrode) 및 상기 화소전극들과 마주보는 곳에 배치된 컬러필터(color filter)들을 포함한다.
- [0044] 상기 컬러필터들은 백색광 중 적색광을 선택적으로 통과시키는 적색 컬러필터, 백색광 중 녹색광을 선택적으로 통과시키는 녹색 컬러필터 및 백색광 중 청색광을 선택적으로 통과시키는 청색 컬러필터들을 포함한다.
- [0045] 액정층(300)은 제1 기관(100) 및 제2 기관(200)의 사이에 개재되며, 상기 화소전극 및 상기 공통전극의 사이에 형성된 전기장에 의하여 재배열된다. 재배열된 액정층(300)은 외부에서 인가된 광의 광투과율을 조절하고, 광투과율이 조절된 광은 상기 컬러필터들을 통과함으로써 영상이 표시된다.

- [0046] 도 2는 도 1의 표시패널 중 제1 기관의 단위화소를 개념적으로 도시한 평면도이다.
- [0047] 도 2를 참조하면, 본 실시예에 의한 제1 기관(100)은 데이터 배선(DL), 게이트 배선(GL), 화소전극(140), 박막 트랜지스터(TFT) 및 스토리지 배선(SL)을 포함한다.
- [0048] 데이터 배선(DL)은 제1 방향으로 길게 연장되어 형성되고, 제2 방향을 따라 복수개가 병렬로 형성된다. 데이터 배선(DL)은 박막트랜지스터(TFT)와 전기적으로 연결되어 데이터 신호를 인가한다.
- [0049] 게이트 배선(GL)은 데이터 배선(DL)과 교차되도록 제2 방향으로 길게 형성되고, 제1 방향을 따라 복수개가 병렬로 형성된다. 제1 방향은 일레로, 제2 방향과 서로 수직하다. 이때, 데이터 배선(DL)들 및 게이트 배선(GL)들이 서로 교차되도록 형성됨에 따라, 복수의 단위화소들이 정의된다. 상기 단위화소들 각각에는 박막트랜지스터(TFT) 및 화소전극(PE)이 형성된다.
- [0050] 박막트랜지스터(TFT)는 게이트 전극(G), 소스 전극(S), 드레인 전극(D), 활성층(미도시) 및 오믹콘택층(미도시)을 포함한다.
- [0051] 게이트 전극(G)은 게이트 배선(GL)으로부터 제1 방향으로 분기되어 형성된다. 상기 활성층은 게이트 전극(G)을 커버하도록 게이트 전극(G)의 상부에 형성된다. 소스 전극(S)은 데이터 배선(DL)으로부터 제2 방향으로 분기되어, 게이트 전극(G)의 일부와 겹치도록 형성된다. 드레인 전극(D)은 소스 전극(S)과 마주보도록 소스 전극(S)으로부터 소정거리 이격되어 형성되고, 게이트 전극(G)의 일부와 겹치도록 형성된다. 드레인 전극(D)은 일레로, 제1 방향 및 제2 방향으로 길게 연장되어 형성되고, 콘택홀(182)을 통해 화소전극(PE)과 전기적으로 연결된다. 상기 오믹콘택층은 상기 활성층과 소스 전극(S)의 사이 및 상기 활성층과 드레인 전극(D)의 사이에 형성되어, 접촉저항이 증가하는 것을 방지한다.
- [0052] 화소전극(PE)은 상기 단위화소 내에 형성되며, 투명하면서 도전성 물질로 이루어진다. 화소전극(PE)은 박막트랜지스터(TFT)의 드레인 전극(D)과 콘택홀(182)에 의해 전기적으로 연결되고, 박막트랜지스터(TFT)로부터 구동전압이 인가되어 충전된다.
- [0053] 화소전극(PE)은 일레로, 산화주석인듐(Indium Tin Oxide, ITO), 산화아연인듐(Indium Zinc Oxide, IZO), 아몰퍼스 산화주석인듐 박막(amorphous Indium Tin Oxide, a-ITO)으로 이루어질 수 있다.
- [0054] 스토리지 배선(SL)은 화소전극(PE)의 하부에 게이트 배선(DL)과 평행하게 형성되고, 상기 단위화소 내에 형성된 스토리지 전극을 포함한다. 스토리지 배선(SL)은 외부로부터 그라운드 전압을 인가한다. 상기 스토리지 전극은 화소전극(PE)과 소정거리 이격되어 형성됨에 따라, 스토리지 커패시터를 형성시킨다. 상기 스토리지 커패시터는 화소전극(PE)에 충전된 구동전압을 유지시킨다.
- [0055] 도 3a 내지 도 3c는 도 2의 I-I'라인을 따라서 절단한 단면도들이다.
- [0056] 도 2 및 도 3a를 참조하면, 본 실시예에 의한 제1 기관(100)은 투명기관(110), 게이트 배선(GL), 스토리지 배선(SL), 게이트 절연막(120), 제1 표면처리막(130), 데이터 배선(DL), 박막트랜지스터(TFT), 제2 표면처리막(170), 보호막(180) 및 화소전극(PE)을 포함한다. 이때, 박막트랜지스터(TFT)는 게이트 전극(G), 소스 전극(S), 드레인 전극(D), 활성층(A) 및 오믹콘택층(O)을 포함한다.
- [0057] 투명기관(110)은 플레이트 형상을 갖고, 투명한 물질로 이루어진다. 투명기관(110)은 예를 들면, 유리(Glass), 석영(Quartz), 사파이어(Sapphire) 또는 폴리에스테르(Polyester), 폴리아크릴레이트(Poly acrylate), 폴리카보네이트(Poly carbonate), 폴리에테르케톤(Poly ether ketone) 등의 투명한 합성 수지로 이루어진다.
- [0058] 게이트 배선(GL)은 제2 방향으로 투명기관(110) 상에 형성되고, 스토리지 배선(SL)도 게이트 배선(GL)과 동일한 방향으로 투명기관(110) 상에 형성된다. 게이트 전극(G)은 게이트 배선(GL)으로부터 제1 방향으로 분기되어 형성된다.
- [0059] 게이트 절연막(120)은 게이트 배선(GL), 게이트 전극(G) 및 스토리지 배선(SL)을 덮도록 투명기관(110) 상에 형성된다. 게이트 절연막(120)은 일레로, 질화 실리콘(SiNx) 등의 투명한 절연성 물질로 이루어진다.
- [0060] 제1 표면처리막(130)은 게이트 절연막(120)의 표면이 질화가스에 의해 표면처리됨에 따라 형성된다. 제1 표면처리막(130)은 질화실리콘(SiNx)으로 이루어지며, 제1 표면처리막(130)은 15Å ~ 25Å 범위의 두께를 갖는 것이 바람직하다. 이때, 제1 표면처리막(130)은 일레로, 게이트 절연막(120)의 표면에 형성된 댕글링 본드(dangling bond)의 수를 감소시킨다.

- [0061] 활성층(A)은 게이트 전극(G)을 가로지르도록 제1 표면처리막(130) 상에 형성되며, 일례로, 아몰퍼스 실리콘(amorphus silicon, a-Si)이다.
- [0062] 오믹콘택층(O)은 활성층(A) 상에 형성되고, 일례로, 고밀도 이온도핑 아몰퍼스 실리콘(highly ion doping amorphus silicon, nt a-Si)이다. 이때, 오믹콘택층(O)은 박막트랜지스터(TFT)의 중앙과 대응되는 부분이 제거되어 두 부분으로 분리된다.
- [0063] 데이터 배선(GL)은 제1 방향으로 연장되어 오믹콘택층(O) 상에 형성된다. 소스 전극(S)은 데이터 배선(GL)으로부터 제2 방향으로 연장되어 게이트 전극(G)의 일부와 겹치며, 오믹콘택층(O) 상에 형성된다.
- [0064] 드레인 전극(D)은 오믹콘택층(O) 상에 형성되며, 소스 전극(S)으로부터 소정거리 이격되어 게이트 전극(G)의 일부와 겹치도록 형성된다. 드레인 전극(D)은 단위화소 내로 길게 연장되는 것이 바람직하다.
- [0065] 여기서, 데이터 배선(DL), 소스전극(S) 및 드레인 전극(D) 모두의 하부에 오믹콘택층(O) 및 활성층(A)이 형성되는 것으로 설명하였으나, 이와 다르게 오믹콘택층(O) 및 활성층(A)은 게이트 전극(G)과 대응되는 위치에만 형성될 수 있다.
- [0066] 소스 전극(S) 및 드레인 전극(D)은 모두 제1 내지 제3 금속층(152, 154, 156)으로 이루어지는 것이 바람직하다. 예를 들어, 제1 내지 제3 금속층(152, 154, 156)은 순차적으로 몰리브덴(Mo)층, 알루미늄(Al)층 및 몰리브덴(Mo)층으로 이루어진다.
- [0067] 제2 표면처리막(170)은 소스 전극(S) 및 드레인 전극(D)의 사이와 대응되는 활성층(A)의 상부면에 형성되며, 상기 활성층(A)의 상부면이 질화가스에 의해 표면처리됨에 따라 형성된다. 제2 표면처리막(170)은 질화실리콘(SiNx)으로 이루어지며, 제2 표면처리막(170)은 15Å ~ 25Å 범위의 두께를 갖는 것이 바람직하다. 이때, 제2 표면처리막(170)은 일례로, 활성층(A)의 표면에 형성된 땀글링 본드(dangling bond)의 수를 감소시킨다.
- [0068] 보호막(180)은 박막트랜지스터(TFT)를 덮도록 기판 전면에 형성되어, 박막트랜지스터(TFT)를 외부의 열이나 습기로부터 보호한다. 보호막(180) 중 길게 연장된 드레인 전극(D)의 상부에는 보호막(180)의 일부가 개구된 콘택홀(182)이 형성된다. 보호막(180)은 일례로, 투명한 산화 실리콘(SiO₂)으로 이루어진다.
- [0069] 화소전극(PE)은 보호막(180)의 상부에 형성되며, 보호막(180)의 콘택홀(182)에 의해 드레인 전극(D)과 전기적으로 연결된다.
- [0070] 이와 같이, 본 실시예에 의한 제1 기판(100)은 제1 표면처리막(130) 및 제2 표면처리막(170)을 갖는 것으로 도 3a에 도시하였다. 즉, 제1 표면처리막(130)은 게이트 절연막(120) 및 활성층(A) 사이에 형성되고, 제2 표면처리막(170)은 활성층(A)의 상면에 형성된다.
- [0071] 그러나, 도 3b 및 도 3c를 참조하면, 제1 표면처리막(130) 및 제2 표면처리막(170) 중 어느 하나는 생략될 수 있다. 즉, 도 3b에서는 제2 표면처리막(170)이 생략된 제1 기판(100)을 도시하였고, 도 3c에서는 제1 표면처리막(130)이 생략된 제1 기판(100)을 도시하였다.
- [0072] 도 4는 표면처리에 따른 박막트랜지스터의 특성의 변화를 나타낸 그래프이다. 즉, 도 4는 게이트 전압의 변화에 따라 활성층 내에 흐르는 전류의 변화를 나타낸 그래프이다. 이때, 도 4에 나타난 검은 점들의 모임은 활성층 내로 광이 인가되지 않았을 때의 데이터 값들이고, 흰 점들의 모임은 활성층 내로 광이 인가되었을 때의 데이터 값들이다. 또한, 사각형 모양의 흰 점들은 표면처리 전의 데이터 값들이고, 원 모양의 흰 점들은 표면처리 후의 데이터 값들이다.
- [0073] 도 4를 참조하면, 활성층(A) 내로 광이 인가되지 않았을 경우, 게이트 전극(G)으로 양의 게이트 전압이 인가되면, 활성층(A) 내에는 최대 약 10⁻⁵ A의 전류가 흐르고, 게이트 전극(G)으로 음의 게이트 전압이 인가되면, 활성층(A) 내에는 최소 약 10⁻¹⁴ A의 전류가 흐른다. 활성층(A) 내로 흐르는 전류의 값은 표면처리 전이나 표면처리 후나 거의 동일하다. 이때, 10⁻¹⁴ A 정도의 전류는 매우 작은 양이므로, 활성층(A) 내로 누설전류가 거의 흐르지 않는다는 것을 알 수 있다.
- [0074] 반면, 활성층(A) 내로 광이 인가되었을 경우, 게이트 전극(G)으로 양의 게이트 전압이 인가되면, 활성층(A) 내에는 최대 약 10⁻⁵ A의 전류가 흐르고, 게이트 전극(G)으로 음의 게이트 전압이 인가되면, 활성층(A) 내에는 최소 약 10⁻¹² ~ 10⁻¹¹ A의 전류가 흐른다. 여기서, 표면처리 전에 활성층(A) 내로 흐르는 전류의 값은 최소 약 10⁻

¹¹ A이고, 표면처리 후에 활성층(A) 내로 흐르는 전류의 값은 최소 약 10^{-12} A이다. 즉, 표면처리한 후에 활성층(A) 내로 흐르는 전류의 값은 표면처리하기 전에 활성층(A) 내로 흐르는 전류의 값보다 상당히 낮아졌다.

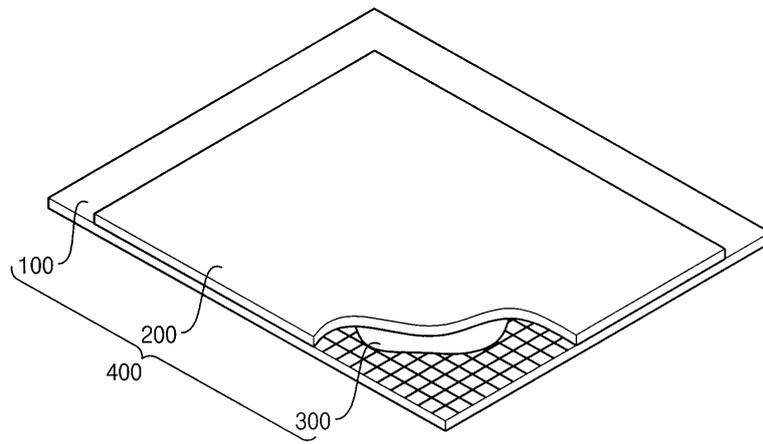
- [0075] 이와 같이, 제1 표면처리막(130) 또는 제2 표면처리막(170)이 게이트 절연막(120) 또는 활성층(A)의 표면을 질화가스로 표면처리를 통해 형성됨에 따라, 광에 의해 활성층(A) 내에서 누설전류가 흐르는 것을 억제할 수 있다.
- [0076] 구체적으로 설명하면, 활성층(A) 내로 입사된 광은 활성층(A) 내에서 전자전공쌍(electron hole pair)을 생성시키고, 이와 같이 생성된 전자 또는 전공은 활성층(A)의 계면에 형성된 땀글링 본드와 결합되면, 활성층 내로 누설전류를 발생시킨다. 이때, 활성층(A)의 상하면에 형성된 제1 표면처리층(130) 또는 제2 표면처리층(170)은 상기 땀글링 본드의 수를 감소시켜, 전자 또는 전공이 상기 땀글링 본드와 결합되는 것을 방지할 수 있고, 그 결과 활성층 내로 누설전류가 흐르는 것을 억제하여, 표시패널(400)의 화면에 잔상이 발생하는 것을 방지할 수 있다.
- [0077] <박막트랜지스터 기관의 제조방법의 실시예>
- [0078] 도 5 내지 도 15는 본 발명의 일 실시예에 따른 박막트랜지스터 기관의 제조방법을 설명하기 위한 단면도들이다.
- [0079] 도 2 및 도 5를 참조하면, 박막트랜지스터 기관의 제조방법으로, 우선 투명기관(110) 상에 게이트 전극(G)을 형성한다. 게이트 전극(G)이 형성될 때, 게이트 배선(GL) 및 스토리지 배선(SL)도 투명기관(110) 상에 함께 형성된다. 이때, 게이트 전극(G), 게이트 배선(GL) 및 스토리지 배선(SL)은 스퍼터링 방법으로 투명기관(110) 상에 형성된 금속층이 사진-식각 공정을 통해 패터닝됨으로써 형성되는 것이 바람직하다. 게이트 전극(G), 게이트 배선(GL) 및 스토리지 배선(SL)은 일례로, 알루미늄네오디움(AlNd) 및 몰리브덴(Mo)의 2중층으로 이루어진다.
- [0080] 이어서, 게이트 전극(G), 게이트 배선(GL) 및 스토리지 배선(SL)을 덮도록 투명기관(110) 상에 게이트 절연막(120)을 형성한다. 게이트 절연막(120)은 일례로, 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition, PECVD) 방법으로 형성되며, 질화 실리콘(SiNx)으로 이루어지는 것이 바람직하다.
- [0081] 도 2 및 도 6을 참조하면, 게이트 절연막(120)을 형성한 후, 질화가스를 이용하여 게이트 절연막(120)의 표면을 크리닝(cleaning)하면서 표면처리한다. 이때, 질화가스를 이용하여 게이트 절연막(120)의 표면을 표면처리함으로써, 게이트 절연막(120)의 표면에 형성된 땀글링 본드의 수를 감소시킬 수 있다.
- [0082] 상기 질화가스는 암모니아(NH_3) 가스 또는 질소(H_2) 가스이고, 바람직하게 암모니아(NH_3) 가스이다. 또한, 상기 질화가스는 게이트 절연막(120)의 표면과 반응성을 향상시키기 위해 플라즈마 상태로 존재하는 것이 바람직하다.
- [0083] 여기서, 상기 질화가스에 의한 표면처리에 의해 게이트 절연막(120)의 표면에는 제1 표면처리막(130)이 형성될 수 있다. 이때, 제1 표면처리막(130)의 두께는 상기 표면처리의 시간에 따라 달라지는 데, 15Å ~ 25Å 범위를 갖는 것이 바람직하다.
- [0084] 도 2 및 도 7을 참조하면, 상기 질화가스에 의한 표면처리 후, 표면처리된 게이트 절연막(120) 상에 반도체층(140)을 형성한다. 즉, 반도체층(140)은 일례로, 플라즈마 화학 기상 증착(PECVD)에 의해 제1 표면처리막(130) 상에 형성된다.
- [0085] 반도체층(140)은 제1 및 제2 반도체층(142, 144)으로 이루어지는 것이 바람직하고, 일례로, 제1 반도체층(142)은 아몰퍼스 실리콘(a-Si)으로 이루어지고, 제2 반도체층(144)은 고밀도 이온도핑 아몰퍼스 실리콘(n+ a-Si)으로 이루어진다.
- [0086] 이어서, 반도체층(140) 상에 금속층(150)을 형성한다. 금속층(150)은 일례로, 플라즈마 화학 기상 증착(PECVD)에 의해 형성될 수 있다. 금속층(150)은 일례로, 제1, 제2 및 제3 금속층(152, 154, 156)으로 이루어진다. 이때, 제1 금속층(152)은 몰리브덴(Mo)으로 이루어지고, 제2 금속층(154)은 알루미늄(Al)으로 이루어지고, 제3 금속층(156)은 몰리브덴(Mo)으로 이루어지는 것이 바람직하다.
- [0087] 도 2 및 도 8을 참조하면, 금속층(150)을 형성한 후, 금속층(150) 상에 포토레지스트층(미도시)을 형성한다. 상기 포토레지스트층은 네가티브 포토레지스트로 이루어지는 것이 바람직하다.
- [0088] 이어서, 상기 포토레지스트층을 마스크(50)를 통해 노광시킴으로써, 포토레지스트 패턴(160)을 형성한다. 이때,

포토리지스트 패턴(160)에는 소정의 깊이로 형성된 전극형성홀(162)이 형성되고, 바람직하게 전극형성홀(162)은 게이트 전극(G)의 상부에 대응되도록 형성된다.

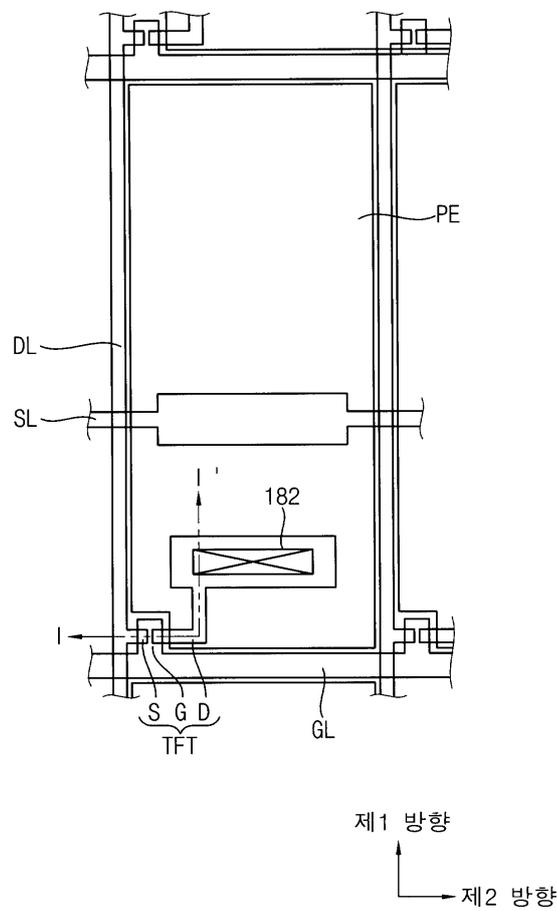
- [0089] 구체적으로 설명하면, 마스크(50)는 광이 통과되는 메인 개구부(52) 및 광이 회절되면서 투과하는 슬릿부(54)로 이루어진다. 메인 개구부(52)를 통해 통과된 광은 상기 포토리지스트층을 노광시켜 포토리지스트 패턴(160)을 형성시키고, 슬릿부(54)를 통해 회절된 광은 포토리지스트 패턴(160)에 전극형성홀(162)을 형성시킨다.
- [0090] 도 2 및 도 9를 참조하면, 포토리지스트 패턴(160)을 형성한 후, 포토리지스트 패턴(160)을 이용하여 금속층(150)의 일부를 제거한다. 구체적으로, 포토리지스트 패턴(160)이 형성되지 않는 제1, 제2 및 제3 금속층(152, 154, 156)의 일부를 식각액을 통해 식각한다. 이때, 금속층(150)의 일부를 식각됨에 따라, 데이터 배선(DL)이 형성된다.
- [0091] 이어서, 제거되고 남겨진 금속층(150)을 이용하여 반도체층(140)의 일부를 제거한다. 구체적으로, 제거되고 남겨진 금속층(150)을 이용하여 제1 및 제2 반도체층(142, 144)의 일부를 건식식각한다. 이때, 상기 건식식각은 일레로, 플라즈마 방전에 의해 생성된 이온을 통해 이루어진다. 제1 반도체층(142)의 일부가 식각되고 난 후, 남겨진 제1 반도체층(142)의 다른 일부는 활성층(A)을 형성한다.
- [0092] 도 2 및 도 10을 참조하면, 반도체층(140)의 일부를 식각한 후, 포토리지스트 패턴(160)의 두께를 소정의 크기 만큼 전체적으로 감소시킨다. 이때, 포토리지스트 패턴(160)의 전극형성홀(162)도 동일한 두께로 감소됨에 따라, 금속층(150)의 상면을 개구시키는 전극형성홀(164)이 형성된다.
- [0093] 도 2 및 도 11을 참조하면, 포토리지스트 패턴(160)의 두께를 감소시켜 전극형성홀(164)이 형성한 후, 남겨진 포토리지스트 패턴(160)을 이용하여 금속층(150)의 일부를 제거한다. 구체적으로, 금속층(150)은 전극형성홀(164)로 인가된 식각액을 통해 식각된다. 그 결과, 금속층(150)이 두 부분으로 분리됨에 따라, 소스 전극(S) 및 드레인 전극(D)이 형성된다. 포토리지스트 패턴(160)의 두께를 감소시키는 공정은 일레로, 포토리지스트 패턴(160)을 균일한 두께로 산화시킴으로써 이루어지는 것이 바람직하다.
- [0094] 이어서, 제거되고 남겨진 금속층(150)을 이용하여 제2 반도체층(144)의 일부를 제거한다. 이때, 활성층(A)도 제2 반도체층(144)의 일부가 제거될 때, 소정의 두께로 제거될 수 있다. 제2 반도체층(144)의 일부를 제거함에 따라, 활성층(A)의 상부면 중 일부가 외부로 노출된다. 또한, 활성층(A)과 소스 전극(S) 사이 및 활성층(A)과 드레인 전극(D) 사이에는 오믹콘택층(O)이 형성된다. 제2 반도체층(144)의 제거는 플라즈마 방전에 의해 생성된 이온들에 의해 이루어지는 것이 바람직하다.
- [0095] 이와 같이, 금속층(150) 및 제2 반도체층(144)이 두 부분으로 분리됨에 따라, 소스 전극(S) 및 드레인 전극(D) 사이에는 이격홀(10)이 형성된다.
- [0096] 도 2 및 도 12를 참조하면, 소스 전극(S) 및 드레인 전극(D)을 형성한 후, 남겨진 포토리지스트 패턴(160)을 완전히 제거한다. 이때, 포토리지스트 패턴(160)은 일레로, 플라즈마 통한 산화공정에 의해 이루어지는 것이 바람직하다.
- [0097] 도 13을 참조하면, 포토리지스트 패턴(160)을 완전히 제거한 후, 이격홀(10)을 통해, 질화가스를 주입하여 활성층(A)의 상부면을 표면처리한다. 이때, 질화가스를 이용하여 활성층(A)의 상부면을 표면처리함으로써, 활성층(A)의 표면에 형성된 덩글링 본드의 수를 감소시킬 수 있다.
- [0098] 상기 질화가스는 일레로, 암모니아(NH₃) 가스이고, 플라즈마 상태로 존재하는 것이 바람직하다. 이때, 상기 질화가스에 의해 활성층(A)의 상부면을 표면처리함에 따라, 제2 표면처리막(170)이 형성될 수 있다.
- [0099] 도 2 및 도 14를 참조하면, 활성층(A)의 상부면을 표면처리 한 후, 기관의 전면에 보호막(180)을 형성하고, 사 진-식각 공정을 통해 보호막(180)의 일부를 제거하여 콘택홀(182)을 형성한다. 보호막(180)의 일부를 제거하는 것은 건식식각에 의해 이루어지는 것이 바람직하다. 이때, 콘택홀(182)은 드레인 전극(D) 중 단위화소로 길게 연장된 부분의 상부에 형성된다.
- [0100] 도 2 및 도 15를 참조하면, 보호막(180)을 형성한 후, 보호막(180) 상에 투명한 도전성물질(미도시)을 형성하고, 상기 투명한 도전성물질의 일부를 제거하여 화소전극(PE)을 형성한다. 상기 투명한 도전성물질의 일부를 제거하는 것은 습식식각에 의해 이루어지는 것이 바람직하다. 이때, 화소전극(PE)은 보호막(180)의 콘택홀(182)을 통해 드레인 전극(D)과 전기적으로 연결된다.
- [0101] 본 실시예에 따르면, 게이트 절연막(120) 또는 활성층(A)의 표면을 질화가스로 표면처리를 통해 형성됨에 따라,

도면

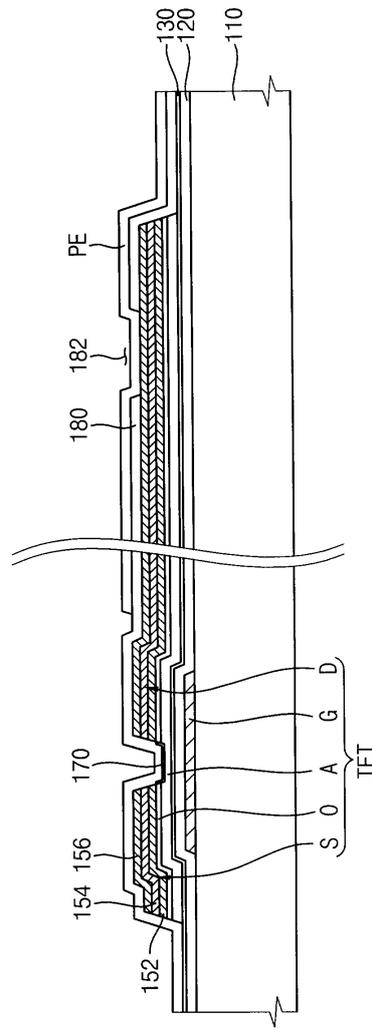
도면1



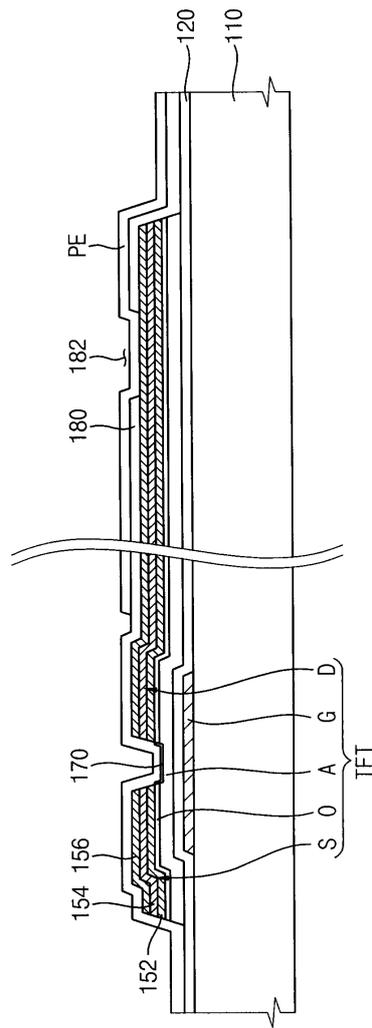
도면2



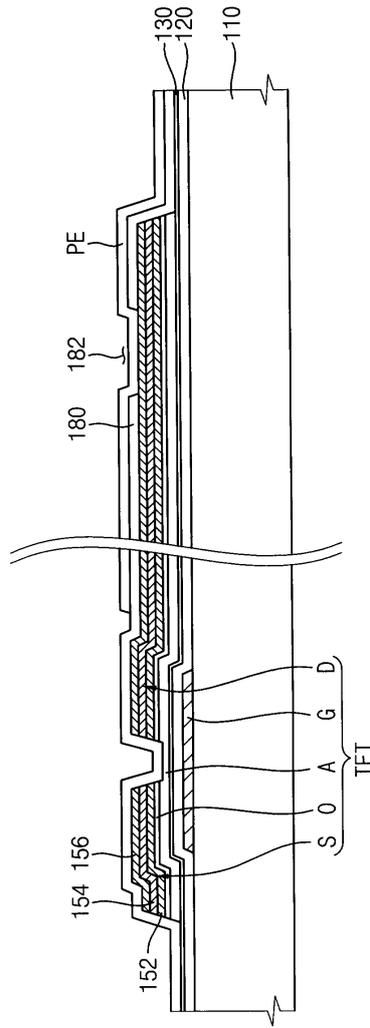
도면3a



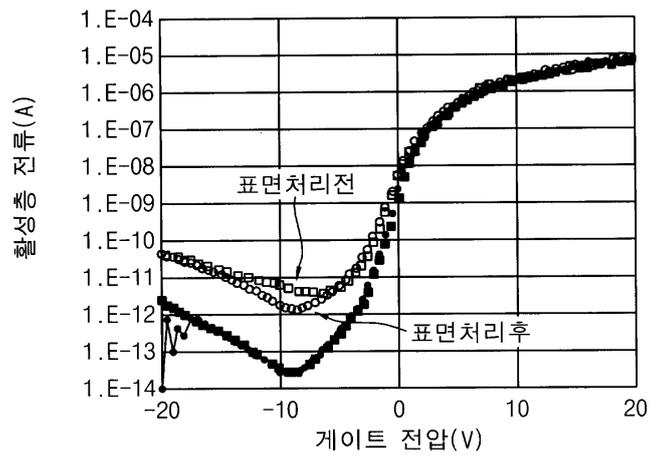
도면3b



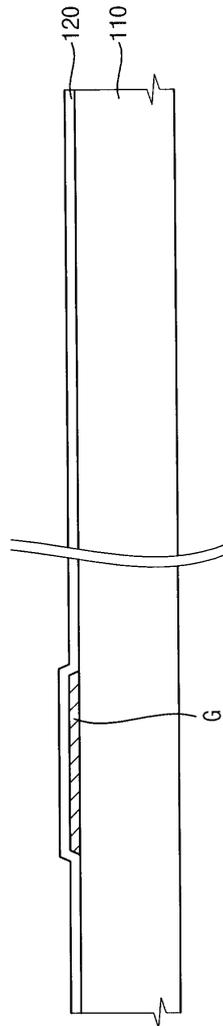
도면3c



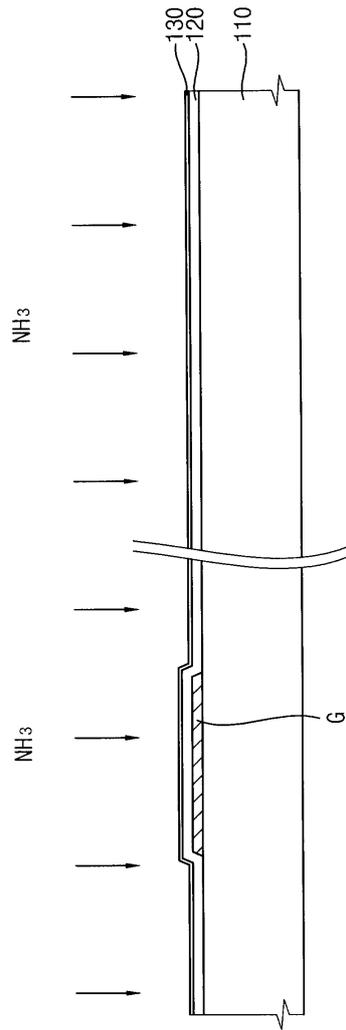
도면4



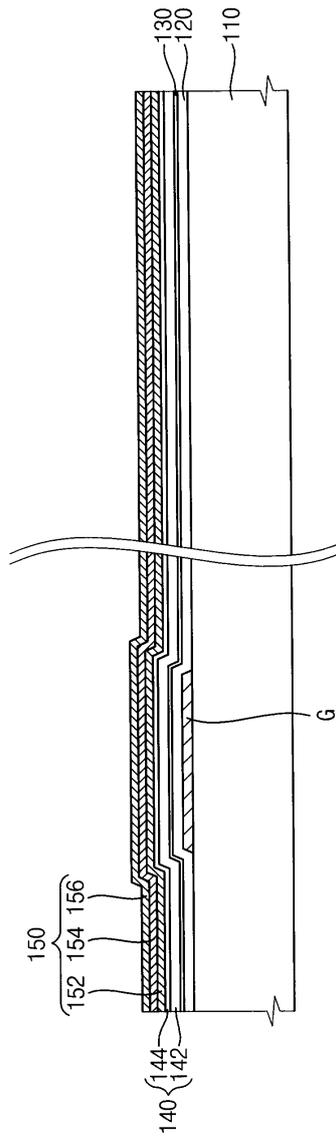
도면5



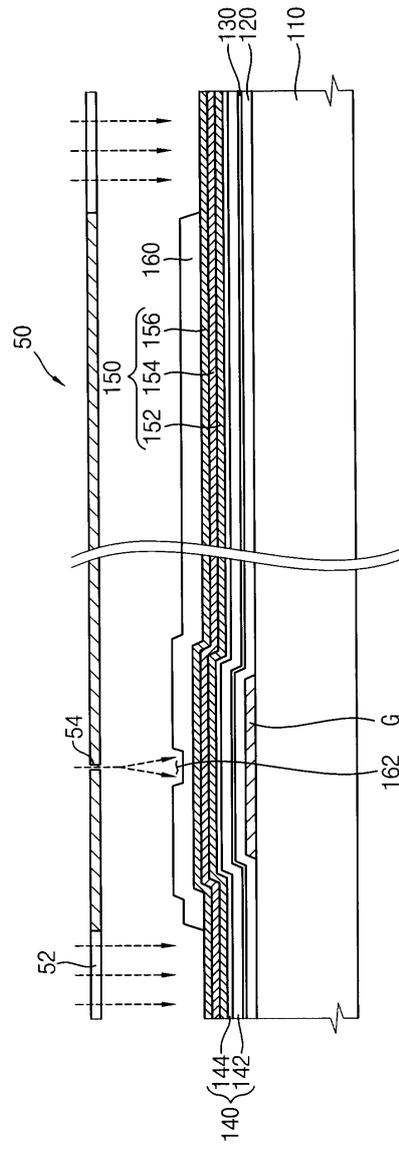
도면6



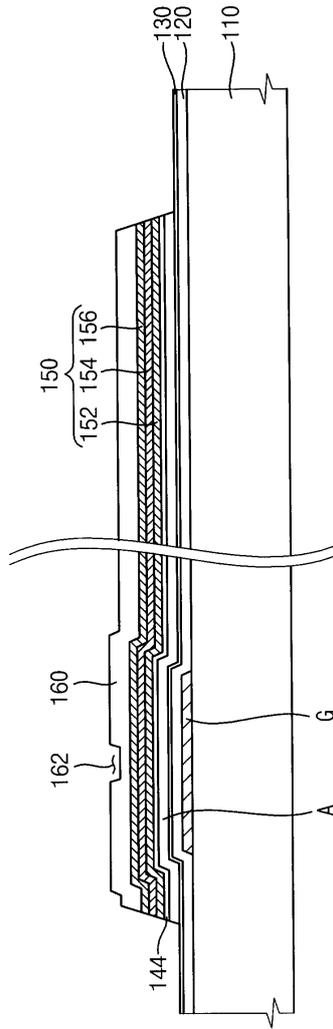
도면7



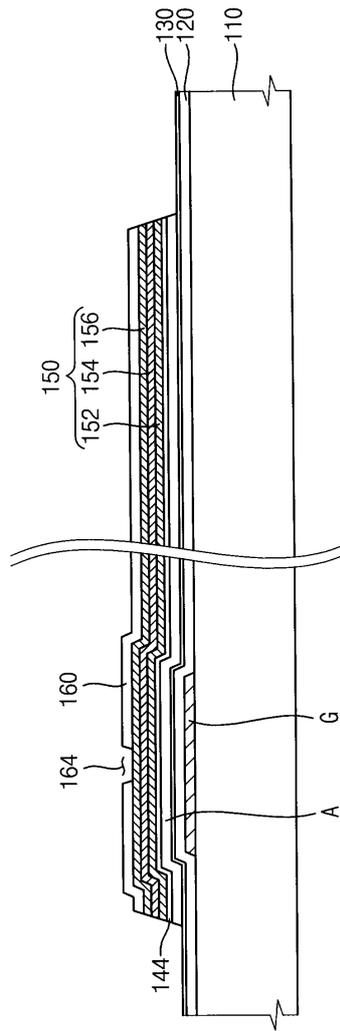
도면8



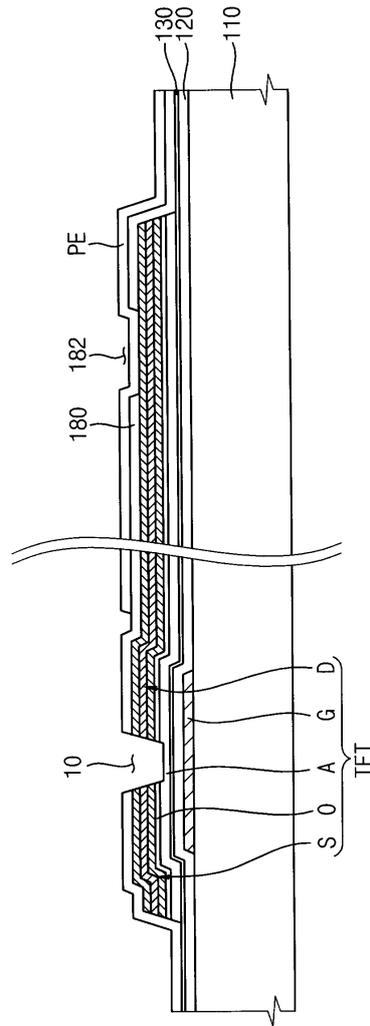
도면9



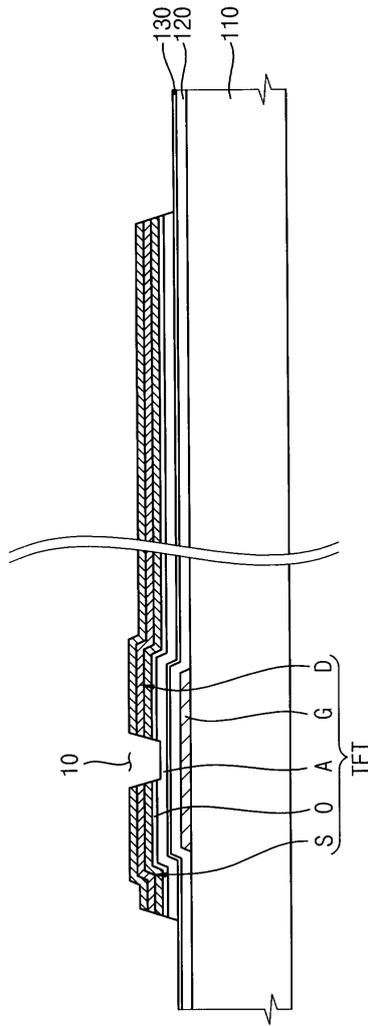
도면10



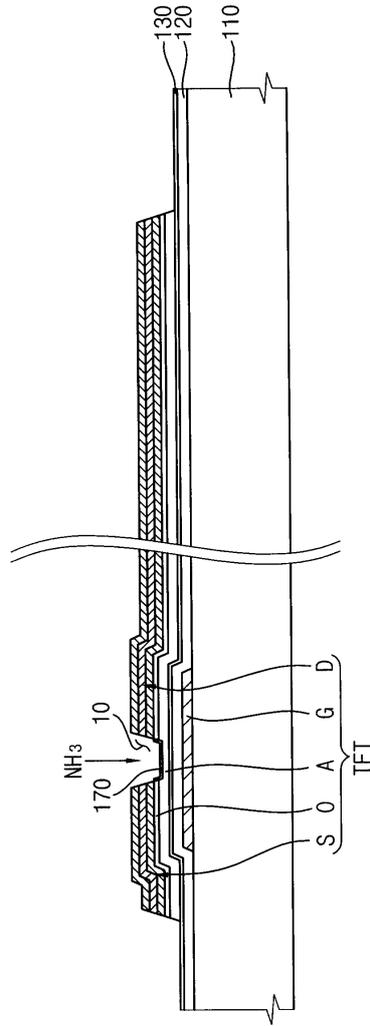
도면11



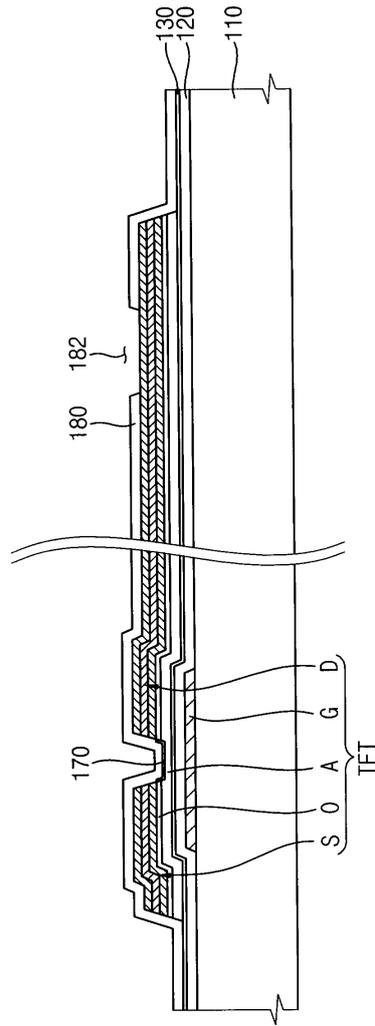
도면12



도면13



도면14



도면15

