



(12) 发明专利

(10) 授权公告号 CN 111799237 B

(45) 授权公告日 2022. 08. 26

(21) 申请号 202010704875.5

H01L 51/52 (2006.01)

(22) 申请日 2020.07.21

H01L 21/77 (2017.01)

(65) 同一申请的已公布的文献号
申请公布号 CN 111799237 A

(56) 对比文件

CN 103178754 A, 2013.06.26

CN 203119810 U, 2013.08.07

(43) 申请公布日 2020.10.20

审查员 贾枫

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
专利权人 成都京东方光电科技有限公司

(72) 发明人 李尚恒 王伟 杨鸣 党扬 王森

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

专利代理师 许静 张博

(51) Int. Cl.

H01L 23/38 (2006.01)

H01L 27/32 (2006.01)

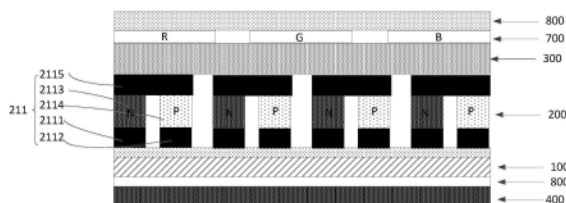
权利要求书2页 说明书10页 附图6页

(54) 发明名称

一种显示基板及其制造方法、显示装置

(57) 摘要

本发明提供一种显示基板及其制造方法、显示装置,显示基板包括:衬底;形成于衬底上的半导体制冷单元阵列;形成于半导体制冷单元阵列上的驱动器件层;半导体制冷单元阵列包括阵列分布的多个制冷单元,制冷单元包括:第一导电单元,包括间隔设置的第一导电块和第二导电块;半导体单元,包括一个N型半导体和一个P型半导体,N型半导体与第一导电块在衬底上的正投影至少部分重合,P型半导体与第二导电块在衬底上的正投影至少部分重合;第三导电块,N型半导体和P型半导体与第三导电块在衬底上的正投影至少部分重叠,第三导电块连接N型半导体和P型半导体。本发明显示基板及其制造方法、显示装置,提高显示基板自身散热能力,提高显示基板寿命。



1. 一种显示基板,其特征在於,包括:衬底;形成於所述衬底之上的半导体制冷单元阵列;及,形成於所述半导体制冷单元阵列的远离所述衬底的一侧的驱动器件层;其中,所述半导体制冷单元阵列包括阵列分布的多个制冷单元,所述制冷单元包括:

形成於所述衬底之上的第一导电单元,所述第一导电单元包括间隔设置的第一导电块和第二导电块;

形成於所述第一导电单元的远离所述衬底的一侧的半导体单元,所述半导体单元包括一个N型半导体和一个P型半导体,所述N型半导体在所述衬底上的正投影与所述第一导电块在所述衬底上的正投影至少部分重合,所述P型半导体在所述衬底上的正投影与所述第二导电块在所述衬底上的正投影至少部分重合;

以及,形成於所述半导体单元的远离所述衬底的一侧的第二导电单元,所述第二导电单元包括第三导电块,所述N型半导体和所述P型半导体在所述衬底上的正投影均与所述第三导电块在所述衬底上的正投影至少部分重叠,所述第三导电块连接所述N型半导体和所述P型半导体;

所述半导体制冷单元阵列中,同一列所述制冷单元的所述第一导电块之间通过第一信号线串联;同一列所述制冷单元的所述第二导电块之间通过第二信号线串联;所述第一信号线连接正电极或负电极中的一个,所述第二信号线连接正电极或负电极中的另一个。

2. 根据权利要求1所述的显示基板,其特征在於,

所述显示基板包括显示区域和位於所述显示区域外围的周边区域,所述周边区域包括设置有驱动电路的走线密集区;所述第一信号线和所述第二信号线与所述驱动电路电连接。

3. 根据权利要求1所述的显示基板,其特征在於,

所述显示基板包括显示区域和位於所述显示区域外围的周边区域,所述周边区域包括设置有驱动电路的走线密集区;所述半导体制冷单元阵列包括位於所述走线密集区的第一区域和位於所述显示区域的第二区域,所述第一区域中所述制冷单元排布的阵列密度,大於所述第二区域中所述制冷单元排布的阵列密度。

4. 根据权利要求1所述的显示基板,其特征在於,

不同所述制冷单元的所述第三导电块之间相互绝缘设置。

5. 根据权利要求1所述的显示基板,其特征在於,

所述第一导电单元的材质选用金属材料,所述金属材料选用锌、钼、铜、银、铝、铁、锡、钨、镍中至少一种;

所述第二导电单元的材质选用金属材料,所述金属材料选用锌、钼、铜、银、铝、铁、锡、钨、镍中至少一种。

6. 根据权利要求1至5任一项所述的显示基板,其特征在於,

在所述衬底的背离所述半导体制冷单元阵列的一侧还设有散热膜层。

7. 一种显示装置,其特征在於,包括如权利要求1至6任一项所述的显示基板。

8. 一种显示基板的制造方法,其特征在於,用于制造如权利要求1至6任一项所述的显示基板,所述方法包括:

提供一衬底;

在所述衬底上形成半导体制冷单元阵列,所述半导体制冷单元阵列包括阵列分布的多

个制冷单元,每一所述制冷单元包括:所述制冷单元包括:形成于所述衬底之上的第一导电单元,所述第一导电单元包括间隔设置的第一导电块和第二导电块;形成于所述第一导电单元的远离所述衬底的一侧的半导体单元,所述半导体单元包括一个N型半导体和一个P型半导体,所述N型半导体在所述衬底上的正投影与所述第一导电块在所述衬底上的正投影至少部分重合,所述P型半导体在所述衬底上的正投影与所述第二导电块在所述衬底上的正投影至少部分重合;以及,形成于所述半导体单元的远离所述衬底的一侧的第二导电单元,所述第二导电单元包括第三导电块,所述N型半导体和所述P型半导体在所述衬底上的正投影均与所述第三导电块在所述衬底上的正投影至少部分重叠,所述第三导电块连接所述N型半导体和所述P型半导体;

在所述半导体制冷单元阵列的远离所述衬底的一侧形成驱动器件层;

所述半导体制冷单元阵列中,同一列所述制冷单元的所述第一导电块之间通过第一信号线串联;同一列所述制冷单元的所述第二导电块之间通过第二信号线串联;所述第一信号线连接正电极或负电极中的一个,所述第二信号线连接正电极或负电极中的另一个。

9. 根据权利要求8所述的方法,其特征在于,

所述在所述衬底上形成半导体制冷单元阵列,具体包括:

在所述衬底上形成第一导电层;

对所述第一导电层进行图案化处理,以形成所述第一导电块和所述第二导电块;

在所述第一导电块和所述第二导电块上形成第一半导体衬底;

对所述第一半导体衬底进行图案化处理,形成阵列分布的多个第一半导体;

采用掩模板,遮挡住一部分所述第一半导体,进行离子掺杂,使所述第一半导体中未被所述掩模板遮挡的所述第一半导体离子掺杂后形成第二半导体,其中所述第一半导体为所述N型半导体和所述P型半导体中的其中一种,所述第二半导体为所述N型半导体和所述P型半导体中的另一种;

在所述第一半导体和所述第二半导体上形成第二导电层;

对所述第二导电层进行图案化处理,以形成多个所述第三导电块。

10. 根据权利要求8所述的方法,其特征在于,

所述在所述衬底上形成半导体制冷单元阵列,具体包括:

在所述衬底上形成第一导电层;

对所述第一导电层进行图案化处理,以形成所述第一导电块和所述第二导电块;

在所述第一导电块和所述第二导电块上形成第一半导体衬底;

对所述半导体衬底进行图案化处理,以形成阵列分布的多个第一半导体,所述第一半导体为N型半导体和P型半导体中的其中一种;

在所述第一导电层上形成第二半导体衬底;

对所述半导体衬底进行图案化处理,以形成阵列分布的多个第二半导体,所述第二半导体为N型半导体和P型半导体中的另一种;

在所述第一半导体和第二半导体上形成第二导电层;

对所述第二导电层进行图案化处理,以形成多个所述第三导电块。

一种显示基板及其制造方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种显示基板及其制造方法、显示装置。

背景技术

[0002] 对于显示产品,尤其是OLED(Organic Light-Emitting Diode,又称为有机电激光显示、有机发光半导体)显示产品,在工作当中,由于自身发光产生大量的热量,会延迟OLED响应时间,长时间处于高温的工作状态,会加速有机电致发光材料(EL材料)的老化,缩短寿命。在相关技术中,在OLED显示产品的基底背面贴附散热膜,但是散热效果有限。

发明内容

[0003] 为了解决上述技术问题,本发明提供一种显示基板及其制造方法、显示装置,能够提高显示基板自身散热能力,提高显示基板的寿命。

[0004] 为了达到上述目的,本发明所采用的技术方案如下:

[0005] 一方面,本发明提供了一种显示基板,包括:衬底;形成于所述衬底之上的半导体制冷单元阵列;及,形成于所述半导体制冷单元阵列的远离所述衬底的一侧的驱动器件层;其中,所述半导体制冷单元阵列包括阵列分布的多个制冷单元,所述制冷单元包括:

[0006] 形成于所述衬底之上的第一导电单元,所述第一导电单元包括间隔设置的第一导电块和第二导电块;

[0007] 形成于所述第一导电单元的远离所述衬底的一侧的半导体单元,所述半导体单元包括一个N型半导体和一个P型半导体,所述N型半导体在所述衬底上的正投影与所述第一导电块在所述衬底上的正投影至少部分重合,所述P型半导体在所述衬底上的正投影与所述第二导电块在所述衬底上的正投影至少部分重合;

[0008] 以及,形成于所述半导体单元的远离所述衬底的一侧的第二导电单元,所述第二导电单元包括第三导电块,所述N型半导体和所述P型半导体在所述衬底上的正投影均与所述第三导电块在所述衬底上的正投影至少部分重叠,所述第三导电块连接所述N型半导体和所述P型半导体。

[0009] 示例性的,所述半导体制冷单元阵列中,同一列所述制冷单元的所述第一导电块之间通过第一信号线串联;同一列所述制冷单元的所述第二导电块之间通过第二信号线串联;所述第一信号线连接正电极或负电极中的一个,所述第二信号线连接正电极或负电极中的另一个。

[0010] 示例性的,所述显示基板包括显示区域和位于所述显示区域外围的周边区域,所述周边区域包括设置有驱动电路的走线密集区;所述第一信号线和所述第二信号线与所述驱动电路电连接。

[0011] 示例性的,所述显示基板包括显示区域和位于所述显示区域外围的周边区域,所述周边区域包括设置有驱动电路的走线密集区;所述半导体制冷单元阵列包括位于所述走线密集区的第一区域和位于所述显示区域的第二区域,所述第一区域中所述制冷单元排布

的阵列密度,大于所述第二区域中所述制冷单元排布的阵列密度。

[0012] 示例性的,不同所述制冷单元的所述第三导电块之间相互绝缘设置。

[0013] 示例性的,所述第一导电单元的材质选用金属材料,所述金属材料选用锌、钼、铜、银、铝、铁、锡、钨、镍中至少一种;

[0014] 所述第二导电单元的材质选用金属材料,所述金属材料选用锌、钼、铜、银、铝、铁、锡、钨、镍中至少一种。

[0015] 示例性的,在所述衬底的背离所述半导体制冷单元阵列的一侧还设有散热膜层。

[0016] 另一方面,本公开实施例提供了一种显示装置,包括本公开实施例提供的显示基板。

[0017] 另一方面,本公开实施例提供了一种显示基板的制造方法,用于制造本公开实施例提供的显示基板,所述方法包括:

[0018] 提供一衬底;

[0019] 在所述衬底上形成半导体制冷单元阵列,所述半导体制冷单元阵列包括阵列分布的多个制冷单元,每一所述制冷单元包括:所述制冷单元包括:形成于所述衬底之上的第一导电单元,所述第一导电单元包括间隔设置的第一导电块和第二导电块;形成于所述第一导电单元的远离所述衬底的一侧的半导体单元,所述半导体单元包括一个N型半导体和一个P型半导体,所述N型半导体在所述衬底上的正投影与所述第一导电块在所述衬底上的正投影至少部分重合,所述P型半导体在所述衬底上的正投影与所述第二导电块在所述衬底上的正投影至少部分重合;以及,形成于所述半导体单元的远离所述衬底的一侧的第二导电单元,所述第二导电单元包括第三导电块,所述N型半导体和所述P型半导体在所述衬底上的正投影均与所述第三导电块在所述衬底上的正投影至少部分重叠,所述第三导电块连接所述N型半导体和所述P型半导体;

[0020] 在所述半导体制冷单元阵列的远离所述衬底的一侧形成驱动器件层。

[0021] 示例性的,所述在所述衬底上形成半导体制冷单元阵列,具体包括:

[0022] 在所述衬底上形成第一导电层;

[0023] 对所述第一导电层进行图案化处理,以形成所述第一导电块和所述第二导电块;

[0024] 在所述第一导电块和所述第二导电块上形成第一半导体衬底;

[0025] 对所述第一导电层进行图案化处理,以形成所述第一导电块和所述第二导电块;

[0026] 在所述第一导电块和所述第二导电块上形成第一半导体衬底;

[0027] 对所述第一半导体衬底进行图案化处理,形成阵列分布的多个第一半导体;

[0028] 采用掩模板,遮挡住一部分所述第一半导体,进行离子掺杂,使所述第一半导体中未被所述掩模板遮挡的所述第一半导体离子掺杂后形成第二半导体,其中所述第一半导体为所述N型半导体和所述P型半导体中的其中一种,所述第二半导体为所述N型半导体和所述P型半导体中的另一种;

[0029] 在所述第一半导体和所述第二半导体上形成第二导电层;

[0030] 对所述第二导电层进行图案化处理,以形成多个所述第三导电块。

[0031] 示例性的,所述在所述衬底上形成半导体制冷单元阵列,具体包括:

[0032] 在所述衬底上形成第一导电层;

[0033] 对所述第一导电层进行图案化处理,以形成所述第一导电块和所述第二导电块;

- [0034] 在所述第一导电块和所述第二导电块上形成第一半导体衬底；
- [0035] 对所述半导体衬底进行图案化处理，以形成阵列分布的多个第一半导体，所述第一半导体为N型半导体和P型半导体中的其中一种；
- [0036] 在所述第一导电层上形成第二半导体衬底；
- [0037] 对所述半导体衬底进行图案化处理，以形成阵列分布的多个第二半导体，所述第二半导体为N型半导体和P型半导体中的另一种；
- [0038] 在所述第一半导体和第二半导体上形成第二导电层；
- [0039] 对所述第二导电层进行图案化处理，以形成多个所述第三导电块。
- [0040] 本公开实施例所带来的有益效果如下：
- [0041] 上述方案中，在显示基板的所述衬底与所述驱动器件层之间设置半导体制冷单元阵列，每一所述制冷单元中所述第一导电块连接所述N型半导体，所述第二导电块连接所述P型半导体，而所述第三导电块与所述P型半导体和所述N型半导体均连接，所述第一导电块和所述第二导电块上分别接入电源正、负极，这样，每个所述制冷单元中，电流从第一导电单元的第一导电块流入，经过P型半导体、所述第三导电块、所述N型半导体、所述第二导电块而形成回路，通过珀尔帖效应，在所述第三导电块处形成冷端，对该第三导电块上的膜层进行降温，例如，当该显示基板应用于OLED显示基板时，所述第三导电块处形成的冷端可对所述驱动器件层及有机发光材料进行降温。
- [0042] 由此可见，本公开所提供的显示基板及其制造方法、显示装置，通过在所述衬底与所述驱动器件层之间设置集传热与制冷效果于一体的所述半导体制冷单元阵列，增加显示产品自身散热能力，可以提高有机发光材料寿命。

附图说明

- [0043] 图1表示本公开所提供的显示装置的一种示例性实施例的结构示意图；
- [0044] 图2表示本公开所提供的显示基板中第一导电单元在衬底上的阵列排布示意图；
- [0045] 图3表示表示本公开所提供的显示基板中半导体单元在衬底上的阵列排布示意图；
- [0046] 图4表示本公开所提供的显示基板中第二导电单元在衬底上的阵列排布示意图；
- [0047] 图5表示本公开所提供的显示基板的制造方法中步骤S01的示意图；
- [0048] 图6表示本公开所提供的显示基板的制造方法中步骤S02的示意图；
- [0049] 图7表示本公开所提供的显示基板的制造方法中步骤S03的示意图；
- [0050] 图8表示本公开所提供的显示基板的制造方法中步骤S04的示意图；
- [0051] 图9表示本公开所提供的显示基板的制造方法中步骤S05的示意图；
- [0052] 图10表示本公开所提供的显示基板的制造方法中步骤S06的示意图；
- [0053] 图11表示本公开所提供的显示基板的制造方法中步骤S07的示意图；
- [0054] 图12表示本公开所提供的显示基板的结构示意图；
- [0055] 图13表示本公开所提供的显示基板中第一导电单元在衬底上的阵列排布另一实施例的示意图。

具体实施方式

[0056] 为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

[0057] 除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

[0058] 在对本公开实施例提供的显示基板及其制造方法、显示装置进行详细说明之前，有必要对相关技术进行以下说明：

[0059] 对于显示产品，尤其是OLED(Organic Light-Emitting Diode,又称为有机电激光显示、有机发光半导体)显示产品，在工作当中，由于自身发光产生大量的热量，会延迟OLED响应时间，长时间处于高温的工作状态，会加速有机电致发光材料(EL材料)的老化，缩短寿命。在相关技术中，在OLED显示产品的基底背面贴附散热膜，但是散热效果有限。

[0060] 为了解决上述技术问题，在本公开实施例中提供了一种显示基板及其制造方法、显示装置，能够提高显示基板自身散热能力，提高显示基板的寿命。

[0061] 如图1至图4及图12所示，本公开实施例所提供的显示基板包括：

[0062] 衬底100；形成于所述衬底100之上的半导体制冷单元阵列200；及，形成于所述半导体制冷单元阵列200的远离所述衬底100的一侧的驱动器件层300；其中，所述半导体制冷单元阵列200包括阵列分布的多个制冷单元211，所述制冷单元211包括：

[0063] 形成于所述衬底100之上的第一导电单元，所述第一导电单元包括间隔设置的第一导电块2111和第二导电块2112；

[0064] 形成于所述第一导电单元的远离所述衬底100的一侧的半导体单元，所述半导体单元包括一个N型半导体2113和一个P型半导体2114，所述N型半导体2113在所述衬底100上的正投影与所述第一导电块2111在所述衬底100上的正投影至少部分重合，所述P型半导体2114在所述衬底100上的正投影与所述第二导电块2112在所述衬底100上的正投影至少部分重合；

[0065] 以及，形成于所述半导体阵列的远离所述衬底100的一侧的第二导电单元，所述第二导电单元包括第三导电块2115，所述N型半导体2113和所述P型半导体2114在所述衬底100上的正投影均与所述第三导电块2115在所述衬底100上的正投影至少部分重叠，所述第三导电块2115连接所述N型半导体2113和所述P型半导体2114，不同所述制冷单元211的所述第三导电块2115之间相互绝缘设置。

[0066] 半导体材料的珀尔帖效应是指，当直流电通过两种不同半导体材料串联成的电偶

时,在电偶的两端即可分别吸收热量和放出热量,以实现制冷的目的,且制冷时间很快,在热端散热良好、冷端空载的情况下,通电不到一分钟,制冷片就能达到最大温差。

[0067] 在上述公开实施例中,在显示基板的所述衬底100与所述驱动器件层300之间设置半导体制冷单元阵列200,即利用半导体材料的帕尔帖效应,来提高显示基板自身散热能力,具体的,在每一所述制冷单元211中,所述第一导电块2111连接所述N型半导体2113,所述第二导电块2112连接所述P型半导体2114,而所述第三导电块2115与所述P型半导体2114、所述N型半导体2113均连接,所述第一导电块2111和所述第二导电块2112上分别接入电源正、负极,这样,每个所述制冷单元211中,电流从第一导电块2111流入,经过P型半导体2114、所述第三导电块2115、所述N型半导体2113、所述第二导电块2112而形成回路,通过珀尔帖效应,在所述第三导电块2115处形成冷端,对该第三导电块2115上的膜层进行降温,例如,当该显示基板应用于OLED显示基板时,所述第三导电块2115处形成的冷端可对该第三导电块2115上的所述驱动器件层300及有机发光材料进行降温;同时,在珀尔帖效应下,所述第一导电块2111和所述第二导电块2112形成热端,由于所述第一导电单元在所述衬底100的背离所述半导体制冷单元阵列200的一侧,也就是,该第一导电单元靠近衬底100的背面,可以通过在所述衬底100的背离所述半导体制冷单元阵列200的一侧贴散热膜400,以通过所述散热膜400进行散热。

[0068] 由此可见,本公开实施例所提供的显示基板,通过在所述衬底100与所述驱动器件层300之间设置集传热与制冷效果于一体的所述半导体制冷单元阵列200,增加显示产品自身散热能力,可以提高有机发光材料(EL材料)寿命。

[0069] 需要说明的是,本公开实施例提供的显示基板可以应用于OLED显示基板中,也可以应用于其他类型显示基板中,对此不进行限定。

[0070] 此外,本公开实施例中,所述半导体制冷单元阵列200中,所述第一导电单元的材质选用导电性良好的金属材料,例如,选用锌、钼、铜、银、铝、铁、锡、钨、镍中至少一种;所述第二导电单元的材质选用导电性良好的金属材料,例如,选用锌、钼、铜、银、铝、铁、锡、钨、镍中至少一种,这样,所述半导体制冷单元阵列200为“金属-半导体-金属”结构。

[0071] 其中,所述第一导电单元外接信号线,以连通电源,该信号线可以是与所述第一导电单元同材质且同层设置,在图案化形成所述第一导电单元时同时形成信号线。当然可以理解的是,所述第一导电单元还可以与所述信号线不同层设置,对此不限定。

[0072] 此外,在本公开的一些实施例中,如图2所示,所述半导体制冷单元阵列200中,同一列所述制冷单元211的所述第一导电块2111之间通过第一信号线500串联;同一列所述制冷单元211的所述第二导电块2112之间通过第二信号线600串联;所述第一信号线500连接正电极或负电极中的一个,所述第二信号线600连接正电极或负电极中的另一个。

[0073] 在上述实施例中,如图2所示,以所述第一导电块2111和所述第二导电块2112沿第一方向X(即半导体制冷单元阵列200的行方向)间隔设置为例,多个所述制冷单元211中,所述第一导电块2111在所述衬底100上呈阵列排布,所述第二导电块2112在所述衬底100上呈阵列排布,同一列所述制冷单元211中的第一导电块2111沿第二方向Y排列为一系列,同一列所述制冷单元211中的第二导电块2112沿第二方向Y排列为一系列,例如图示的一些实施例中,多列所述第一导电块2111和多列所述第二导电块2112交替排列,同一列所述第一导电块2111串联一起,外接电源正电极或负电极中的一个;同一列所述第二导电块2112串联一

起,并外接电源正电极或负电极中的另一个,例如,所述第一导电块2111均连接电源正电极,所述第二导电块2112连接电源负电极。

[0074] 相应的,同一列所述制冷单元211中的所述N型半导体2113在第二方向Y上排列为一列,同一列所述制冷单元211中的所述P型半导体2114在第二方向Y上排列为一列,例如图1所示的一些实施例中,多列所述N型半导体2113和多列所述P型半导体2114交替排列。

[0075] 此外,在本公开一些实施例中,所述显示基板包括显示区域和位于所述显示区域外围的周边区域,所述周边区域包括设置有驱动电路600的走线密集区,也就是PAD区,如图2所示,所述第一信号线500和所述第二信号线600与PAD区的所述驱动电路600电连接。

[0076] 在上述实施例中,所述第一信号线500和所述第二信号线600通过与PAD区的驱动电路600电连接,以实现所述第一导电块2111和所述第二导电块2112外接电源。

[0077] 需要说明的是,在上述实施例中,同一列所述制冷单元211的所述第一导电块2111之间通过第一信号线500串联,同一列所述制冷单元211的所述第二导电块2112之间通过第二信号线600串联,可以减少走线布设;而其他实施例中,也可以是,同一行所述制冷单元211的所述第一导电块2111之间串联,同一行所述制冷单元211的所述第二导电块2112之间串联;或者,还可以是,每一个或每几个制冷单元211为一组,一组制冷单元211中的第一导电块2111串联,一组制冷单元211中的第二导电块2112串联。

[0078] 此外,在本公开一些实施例的实施例中,所述半导体制冷单元阵列200包括位于所述走线密集区的第一区域和位于所述显示区域的第二区域,所述第一区域中所述制冷单元211排布的阵列密度,大于所述第二区域中所述制冷单元211排布的阵列密度。

[0079] 在上述公开实施例中,可根据显示基板的热量汇聚情况,控制不同区域的半导体制冷阵列具有不同的阵列密度,例如,在显示区域外围的走线密集区,由于走线布设更为密集,热量汇聚情况更为严重,因此,相应的,在所述走线密集区,设置数量更多的制冷单元211,实现高精确散热。

[0080] 需要说明的是,在上述实施例中,所述制冷单元211排布的阵列密度,可以是指,在单位面积内所述制冷单元211的分布数量。其中,可通过改变相邻所述制冷单元211之间的间距,或者,改变所述制冷单元211中所述第一导电块2111、所述第二导电块2112、所述N型半导体2113、所述P型半导体2114和所述第三导电块2115在所述衬底100上的面积等方式,调整制冷单元211的阵列密度。

[0081] 例如,图13所示,在所述显示区域,一行所述制冷单元211中的制冷单元211数量为M个,而在所述走线密集区,一行所述制冷单元211中的制冷单元211数量为M+N个,M、N均为大于或等于1的整数。

[0082] 需要说明的是,当所述走线密集区的制冷单元211的阵列密度大于所述显示区域的制冷单元211的阵列密度时,所述显示区域内的同一列制冷单元211,可与所述走线密集区的相邻两列或多列制冷单元211的第一导电块2111串联,相应的,所述显示区域内的同一列制冷单元211,可与所述走线密集区的相邻两列或多列制冷单元211的第二导电块2112串联,例如,图13所示,在所述显示区域的第一列制冷单元211的第一导电块2111,与所述走线密集区的第一列制冷单元211中的第一导电块2111串联,在所述显示区域的第一列制冷单元211的第二导电块2112与驱动电路600连接。

[0083] 需要说明的是,本公开实施例所提供的显示基板,可以为OLED显示基板,其中所述

驱动器件层300包括形成有阵列驱动电路的背板结构,即,BP阵列背板,该阵列驱动电路可以包括阵列分布的多个薄膜晶体管等;在所述驱动器件层300上还可以设置发光元件700,该发光元件包括阴极层、有机发光层和阳极层等;在所述发光元件700上,还可以设置薄膜封装层800,以封装发光元件。

[0084] 此外,还需要说明的是,本公开实施例所提供的显示基板中,所述衬底100可以是柔性衬底100,例如,PI(聚酰亚胺)衬底100,该显示基板应用于柔性OLED器件中,但是并不以此为限,所述显示基板也可以是应用于液晶显示基板上,所述衬底100还可以是硬性衬底,例如,玻璃衬底100等。

[0085] 还需要说明的是,所述衬底100为柔性衬底时,在所述衬底100的背离所述驱动器件层的一侧还可以设置保护膜层800,所述保护膜层800位于所述衬底100与所述散热膜400之间。

[0086] 此外,本公开实施例所提供的显示基板中,所述半导体制冷单元阵列200可通过沉积-曝光-显影-刻蚀等图案化工艺,来制备微米级别的半导体制冷单元阵列200,以使得显示基板在单位面积上的制冷效果得到增强。

[0087] 此外,本公开实施例提供了一种显示装置,包括本公开实施例提供的显示基板。所述显示装置可以为:液晶电视、液晶显示器、数码相框、手机、平板电脑等任何具有显示功能的产品或部件,其中,所述显示装置还包括柔性电路板、印刷电路板和背板。

[0088] 以下详细说明本公开提供的本公开实施例提供的显示基板的制造方法。

[0089] 本公开实施例所提供的显示器件的制造方法包括:

[0090] 步骤S01、提供一衬底100;

[0091] 所述衬底100可选用柔性衬底,例如PI(聚酰亚胺)衬底,也可以选用硬质衬底,例如玻璃基板或石英基板。

[0092] 步骤S02、在所述衬底100上形成半导体制冷单元阵列200,所述半导体制冷单元阵列200包括阵列分布的多个制冷单元211,每一所述制冷单元211包括:所述制冷单元211包括:形成于所述衬底100之上的第一导电单元,所述第一导电单元包括间隔设置的第一导电块2111和第二导电块2112;形成于所述第一导电单元的远离所述衬底100的一侧的半导体单元,所述半导体单元包括一个N型半导体2113和一个P型半导体2114,所述N型半导体2113在所述衬底100上的正投影与所述第一导电块2111在所述衬底100上的正投影至少部分重合,所述P型半导体2114在所述衬底100上的正投影与所述第二导电块2112在所述衬底100上的正投影至少部分重合;以及,形成于所述半导体阵列的远离所述衬底100的一侧的第二导电单元,所述第二导电单元包括第三导电块2115,所述N型半导体2113和所述P型半导体2114在所述衬底100上的正投影均与所述第三导电块2115在所述衬底100上的正投影至少部分重叠,所述第三导电块2115连接所述N型半导体2113和所述P型半导体2114;

[0093] 步骤S03、在所述半导体制冷单元阵列200的远离所述衬底100的一侧形成驱动器件层300。

[0094] 上述步骤S02具体包括:

[0095] 步骤S021、如图5所示,在所述衬底100上形成第一导电层201;

[0096] 其中所述第一导电层201可采用溅射或热蒸发的方法在所述衬底100上沉积形成,其材质可选用锌、钼、铜、银、铝、铁、锡、钨、镍等导电性良好的金属以及这些金属的合金。

[0097] 步骤S022、如图6所示,对所述第一导电层201进行图案化处理,以形成所述第一导电块2111和所述第二导电块2112;

[0098] 具体地,首先,在所述第一导电层201上涂覆一层光刻胶,采用掩模板对光刻胶进行曝光,使光刻胶形成光刻胶未保留区域和光刻胶保留区域,其中,光刻胶保留区域对应于第一导电块2111和第二导电块2112的图形所在区域,光刻胶未保留区域对应于上述图形以外的区域;进行显影处理,光刻胶未保留区域的光刻胶被完全去除,光刻胶保留区域的光刻胶厚度保持不变;通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第一导电层,剥离剩余的光刻胶,形成所述第一导电块2111和所述第二导电块2112的图形。

[0099] 步骤S023、如图7所示,在所述第一导电块和第二导电块上形成第一半导体衬底202;

[0100] 其中所述第一半导体衬底202可以采用等离子体增强化学气相沉积(PECVD)方法,选用P型或N型半导体材料中的一种材料在所述衬底100上沉积而成。

[0101] 步骤S024、如图8所示,对所述第一半导体衬底202进行图案化处理,以形成阵列分布的多个第一半导体2021;

[0102] 具体地,在所述第一半导体衬底202上涂覆一层光刻胶,采用掩模板对光刻胶进行曝光,使光刻胶形成光刻胶未保留区域和光刻胶保留区域,其中,光刻胶保留区域对应于第一半导体的图形所在区域,光刻胶未保留区域对应于上述图形以外的区域;进行显影处理,光刻胶未保留区域的光刻胶被完全去除,光刻胶保留区域的光刻胶厚度保持不变;通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第一半导体衬底,剥离剩余的光刻胶,形成所述第一半导体的图形。

[0103] 步骤S025、采用掩模板,遮挡住一部分所述第一半导体2021,进行离子掺杂,使所述第一半导体2021中未被所述掩模板遮挡的所述第一半导体离子掺杂后形成第二半导体2022,其中所述第一半导体2021为所述N型半导体和所述P型半导体中的其中一种,所述第二半导体2022为所述N型半导体和所述P型半导体中的另一种;

[0104] 例如,所述第一半导体2021的类型为N型半导体,掩模板包括遮挡区和开口区,所述遮挡区的图案与所述第一导电单元中的所述N型半导体对应,而所述开口区的图案与所述第一导电单元中的所述P型半导体对应,在掺杂半导体层时,由能量束穿透的所述掩模板的开口区,掺杂离子吸附在与开口区对应的第一半导体表面上,以将掺杂离子引入到第一半导体,形成第二半导体;

[0105] 步骤S026、如图10所示,在所述第一半导体2021和所述第二半导体2022上形成第二导电层203;

[0106] 其中所述第二导电层203可采用溅射或热蒸发的方法在所述衬底100上沉积形成,其材质可选用锌、钼、铜、银、铝、铁、锡、钨、镍等导电性良好的金属以及这些金属的合金。

[0107] 步骤S027、如图11所示,对所述第二导电层203进行图案化处理,以形成多个所述第三导电块2115。

[0108] 具体地,在所述第二导电层203上涂覆一层光刻胶,采用掩模板对光刻胶进行曝光,使光刻胶形成光刻胶未保留区域和光刻胶保留区域,其中,光刻胶保留区域对应于第三导电块2115的图形所在区域,光刻胶未保留区域对应于上述图形以外的区域;进行显影处理,光刻胶未保留区域的光刻胶被完全去除,光刻胶保留区域的光刻胶厚度保持不变;通过

刻蚀工艺完全刻蚀掉光刻胶未保留区域的第二导电层,剥离剩余的光刻胶,形成所述第三导电块2115的图形。

[0109] 在上述示例中,在第一导电层图案化之后,通过PECVD沉积第一半导体层,第一半导体层包括P型半导体2114和N型半导体2113中的一种,随后涂覆光刻胶,通过曝光-显影-刻蚀工艺完成第一半导体的图案化,之后增加一道掩模板(Mask),用于局部第一半导体的掺杂形成第二半导体,也就是说,半导体衬底100选择同种类型,掺杂不同离子,形成不同类型半导体,而其他实施例中,也可以选用不同类型半导体衬底100。

[0110] 具体地,在另一些示例的实施例中,所述在所述衬底100上形成半导体制冷单元阵列200,具体包括:

[0111] 上述步骤S02具体包括:

[0112] 步骤S021、在所述衬底100上形成第一导电层;

[0113] 其中所述第一导电层可采用溅射或热蒸发的方法在所述衬底100上沉积形成,其材质可选用锌、钼、铜、银、铝、铁、锡、钨、镍等导电性良好的金属以及这些金属的合金。

[0114] 步骤S022、对所述第一导电层进行图案化处理,以形成所述第一导电块2111和所述第二导电块2112;

[0115] 具体地,首先,在所述第一导电层上涂覆一层光刻胶,采用掩模板对光刻胶进行曝光,使光刻胶形成光刻胶未保留区域和光刻胶保留区域,其中,光刻胶保留区域对应于第一导电块2111和第二导电块2112的图形所在区域,光刻胶未保留区域对应于上述图形以外的区域;进行显影处理,光刻胶未保留区域的光刻胶被完全去除,光刻胶保留区域的光刻胶厚度保持不变;通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第一导电层,剥离剩余的光刻胶,形成所述第一导电块2111和所述第二导电块2112的图形。

[0116] 步骤S023、在所述第一导电块和所述第二导电块上形成第一半导体衬底;

[0117] 其中所述第一半导体衬底可以采用等离子体增强化学气相沉积(PECVD)方法,选用P型或N型半导体2113材料中的一种材料在所述衬底100上沉积而成。

[0118] 步骤S024、对所述第一半导体衬底进行图案化处理,以形成阵列分布的多个第一半导体,所述第一半导体为N型半导体2113和P型半导体2114中的其中一种;

[0119] 具体地,在所述第一半导体衬底上涂覆一层光刻胶,采用掩模板对光刻胶进行曝光,使光刻胶形成光刻胶未保留区域和光刻胶保留区域,其中,光刻胶保留区域对应于第一半导体的图形所在区域,光刻胶未保留区域对应于上述图形以外的区域;进行显影处理,光刻胶未保留区域的光刻胶被完全去除,光刻胶保留区域的光刻胶厚度保持不变;通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第一半导体衬底,剥离剩余的光刻胶,形成所述第一半导体的图形。

[0120] 步骤S025、在所述第一导电层上形成第二半导体衬底100;

[0121] 其中所述第一半导体衬底可以采用等离子体增强化学气相沉积(PECVD)方法,选用P型或N型半导体2113材料中的另一种材料在所述衬底100上沉积而成;

[0122] 步骤S026、对所述半导体衬底100进行图案化处理,以形成阵列分布的多个第二半导体,所述第二半导体为N型半导体2113和P型半导体2114中的另一种;

[0123] 具体地,在所述第一半导体衬底上涂覆一层光刻胶,采用掩模板对光刻胶进行曝光,使光刻胶形成光刻胶未保留区域和光刻胶保留区域,其中,光刻胶保留区域对应于第二

半导体的图形所在区域,光刻胶未保留区域对应于上述图形以外的区域;进行显影处理,光刻胶未保留区域的光刻胶被完全去除,光刻胶保留区域的光刻胶厚度保持不变;通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第二半导体衬底100,剥离剩余的光刻胶,形成所述第二半导体的图形。

[0124] 步骤S027、在所述第一半导体和所述第二半导体上形成第二导电层;

[0125] 其中所述第二导电层可采用溅射或热蒸发的方法在所述衬底100上沉积形成,其材质可选用锌、钼、铜、银、铝、铁、锡、钨、镍等导电性良好的金属以及这些金属的合金。

[0126] 步骤S028、对所述第二导电层进行图案化处理,以形成多个所述第三导电块2115。

[0127] 具体地,在所述第二导电层上涂覆一层光刻胶,采用掩模板对光刻胶进行曝光,使光刻胶形成光刻胶未保留区域和光刻胶保留区域,其中,光刻胶保留区域对应于第三导电块2115的图形所在区域,光刻胶未保留区域对应于上述图形以外的区域;进行显影处理,光刻胶未保留区域的光刻胶被完全去除,光刻胶保留区域的光刻胶厚度保持不变;通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第二导电层,剥离剩余的光刻胶,形成所述第三导电块2115的图形。

[0128] 有以下几点需要说明:

[0129] (1) 本公开实施例附图只涉及到与本公开实施例涉及到的结构,其他结构可参考通常设计。

[0130] (2) 为了清晰起见,在用于描述本公开的实施例的附图中,层或区域的厚度被放大或缩小,即这些附图并非按照实际的比例绘制。可以理解,当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时,该元件可以“直接”位于另一元件“上”或“下”或者可以存在中间元件。

[0131] (3) 在不冲突的情况下,本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

[0132] 以上,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,本公开的保护范围应以权利要求的保护范围为准。

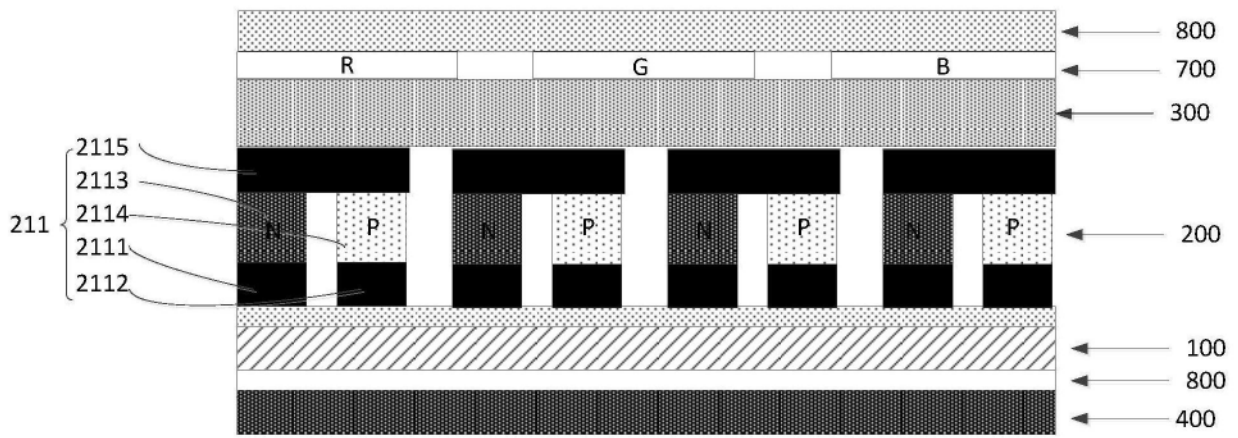


图1

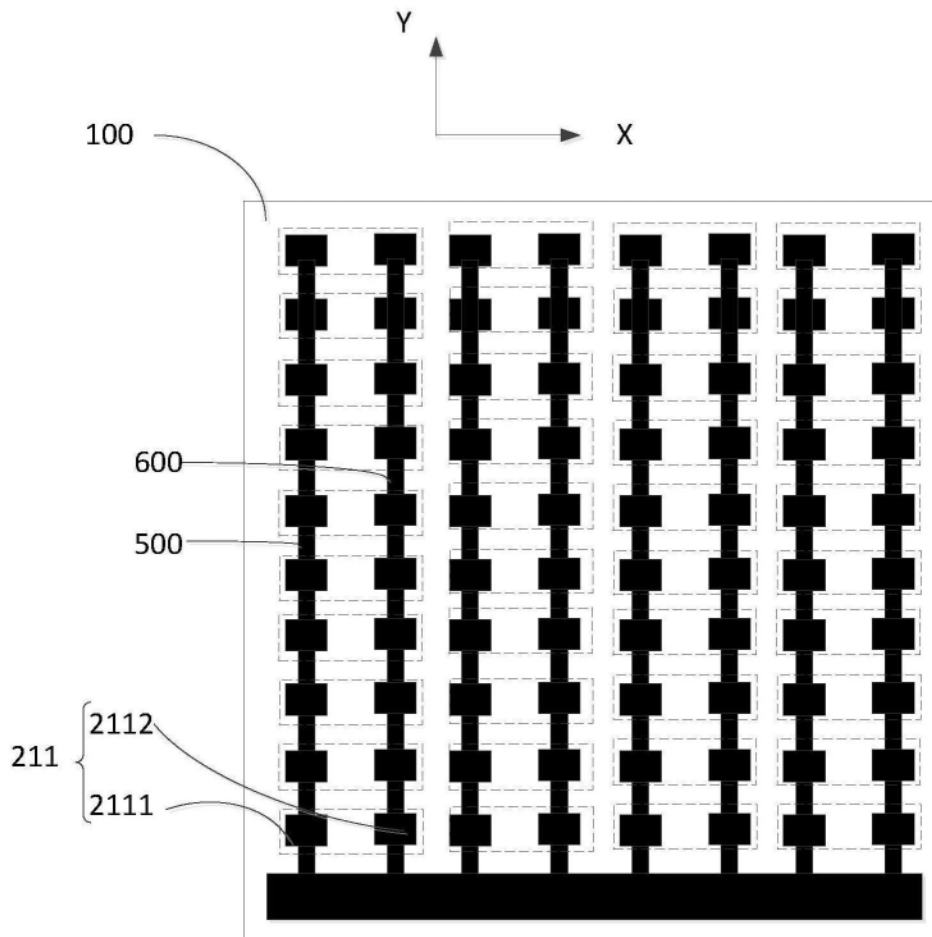


图2

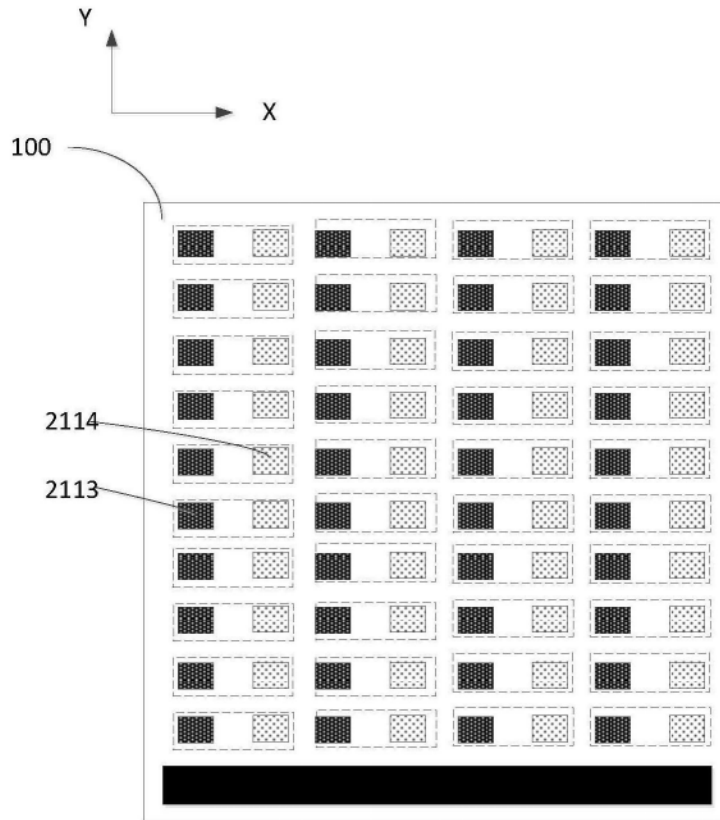


图3

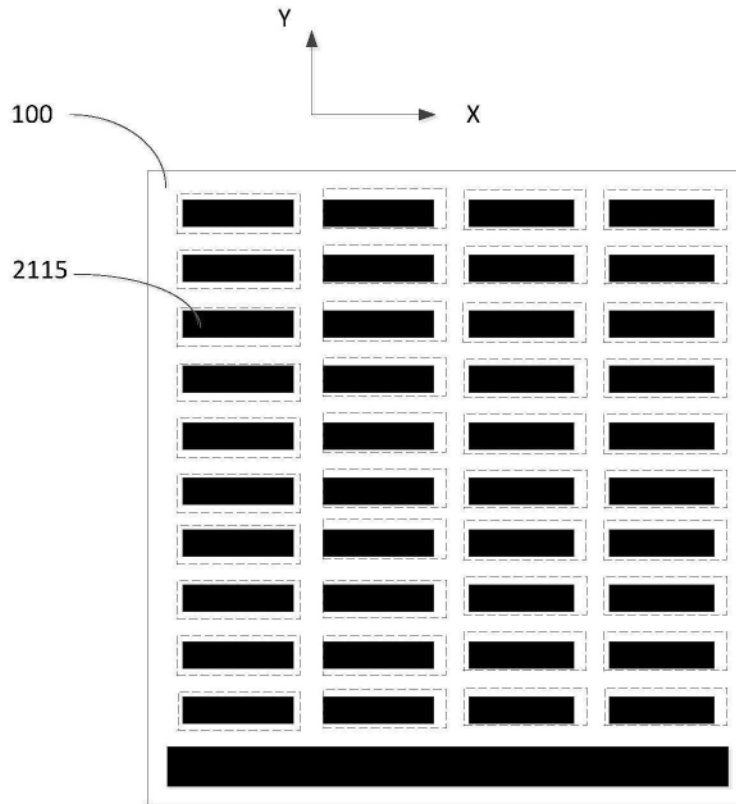


图4



图5

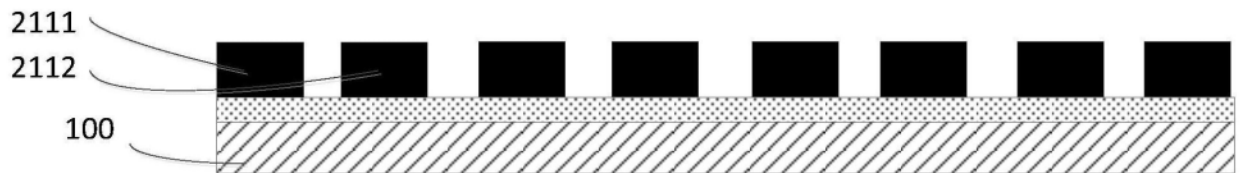


图6

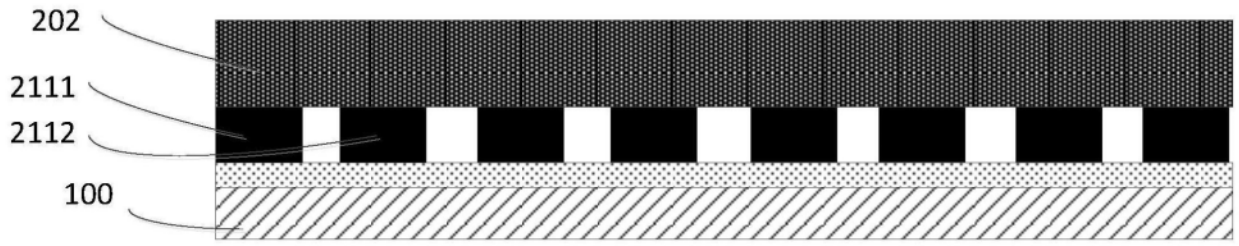


图7

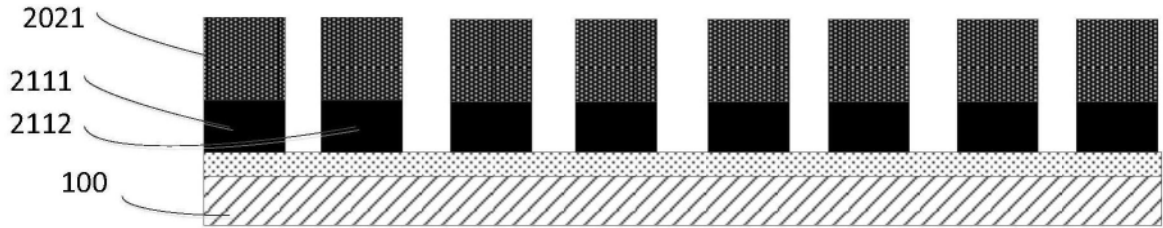


图8

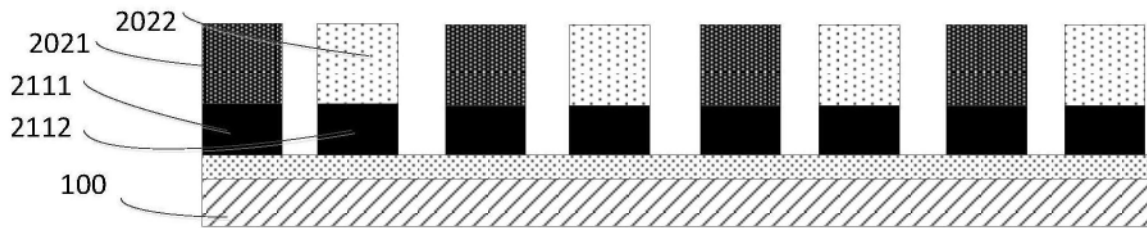


图9

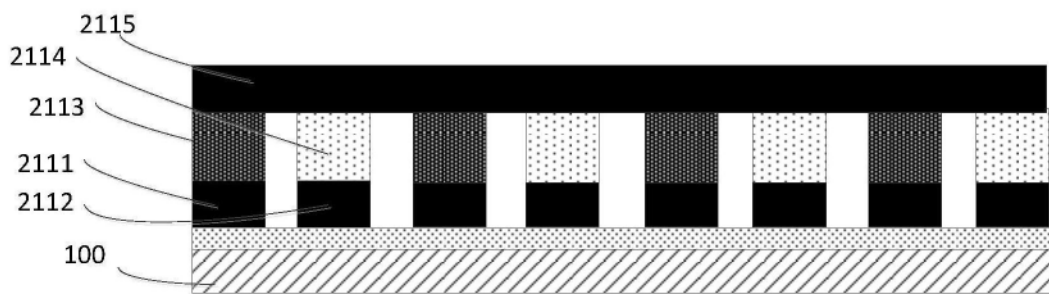


图10

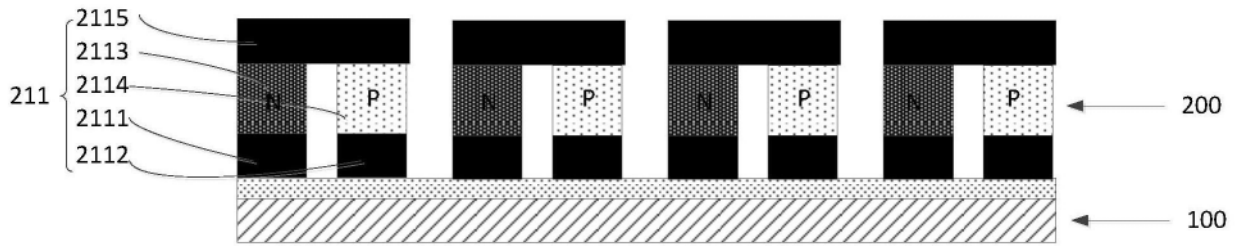


图11

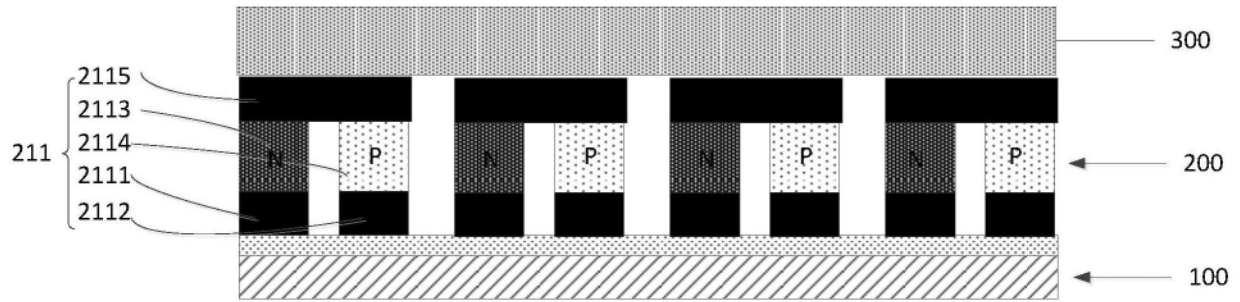


图12

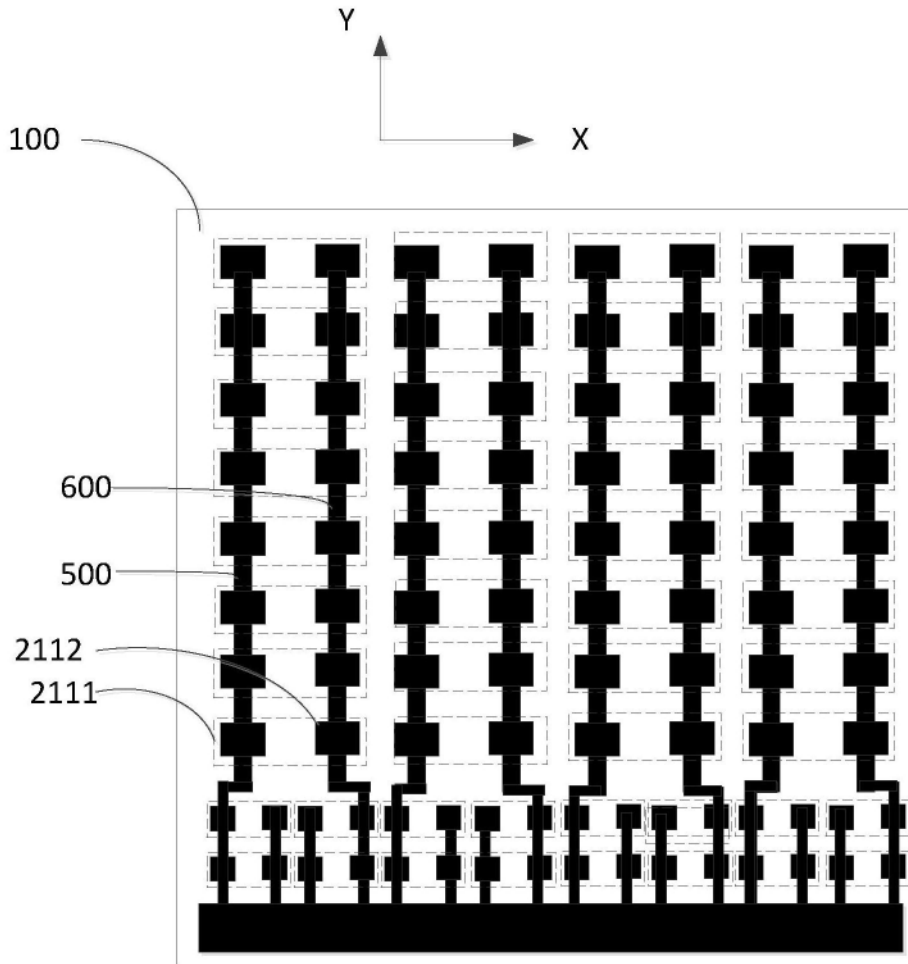


图13