

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-188184  
(P2017-188184A)

(43) 公開日 平成29年10月12日(2017.10.12)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C 19/28 (2006.01)</b>	G 1 1 C 19/28 2 3 0	2 H 1 9 2
<b>H O 3 K 19/0175 (2006.01)</b>	H O 3 K 19/0175 2 2 0	5 B 0 7 4
<b>H O 1 L 29/786 (2006.01)</b>	H O 1 L 29/78 6 1 2 B	5 C 0 0 6
<b>H O 1 L 21/8234 (2006.01)</b>	H O 1 L 29/78 6 1 4	5 C 0 8 0
<b>H O 1 L 27/06 (2006.01)</b>	H O 1 L 29/78 6 1 8 B	5 C 3 8 0

審査請求 有 請求項の数 10 O L (全 93 頁) 最終頁に続く

(21) 出願番号 特願2017-94447 (P2017-94447)  
 (22) 出願日 平成29年5月11日 (2017.5.11)  
 (62) 分割の表示 特願2017-7451 (P2017-7451)  
         の分割  
         原出願日 平成22年10月12日 (2010.10.12)  
 (31) 優先権主張番号 特願2009-238918 (P2009-238918)  
 (32) 優先日 平成21年10月16日 (2009.10.16)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 小山 潤  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 津吹 将志  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 野田 耕生  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 最終頁に続く

(54) 【発明の名称】 液晶表示装置、電子機器

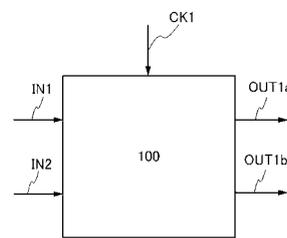
(57) 【要約】

【課題】トランジスタのリーク電流を低減し、論理回路の誤動作を抑制する。

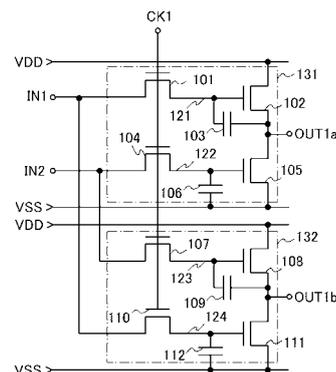
【解決手段】チャネル形成層としての機能を有する酸化物半導体層を含み、チャネル幅 1 μmあたりのオフ電流が  $1 \times 10^{-13}$  A 以下であるトランジスタを有し、入力信号として、第1の信号、第2の信号、及びクロック信号である第3の信号が入力され、入力された第1の信号乃至第3の信号に応じて電圧状態が設定された第4の信号及び第5の信号を出力信号として出力する構成とする。

【選択図】 図 1

(A)



(B)



## 【特許請求の範囲】

## 【請求項 1】

第 1 乃至第 8 のトランジスタと、第 1 の容量素子と、第 2 の容量素子と、を有する駆動回路と、

前記駆動回路と電氣的に接続された画素と、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 1 の容量素子の第 1 の電極は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 1 の容量素子の第 2 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子の第 1 の電極は、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子の第 2 の電極は、前記第 5 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方からは、第 1 の信号が出力され、

前記第 5 のトランジスタのソース又はドレインの一方からは、第 2 の信号が出力され、

前記第 3 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、第 3 の配線と電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの他方は、前記第 3 の配線と電氣的に接続されることを特徴とする液晶表示装置。

## 【請求項 2】

第 1 乃至第 8 のトランジスタと、第 1 の容量素子と、第 2 の容量素子と、を有する駆動回路と、

前記駆動回路と電氣的に接続された画素と、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 4 のトランジスタのゲートと電氣的に接続

10

20

30

40

50

され、

前記第 1 の容量素子の第 1 の電極は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 1 の容量素子の第 2 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのゲートは、前記第 8 のトランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子の第 1 の電極は、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子の第 2 の電極は、前記第 5 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方からは、第 1 の信号が出力され、

前記第 5 のトランジスタのソース又はドレインの一方からは、第 2 の信号が出力され、

前記第 3 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、第 3 の配線と電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの他方は、前記第 3 の配線と電氣的に接続されることを特徴とする液晶表示装置。

【請求項 3】

第 1 乃至第 8 のトランジスタと、第 1 の容量素子と、第 2 の容量素子と、を有する駆動回路と、

前記駆動回路と電氣的に接続された画素と、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと直接接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと直接接続され、

前記第 1 の容量素子の第 1 の電極は、前記第 1 のトランジスタのゲートと直接接続され、

前記第 1 の容量素子の第 2 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートと直接接続され、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲ

10

20

30

40

50

ートと直接接続され、

前記第 2 の容量素子の第 1 の電極は、前記第 5 のトランジスタのゲートと直接接続され

、

前記第 2 の容量素子の第 2 の電極は、前記第 5 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と直接接続され、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と直接接続され、

前記第 1 のトランジスタのソース又はドレインの一方からは、第 1 の信号が出力され、

前記第 5 のトランジスタのソース又はドレインの一方からは、第 2 の信号が出力され、

10

前記第 3 のトランジスタのソース又はドレインの他方は、第 2 の配線と直接接続され、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と直接接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、第 3 の配線と直接接続され、

前記第 7 のトランジスタのソース又はドレインの他方は、前記第 3 の配線と直接接続され

ることを特徴とする液晶表示装置。

【請求項 4】

第 1 乃至第 8 のトランジスタと、第 1 の容量素子と、第 2 の容量素子と、を有する駆動回路と、

前記駆動回路と電氣的に接続された画素と、を有し、

20

前記第 1 のトランジスタのソース又は駆動かいドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと直接接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと直接接続され、

前記第 3 のトランジスタのゲートは、前記第 4 のトランジスタのゲートと直接接続され

、

前記第 1 の容量素子の第 1 の電極は、前記第 1 のトランジスタのゲートと直接接続され

、

30

前記第 1 の容量素子の第 2 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートと直接接続され、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと直接接続され、

前記第 7 のトランジスタのゲートは、前記第 8 のトランジスタのゲートと直接接続され

、

40

前記第 2 の容量素子の第 1 の電極は、前記第 5 のトランジスタのゲートと直接接続され

、

前記第 2 の容量素子の第 2 の電極は、前記第 5 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と直接接続され、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と直接接続され、

れ、

前記第 1 のトランジスタのソース又はドレインの一方からは、第 1 の信号が出力され、

前記第 5 のトランジスタのソース又はドレインの一方からは、第 2 の信号が出力され、

前記第 3 のトランジスタのソース又はドレインの他方は、第 2 の配線と直接接続され、

50

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と直接接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、第 3 の配線と直接接続され、  
前記第 7 のトランジスタのソース又はドレインの他方は、前記第 3 の配線と直接接続されることを特徴とする液晶表示装置。

【請求項 5】

第 1 乃至第 8 のトランジスタと、第 1 の容量素子と、第 2 の容量素子と、を有する駆動回路と、

前記駆動回路と電氣的に接続された画素と、を有し、

前記第 1 乃至前記第 8 のトランジスタはそれぞれ、半導体層として、インジウムと、ガリウムと、亜鉛とを有する酸化物半導体層を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 1 の容量素子の第 1 の電極は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 1 の容量素子の第 2 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子の第 1 の電極は、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子の第 2 の電極は、前記第 5 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方からは、第 1 の信号が出力され、

前記第 5 のトランジスタのソース又はドレインの一方からは、第 2 の信号が出力され、

前記第 3 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、第 3 の配線と電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの他方は、前記第 3 の配線と電氣的に接続されることを特徴とする液晶表示装置。

【請求項 6】

第 1 乃至第 8 のトランジスタと、第 1 の容量素子と、第 2 の容量素子と、を有する駆動回路と、

前記駆動回路と電氣的に接続された画素と、を有し、

前記第 1 乃至前記第 8 のトランジスタはそれぞれ、半導体層として、インジウムと、ガ

10

20

30

40

50

リウムと、亜鉛とを有する酸化物半導体層を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 1 の容量素子の第 1 の電極は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 1 の容量素子の第 2 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのゲートは、前記第 8 のトランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子の第 1 の電極は、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子の第 2 の電極は、前記第 5 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方からは、第 1 の信号が出力され、

前記第 5 のトランジスタのソース又はドレインの一方からは、第 2 の信号が出力され、

前記第 3 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、第 3 の配線と電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの他方は、前記第 3 の配線と電氣的に接続されることを特徴とする液晶表示装置。

#### 【請求項 7】

第 1 乃至第 8 のトランジスタと、第 1 の容量素子と、第 2 の容量素子と、を有する駆動回路と、

前記駆動回路と電氣的に接続された画素と、を有し、

前記第 1 乃至前記第 8 のトランジスタはそれぞれ、半導体層として、インジウムと、ガリウムと、亜鉛とを有する酸化物半導体層を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと直接接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲ

10

20

30

40

50

ートと直接接続され、

前記第 1 の容量素子の第 1 の電極は、前記第 1 のトランジスタのゲートと直接接続され

、

前記第 1 の容量素子の第 2 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートと直接接続され、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと直接接続され、

10

前記第 2 の容量素子の第 1 の電極は、前記第 5 のトランジスタのゲートと直接接続され

、

前記第 2 の容量素子の第 2 の電極は、前記第 5 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と直接接続され、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と直接接続され、

れ、

前記第 1 のトランジスタのソース又はドレインの一方からは、第 1 の信号が出力され、

前記第 5 のトランジスタのソース又はドレインの一方からは、第 2 の信号が出力され、

20

前記第 3 のトランジスタのソース又はドレインの他方は、第 2 の配線と直接接続され、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と直接接続され、

れ、

前記第 4 のトランジスタのソース又はドレインの他方は、第 3 の配線と直接接続され、

前記第 7 のトランジスタのソース又はドレインの他方は、前記第 3 の配線と直接接続されることを特徴とする液晶表示装置。

#### 【請求項 8】

第 1 乃至第 8 のトランジスタと、第 1 の容量素子と、第 2 の容量素子と、を有する駆動回路と、

前記駆動回路と電氣的に接続された画素と、を有し、

30

前記第 1 乃至前記第 8 のトランジスタはそれぞれ、半導体層として、インジウムと、ガリウムと、亜鉛とを有する酸化物半導体層を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと直接接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと直接接続され、

前記第 3 のトランジスタのゲートは、前記第 4 のトランジスタのゲートと直接接続され

40

、

前記第 1 の容量素子の第 1 の電極は、前記第 1 のトランジスタのゲートと直接接続され

、

前記第 1 の容量素子の第 2 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と直接接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートと直接接続され、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと直接接続され、

50

前記第 7 のトランジスタのゲートは、前記第 8 のトランジスタのゲートと直接接続され、  
 前記第 2 の容量素子の第 1 の電極は、前記第 5 のトランジスタのゲートと直接接続され、  
 前記第 2 の容量素子の第 2 の電極は、前記第 5 のトランジスタのソース又はドレインの一方と直接接続され、  
 前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と直接接続され、  
 前記第 6 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と直接接続され、  
 前記第 1 のトランジスタのソース又はドレインの一方からは、第 1 の信号が出力され、  
 前記第 5 のトランジスタのソース又はドレインの一方からは、第 2 の信号が出力され、  
 前記第 3 のトランジスタのソース又はドレインの他方は、第 2 の配線と直接接続され、  
 前記第 8 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と直接接続され、  
 前記第 4 のトランジスタのソース又はドレインの他方は、第 3 の配線と直接接続され、  
 前記第 7 のトランジスタのソース又はドレインの他方は、前記第 3 の配線と直接接続されることを特徴とする液晶表示装置。

10

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一において、  
 前記第 1 乃至前記第 8 のトランジスタはそれぞれ、ボトムゲート構造であることを特徴とする液晶表示装置。

20

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一に記載の液晶表示装置と、  
 入力手段若しくはスピーカと、  
 を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、論理回路に関する。また、該論理回路を用いた駆動回路を含む半導体装置に関する。

30

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、表示装置などの電気光学装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

液晶表示装置に代表されるように、ガラス基板などの平板に形成される薄膜トランジスタ（以下、TFT：Thin Film Transistorともいう）は、主にアモルファスシリコン又は多結晶シリコンなどの半導体材料を用いて作製される。アモルファスシリコンを用いたTFTは、電界効果移動度が低いもののガラス基板の面積化に対応することができる。一方、多結晶シリコンを用いたTFTは、電界効果移動度が高いもののレーザアニールなどの結晶化工程が必要であり、ガラス基板の面積化には必ずしも適応しないといった特性を有している。

40

【0004】

これに対し、半導体材料として酸化物半導体を用いるTFTが注目されている。例えば、半導体材料として酸化亜鉛又はIn-Ga-Zn-O系酸化物半導体を用いてTFTを作製し、画像表示装置のスイッチング素子として用いる技術が特許文献1及び特許文献2で開示されている。

【0005】

酸化物半導体にチャンネル形成領域（チャンネル領域ともいう）を設けたTFTは、アモルフ

50

ァスシリコンを用いたTFTよりも高い電界効果移動度が得られている。また、酸化物半導体膜は、スパッタリング法などによって膜形成が可能であり、多結晶シリコンを用いたTFTよりも作製が容易である。

【0006】

このような酸化物半導体を用いて作製されたTFTは、液晶ディスプレイ、エレクトロルミネセンスディスプレイ（以下、ELディスプレイともいう）又は電子ペーパーなどの表示装置の画素部及び駆動回路を構成するスイッチング素子に適用することが期待されている。例えば、上記の酸化物半導体を用いて作製されたTFTによって表示装置の画素部及び駆動回路を構成する技術が特許文献3で開示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2006-165527号公報

【特許文献2】特開2006-165529号公報

【特許文献3】特開2006-165528号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

駆動回路は、シフトレジスタ及びバッファなどによって構成され、さらにシフトレジスタ又はバッファは、論理回路を用いて構成される。また、論理回路は、トランジスタを用いて構成されるが、従来のトランジスタは、オフ状態であってもリーク電流が発生する場合がある。リーク電流が発生すると、例えば論理回路において出力信号の電圧の値を一定の範囲に維持したい場合であっても、出力信号の値が変化し、誤動作する可能性がある。

【0009】

本発明の一態様では、トランジスタのリーク電流を低減することを課題とし、また、トランジスタのリーク電流を低減することにより論理回路の誤動作を抑制することを課題とする。

【課題を解決するための手段】

【0010】

本発明の一態様は、オフ電流が低く、チャンネル形成層としての機能を有する酸化物半導体層を有するトランジスタを、論理回路を構成するトランジスタとして用いたものである。これにより論理回路における誤動作の抑制を図る。

【0011】

トランジスタのチャンネル形成層として用いられる酸化物半導体層は、酸化物半導体中で電子供与体（ドナー）となる不純物を除去することにより高純度化させた、真性又は実質的に真性な半導体であり、シリコン半導体よりもエネルギーギャップが大きい。該酸化物半導体層を用いたトランジスタは、オフ状態のリーク電流（オフ電流）が小さくなる。また、チャンネル形成層として酸化物半導体層を用いたトランジスタは、閾値電圧のばらつきによる影響が小さい。

【0012】

本発明の一態様は、チャンネル形成層としての機能を有する酸化物半導体層を含み、チャンネル幅1 $\mu\text{m}$ あたりのオフ電流が $1 \times 10^{-13}$  A以下（好ましくは $1 \times 10^{-17}$  A以下）であるトランジスタを有し、入力信号として、第1の信号、第2の信号、及びクロック信号である第3の信号が入力され、入力された第1の信号乃至第3の信号に応じて電圧状態が設定された第4の信号及び第5の信号を出力信号として出力する論理回路である。

【0013】

本発明の一態様において、論理回路は、入力された第1の信号乃至第3の信号に応じて電圧状態が設定された第4の信号を出力する第1の単位論理回路と、入力された第1の信号乃至第3の信号に応じて電圧状態が設定された第5の信号を出力する第2の単位論理回路と、を有する構成にすることもできる。

10

20

30

40

50

## 【 0 0 1 4 】

本発明の一態様は、入力信号として、第 1 の信号、第 2 の信号、及びクロック信号である第 3 の信号が入力され、入力された第 1 の信号乃至第 3 の信号に応じて電圧状態が設定された第 4 の信号を出力する第 1 の単位論理回路と、入力信号として、第 1 の信号、第 2 の信号、及びクロック信号である第 3 の信号が入力され、入力された第 1 の信号乃至第 3 の信号に応じて電圧状態が設定された第 5 の信号を出力する第 2 の単位論理回路と、を有し、第 1 の単位論理回路及び第 2 の単位論理回路のそれぞれは、ゲート、ソース、及びドレインを有し、ゲートに第 3 の信号が入力され、ソース及びドレインの一方に第 1 の信号及び第 2 の信号のいずれか一方が入力される第 1 のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第 1 のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方に高電源電圧及び低電源電圧のいずれか一方が与えられ、ソース及びドレインの他方の電圧が第 4 の信号又は第 5 の信号の電圧となる第 2 のトランジスタと、第 1 の電極及び第 2 の電極を有し、第 1 の電極が第 2 のトランジスタのゲートに電氣的に接続され、第 2 の電極が第 2 のトランジスタのソース及びドレインの他方に電氣的に接続された第 1 の容量素子と、ゲート、ソース、及びドレインを有し、ゲートに第 3 の信号が入力され、ソース及びドレインの一方に第 1 の信号及び第 2 の信号の他方が入力される第 3 のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第 3 のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が第 2 のトランジスタのソース及びドレインのいずれか一方に電氣的に接続され、ソース及びドレインの他方に高電源電圧及び低電源電圧の他方が入力された第 4 のトランジスタと、第 1 の電極及び第 2 の電極を有し、第 1 の電極が第 3 のトランジスタのソース及びドレインの他方に電氣的に接続され、第 2 の電極に高電源電圧及び低電源電圧の他方が入力された第 2 の容量素子と、を有し、第 1 のトランジスタ乃至第 4 のトランジスタのそれぞれは、チャンネル形成層としての機能を有する酸化物半導体層を含み、チャンネル幅  $1\ \mu\text{m}$  あたりのオフ電流が  $1 \times 10^{-13}\ \text{A}$  以下（好ましくは  $1 \times 10^{-17}\ \text{A}$  以下）である論理回路である。

10

20

## 【 0 0 1 5 】

本発明の一態様は、上記記載の論理回路を含むシフトレジスタを備えた駆動回路と、駆動回路により表示状態が制御される画素を含む画素部と、を有する半導体装置である。

30

## 【 発明の効果 】

## 【 0 0 1 6 】

本発明の一態様により、トランジスタにおけるリーク電流を低減することができ、また、トランジスタのリーク電流を低減することにより出力信号の電圧を所望の範囲の値に維持することができるため、誤動作を抑制することができる。

## 【 図面の簡単な説明 】

## 【 0 0 1 7 】

【 図 1 】 実施の形態 1 における論理回路の構成の一例を示す図。

【 図 2 】 実施の形態 1 におけるシフトレジスタの構成の一例を示す回路図。

【 図 3 】 図 2 に示すシフトレジスタの動作の一例を説明するためのタイミングチャート。

【 図 4 】 実施の形態 1 における半導体装置を説明するブロック図。

40

【 図 5 】 実施の形態 1 における信号線駆動回路の構成を説明する図および信号線駆動回路のタイミングチャート。

【 図 6 】 トランジスタの作製方法を説明する図。

【 図 7 】 トランジスタを説明する図。

【 図 8 】 トランジスタの作製方法を説明する図。

【 図 9 】 トランジスタを説明する図。

【 図 10 】 トランジスタの作製方法を説明する図。

【 図 11 】 トランジスタの作製方法を説明する図。

【 図 12 】 トランジスタの作製方法を説明する図。

【 図 13 】 トランジスタの作製方法を説明する図。

50

【図 1 4】トランジスタを説明する図。

【図 1 5】半導体装置を説明する図。

【図 1 6】半導体装置の画素等価回路を説明する図。

【図 1 7】半導体装置を説明する図。

【図 1 8】半導体装置を説明する図。

【図 1 9】半導体装置を説明する図。

【図 2 0】電子機器を示す図。

【図 2 1】電子機器を示す図。

【図 2 2】電子機器を示す図。

【図 2 3】電子機器を示す図。

10

【図 2 4】酸化物半導体を用いた MOS トランジスタのソース - ドレイン間のバンド構造を示す図。

【図 2 5】図 2 4 においてドレイン側に正の電圧が印加された状態を示す図。

【図 2 6】酸化物半導体を用いた MOS トランジスタの MOS 構造のエネルギーバンド図であり、(A) ゲート電圧を正とした場合、(B) ゲート電圧を負とした場合を示す図。

【図 2 7】シリコン MOS トランジスタのソース - ドレイン間のバンド構造を示す図。

【図 2 8】薄膜トランジスタの初期特性を示す図。

【図 2 9】薄膜トランジスタの構造を示す上面図。

【図 3 0】薄膜トランジスタの  $V_g - I_d$  特性を示す図。

【図 3 1】半導体装置を説明する図。

20

【発明を実施するための形態】

【0018】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではないとする。

【0019】

(実施の形態 1)

本実施の形態では、まず本発明の一態様である論理回路について説明する。なお、本明細書において、論理回路とは、特に指定する場合を除き、ある時点における出力信号の状態が、その時点における入力信号の状態のみで決まる論理回路である組み合わせ論理回路と、ある時点における出力信号の状態が、その時点における入力信号の状態だけでなく、それ以前に論理回路がどのような状態であったかによって決まる論理回路である順序論理回路と、を含むものとする。

30

【0020】

本実施の形態の論理回路の構成の一例について、図 1 を用いて説明する。図 1 は本実施の形態における論理回路の構成の一例を示す図である。

【0021】

図 1 (A) に示す論理回路 100 には、入力信号として信号 IN 1、信号 IN 2、及び信号 CK 1 が入力される。また、図 1 (A) に示す論理回路 100 は、出力信号として信号 OUT 1 a 及び信号 OUT 1 b を出力する。

40

【0022】

なお、一般的に電圧とは、ある二点間における電位の差（電位差ともいう）のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト（V）で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位（基準電位ともいう）との電位差を、該一点の電圧として用いる場合がある。

【0023】

なお、本明細書における信号としては、例えば電圧、電流、抵抗、又は周波数などを用いたアナログ信号又はデジタル信号を用いることができる。例えば、電圧を用いた信号（電

50

圧信号ともいう)としては、少なくとも第1の電圧状態及び第2の電圧状態を有する信号を用いることが好ましく、例えば第1の電圧状態としてハイレベルの電圧状態及び第2の電圧状態としてローレベルの電圧状態を有する2値のデジタル信号などを用いることができる。なお、2値のデジタル信号において、ハイレベルの電圧を電圧 $V_H$ ともいい、ローレベルの電圧を電圧 $V_L$ ともいう。また、第1の電圧状態の電圧及び第2の電圧状態の電圧は、それぞれ一定値であることが好ましい。しかし、電子回路では、例えばノイズなどの影響があるため、第1の電圧状態の電圧及び第2の電圧状態の電圧は、一定値ではなく、それぞれ一定の範囲内の値であればよい。

【0024】

なお、本明細書において、高電源電圧とは、相対的に高電圧側の電圧( $V_{DD}$ ともいう)であり、低電源電圧とは、相対的に低電圧側の電圧( $V_{SS}$ ともいう)である。高電源電圧及び低電源電圧は、それぞれ定数であることが好ましいが、電子回路ではノイズなどにより電圧が所望の値とずれることがある。よって本明細書では、それぞれ一定の範囲内の値であれば、高電源電圧及び低電源電圧とみなすことができる。また、電源電圧の値は、それぞれ適宜設定することができる。なお高電源電圧と低電源電圧は、トランジスタの極性により与えられる場所が入れ替わるため、高電源電圧及び低電源電圧のいずれか一方を高電源電圧及び低電源電圧の一方とし、他方を高電源電圧及び低電源電圧の他方とする。

10

【0025】

また、本明細書において、第1、第2などの序数を用いた用語は、それぞれの要素の混同を避けるために付したものであり、数的に限定するものではない。

20

【0026】

信号 $IN_2$ としては、例えば信号 $IN_1$ の反転信号などを用いることができる。

【0027】

信号 $CK_1$ は、論理回路100のクロック信号としての機能を有する。

【0028】

信号 $OUT_1a$ は、入力された信号 $IN_1$ 及び信号 $IN_2$ により電圧状態が設定される信号である。

【0029】

信号 $OUT_1b$ は、入力された信号 $IN_1$ 及び信号 $IN_2$ により電圧状態が設定される信号である。

30

【0030】

さらに、図1(A)に示す論理回路における回路構成の一例について図1(B)に示す。図1(B)に示す論理回路は、単位論理回路131及び単位論理回路132を有する。

【0031】

単位論理回路131には、信号 $IN_1$ 、信号 $IN_2$ 、及び信号 $CK_1$ が入力される。また、単位論理回路131は、入力された信号 $IN_1$ 、信号 $IN_2$ 、及び信号 $CK_1$ に応じて電圧状態が設定された信号 $OUT_1a$ を出力する機能を有する。

【0032】

単位論理回路132は、信号 $IN_1$ 、信号 $IN_2$ 、及び信号 $CK_1$ が入力され、入力された信号 $IN_1$ 、信号 $IN_2$ 、及び信号 $CK_1$ に応じて電圧状態が設定された信号 $OUT_1b$ を出力する機能を有する。

40

【0033】

さらに、単位論理回路131は、トランジスタ101と、トランジスタ102と、容量素子103と、トランジスタ104と、トランジスタ105と、容量素子106と、を有し、単位論理回路132は、トランジスタ107と、トランジスタ108と、容量素子109と、トランジスタ110と、トランジスタ111と、容量素子112と、を有する。

【0034】

なお、本明細書において、トランジスタとしては、例えば電界効果トランジスタを用いることができる。

【0035】

50

また、本明細書において、電界効果トランジスタは、ゲート、ソース、及びドレインを少なくとも有する。電界効果トランジスタとしては、例えば薄膜トランジスタ（TFETともいう）を用いることができる。また、電界効果トランジスタとしては、例えばトップゲート型、又はボトムゲート型のトランジスタを用いることができる。また、電界効果トランジスタは、N型又はP型の導電型にすることができる。図1に示す論理回路では、トランジスタの一例として全て同一の導電型の電界効果トランジスタを用いた場合について説明する。全て同一の導電型とすることにより、異なる複数の導電型のトランジスタを用いる場合に比べて作製工程数を低減することができる。

【0036】

なお、ゲートとは、ゲート電極及びゲート配線の一部又は全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極や別の配線とを電気的に接続させるための配線のことをいい、例えば表示装置における走査線もゲート配線に含まれる。

10

【0037】

ソースとは、ソース領域、ソース電極、及びソース配線の一部又は全部のことをいう。ソース領域とは、半導体層のうち、抵抗値がチャンネル形成層より低い領域のことをいう。ソース電極とは、ソース領域に接続される部分の導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極や別の配線とを電気的に接続させるための配線のことをいい、例えば表示装置における信号線がソース電極に電気的に接続される場合にはソース配線に信号線も含まれる。

20

【0038】

ドレインとは、ドレイン領域、ドレイン電極、及びドレイン配線の一部又は全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗値がチャンネル形成領域より低い領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極や別の配線とを電気的に接続させるための配線のことをいい、例えば表示装置における信号線がドレイン電極に電気的に接続される場合にはドレイン配線に信号線も含まれる。

【0039】

また、本書類（明細書、特許請求の範囲又は図面など）において、トランジスタのソースとドレインは、トランジスタの構造や動作条件などによって互いに入れ替わるため、いずれがソース又はドレインであるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲又は図面など）においては、ソース及びドレインのいずれかから任意に選択した一方をソース及びドレインの一方と表記し、他方をソース及びドレインの他方と表記する。

30

【0040】

また、本書類（明細書、特許請求の範囲又は図面など）において、容量素子は、第1の電極と、第2の電極と、第1の電極及び第2の電極の間の電圧が印加される誘電体と、を有する構成である。

【0041】

トランジスタ101は、ゲートに信号CK1が入力され、ソース及びドレインの一方に信号IN1が入力される。

40

【0042】

トランジスタ102は、ゲートがトランジスタ101のソース及びドレインの他方に電気的に接続され、ソース及びドレインの一方に高電源電圧及び低電源電圧の一方が与えられる。図1では、一例としてトランジスタ102のソース及びドレインの一方に高電源電圧が与えられるとする。なお、トランジスタ102のゲートと、トランジスタ101のソース及びドレインの他方との接続箇所をノード121という。また、図1に示す論理回路は、トランジスタ102のソース及びドレインの他方の電圧を信号OUT1aとして出力する。

【0043】

50

容量素子 103 は、第 1 の電極がトランジスタ 102 のゲートに電氣的に接続され、第 2 の電極がトランジスタ 102 のソース及びドレインの他方に電氣的に接続される。なお、トランジスタ 102 のゲートとソース及びドレインの他方との間に寄生容量を有する場合、容量素子 103 として該寄生容量を用いることもできる。

【0044】

トランジスタ 104 は、ゲートに信号 CK1 が入力され、ソース及びドレインの一方に信号 IN2 が入力される。

【0045】

トランジスタ 105 は、ゲートがトランジスタ 104 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方がトランジスタ 102 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方に高電源電圧及び低電源電圧の他方が与えられる。図 1 に示す論理回路では、一例としてトランジスタ 105 のソース及びドレインの他方に低電源電圧が与えられるものとする。なお、トランジスタ 105 のゲートと、トランジスタ 104 のソース及びドレインの他方との接続箇所をノード 122 という。

10

【0046】

容量素子 106 は、第 1 の電極がトランジスタ 104 のソース及びドレインの他方に電氣的に接続され、第 2 の電極に高電源電圧及び低電源電圧の他方が与えられる。図 1 に示す論理回路では、一例として容量素子 106 の第 2 の電極に低電源電圧が与えられるものとする。

20

【0047】

トランジスタ 107 は、ゲートに信号 CK1 が入力され、ソース及びドレインの一方に信号 IN2 が入力される。

【0048】

トランジスタ 108 は、ゲートがトランジスタ 107 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方に高電源電圧及び低電源電圧の一方が与えられる。なお、図 1 に示す論理回路は、トランジスタ 108 のソース及びドレインの他方の電圧を信号 OUT1b として出力する。なお、トランジスタ 108 のゲートと、トランジスタ 107 のソース及びドレインの他方との接続箇所をノード 123 という。

【0049】

容量素子 109 は、第 1 の電極がトランジスタ 108 のゲートに電氣的に接続され、第 2 の電極がトランジスタ 108 のソース及びドレインの他方に電氣的に接続される。なお、トランジスタ 108 のゲートと、ソース及びドレインの他方との間に寄生容量を有する場合には、該寄生容量を容量素子 109 として用いることもできる。

30

【0050】

トランジスタ 110 は、ゲートに信号 CK1 が入力され、ソース及びドレインの一方に信号 IN1 が入力される。

【0051】

トランジスタ 111 は、ゲートがトランジスタ 110 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方がトランジスタ 108 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方に高電源電圧及び低電源電圧の他方が与えられる。図 1 に示す論理回路では、一例として、トランジスタ 111 のソース及びドレインの他方に低電源電圧が与えられるものとする。なお、トランジスタ 111 のゲートと、トランジスタ 110 のソース及びドレインの他方との接続箇所をノード 124 という。

40

【0052】

容量素子 112 は、第 1 の電極がトランジスタ 110 のソース及びドレインの他方に電氣的に接続され、第 2 の電極に高電源電圧及び低電源電圧の他方が与えられる。なお、図 1 に示す論理回路では、容量素子 112 の第 2 の電極に低電源電圧が与えられるものとして説明する。

50

## 【0053】

なお、トランジスタ101、トランジスタ102、トランジスタ104、トランジスタ105、トランジスタ107、トランジスタ108、トランジスタ110、及びトランジスタ111としては、チャンネル形成層としての機能を有する酸化物半導体層を有するトランジスタを適用することができる。なお、チャンネル形成層の水素濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下とする。該水素濃度は、例えば二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）による測定値である。またトランジスタのキャリア濃度は、 $1 \times 10^{14} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下とする。

10

## 【0054】

図1に一例として示すように、本実施の形態の論理回路の一例は、入力信号として第1の信号（例えば信号IN1）、第2の信号（例えば信号IN2）、及び第3の信号（例えば信号CK1）が入力され、入力された第1の信号乃至第3の信号に応じて電圧状態が設定された第4の信号（例えば信号OUT1a）及び第5の信号（例えば信号OUT1b）を出力信号として出力する構成である。

## 【0055】

さらに、本実施の形態の論理回路の一例は、全て同一の導電型のトランジスタを用いて構成される。これにより、複数の導電型のトランジスタを用いる場合に比べて作製工程数を低減することができる。同一の導電型のトランジスタとしては、例えばN型トランジスタ又はP型トランジスタを用いることができる。

20

## 【0056】

さらに、図1に示す論理回路を用いたシフトレジスタの構成の一例について図2に示す。図2は、シフトレジスタの構成の一例を示す回路図である。なお、論理回路の数は必ずしも限定されるものではなく、少なくとも2段以上の論理回路を有する構成とすればよい。なお、図2では、一例としてシフトレジスタを構成するトランジスタが全てN型トランジスタである例について説明するが、これに限定されず、P型トランジスタを用いて構成することもできる。

## 【0057】

図2に示すシフトレジスタは、論理回路151、論理回路152、及び論理回路153を有する。なお、それぞれの各論理回路において、図1に示す論理回路と同じ部分については図1に示す論理回路の説明を適宜援用する。なお、論理回路151乃至論理回路153は、全て順序論理回路とする。

30

## 【0058】

論理回路151には、図1に示す論理回路と同様に、入力信号としてトランジスタ101のゲート、トランジスタ104のゲート、トランジスタ107のゲート、及びトランジスタ110のゲートに信号CK1が入力され、入力信号としてトランジスタ101のソース及びドレインの一方、並びにトランジスタ110のソース及びドレインの一方に信号IN1が入力され、入力信号としてトランジスタ104のソース及びドレインの一方、並びにトランジスタ107のソース及びドレインの一方に信号IN2が入力される。また、論理回路151は、入力された各信号の状態に応じて電圧状態が設定された信号OUT1a及び信号OUT1bを出力信号として出力する。

40

## 【0059】

論理回路152は、信号OUT1a、信号OUT1b、及び信号CK2が入力信号として入力され、入力された信号に応じて電圧状態が設定された信号OUT2a及び信号OUT2bを出力信号として出力する。また、論理回路152の回路構成については、論理回路151の回路構成と同じである。

## 【0060】

信号CK2は、論理回路151における信号CK1の代わりに論理回路152に入力される信号である。信号CK2としては、例えば信号CK1と異なるタイミングでハイレベル

50

になるクロック信号を用いることができる。本実施の形態におけるシフトレジスタでは、信号 C K 1 が入力される論理回路と信号 C K 2 が入力される論理回路とが交互に電氣的に接続された構成とすることができる。例えば、シフトレジスタにおける奇数段の論理回路には信号 C K 1 及び信号 C K 2 の一方が入力され、偶数段の論理回路には信号 C K 1 及び信号 C K 2 の他方が入力される構成とすることもできる。

【 0 0 6 1 】

論理回路 1 5 3 は、信号 O U T 2 a、信号 O U T 2 b、及び信号 C K 1 が入力され、入力された信号に応じて電圧状態が設定された信号 O U T 3 a 及び信号 O U T 3 b を出力信号として出力する。また、論理回路 1 5 3 の回路構成については、論理回路 1 5 1 の回路構成と同じである。

10

【 0 0 6 2 】

次に、図 2 に示すシフトレジスタの動作の一例について図 3 を用いて説明する。図 3 は、図 2 に示すシフトレジスタの動作の一例を説明するためのタイミングチャートであり、信号 C K 1、信号 C K 2、信号 I N 1、信号 I N 2、ノード 1 2 1、ノード 1 2 2、ノード 1 2 3、ノード 1 2 4、信号 O U T 1 a、信号 O U T 1 b、信号 O U T 2 a、信号 O U T 2 b、信号 O U T 3 a、及び信号 O U T 3 b の信号波形をそれぞれ示したものである。なお、図 3 を用いて説明する図 2 に示すシフトレジスタの動作の一例では、各信号を 2 値のデジタル信号とし、信号 C K 1 及び信号 C K 2 をクロック信号として説明する。また、高電源電圧の値をハイレベルの電圧  $V_H$  と等しいとし、低電源電圧の値をローレベルの電圧  $V_L$  と等しいものとする。また、本実施の形態における論理回路の動作では、図 3 に示す各信号の電圧状態を反転させることもできる。

20

【 0 0 6 3 】

図 2 に示すシフトレジスタの動作は、複数の期間に分けて説明することができる。各期間における動作について以下に説明する。

【 0 0 6 4 】

まず、論理回路 1 5 1 に着目して各期間の動作を説明する。期間 1 4 1 では、信号 C K 1 はローレベルであり、信号 C K 2 はローレベルであり、信号 I N 1 はローレベルであり、信号 I N 2 はハイレベルである。

【 0 0 6 5 】

このとき、論理回路 1 5 1 における信号 O U T 1 a、信号 O U T 1 b、信号 O U T 2 a はローレベルである。

30

【 0 0 6 6 】

次に、期間 1 4 2 では、信号 C K 1 が時刻 A 2 にてハイレベルになり、信号 C K 2 はローレベルのままであり、信号 I N 1 はハイレベルであり、信号 I N 2 はローレベルである。なお、信号 I N 1 は、期間 1 4 1 の間にハイレベルになってもよく、信号 I N 2 は、期間 1 4 1 の間にローレベルになってもよい。

【 0 0 6 7 】

このとき、論理回路 1 5 1 では、トランジスタ 1 0 1 及びトランジスタ 1 1 0 がオン状態になり、トランジスタ 1 0 4 及びトランジスタ 1 0 7 はオフ状態である。さらに、信号 I N 1 に応じて、ノード 1 2 1 の電位及びノード 1 2 4 の電位が大きくなり、電圧  $V_H$  と同じになる。さらに、ノード 1 2 1 の電位に応じてトランジスタ 1 0 2 がオン状態になり、信号 O U T 1 a の電圧が上昇する。このとき、信号 O U T 1 a の電圧は、容量素子 1 0 3 によりノード 1 2 1 の電位に合わせて上昇し、電圧  $V_H$  と同じになる。いわゆるブートストラップである。また、ノード 1 2 4 の電位が信号 I N 1 の電位に応じて大きくなり、電圧  $V_H$  と同じである。さらに、ノード 1 2 4 の電位に応じてトランジスタ 1 1 1 がオン状態になり、信号 O U T 1 b の電圧が電圧  $V_L$  になる。このとき、容量素子 1 0 6 には、ノード 1 2 2 の電位と低電源電圧に応じた電圧が印加され、容量素子 1 0 6 によりノード 1 2 2 の電位は、一定期間保持される。また、容量素子 1 1 2 には、ノード 1 2 4 の電位と低電源電圧に応じた電圧が印加され、容量素子 1 1 2 によりノード 1 2 4 の電位は、一定期間保持される。トランジスタ 1 0 4 及びトランジスタ 1 1 0 のオフ電流が無い場合、容

40

50

量素子 106 及び容量素子 112 に保持された電圧は、一定の範囲の値に保持されるため、本実施の形態の論理回路に適用可能なトランジスタのように、オフ電流の低いトランジスタを用いることにより、トランジスタがオフ状態のときのノード 122 の電位及びノード 124 の電位を一定の範囲内の値を維持しながら保持しておくことができる。

【0068】

次に、期間 143 では、信号 CK1 が時刻 A3 にてローレベルになり、信号 CK2 はローレベルのままであり、信号 IN1 はローレベルになり、信号 IN2 はハイレベルになる。

【0069】

このとき、論理回路 151 は、トランジスタ 101、トランジスタ 104、トランジスタ 107、及びトランジスタ 110 がオフ状態になり、ノード 121 の電位は電圧  $V_H$  と同じ値に保持され、ノード 122 の電位は電圧  $V_L$  に保持され、ノード 123 の電位は電圧  $V_L$  に保持され、ノード 124 の電位は電圧  $V_H$  に保持され、信号 OUT1a はハイレベルのままであり、信号 OUT1b はローレベルのままである。

10

【0070】

次に、期間 144 では、信号 CK1 はローレベルのままであり、信号 CK2 が時刻 A4 にてハイレベルになり、信号 IN1 はローレベルのままであり、信号 IN2 はハイレベルのままである。なお、信号 IN1 は、時刻 A3 にてローレベルになってもよく、信号 IN2 は、時刻 A3 にてハイレベルになってもよい。

【0071】

このとき、論理回路 151 は、期間 143 における状態を維持し、信号 OUT1a はハイレベルのままであり、信号 OUT1b はローレベルのままである。

20

【0072】

次に、期間 145 において、信号 CK1 はローレベルのままであり、信号 CK2 が時刻 A5 にてローレベルになり、信号 IN1 はローレベルのままであり、信号 IN2 はハイレベルのままである。

【0073】

このとき、論理回路 151 は、期間 144 における状態を維持し、信号 OUT1a はハイレベルのままであり、信号 OUT1b はローレベルのままである。

【0074】

次に、期間 146 において、信号 CK1 が時刻 A6 にてハイレベルになり、信号 CK2 はローレベルのままであり、信号 IN1 はローレベルのままであり、信号 IN2 はハイレベルのままである。

30

【0075】

このとき、論理回路 151 は、トランジスタ 101、トランジスタ 104、トランジスタ 107、及びトランジスタ 110 がオン状態になり、ノード 121 の電位及びノード 124 の電位が電圧  $V_L$  と同じになる。さらに、ノード 121 の電位及びノード 124 の電位に応じてトランジスタ 102 及びトランジスタ 111 がオフ状態になる。また、ノード 122 の電位及びノード 123 の電位が大きくなり、電圧  $V_H$  と同じになる。さらに、ノード 122 の電位及びノード 123 の電位に応じてトランジスタ 105 及びトランジスタ 111 がオン状態になり、信号 OUT1a の電圧が電圧  $V_L$  になり、信号 OUT1b の電圧が電圧  $V_H$  になる。このとき、容量素子 106 には、ノード 122 の電位と低電源電圧に応じた電圧が印加され、容量素子 106 によりノード 122 の電位は一定期間保持される。また、容量素子 112 には、ノード 124 の電位と低電源電圧に応じた電圧が印加され、容量素子 112 によりノード 124 の電位は一定期間保持される。トランジスタが 104 及びトランジスタ 110 のオフ電流が無い場合、容量素子 106 及び容量素子 112 に保持された電圧は、一定の範囲の値に保持されるため、本実施の形態の論理回路に適用可能なトランジスタのように、オフ電流の低いトランジスタを用いることにより、トランジスタがオフ状態のときのノード 122 の電位及びノード 124 の電位を一定の範囲内の値を維持しながら保持しておくことができる。

40

【0076】

50

その後の期間において、論理回路 1 5 1 は、一定期間同じ状態を維持し、信号 O U T 1 a の電圧は、一定期間ローレベルに維持され、信号 O U T 1 b の電圧は、一定期間ハイレベルに維持される。

【 0 0 7 7 】

さらに、論理回路 1 5 1 以降の段の論理回路（ここでは一例として論理回路 1 5 2 及び論理回路 1 5 3 ）について説明する。なお、各論理回路内の動作は、入力信号及び出力信号の状態を除いては論理回路 1 5 1 と同じであるため、ここでの説明は省略する。

【 0 0 7 8 】

まず、論理回路 1 5 2 は、期間 1 4 4 において、出力信号である信号 O U T 2 a が時刻 A 4 にてハイレベルになり、信号 O U T 2 b はローレベルのままである。

10

【 0 0 7 9 】

さらに、期間 1 4 5 乃至期間 1 4 7 において、論理回路 1 5 2 は、期間 1 4 4 と同じ状態を維持し、信号 O U T 2 a はハイレベルのままであり、信号 O U T 2 b はローレベルのままである。

【 0 0 8 0 】

さらに、期間 1 4 8 において、論理回路 1 5 2 は、信号 O U T 2 a が時刻 A 8 にてローレベルになり、信号 O U T 2 b が時刻 A 8 にてハイレベルになる。

【 0 0 8 1 】

さらに、論理回路 1 5 3 は、期間 1 4 6 において、出力信号である信号 O U T 2 a が時刻 A 6 にてハイレベルになり、信号 O U T 2 b はローレベルのままである。

20

【 0 0 8 2 】

さらに、期間 1 4 7 乃至期間 1 4 9 において、論理回路 1 5 3 は、期間 1 4 6 と同じ状態を維持し、信号 O U T 3 a はハイレベルのままであり、信号 O U T 3 b はローレベルのままである。

【 0 0 8 3 】

さらに、期間 1 5 0 において、論理回路 1 5 2 は、信号 O U T 3 a が時刻 A 1 0 にてローレベルになり、信号 O U T 3 b はハイレベルになる。

【 0 0 8 4 】

また、図示しないが、3 段以上の論理回路を用いてシフトレジスタが構成される場合であっても同様に、段毎に論理回路における出力信号の電圧状態が順次変化する。

30

【 0 0 8 5 】

以上のように、本実施の形態のシフトレジスタは、各段の論理回路において、2 つの異なる電圧状態の出力信号を出力することができる。また、本実施の形態のシフトレジスタは、出力信号をハイレベル又はローレベルにするためのトランジスタのゲート電位を一定期間保持するための保持容量を有する構成であり、また、トランジスタとしてオフ電流が低く、チャンネル形成層として酸化物半導体層を有するトランジスタを用いた構成である。該構成にすることにより、トランジスタを介してのリーク電流が低減するため、保持容量に保持された電圧を一定期間、一定の範囲の値に維持することができるため、誤動作を抑制することができる。また、トランジスタによるリーク電流が低減するため、消費電力を低減することもできる。また、チャンネル形成層として酸化物半導体層を有するトランジスタは、酸化物半導体層の不純物濃度が低いため、閾値電圧のばらつきが小さい。一般的に複数のトランジスタを備えるシフトレジスタにおいて、トランジスタの閾値電圧のばらつきが大きいと全てのトランジスタをオンさせるときの電圧が高いため、チャンネル形成層として酸化物半導体層を有するトランジスタを本実施の形態のシフトレジスタに用いることにより、消費電力を低減することができる。

40

【 0 0 8 6 】

さらに、本実施の形態では、本発明の一態様であるシフトレジスタを駆動回路に用いた半導体装置について説明する。なお、本実施の形態では、一例として同一基板上に少なくとも駆動回路の一部と、該駆動回路により表示状態が制御される画素を含む画素部を有する表示装置について説明する。

50

## 【0087】

アクティブマトリクス型表示装置のブロック図の一例を図4(A)に示す。表示装置の基板5300上には、画素部5301、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304を有する。画素部5301には、複数の信号線が信号線駆動回路5304から延伸して配置され、複数の走査線が第1の走査線駆動回路5302、及び第2の走査線駆動回路5303から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板5300は、FPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路5305(コントローラ、制御ICともいう)に接続されている。

10

## 【0088】

図4(A)では、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304は、画素部5301と同じ基板5300上に形成される。そのため、外部に設ける駆動回路等の部品数が減るので、コストの低減を図ることができる。また、基板5300外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板5300上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

## 【0089】

なお、タイミング制御回路5305は、第1の走査線駆動回路5302に対し、一例として、第1の走査線駆動回路用スタート信号(GSP1)、第1の走査線駆動回路用クロック信号(GCK1)を供給する。また、タイミング制御回路5305は、第2の走査線駆動回路5303に対し、一例として、第2の走査線駆動回路用スタート信号(GSP2)(スタートパルスともいう)、走査線駆動回路用クロック信号(GCK2)を供給する。また、タイミング制御回路5305は、信号線駆動回路5304に対し、一例として、信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、ビデオ信号用データ(DATA)(単にビデオ信号ともいう)、ラッチ信号(LAT)を供給する。なお、各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号(CKB)とともに供給されるものであってもよい。また、第1の走査線駆動回路用スタート信号、第2の走査線駆動回路用スタート信号、走査線駆動回路用クロック信号、信号線駆動回路用スタート信号、及び信号線駆動回路用クロック信号は、それぞれ複数あってもよい。本実施の形態の半導体装置では、第1の走査線駆動回路5302と第2の走査線駆動回路5303との一方を省略することが可能である。

20

30

## 【0090】

図4(B)では、駆動周波数が低い回路(例えば、第1の走査線駆動回路5302、第2の走査線駆動回路5303)を画素部5301と同じ基板5300に形成し、信号線駆動回路5304を画素部5301とは別の基板に形成する構成について示している。当該構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板5300に形成する駆動回路を構成することができる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを行うことができる。

40

## 【0091】

また、図5(A)、図5(B)ではNチャンネル型TFTで構成する信号線駆動回路の構成、動作について一例を示し説明する。

## 【0092】

図5(A)に示す信号線駆動回路は、シフトレジスタ5601、及びスイッチング回路5602を有する。スイッチング回路5602は、複数のスイッチング回路を有する。スイッチング回路5602\_\_1~5602\_\_N(Nは2以上の自然数)は、各々、薄膜トランジスタ5603\_\_1~5603\_\_k(kは2以上の自然数)という複数のトランジスタを有する。ここでは、薄膜トランジスタ5603\_\_1~5603\_\_kが、Nチャンネル型TFTである例を説明する。

50

## 【0093】

信号線駆動回路の接続関係について、スイッチング回路5602\_\_1を例にして説明する。薄膜トランジスタ5603\_\_1~5603\_\_kのソース及びドレインの一方は、各々、配線5604\_\_1~5604\_\_kと電氣的に接続される。薄膜トランジスタ5603\_\_1~5603\_\_kのソース及びドレインの他方は、各々、信号線S1~Skと電氣的に接続される。薄膜トランジスタ5603\_\_1~5603\_\_kのゲートは、配線5605\_\_1と電氣的に接続される。

## 【0094】

シフトレジスタ5601は、配線5605\_\_1~5605\_\_Nに順番にハイレベルの信号を出力し、スイッチング回路5602\_\_1~5602\_\_Nを順番に選択する機能を有する。

10

## 【0095】

スイッチング回路5602\_\_1は、配線5604\_\_1~5604\_\_kと信号線S1~Skとの導通状態を制御する機能、即ち配線5604\_\_1~5604\_\_kの電位を信号線S1~Skに供給するか否かを制御する機能を有する。このように、スイッチング回路5602\_\_1は、セクタとしての機能を有する。また、薄膜トランジスタ5603\_\_1~5603\_\_kは、各々、配線5604\_\_1~5604\_\_kと信号線S1~Skとの導通状態を制御する機能、即ち配線5604\_\_1~5604\_\_kの電位を信号線S1~Skに供給する機能を有する。このように、薄膜トランジスタ5603\_\_1~5603\_\_kは、各々、スイッチとしての機能を有する。

20

## 【0096】

なお、配線5604\_\_1~5604\_\_kには、各々、ビデオ信号用データ(DATA)が入力される。ビデオ信号用データ(DATA)は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

## 【0097】

次に、図5(A)の信号線駆動回路の動作について、図5(B)のタイミングチャートを参照して説明する。図5(B)には、信号Sout\_\_1~Sout\_\_N、及び信号Vdata\_\_1~Vdata\_\_kの一例を示す。信号Sout\_\_1~Sout\_\_Nは、各々、シフトレジスタ5601の出力信号の一例であり、信号Vdata\_\_1~Vdata\_\_kは、各々、配線5604\_\_1~5604\_\_kに入力される信号の一例である。なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間は、一例として、期間T1~期間TNに分割される。期間T1~TNは、各々、選択された行に属する画素にビデオ信号用データ(DATA)を書き込むための期間である。

30

## 【0098】

期間T1~期間TNにおいて、シフトレジスタ5601は、ハイレベルの信号を配線5605\_\_1~5605\_\_Nに順番に出力する。例えば、期間T1において、シフトレジスタ5601は、ハイレベルの信号を配線5605\_\_1に出力する。すると、薄膜トランジスタ5603\_\_1~5603\_\_kはオンになるので、配線5604\_\_1~5604\_\_kと、信号線S1~Skとが導通状態になる。このとき、配線5604\_\_1~5604\_\_kには、Data(S1)~Data(Sk)が入力される。Data(S1)~Data(Sk)は、各々、薄膜トランジスタ5603\_\_1~5603\_\_kを介して、選択される行に属する画素のうち、1列目~k列目の画素に書き込まれる。こうして、期間T1~TNにおいて、選択された行に属する画素に、k列ずつ順番にビデオ信号用データ(DATA)が書き込まれる。

40

## 【0099】

以上のように、ビデオ信号用データ(DATA)が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ(DATA)の数、又は配線の数を減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号の書き込み不足を防止することができる。

50

## 【0100】

なお、シフトレジスタ5601としては、本発明の一態様であるシフトレジスタを用いることができる。

## 【0101】

次に、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファ等を有していてもよい。走査線駆動回路では、シフトレジスタによって選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲートが電氣的に接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

10

## 【0102】

以上のように、本発明の一態様であるシフトレジスタは、半導体装置の駆動回路に適用することが可能である。本発明の一態様であるシフトレジスタを用いることにより、単位画像の表示期間を延ばすことができるため、例えば静止画などを表示する場合など消費電力を低減することができる。

## 【0103】

## (実施の形態2)

本実施の形態は、本明細書で開示する論理回路及び半導体装置を構成するトランジスタに適用できる薄膜トランジスタの例を示す。

20

## 【0104】

本実施の形態の半導体装置及び半導体装置の作製方法の一形態を、図31及び図6を用いて説明する。

## 【0105】

図31(A)(B)に半導体装置の平面及び断面構造の一例を示す。図31(A)(B)に示す薄膜トランジスタ410は、トップゲート構造の薄膜トランジスタの一つである。

## 【0106】

図31(A)はトップゲート構造の薄膜トランジスタ410の平面図であり、図31(B)は図31(A)の線C1-C2における断面図である。

## 【0107】

30

薄膜トランジスタ410は、基板400上に、絶縁層407、酸化物半導体層412、ソース電極層又はドレイン電極層415a、及びソース電極層又はドレイン電極層415b、ゲート絶縁層402、ゲート電極層411を含み、ソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bにそれぞれ配線層414a、配線層414bが接して設けられ電氣的に接続している。

## 【0108】

また、薄膜トランジスタ410はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

## 【0109】

40

以下、図6(A)乃至(E)を用い、基板400上に薄膜トランジスタ410を作製する工程を説明する。

## 【0110】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

## 【0111】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のもを用いるとよい。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている

50

。なお、一般に酸化ホウ素 ( $B_2O_3$ ) と比較して酸化バリウム ( $BaO$ ) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 $B_2O_3$  より  $BaO$  を多く含むガラス基板を用いることが好ましい

#### 【0112】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いてもよい。他にも、結晶化ガラス基板などを用いることができる。また、プラスチック基板等も適宜用いることができる。

#### 【0113】

まず、絶縁表面を有する基板 400 上に下地膜となる絶縁層 407 を形成する。酸化物半導体層と接する絶縁層 407 は、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層などの酸化物絶縁層を用いると好ましい。絶縁層 407 の形成方法としては、プラズマ CVD 法又はスパッタリング法等を用いることができるが、絶縁層 407 中に水素が多量に含まれないようにするためには、スパッタリング法で絶縁層 407 を成膜することが好ましい。

10

#### 【0114】

本実施の形態では、絶縁層 407 として、スパッタリング法により酸化シリコン層を形成する。基板 400 を処理室へ搬送し、水素及び水分が除去された高純度酸素を含むスパッタリングガスを導入しシリコンターゲットを用いて、基板 400 に絶縁層 407 として、酸化シリコン層を成膜する。また基板 400 は室温でもよいし、加熱されていてもよい。

#### 【0115】

例えば、石英（好ましくは合成石英）をターゲットとして使い、基板温度 1080℃、基板とターゲットの間との距離（T-S 間距離）を 60 mm、圧力 0.4 Pa、高周波電源 1.5 kW、酸素及びアルゴン（酸素流量 25 sccm：アルゴン流量 25 sccm = 1:1）雰囲気下で RF スパッタリング法により酸化シリコン膜を成膜する。膜厚は 100 nm とする。なお、石英（好ましくは合成石英）に代えてシリコンターゲットを酸化シリコン膜を成膜するためのターゲットとして用いることができる。なお、スパッタリングガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

20

#### 【0116】

この場合において、処理室内の残留水分を除去しつつ絶縁層 407 を成膜することが好ましい。絶縁層 407 に水素、水酸基又は水分が含まれないようにするためである。

30

#### 【0117】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水 ( $H_2O$ ) など水素原子を含む化合物等が排出されるため、当該成膜室で成膜し絶縁層 407 に含まれる不純物の濃度を低減できる。

#### 【0118】

絶縁層 407 を成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスを用いることが好ましい。

40

#### 【0119】

スパッタリング法にはスパッタリング用電源に高周波電源を用いる RF スパッタリング法、直流電源を用いる DC スパッタリング法、さらにパルス的にバイアスを与えるパルス DC スパッタリング法がある。RF スパッタリング法は主に絶縁膜を成膜する場合に用いられ、DC スパッタリング法は主に金属膜を成膜する場合に用いられる。

#### 【0120】

また、材料の異なるターゲットを複数設置できる多元スパッタリング装置もある。多元スパッタリング装置は、同一チャンパーで異なる材料膜を積層成膜することも、同一チャンパーで複数種類の材料を同時に放電させて成膜することもできる。

50

## 【0121】

また、チャンパー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタリング装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタリング装置がある。

## 【0122】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタリングガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

## 【0123】

また、絶縁層407は積層構造でもよく、例えば、基板400側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などの窒化物絶縁層と、上記酸化物絶縁層との積層構造としてもよい。

10

## 【0124】

例えば、水素及び水分が除去され、窒素を含む高純度のスパッタリングガスを導入しシリコンターゲットを用いて、酸化シリコン層と基板との間に窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。

## 【0125】

窒化シリコン層を形成する場合も、成膜時に基板を加熱してもよい。

## 【0126】

絶縁層407として窒化シリコン層と酸化シリコン層とを積層する場合、窒化シリコン層と酸化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に窒素を含むエッチングガスを導入して、処理室内に装着されたシリコンターゲットを用いて窒化シリコン層を形成し、次にエッチングガスを、酸素を含むエッチングガスに切り替えて同じシリコンターゲットを用いて酸化シリコン層を成膜する。窒化シリコン層と酸化シリコン層とを大気に曝露せずに連続して形成することができるため、窒化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。

20

## 【0127】

次いで、絶縁層407上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成する。

30

## 【0128】

また、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁層407が形成された基板400を予備加熱し、基板400に吸着した水素、水分などの不純物を脱離し排出することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、後に形成するゲート絶縁層402の成膜前の基板400に行ってもよいし、後に形成するソース電極層又はドレイン電極層415a及びソース電極層又はドレイン電極層415bまで形成した基板400にも同様に行ってもよい。

## 【0129】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させて逆スパッタを行い、絶縁層407の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に高周波電源を用いて電圧を印加してプラズマを形成して基板表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

40

## 【0130】

酸化物半導体膜はスパッタリング法により成膜する。酸化物半導体膜は、In-Ga-Zn-O系膜、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn

50

- O系、Al - Zn - O系、In - O系、Sn - O系、Zn - O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜をIn - Ga - Zn - O系酸化物半導体成膜用ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素混合雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、SiO<sub>2</sub>を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。

#### 【0131】

酸化物半導体膜を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

10

#### 【0132】

酸化物半導体膜をスパッタリング法で形成するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、In、Ga、及びZnを含む酸化物半導体成膜用ターゲット（組成比として、In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 1 [mol%]、In : Ga : Zn = 1 : 1 : 0.5 [atom%]）を用いることができる。また、In、Ga、及びZnを含む酸化物半導体成膜用ターゲットとして、In : Ga : Zn = 1 : 1 : 1 [atom%]、又はIn : Ga : Zn = 1 : 1 : 2 [atom%]の組成比を有するターゲットを用いることもできる。また、作製される酸化物半導体成膜用ターゲットの全体の体積に対して全体の体積から空隙などが占める空間を除いた部分の体積の割合（充填率ともいう）は、90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い酸化物半導体成膜用ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

20

#### 【0133】

減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタリングガスを導入し、金属酸化物をターゲットとして基板400上に酸化物半導体膜を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H<sub>2</sub>O)など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、酸化物半導体膜成膜時に基板を加熱してもよい。

30

#### 【0134】

成膜条件の一例としては、基板温度を室温、基板とターゲットの間との距離を60mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素及びアルゴン（酸素流量15sccm : アルゴン流量30sccm）雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

40

#### 【0135】

次いで、酸化物半導体膜を第1のフォトリソグラフィ工程により島状の酸化物半導体層412に加工する（図6(A)参照。）。また、島状の酸化物半導体層412を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

#### 【0136】

なお、ここでの酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

50

## 【0137】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ $\text{Cl}_2$ ）、塩化硼素（ $\text{BCl}_3$ ）、塩化珪素（ $\text{SiCl}_4$ ）、四塩化炭素（ $\text{CCl}_4$ ）など）が好ましい。

## 【0138】

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ $\text{CF}_4$ ）、弗化硫黄（ $\text{SF}_6$ ）、弗化窒素（ $\text{NF}_3$ ）、トリフルオロメタン（ $\text{CHF}_3$ ）など）、臭化水素（ $\text{HBr}$ ）、酸素（ $\text{O}_2$ ）、これらのガスにヘリウム（ $\text{He}$ ）やアルゴン（ $\text{Ar}$ ）などの希ガスを添加したガス、などを用いることができる。

## 【0139】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

## 【0140】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

## 【0141】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

## 【0142】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

## 【0143】

本実施の形態では、エッチング液として燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体膜を島状の酸化物半導体層412に加工する。

## 【0144】

本実施の形態では、酸化物半導体層412に、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。この第1の加熱処理によって酸化物半導体層412の脱水化又は脱水素化を行うことができる。

## 【0145】

なお、加熱処理装置としては、電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物とほとんど反応しない不活性気体を用いられる。

## 【0146】

例えば、第1の加熱処理として、650～700の高温に加熱した不活性ガス中に基

10

20

30

40

50

板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0147】

なお、第1の加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0148】

また、第1の加熱処理の条件、又は酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶膜又は多結晶膜となる場合もある。例えば、結晶化率が90%以上、又は80%以上の微結晶の酸化物半導体膜となる場合もある。また、第1の加熱処理の条件、又は酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体膜となる場合もある。また、非晶質の酸化物半導体の中に微結晶部(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体膜となる場合もある。

【0149】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0150】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、ソース電極及びドレイン電極上にゲート絶縁層を形成した後、のいずれで行ってもよい。

【0151】

次いで、絶縁層407及び酸化物半導体層412上に、導電膜を形成する。例えばスパッタリング法や真空蒸着法で導電膜を形成すればよい。導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムの内いずれか一又は複数から選択された材料を用いてもよい。また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、Alに、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジウム)、Sc(スカンジウム)から選ばれた元素を単数、又は複数組み合わせた膜、それらの合金膜、若しくは窒化膜を用いてもよい。

【0152】

第2のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bを形成した後、レジストマスクを除去する(図6(B)参照)。なお、形成されたソース電極層、ドレイン電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

【0153】

本実施の形態ではソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bとしてスパッタリング法により膜厚150nmのチタン膜を形成する。

【0154】

なお、導電膜のエッチングの際に、酸化物半導体層412は酸化物半導体層412が除去されて、その下の絶縁層407が露出しないようにそれぞれの材料及びエッチング条件を

10

20

30

40

50

適宜調節する。

【0155】

なお、第2のフォトリソグラフィ工程では、酸化物半導体層412は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。また、ソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0156】

第2のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いる。酸化物半導体層412上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャンネル長Lが決定される。なお、チャンネル長L=25nm未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線（Extreme Ultraviolet）を用いて第2のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さくすることができるため、低消費電力化も図ることができる。

10

【0157】

次いで、絶縁層407、酸化物半導体層412、ソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415b上にゲート絶縁層402を形成する（図6（C）参照。）。

20

【0158】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層402中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層402を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタリングガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

30

【0159】

ゲート絶縁層402は、ソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415b側から酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。例えば、第1のゲート絶縁層として膜厚5nm以上300nm以下の酸化シリコン層（SiO<sub>x</sub>（x>0））を形成し、第1のゲート絶縁層上に第2のゲート絶縁層としてスパッタリング法により膜厚50nm以上200nm以下の窒化シリコン層（SiN<sub>y</sub>（y>0））を積層して、膜厚100nmのゲート絶縁層としてもよい。本実施の形態では、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン（酸素流量25sccm：アルゴン流量25sccm=1：1）雰囲気下でRFスパッタリング法により膜厚100nmの酸化シリコン層を形成する。

40

【0160】

次いで、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層402の一部を除去して、ソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bに達する開口421a、開口421bを形成する（図6（D）参照。）。

【0161】

次に、ゲート絶縁層402、及び開口421a、421b上に導電膜を形成した後、第4のフォトリソグラフィ工程によりゲート電極層411、配線層414a、414bを形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

50

## 【0162】

また、ゲート電極層411、配線層414a、414bは、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

## 【0163】

例えば、ゲート電極層411、配線層414a、414bの2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、又は銅層上にモリブデン層を積層した2層構造、又は銅層上に窒化チタン層若しくは窒化タンタル層を積層した2層構造、窒化チタン層とモリブデン層とを積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層又は窒化タングステン層と、アルミニウムとシリコンの合金層又はアルミニウムとチタンの合金層と、窒化チタン層又はチタン層とを積層した層とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げることができる。

10

## 【0164】

本実施の形態ではゲート電極層411、配線層414a、414bとしてスパッタリング法により膜厚150nmのチタン膜を形成する。

## 【0165】

次いで、不活性ガス雰囲気下、又は酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。本実施の形態では、窒素雰囲気下で250、1時間の第2の加熱処理を行う。また、第2の加熱処理は、薄膜トランジスタ410上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

20

## 【0166】

さらに、大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

## 【0167】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層412を有する薄膜トランジスタ410を形成することができる（図6(E)参照。）。

30

## 【0168】

また、薄膜トランジスタ410上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。例えば、保護絶縁層として酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。

## 【0169】

また、平坦化絶縁層としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層を形成してもよい。

40

## 【0170】

なお、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いてもよい。また、有機基はフルオロ基を有していてもよい。

## 【0171】

平坦化絶縁層の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリ

50

ーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0172】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0173】

上記のように酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0174】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、安定な電気特性を有し信頼性の高い半導体装置を提供することができる。

10

【0175】

(実施の形態3)

本実施の形態は、本明細書で開示する論理回路及び半導体装置を構成するトランジスタに適用できる薄膜トランジスタの他の例を示す。なお、実施の形態2と同一部分又は同様な機能を有する部分、及び工程は、実施の形態2と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。

【0176】

本実施の形態の半導体装置及び半導体装置の作製方法の一形態を、図7及び図8を用いて説明する。

20

【0177】

図7(A)(B)に半導体装置の平面及び断面構造の一例を示す。図7(A)(B)に示す薄膜トランジスタ460は、トップゲート構造の薄膜トランジスタの一つである。

【0178】

図7(A)はトップゲート構造の薄膜トランジスタ460の平面図であり、図7(B)は図7(A)の線D1-D2における断面図である。

【0179】

薄膜トランジスタ460は、絶縁表面を有する基板450上に、絶縁層457、ソース電極層又はドレイン電極層465a(465a1、465a2)、酸化物半導体層462、ソース電極層又はドレイン電極層465b、配線層468、ゲート絶縁層452、ゲート電極層461(461a、461b)を含み、ソース電極層又はドレイン電極層465a(465a1、465a2)は配線層468を介して配線層464と電氣的に接続している。また、図示していないが、ソース電極層又はドレイン電極層465bもゲート絶縁層452に設けられた開口において配線層と電氣的に接続する。

30

【0180】

以下、図8(A)乃至(E)を用い、基板450上に薄膜トランジスタ460を作製する工程を説明する。

【0181】

まず、基板450上に下地膜となる絶縁層457を形成する。

【0182】

本実施の形態では、絶縁層457として、スパッタリング法により酸化シリコン層を形成する。基板450を処理室へ搬送し、水素及び水分が除去され、酸素を含む高純度のスパッタリングガスを導入しシリコンターゲット又は石英(好ましくは合成石英)を用いて、基板450に絶縁層457として、酸化シリコン層を成膜する。なお、スパッタリングガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

40

【0183】

例えば、スパッタリングガスの純度が6Nであり、石英(好ましくは合成石英)を用い、基板温度108℃、基板とターゲットの間との距離(T-S間距離)を60mm、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン(酸素流量25sccm:アルゴン流量25sccm=1:1)雰囲気下でRFスパッタリング法により酸化シリコン膜を成

50

膜する。膜厚は100nmとする。なお、石英（好ましくは合成石英）に代えてシリコンターゲットを酸化シリコン膜を成膜するためのターゲットとして用いることができる。

【0184】

この場合において、処理室内の残留水分を除去しつつ絶縁層457を成膜することが好ましい。絶縁層457に水素、水酸基又は水分が含まれないようにするためである。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水（ $H_2O$ ）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜し絶縁層457に含まれる不純物の濃度を低減できる。

【0185】

絶縁層457を成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

10

【0186】

また、絶縁層457は積層構造でもよく、例えば、基板450側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、窒化酸化アルミニウム層などの窒化物絶縁層と、上記酸化物絶縁層との積層構造としてもよい。

【0187】

例えば、水素及び水分が除去され、窒素を含む高純度のスパッタリングガスを導入しシリコンターゲットを用いて、酸化シリコン層と基板との間に窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。

20

【0188】

次いで、絶縁層457上に、導電膜を形成し、第1のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層465a1、465a2を形成した後、レジストマスクを除去する（図8（A）参照。）。ソース電極層又はドレイン電極層465a1、465a2は断面図では分断されて示されているが、連続した膜である。なお、形成されたソース電極層、ドレイン電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

30

【0189】

ソース電極層又はドレイン電極層465a1、465a2の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、又は上述した元素を成分とする合金が、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムから選択されたいずれか一又は複数の材料を用いてもよい。また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、Alに、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、Nd（ネオジウム）、Sc（スカンジウム）から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、若しくは窒化膜を用いてもよい。

40

【0190】

本実施の形態ではソース電極層又はドレイン電極層465a1、465a2としてスパッタリング法により膜厚150nmのチタン膜を形成する。

【0191】

次いで、ゲート絶縁層452上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成する。

【0192】

次に酸化物半導体膜を形成し、第2のフォトリソグラフィ工程により島状の酸化物半導体層462に加工する（図8（B）参照。）。本実施の形態では、酸化物半導体膜をIn-

50

G a - Z n - O系酸化物半導体成膜用ターゲットを用いてスパッタリング法により成膜する。

【0193】

酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタリングガスを導入し、金属酸化物をターゲットとして基板450上に酸化物半導体膜を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H<sub>2</sub>O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、酸化物半導体膜成膜時に基板を加熱してもよい。

10

【0194】

酸化物半導体膜を成膜する際に用いるスパッタリングガスは、水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

【0195】

成膜条件の一例としては、基板温度を室温、基板とターゲットの間との距離を60mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素及びアルゴン(酸素流量15sccm:アルゴン流量30sccm)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

20

【0196】

本実施の形態では、エッチング液として燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体膜を島状の酸化物半導体層462に加工する。

【0197】

本実施の形態では、酸化物半導体層462に、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。この第1の加熱処理によって酸化物半導体層462の脱水化又は脱水素化を行うことができる。

30

【0198】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。例えば、第1の加熱処理として、650~700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

40

【0199】

なお、第1の加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

50

## 【0200】

また、第1の加熱処理の条件、又は酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶膜又は多結晶膜となる場合もある。

## 【0201】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

## 【0202】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にさらにソース電極層及びドレイン電極層を積層させた後、ソース電極及びドレイン電極上にゲート絶縁層を形成した後、のいずれで行ってもよい。

10

## 【0203】

次いで、絶縁層457及び酸化物半導体層462上に、導電膜を形成し、第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層465b、配線層468を形成した後、レジストマスクを除去する(図8(C)参照。)。ソース電極層又はドレイン電極層465b、配線層468はソース電極層又はドレイン電極層465a1、465a2と同様な材料及び工程で形成すればよい。

## 【0204】

本実施の形態ではソース電極層又はドレイン電極層465b、配線層468としてスパッタリング法により膜厚150nmのチタン膜を形成する。本実施の形態では、ソース電極層又はドレイン電極層465a1、465a2とソース電極層又はドレイン電極層465bに同じチタン膜を用いる例のため、ソース電極層又はドレイン電極層465a1、465a2とソース電極層又はドレイン電極層465bとはエッチングにおいて選択比がとれない。よって、ソース電極層又はドレイン電極層465a1、465a2が、ソース電極層又はドレイン電極層465bのエッチング時にエッチングされないように、酸化物半導体層462に覆われないソース電極層又はドレイン電極層465a2上に配線層468を設けている。ソース電極層又はドレイン電極層465a1、465a2とソース電極層又はドレイン電極層465bとにエッチング工程において高い選択比を有する異なる材料を用いる場合には、エッチング時にソース電極層又はドレイン電極層465a2を保護する配線層468は必ずしも設けなくてもよい。

20

30

## 【0205】

なお、導電膜のエッチングの際に、酸化物半導体層462が除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

## 【0206】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層462は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層又はドレイン電極層465b、配線層468を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

40

## 【0207】

次いで、絶縁層457、酸化物半導体層462、ソース電極層又はドレイン電極層465a1、465a2、ソース電極層又はドレイン電極層465b、及び配線層468上にゲート絶縁層452を形成する。

## 【0208】

ゲート絶縁層452は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層452中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層452を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲ

50

ットとしてシリコンターゲット又は石英ターゲットを用い、スパッタリングガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0209】

ゲート絶縁層452は、ソース電極層又はドレイン電極層465a1、465a2、ソース電極層又はドレイン電極層465b側から酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。本実施の形態では、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン（酸素流量25sccm：アルゴン流量25sccm＝1：1）雰囲気下でRFスパッタリング法により膜厚100nmの酸化シリコン層を形成する。

【0210】

次いで、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層452の一部を除去して、配線層438に達する開口423を形成する（図8（D）参照。）。図示しないが開口423の形成時にソース電極層又はドレイン電極層465bに達する開口を形成してもよい。本実施の形態では、ソース電極層又はドレイン電極層465bへの開口はさらに層間絶縁層を積層した後に形成し、電氣的に接続する配線層を開口に形成する例とする。

10

【0211】

次に、ゲート絶縁層452、及び開口423上に導電膜を形成した後、第5のフォトリソグラフィ工程によりゲート電極層461（461a、461b）、配線層464を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0212】

また、ゲート電極層461（461a、461b）、配線層464の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0213】

本実施の形態ではゲート電極層461（461a、461b）、配線層464としてスパッタリング法により膜厚150nmのチタン膜を形成する。

【0214】

次いで、不活性ガス雰囲気下、又は酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。本実施の形態では、窒素雰囲気下で250、1時間の第2の加熱処理を行う。また、第2の加熱処理は、薄膜トランジスタ410上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

30

【0215】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

【0216】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層462を有する薄膜トランジスタ460を形成することができる（図8（E）参照。）。

40

【0217】

また、薄膜トランジスタ460上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。なお、図示しないが、ゲート絶縁層452、保護絶縁層や平坦化絶縁層にソース電極層又はドレイン電極層465bに達する開口を形成し、その開口に、ソース電極層又はドレイン電極層465bと電氣的に接続する配線層を形成する。

【0218】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0219】

50

上記のように酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0220】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、安定な電気特性を有し信頼性の高い半導体装置を提供することができる。

【0221】

(実施の形態4)

本実施の形態は、本明細書で開示する論理回路及び半導体装置を構成するトランジスタに適用できる薄膜トランジスタの他の例を示す。なお、実施の形態2と同一部分又は同様な機能を有する部分、及び工程は、実施の形態2と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。本実施の形態で示す薄膜トランジスタ425、426は、実施の形態1の論理回路及び半導体装置を構成する薄膜トランジスタとして用いることができる。

10

【0222】

本実施の形態の薄膜トランジスタを、図9を用いて説明する。

【0223】

図9(A)(B)に薄膜トランジスタの断面構造の一例を示す。図9(A)(B)に示す薄膜トランジスタ425、426は、酸化物半導体層を導電層とゲート電極層とで挟んだ構造の薄膜トランジスタの一つである。

20

【0224】

また、図9(A)(B)において、基板はシリコン基板を用いており、シリコン基板420上に設けられた絶縁層422上に薄膜トランジスタ425、426がそれぞれ設けられている。

【0225】

図9(A)において、シリコン基板420に設けられた絶縁層422と絶縁層407との間に少なくとも酸化物半導体層412全体と重なるように導電層427が設けられている。

【0226】

なお、図9(B)は、絶縁層422と絶縁層407との間の導電層が、導電層424のようにエッチングにより加工され、酸化物半導体層412の少なくともチャネル領域を含む一部と重なる例である。

30

【0227】

導電層427、424は後工程で行われる加熱処理温度に耐えられる金属材料であればよく、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジウム)、スカンジウム(Sc)から選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、又は上述した元素を成分とする窒化物などを用いることができる。また、単層構造でも積層構造でもよく、例えばタングステン層単層、又は窒化タングステン層とタングステン層との積層構造などを用いることができる。

40

【0228】

また、導電層427、424は、電位が薄膜トランジスタ425、426のゲート電極層411と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層427、424の電位がGND、0Vという固定電位であってもよい。

【0229】

導電層427、424によって、薄膜トランジスタ425、426の電気特性を制御することができる。

【0230】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

50

## 【0231】

(実施の形態5)

本実施の形態は、本明細書で開示する論理回路及び半導体装置を構成するトランジスタに適用できる薄膜トランジスタの例を示す。

## 【0232】

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を、図10を用いて説明する。

## 【0233】

図10(A)乃至(E)に薄膜トランジスタの断面構造の一例を示す。図10(A)乃至(E)に示す薄膜トランジスタ390は、ボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

10

## 【0234】

また、薄膜トランジスタ390はシングルゲート構造の薄膜トランジスタを用いて説明するが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

## 【0235】

以下、図10(A)乃至(E)を用い、基板394上に薄膜トランジスタ390を作製する工程を説明する。

## 【0236】

まず、絶縁表面を有する基板394上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層391を形成する。形成されたゲート電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

## 【0237】

絶縁表面を有する基板394に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

## 【0238】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いるとよい。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、一般的に酸化ホウ素と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 $B_2O_3$ よりBaOを多く含むガラス基板を用いることが好ましい

30

## 【0239】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いてもよい。他にも、結晶化ガラス基板などを用いることができる。また、プラスチック基板等も適宜用いることができる。

## 【0240】

下地膜となる絶縁膜を基板394とゲート電極層391との間に設けてもよい。下地膜は、基板394からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

40

## 【0241】

また、ゲート電極層391の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

## 【0242】

例えば、ゲート電極層391の2層の積層構造としては、アルミニウム層上にモリブデン

50

層が積層された2層の積層構造、銅層上にモリブデン層を積層した2層構造、銅層上に窒化チタン層若しくは窒化タンタル層を積層した2層構造、窒化チタン層とモリブデン層とを積層した2層構造、又は窒化タングステン層とタングステン層とを積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層又は窒化タングステン層と、アルミニウムとシリコンの合金層又はアルミニウムとチタンの合金層と、窒化チタン層又はチタン層との積層とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げることができる。

【0243】

次いで、ゲート電極層391上にゲート絶縁層397を形成する。

10

【0244】

ゲート絶縁層397は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層397中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層397を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタリングガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

【0245】

ゲート絶縁層397は、ゲート電極層391側から窒化シリコン層と酸化シリコン層を積層した構造とすることもできる。例えば、第1のゲート絶縁層としてスパッタリング法により膜厚50nm以上200nm以下の窒化シリコン層( $SiNy$  ( $y > 0$ ))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5nm以上300nm以下の酸化シリコン層( $SiOx$  ( $x > 0$ ))を積層して、膜厚100nmのゲート絶縁層とする。

20

【0246】

また、ゲート絶縁層397、酸化物半導体膜393に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層391が形成された基板394、又はゲート絶縁層397までが形成された基板394を予備加熱し、基板394に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、100以上400以下好ましくは150以上300以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、酸化物絶縁層396の成膜前に、ソース電極層395a及びドレイン電極層395bまで形成した基板394にも同様に行ってもよい。

30

【0247】

次いで、ゲート絶縁層397上に、膜厚2nm以上200nm以下の酸化物半導体膜393を形成する(図10(A)参照。)

【0248】

なお、酸化物半導体膜393をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させて逆スパッタを行い、ゲート絶縁層397の表面に付着しているゴミを除去することが好ましい。

40

【0249】

酸化物半導体膜393はスパッタリング法により成膜する。酸化物半導体膜393は、In-Ga-Zn-O系膜、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜393をIn-Ga-Zn-O系酸化物半導体成膜用ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体膜393は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス

50

(代表的にはアルゴン)及び酸素混合雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、 $\text{SiO}_2$ を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。

【0250】

酸化物半導体膜393をスパッタリング法で作製するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、In、Ga、及びZnを含む酸化物半導体成膜用ターゲット(組成比として、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$  [mol%]、 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$  [atom%])を用いることができる。また、In、Ga、及びZnを含む酸化物半導体成膜用ターゲットとして、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$  [atom%]、又は $\text{In}:\text{Ga}:\text{Zn}=1:1:2$  [atom%]の組成比を有するターゲットを用いることもできる。酸化物半導体成膜用ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%である。充填率の高い酸化物半導体成膜用ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

10

【0251】

減圧状態に保持された処理室内に基板を保持し、基板を室温又は400未満の温度に加熱する。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタリングガスを導入し、金属酸化物をターゲットとして基板394上に酸化物半導体膜393を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水( $\text{H}_2\text{O}$ )など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

20

【0252】

成膜条件の一例としては、基板とターゲットの間との距離を60mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

30

【0253】

次いで、酸化物半導体膜を第2のフォトリソグラフィ工程により島状の酸化物半導体層399に加工する(図10(B)参照。)。また、島状の酸化物半導体層399を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0254】

また、酸化物半導体層399の形成時に、ゲート絶縁層397にコンタクトホールを形成することができる。

40

【0255】

なお、ここでの酸化物半導体膜393のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0256】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素( $\text{Cl}_2$ )、塩化硼素( $\text{BCl}_3$ )、塩化珪素( $\text{SiCl}_4$ )、四塩化炭素( $\text{CCl}_4$ )など)が好ましい。

【0257】

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素( $\text{CF}_4$ )、弗化硫黄( $\text{SF}_6$ )、弗化窒素( $\text{NF}_3$ )、トリフルオロメタン( $\text{CHF}_3$ )など)、臭化水素( $\text{HBr}$

50

)、酸素( $O_2$ )、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

【0258】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

【0259】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

10

【0260】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0261】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

20

【0262】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体層399及びゲート絶縁層397の表面に付着しているレジスト残渣などを除去することが好ましい。

【0263】

次いで、ゲート絶縁層397、及び酸化物半導体層399上に、導電膜を形成する。スパッタリング法や真空蒸着法で導電膜を形成すればよい。導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一又は複数から選択された材料を用いてもよい。また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、Alに、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジウム)、Sc(スカンジウム)から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、若しくは窒化膜を用いてもよい。

30

【0264】

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層395a、ドレイン電極層395bを形成した後、レジストマスクを除去する(図10(C)参照)。

40

【0265】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いる。酸化物半導体層399上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャンネル長Lが決定される。なお、チャンネル長L=25nm未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図るこ

50

とができる。

【0266】

なお、導電膜のエッチングの際に、酸化物半導体層399は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0267】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層399は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層395a、ドレイン電極層395bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

【0268】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

20

【0269】

$N_2O$ 、 $N_2$ 、又はArなどのガスを用いたプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0270】

プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層として酸化物絶縁層396を形成する(図10(D)参照)。本実施の形態では、酸化物半導体層399がソース電極層395a、ドレイン電極層395bと重ならない領域において、酸化物半導体層399と酸化物絶縁層396とが接するように形成する。

30

【0271】

本実施の形態では、酸化物絶縁層396として、島状の酸化物半導体層399、ソース電極層395a、ドレイン電極層395bまで形成された基板394を室温又は100未満の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタリングガスを導入しシリコン半導体のターゲットを用いて、欠陥を含む酸化シリコン層を成膜する。

【0272】

例えば、スパッタリングガスの純度が6Nであり、ボロンがドーブされたシリコンターゲット(抵抗値0.01cm)を用い、基板とターゲットの間との距離(T-S間距離)を89mm、圧力0.4Pa、直流(DC)電源6kW、酸素(酸素流量比率100%)雰囲気下でパルスDCスパッタリング法により酸化シリコン層を成膜する。膜厚は300nmとする。なお、シリコンターゲットに代えて石英(好ましくは合成石英)を酸化シリコン膜を成膜するためのターゲットとして用いることができる。なお、スパッタリングガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

40

【0273】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層396を成膜することが好ましい。酸化物半導体層399及び酸化物絶縁層396に水素、水酸基又は水分が含まれないようにするためである。

【0274】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであ

50

ってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水（ $H_2O$ ）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層 396 に含まれる不純物の濃度を低減できる。

【0275】

なお、酸化物絶縁層 396 として、酸化シリコン層に代えて、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層などを用いることもできる。

【0276】

さらに、酸化物絶縁層 396 と酸化物半導体層 399 とを接した状態で 100 乃至 400 で加熱処理を行ってもよい。本実施の形態における酸化物絶縁層 396 は欠陥を多く含むため、この加熱処理によって酸化物半導体層 399 中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化物絶縁層 396 に拡散させ、酸化物半導体層 399 中に含まれる該不純物をより低減させることができる。

10

【0277】

以上の工程で、水素、水分、水酸基又は水素化物の濃度が低減された酸化物半導体層 392 を有する薄膜トランジスタ 390 を形成することができる（図 10（E）参照。）。

【0278】

上記のように酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0279】

酸化物絶縁層上に保護絶縁層を設けてもよい。本実施の形態では、保護絶縁層 398 を酸化物絶縁層 396 上に形成する。保護絶縁層 398 としては、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いる。

20

【0280】

保護絶縁層 398 として、酸化物絶縁層 396 まで形成された基板 394 を 100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタリングガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、酸化物絶縁層 396 と同様に、処理室内の残留水分を除去しつつ保護絶縁層 398 を成膜することが好ましい。

【0281】

保護絶縁層 398 を形成する場合、保護絶縁層 398 の成膜時に 100 ~ 400 に基板 394 を加熱することで、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させることができる。この場合上記酸化物絶縁層 396 の形成後に加熱処理を行わなくてもよい。

30

【0282】

酸化物絶縁層 396 として酸化シリコン層を形成し、保護絶縁層 398 として窒化シリコン層を積層する場合、酸化シリコン層と窒化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に酸素を含むエッチングガスを導入して、処理室内に装着されたシリコンターゲットを用いて酸化シリコン層を形成し、次にエッチングガスを窒素を含むエッチングガスに切り替えて同じシリコンターゲットを用いて窒化シリコン層を成膜する。酸化シリコン層と窒化シリコン層とを大気に曝露せずに連続して形成することができるため、酸化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。この場合、酸化物絶縁層 396 として酸化シリコン層を形成し、保護絶縁層 398 として窒化シリコン層を積層した後、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させるための加熱処理（温度 100 乃至 400 ）を行うとよい。

40

【0283】

保護絶縁層の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温ま

50

での降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって薄膜トランジスタの信頼性を向上できる。

【0284】

また、ゲート絶縁層上にチャネル形成領域とする酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体層中の水素及び水素化物の濃度を低減することができる。

【0285】

上記の工程は、液晶表示パネル、エレクトロルミネセンス表示パネル、電子インクを用いた表示装置などのバックプレーン（薄膜トランジスタが形成された基板）の製造に用いることができる。上記の工程は、400 以下の温度で行われるため、厚さが1mm以下で、一辺が1mを超えるガラス基板を用いる製造工程にも適用することができる。また、400 以下の処理温度で全ての工程を行うことができるので、表示パネルを製造するために多大なエネルギーを消費しないで済む。

10

【0286】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0287】

以上のように、酸化物半導体層を用いる薄膜トランジスタにおいて、安定な電気特性を有し信頼性の高い薄膜トランジスタを提供することができる。

20

【0288】

（実施の形態6）

本実施の形態は、本明細書で開示する論理回路及び半導体装置を構成するトランジスタに適用できる薄膜トランジスタの他の例を示す。

【0289】

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を図11を用いて説明する。

【0290】

図11(A)乃至(E)に薄膜トランジスタの断面構造の一例を示す。図11(A)乃至(E)に示す薄膜トランジスタ310は、ボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

30

【0291】

また、薄膜トランジスタ310はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0292】

以下、図11(A)乃至(E)を用い、基板300上に薄膜トランジスタ410を作製する工程を説明する。

【0293】

まず、絶縁表面を有する基板300上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層311を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

40

【0294】

絶縁表面を有する基板300に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0295】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730 以上のものを用いるとよい。また、ガラス基板には、例えば、アルミノシリケートガラス、ア

50

ルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ素 ( $B_2O_3$ ) と比較して酸化バリウム ( $BaO$ ) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 $B_2O_3$  より  $BaO$  を多く含むガラス基板を用いることが好ましい

【0296】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いてもよい。他にも、結晶化ガラス基板などを用いることができる。

【0297】

下地膜となる絶縁膜を基板300とゲート電極層311との間に設けてもよい。下地膜は、基板300からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。

10

【0298】

また、ゲート電極層311の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0299】

例えば、ゲート電極層311の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、銅層上にモリブデン層を積層した2層の積層構造、銅層上に窒化チタン層若しくは窒化タンタル層を積層した2層の積層構造、窒化チタン層とモリブデン層とを積層した2層の積層構造、又は窒化タングステン層とタングステン層との2層の積層構造とすることが好ましい。3層の積層構造としては、タングステン層又は窒化タングステン層と、アルミニウムと珪素の合金層又はアルミニウムとチタンの合金層と、窒化チタン層又はチタン層とを積層した積層とすることが好ましい。

20

【0300】

次いで、ゲート電極層311上にゲート絶縁層302を形成する。

【0301】

ゲート絶縁層302は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、又は酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 $SiH_4$ 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。ゲート絶縁層302の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とする。

30

【0302】

本実施の形態では、ゲート絶縁層302としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

【0303】

次いで、ゲート絶縁層302上に、膜厚2nm以上200nm以下の酸化物半導体膜330を形成する。

40

【0304】

なお、酸化物半導体膜330をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層302の表面に付着しているゴミを除去することが好ましい。なお、アルゴン雰囲気代わりに窒素、ヘリウム、酸素などを用いてもよい。

【0305】

酸化物半導体膜330は、 $In-Ga-Zn-O$ 系、 $In-Sn-Zn-O$ 系、 $In-Al-Zn-O$ 系、 $Sn-Ga-Zn-O$ 系、 $Al-Ga-Zn-O$ 系、 $Sn-Al-Zn-O$ 系、 $In-Zn-O$ 系、 $Sn-Zn-O$ 系、 $Al-Zn-O$ 系、 $In-O$ 系、 $Sn-O$ 系、 $Zn-O$ 系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜330

50

としてIn-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタリング法により成膜する。この段階での断面図が図11(A)に相当する。また、酸化物半導体膜330は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、SiO<sub>2</sub>を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。

#### 【0306】

酸化物半導体膜330をスパッタリング法で作製するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、In、Ga、及びZnを含む酸化物半導体成膜用ターゲット(組成比として、In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1[mol%]、In:Ga:Zn=1:1:0.5[atom%])を用いることができる。また、In、Ga、及びZnを含む酸化物半導体成膜用ターゲットとして、In:Ga:Zn=1:1:1[atom%]、又はIn:Ga:Zn=1:1:2[atom%]の組成比を有するターゲットを用いることもできる。酸化物半導体成膜用ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%である。充填率の高い酸化物半導体成膜用ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

10

#### 【0307】

酸化物半導体膜330を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

20

#### 【0308】

減圧状態に保持された処理室内に基板を保持し、基板温度を100以上600以下好ましくは200以上400以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタリングガスを導入し、金属酸化物をターゲットとして基板300上に酸化物半導体膜330を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H<sub>2</sub>O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

30

#### 【0309】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

40

#### 【0310】

次いで、酸化物半導体膜330を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

#### 【0311】

次いで、酸化物半導体層に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層の脱水化又は脱水素化を行うことができる。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理

50

装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層331を得る(図11(B)参照。)

【0312】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

10

【0313】

例えば、第1の加熱処理として、650~700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0314】

なお、第1の加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

20

【0315】

また、第1の加熱処理の条件、又は酸化物半導体層の材料によっては、結晶化し、微結晶膜又は多結晶膜となる場合もある。例えば、結晶化率が90%以上、又は80%以上の微結晶の酸化物半導体膜となる場合もある。また、第1の加熱処理の条件、又は酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体膜となる場合もある。また、非晶質の酸化物半導体の中に微結晶部(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体膜となる場合もある。

30

【0316】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜330に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0317】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、ソース電極及びドレイン電極上に保護絶縁膜を形成した後、のいずれで行ってもよい。

40

【0318】

また、ゲート絶縁層302にコンタクトホールを形成する場合、その工程は酸化物半導体膜330に脱水化又は脱水素化処理を行う前でも行った後に行ってもよい。

【0319】

なお、ここでの酸化物半導体膜のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0320】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

【0321】

50

次いで、ゲート絶縁層 302、及び酸化物半導体層 331 上に、導電膜を形成する。導電膜をスパッタリング法や真空蒸着法で形成すればよい。導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれる元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一又は複数から選択された材料を用いてもよい。また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2層構造、Ti 膜と、その Ti 膜上に重ねてアルミニウム膜を積層し、さらにその上に Ti 膜を成膜する 3層構造などが挙げられる。また、Al に、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、Nd (ネオジウム)、Sc (スカンジウム) から選ばれる元素を単数、又は複数組み合わせた膜、合金膜、若しくは窒化膜を用いてもよい。

10

**【0322】**

導電膜成膜後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

**【0323】**

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層 315a、ドレイン電極層 315b を形成した後、レジストマスクを除去する (図 11 (C) 参照。 )。

**【0324】**

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線や KrF レーザ光や ArF レーザ光を用いる。酸化物半導体層 331 上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャンネル長 L が決定される。なお、チャンネル長 L = 25 nm 未満の露光を行う場合には、数 nm ~ 数 10 nm と極めて波長が短い超紫外線 (Extreme Ultraviolet) を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャンネル長 L を 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

20

30

**【0325】**

なお、導電膜のエッチングの際に、酸化物半導体層 331 は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

**【0326】**

なお、第3のフォトリソグラフィ工程では、酸化物半導体層 331 は一部のみがエッチングされ、溝部 (凹部) を有する酸化物半導体層となることもある。また、ソース電極層 315a、ドレイン電極層 315b を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

**【0327】**

また、酸化物半導体層とソース電極層及びドレイン電極層の間に、酸化物導電層を形成してもよい。酸化物導電層とソース電極層及びドレイン電極層を形成するための金属層は、連続成膜が可能である。酸化物導電層はソース領域及びドレイン領域として機能しうる。

40

**【0328】**

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層とソース電極層及びドレイン電極層との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタの高速動作をすることができる。

**【0329】**

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマ

50

スクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

#### 【0330】

次いで、 $N_2O$ 、 $N_2$ 、又はArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

10

#### 【0331】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層316を形成する。

#### 【0332】

酸化物絶縁層316は、少なくとも1nm以上の膜厚とし、スパッタリング法など、酸化物絶縁層316に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層316に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャネルがN型化（低抵抗化）してしまい、寄生チャネルが形成されるおそれがある。よって、酸化物絶縁層316はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

20

#### 【0333】

本実施の形態では、酸化物絶縁層316として膜厚200nmの酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲット又は珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。酸素欠乏状態になり、N型化するかわち低抵抗化した酸化物半導体層に接して形成される酸化物絶縁層316は、水分、水素イオン、 $OH^-$ などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、又は酸化窒化アルミニウム膜などを用いる。

30

#### 【0334】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層316を成膜することが好ましい。酸化物半導体層331及び酸化物絶縁層316に水素、水酸基又は水分が含まれないようにするためである。

#### 【0335】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水（ $H_2O$ ）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層316に含まれる不純物の濃度を低減できる。

40

#### 【0336】

酸化物絶縁層316を成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

#### 【0337】

次いで、不活性ガス雰囲気下、又は酸素ガス雰囲気下で第2の加熱処理（好ましくは20

50

0 以上 400 以下、例えば 250 以上 350 以下)を行う。例えば、窒素雰囲気下で 250、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層の一部(チャンネル形成領域)が酸化物絶縁層 316 と接した状態で加熱される。

#### 【0338】

以上の工程を経ることによって、成膜後の酸化物半導体層に対して脱水化又は脱水素化のための加熱処理を行うと同時に酸化物半導体層が酸素欠乏状態となり低抵抗化、すなわち N 型化した後、酸化物半導体層に接するように酸化物絶縁層を形成することにより、酸化物半導体層の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極層 311 と重なるチャンネル形成領域 313 は I 型となる。このとき、少なくともチャンネル形成領域 363 に比べてキャリア濃度が高く、ソース電極層 315a に重なる高抵抗ソース領域 314a と、少なくともチャンネル形成領域 363 に比べてキャリア濃度が高く、ドレイン電極層 315b に重なる高抵抗ドレイン領域 314b とが自己整合的に形成される。以上の工程で薄膜トランジスタ 310 が形成される(図 11(D)参照。)

10

#### 【0339】

さらに、大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。本実施の形態では 150 で 10 時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって薄膜トランジスタの信頼性を向上できる。また、酸化物絶縁層に欠陥を多く含む酸化シリコン層を用いると、この加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化物絶縁層に拡散させ、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。

20

#### 【0340】

なお、ドレイン電極層 315b (及びソース電極層 315a)と重畳した酸化物半導体層において高抵抗ドレイン領域 314b (及び高抵抗ソース領域 314a)を形成することにより、薄膜トランジスタの信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域 314b を形成することで、ドレイン電極層 315b から高抵抗ドレイン領域 314b、チャンネル形成領域 313 にかけて、導電性を段階的に変化させようような構造とすることができる。そのため、ドレイン電極層 315b を、高電源電位 VDD を供給する配線に接続して動作させる場合、ゲート電極層 311 とドレイン電極層 315b との間に電圧が印加されても高抵抗ドレイン領域がバッファとなり局所的な電界集中が生じにくく、トランジスタの絶縁耐圧を向上させた構成とすることができる。

30

#### 【0341】

また、酸化物半導体層における高抵抗ソース領域又は高抵抗ドレイン領域は、酸化物半導体層の膜厚が 15 nm 以下と薄い場合は膜厚方向全体にわたって形成されるが、酸化物半導体層の膜厚が 30 nm 以上 50 nm 以下とより厚い場合は、酸化物半導体層の一部、ソース電極層又はドレイン電極層と接する領域及びその近傍が低抵抗化し高抵抗ソース領域又は高抵抗ドレイン領域が形成され、酸化物半導体層においてゲート絶縁膜に近い領域は I 型とすることもできる。

40

#### 【0342】

酸化物絶縁層 316 上にさらに保護絶縁層を形成してもよい。例えば、RF スパッタリング法を用いて窒化珪素膜を形成する。RF スパッタリング法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分、水素イオン、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層として保護絶縁層 303 を、窒化シリコン膜を用いて形成する(図 11(E)参照。)

50

## 【0343】

本実施の形態では、保護絶縁層として保護絶縁層303として、酸化物絶縁層316まで形成された基板300を100～400の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタリングガスを導入しシリコンターゲットを用いて、保護絶縁層303として、窒化シリコン膜を成膜する。この場合においても、酸化物絶縁層316と同様に、処理室内の残留水分を除去しつつ保護絶縁層303を成膜することが好ましい。

## 【0344】

なお、保護絶縁層303上に平坦化のための平坦化絶縁層を設けてもよい。

## 【0345】

また、保護絶縁層303の上（平坦化絶縁層を設ける場合には平坦化絶縁層の上）に酸化物半導体層と重なる導電層を設けてもよい。導電層は、電位が薄膜トランジスタ310のゲート電極層311と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層の電位がGND、0Vという固定電位であってもよい。

10

## 【0346】

導電層によって、薄膜トランジスタ310の電気特性を制御することができる。

## 【0347】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

## 【0348】

以上のように、酸化物半導体層を用いる薄膜トランジスタにおいて、安定な電気特性を有し信頼性の高い薄膜トランジスタを提供することができる。

20

## 【0349】

（実施の形態7）

本実施の形態は、本明細書で開示する論理回路及び半導体装置を構成するトランジスタに適用できる薄膜トランジスタの他の例を示す。

## 【0350】

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を、図12を用いて説明する。

## 【0351】

図12（A）乃至（D）に薄膜トランジスタの断面構造の一例を示す。図12（A）乃至（D）に示す薄膜トランジスタ360は、チャンネル保護型（チャンネルストップ型ともいう）と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

30

## 【0352】

また、薄膜トランジスタ360はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

## 【0353】

以下、図12（A）乃至（D）を用い、基板320上に薄膜トランジスタ360を作製する工程を説明する。

## 【0354】

まず、絶縁表面を有する基板320上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層361を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

40

## 【0355】

また、ゲート電極層361の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

## 【0356】

次いで、ゲート電極層361上にゲート絶縁層322を形成する。

50

## 【0357】

本実施の形態では、ゲート絶縁層322としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

## 【0358】

次いで、ゲート絶縁層322上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成し、第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。本実施の形態では、In-Ga-Zn-O系酸化物半導体成膜用ターゲットを用いてスパッタリング法により酸化物半導体膜を成膜する。

## 【0359】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜を成膜することが好ましい。酸化物半導体膜に水素、水酸基又は水分が含まれないようにするためである。

10

## 【0360】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H<sub>2</sub>O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

## 【0361】

酸化物半導体膜を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

20

## 【0362】

次いで、酸化物半導体層の脱水化又は脱水素化を行う。脱水化又は脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層332を得る(図12(A)参照。)

## 【0363】

次いで、N<sub>2</sub>O、N<sub>2</sub>、又はArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

30

## 【0364】

次いで、ゲート絶縁層322、及び酸化物半導体層332上に、酸化物絶縁層を形成した後、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層366を形成した後、レジストマスクを除去する。

## 【0365】

本実施の形態では、酸化物絶縁層366として膜厚200nmの酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲット又は珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び酸素雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。酸素欠乏状態となり低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層366は、水分、水素イオン、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、又は酸化窒化アルミニウム膜などを用いる。

40

## 【0366】

50

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層 3 6 6 を成膜することが好ましい。酸化物半導体層 3 3 2 及び酸化物絶縁層 3 6 6 に水素、水酸基又は水分が含まれないようにするためである。

【0367】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水 ( $H_2O$ ) など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層 3 6 6 に含まれる不純物の濃度を低減できる。

10

【0368】

酸化物絶縁層 3 6 6 を成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスを用いることが好ましい。

【0369】

次いで、不活性ガス雰囲気下、又は酸素ガス雰囲気下で第 2 の加熱処理（好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）を行ってもよい。例えば、窒素雰囲気下で 250、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層の一部（チャンネル形成領域）が酸化物絶縁層 3 6 6 と接した状態で加熱される。

20

【0370】

本実施の形態は、さらに酸化物絶縁層 3 6 6 が設けられ一部が露出している酸化物半導体層 3 3 2 を、窒素のような不活性ガス雰囲気下、又は減圧下で加熱処理を行う。酸化物絶縁層 3 6 6 によって覆われていない露出された酸化物半導体層 3 3 2 の領域は、窒素のような不活性ガス雰囲気下、又は減圧下で加熱処理を行うと、高抵抗化することができる。例えば、窒素雰囲気下で 250、1 時間の加熱処理を行う。

【0371】

酸化物絶縁層 3 6 6 が設けられた酸化物半導体層 3 3 2 に対する窒素雰囲気下の加熱処理によって、酸化物半導体層 3 3 2 の露出領域は高抵抗化し、抵抗の異なる領域（図 12 (B) においては斜線領域及び白地領域で示す）を有する酸化物半導体層 3 6 2 となる。

30

【0372】

次いで、ゲート絶縁層 3 2 2、酸化物半導体層 3 6 2、及び酸化物絶縁層 3 6 6 上に、導電膜を形成した後、第 4 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層 3 6 5 a、ドレイン電極層 3 6 5 b を形成した後、レジストマスクを除去する（図 12 (C) 参照。）。

【0373】

ソース電極層 3 6 5 a、ドレイン電極層 3 6 5 b の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、金属導電膜は、単層構造でも、2 層以上の積層構造としてもよい。

40

【0374】

以上の工程を経ることによって、成膜後の酸化物半導体層に対して脱水化又は脱水素化のための加熱処理を行うと同時に酸素欠乏状態となり、即ち N 型化した後、酸化物半導体層に接する酸化物絶縁層の形成を行うことにより酸化物半導体層の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極層 3 6 1 と重なるチャンネル形成領域 3 6 3 は、I 型となる。このとき、少なくともチャンネル形成領域 3 6 3 に比べてキャリア濃度が高く、ソース電極層 3 6 5 a に重なる高抵抗ソース領域 3 6 4 a と、チャンネル形成領域 3 6 3 に比べてキャリア濃度が高く、ドレイン電極層 3 6 5 b に重なる高抵抗ドレイン領域 3 6 4 b とが自己整合的に形成される。以上の工程で薄膜トランジスタ 3 6 0 が形成される。

【0375】

50

さらに、大気中、100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150 で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって薄膜トランジスタの信頼性を向上できる。

【0376】

なお、ドレイン電極層365b(及びソース電極層365a)と重畳した酸化物半導体層において高抵抗ドレイン領域364b(及び高抵抗ソース領域364a)を形成することにより、薄膜トランジスタの信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域364bを形成することで、ドレイン電極層から高抵抗ドレイン領域364b、チャンネル形成領域363にかけて、導電性を段階的に変化させようような構造とすることができる。そのため、ドレイン電極層365bを、高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層361とドレイン電極層365bとの間に電圧が印加されても高抵抗ドレイン領域がバッファとなり局所的な電界集中が生じにくく、トランジスタの耐圧を向上させた構成とすることができる。

10

【0377】

ソース電極層365a、ドレイン電極層365b、酸化物絶縁層366上に保護絶縁層323を形成する。本実施の形態では、保護絶縁層323を、窒化珪素膜を用いて形成する(図12(D)参照。)

20

【0378】

なお、ソース電極層365a、ドレイン電極層365b、酸化物絶縁層366上にさらに酸化物絶縁層を形成し、該酸化物絶縁層上に保護絶縁層323を積層してもよい。

【0379】

以上のように、酸化物半導体層を用いる薄膜トランジスタにおいて、安定な電気特性を有し信頼性の高い薄膜トランジスタを提供することができる。

【0380】

なお本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

30

【0381】

(実施の形態8)

本実施の形態は、本明細書で開示する論理回路及び半導体装置を構成するトランジスタに適用できる薄膜トランジスタの他の例を示す。

【0382】

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を、図13を用いて説明する。

【0383】

また、薄膜トランジスタ350はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

40

【0384】

以下、図13(A)乃至(D)を用い、基板340上に薄膜トランジスタ350を作製する工程を説明する。

【0385】

まず、絶縁表面を有する基板340上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層351を形成する。本実施の形態では、ゲート電極層351として、膜厚150nmのタングステン膜を、スパッタリング法を用いて形成する。

【0386】

次いで、ゲート電極層351上にゲート絶縁層342を形成する。本実施の形態では、ゲ

50

ート絶縁層 3 4 2 としてプラズマ C V D 法により膜厚 1 0 0 n m 以下の酸化窒化珪素層を形成する。

【 0 3 8 7 】

次いで、ゲート絶縁層 3 4 2 上に、導電膜を形成し、第 2 のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層 3 5 5 a、ドレイン電極層 3 5 5 b を形成した後、レジストマスクを除去する（図 1 3 ( A ) 参照。）。

【 0 3 8 8 】

次に酸化物半導体膜 3 4 5 を形成する（図 1 3 ( B ) 参照。）。本実施の形態では、In - Ga - Zn - O 系酸化物半導体成膜用ターゲットを用いてスパッタリング法により酸化物半導体膜 3 4 5 を成膜する。酸化物半導体膜 3 4 5 を第 3 のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

10

【 0 3 8 9 】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜 3 4 5 を成膜することが好ましい。酸化物半導体膜 3 4 5 に水素、水酸基又は水分が含まれないようにするためである。

【 0 3 9 0 】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水（H<sub>2</sub>O）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜 3 4 5 に含まれる不純物の濃度を低減できる。

20

【 0 3 9 1 】

酸化物半導体膜 3 4 5 を成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が、濃度 p p m 程度、濃度 p p b 程度まで除去された高純度ガスを用いることが好ましい。

【 0 3 9 2 】

次いで、酸化物半導体層の脱水化又は脱水素化を行う。脱水化又は脱水素化を行う第 1 の加熱処理の温度は、4 0 0 以上 7 5 0 以下、好ましくは 4 0 0 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 4 5 0 において 1 時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層 3 4 6 を得る（図 1 3 ( C ) 参照。）。

30

【 0 3 9 3 】

また、第 1 の加熱処理として、6 5 0 ~ 7 0 0 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出す G R T A を行ってもよい。G R T A を用いると短時間での高温加熱処理が可能となる。

【 0 3 9 4 】

酸化物半導体層 3 4 6 に接する保護絶縁膜となる酸化物絶縁層 3 5 6 を形成する。

40

【 0 3 9 5 】

酸化物絶縁層 3 5 6 は、少なくとも 1 n m 以上の膜厚とし、スパッタリング法など、酸化物絶縁層 3 5 6 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層 3 5 6 に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャネルが低抵抗化（N型化）してしまい、寄生チャネルが形成されるおそれがある。よって、酸化物絶縁層 3 5 6 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【 0 3 9 6 】

50

本実施の形態では、酸化物絶縁層 356 として膜厚 200 nm の酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。酸化珪素膜のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲット又は珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。酸素欠乏状態となり低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層 356 は、水分、水素イオン、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、又は酸化窒化アルミニウム膜などを用いる。

10

## 【0397】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層 356 を成膜することが好ましい。酸化物半導体層 346 及び酸化物絶縁層 356 に水素、水酸基又は水分が含まれないようにするためである。

## 【0398】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水（H<sub>2</sub>O）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層 356 に含まれる不純物の濃度を低減できる。

20

## 【0399】

酸化物絶縁層 356 を成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスを用いることが好ましい。

## 【0400】

次いで、不活性ガス雰囲気下、又は酸素ガス雰囲気下で第 2 の加熱処理（好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）を行う。例えば、窒素雰囲気下で 250 、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層の一部（チャンネル形成領域）が酸化物絶縁層 356 と接した状態で加熱される。

30

## 【0401】

以上の工程を経ることによって、脱水化又は脱水素化と同時に酸素欠乏状態となり低抵抗化していた酸化物半導体膜を酸素過剰な状態とする。その結果、高抵抗な I 型の酸化物半導体層 352 が形成される。以上の工程で薄膜トランジスタ 350 が形成される。

## 【0402】

さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。本実施の形態では 150 で 10 時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって薄膜トランジスタの信頼性を向上できる。

40

## 【0403】

酸化物絶縁層 356 上にさらに保護絶縁層を形成してもよい。例えば、RF スパッタリング法を用いて窒化珪素膜を形成する。本実施の形態では、保護絶縁層として保護絶縁層 343 を、窒化珪素膜を用いて形成する（図 13（D）参照。）。

## 【0404】

保護絶縁層 343 上に平坦化のための平坦化絶縁層を設けてもよい。

## 【0405】

50

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0406】

以上のように、酸化物半導体層を用いる薄膜トランジスタにおいて、安定な電気特性を有し信頼性の高い薄膜トランジスタを提供することができる。

【0407】

(実施の形態9)

本実施の形態は、本明細書で開示する論理回路及び半導体装置を構成するトランジスタに適用できる薄膜トランジスタの他の例を示す。

【0408】

本実施の形態では、薄膜トランジスタの作製工程の一部が実施の形態6と異なる例を図14に示す。図14は、図11と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

10

【0409】

まず基板370上にゲート電極層381を形成し、第1のゲート絶縁層372a、第2のゲート絶縁層372bを積層する。本実施の形態では、ゲート絶縁層を2層構造とし、第1のゲート絶縁層372aに窒化物絶縁層を、第2のゲート絶縁層372bに酸化物絶縁層を用いる。

【0410】

酸化物絶縁層としては、酸化シリコン層、酸化窒化シリコン層、又は酸化アルミニウム層、又は酸化窒化アルミニウム層などを用いることができる。また、窒化絶縁層としては、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などを用いることができる。

20

【0411】

本実施の形態では、ゲート電極層381側から窒化シリコン層と酸化シリコン層とを積層した構造とする。第1のゲート絶縁層372aとしてスパッタリング法により膜厚50nm以上200nm以下(本実施の形態では50nm)の窒化シリコン層( $SiN_y$  ( $y > 0$ ))を形成し、第1のゲート絶縁層372a上に第2のゲート絶縁層372bとして膜厚5nm以上300nm以下(本実施の形態では100nm)の酸化シリコン層( $SiO_x$  ( $x > 0$ ))を積層して、膜厚150nmのゲート絶縁層とする。

【0412】

次に酸化物半導体膜の形成を行い、酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層に加工する。本実施の形態では、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタリング法により酸化物半導体膜を成膜する。

30

【0413】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜を成膜することが好ましい。酸化物半導体膜に水素、水酸基又は水分が含まれないようにするためである。

【0414】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水( $H_2O$ )など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

40

【0415】

酸化物半導体膜を成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

【0416】

次いで、酸化物半導体層の脱水化又は脱水素化を行う。脱水化又は脱水素化を行う第1の加熱処理の温度は、400 以上750 以下、好ましくは425 以上とする。なお、

50

425 以上であれば加熱処理時間は1時間以下でよいが、425 未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。その後、同じ炉に高純度の酸素ガス、高純度の $N_2O$ ガス、又は超乾燥エア（露点が $-40$  以下、好ましくは $-60$  以下）を導入して冷却を行う。酸素ガス又は $N_2O$ ガスに、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する酸素ガス又は $N_2O$ ガスの純度を、 $6N(99.9999\%)$ 以上、好ましくは $7N(99.99999\%)$ 以上、（即ち酸素ガス又は $N_2O$ ガス中の不純物濃度を $1\text{ ppm}$ 以下、好ましくは $0.1\text{ ppm}$ 以下）とすることが好ましい。

10

**【0417】**

なお、加熱処理装置としては、電気炉に限られず、例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。また、LRTA装置、ランプだけでなく、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を用いてもよい。GRTAとは高温のガスを用いて加熱処理を行う方法である。ガスには、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。RTA法を用いて、 $600 \sim 750$  で数分間加熱処理を行ってもよい。

20

**【0418】**

また、脱水化又は脱水素化を行う第1の加熱処理後に $200$  以上 $400$  以下、好ましくは $200$  以上 $300$  以下の温度で酸素ガス又は $N_2O$ ガス雰囲気下での加熱処理を行ってもよい。

**【0419】**

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

30

**【0420】**

以上の工程を経ることによって酸化物半導体層全体を酸素過剰な状態とすることで、高抵抗化、即ちI型化させる。よって、全体がI型化した酸化物半導体層382を得る。

**【0421】**

次いで、酸化物半導体層382上に導電膜を形成し、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層385a、ドレイン電極層385bを形成し、スパッタリング法で酸化物絶縁層386を形成する。

**【0422】**

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層386を成膜することが好ましい。酸化物半導体層382及び酸化物絶縁層386に水素、水酸基又は水分が含まれないようにするためである。

40

**【0423】**

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水( $H_2O$ )など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層386に含まれる不純物の濃度を低減できる。

**【0424】**

酸化物絶縁層386を成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水

50

素化物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスを用いることが好ましい。

【0425】

以上の工程で、薄膜トランジスタ380を形成することができる。

【0426】

次いで、薄膜トランジスタの電気的特性のばらつきを軽減するため、不活性ガス雰囲気下、例えば、窒素ガス雰囲気下で加熱処理（好ましくは150 以上350 未満）を行ってもよい。例えば、窒素雰囲気下で250 、1時間の加熱処理を行う。

【0427】

また、大気中、100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150 で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化半導体層から酸化絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって薄膜トランジスタの信頼性を向上できる。

10

【0428】

酸化絶縁層386上に保護絶縁層373を形成する。本実施の形態では、保護絶縁層373として、スパッタリング法を用いて膜厚100nmの窒化珪素膜を形成する。

【0429】

窒化物絶縁層からなる保護絶縁層373及び第1のゲート絶縁層372aは、水分や、水素や、水素化物、水酸化物などの不純物を含まず、これらが外部から侵入することをブロックする効果がある。

20

【0430】

従って、保護絶縁層373形成後の製造プロセスにおいて、外部からの水分などの不純物の侵入を防ぐことができる。また、半導体装置、例えば液晶表示装置としてデバイスが完成した後にも長期的に、外部からの水分などの不純物の侵入を防ぐことができデバイスの長期信頼性を向上することができる。

【0431】

また、窒化物絶縁層からなる保護絶縁層373と、第1のゲート絶縁層372aとの間に設けられる絶縁層の一部を除去し、保護絶縁層373と、第1のゲート絶縁層372aとが接する構造としてもよい。

30

【0432】

従って、酸化半導体層中の水分や、水素や、水素化物、水酸化物などの不純物を究極にまで低減し、かつ該不純物の再混入を防止し、酸化半導体層中の不純物濃度を低く維持することができる。

【0433】

また、保護絶縁層373上に平坦化のための平坦化絶縁層を設けてもよい。

【0434】

また、保護絶縁層373の上に酸化半導体層と重なる導電層を設けてもよい。導電層は、電位が薄膜トランジスタ380のゲート電極層381と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層の電位がGND、0Vという固定電位であってもよい。

40

【0435】

導電層によって、薄膜トランジスタ380の電気特性を制御することができる。

【0436】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0437】

以上のように、酸化半導体層を用いる薄膜トランジスタにおいて、安定な電気特性を有し信頼性の高い薄膜トランジスタを提供することができる。

50

## 【0438】

(実施の形態10)

半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図15を用いて説明する。図15は、薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図15(B)は、図15(A)又は図15(C)のM-Nにおける断面図に相当する。

## 【0439】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

10

## 【0440】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG法、ワイヤボンディング法、或いはTAB法などを用いることができる。図15(A)は、COG法により信号線駆動回路4003を実装する例であり、図15(C)は、TAB法により信号線駆動回路4003を実装する例である。

## 【0441】

また、第1の基板4001上に設けられた画素部4002及び走査線駆動回路4004は、薄膜トランジスタを複数有しており、図15(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4041、4042、4021が設けられている。

20

## 【0442】

薄膜トランジスタ4010、4011としては、実施の形態2乃至9のいずれか一の薄膜トランジスタを適宜用いることができる。薄膜トランジスタ4010、4011の酸化物半導体層は水素や水が低減されている。従って、薄膜トランジスタ4010、4011は信頼性の高い薄膜トランジスタである。本実施の形態において、薄膜トランジスタ4010、4011はNチャネル型薄膜トランジスタである。

30

## 【0443】

絶縁層4021上において、薄膜トランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位が薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。

## 【0444】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010のソース電極層又はドレイン電極層と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

40

## 【0445】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができ、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては

50

、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルム、又はアクリル樹脂フィルムを用いることができる。

【0446】

また、スペーサ4035は、絶縁膜を選択的にエッチングすることで得られる柱状の隔壁であり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いてもよい。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電気的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

10

【0447】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1ms以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。特に、酸化物半導体層を用いる薄膜トランジスタは、静電気の影響により薄膜トランジスタの電気的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

20

【0448】

なお、透過型液晶表示装置の他に、半透過型液晶表示装置でも適用できる。

【0449】

また、液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光膜を設けてもよい。

30

【0450】

薄膜トランジスタ4011、4010上には、酸化物半導体層に接して絶縁層4041が形成されている。絶縁層4041は上記実施の形態で示した酸化物絶縁層と同様な材料及び方法で形成すればよい。ここでは、絶縁層4041として、スパッタリング法により酸化シリコン層を形成する。また、絶縁層4041上に接して保護絶縁層4042を形成する。また、保護絶縁層4042は実施の形態6で示した保護絶縁層303と同様に形成すればよく、例えば窒化シリコン膜を用いることができる。また、保護絶縁層4042上に薄膜トランジスタ起因の表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層4021で覆う構成となっている。

40

【0451】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0452】

50

絶縁層 4021 の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG 法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層 4021 の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

#### 【0453】

画素電極層 4030、対向電極層 4031 としては、インジウム錫酸化物（ITO）、酸化インジウムに酸化亜鉛（ZnO）を混合した IZO（indium zinc oxide）、酸化インジウムに酸化珪素（SiO<sub>2</sub>）を混合した導電材料、有機インジウム、有機スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、などの透光性を有する導電性材料を用いることができる。又は反射型の液晶表示装置において、透光性を有する必要がない、又は反射性を有する必要がある場合は、タングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、チタン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することができる。

10

#### 【0454】

また、画素電極層 4030、対向電極層 4031 を、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が 10000 / 以下、波長 550 nm における透光率が 70% 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が 0.1 · cm 以下であることが好ましい。

20

#### 【0455】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリン又はその誘導体、ポリピロール又はその誘導体、ポリチオフェン又はその誘導体、若しくはこれらの 2 種以上の共重合体などがあげられる。

#### 【0456】

また、別途形成された信号線駆動回路 4003 と、走査線駆動回路 4004 又は画素部 4002 に与えられる各種信号及び電位は、FPC 4018 から供給されている。

30

#### 【0457】

接続端子電極 4015 が、液晶素子 4013 が有する画素電極層 4030 と同じ導電膜から形成され、端子電極 4016 は、薄膜トランジスタ 4010、4011 のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

#### 【0458】

接続端子電極 4015 は、FPC 4018 が有する端子と、異方性導電膜 4019 を介して電氣的に接続されている。

#### 【0459】

また、図 15 においては、信号線駆動回路 4003 を別途形成し、第 1 の基板 4001 に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装してもよいし、信号線駆動回路の一部又は走査線駆動回路の一部のみを別途形成して実装してもよい。

40

#### 【0460】

また、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設けてもよい。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

#### 【0461】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素

50

電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0462】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、又は動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0463】

また、通常の垂直同期周波数を1.5倍、好ましくは2倍以上にすることで応答速度を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

10

【0464】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源又は複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

【0465】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

20

【0466】

また、薄膜トランジスタは静電気などにより破壊されやすいため、さらに画素部又は駆動回路と同一基板上に保護回路を設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。例えば、保護回路は画素部と、走査線入力端子及び信号線入力端子との間に配設されている。本実施の形態では複数の保護回路を配設して、走査線、信号線及び容量バス線に静電気等によりサージ電圧が印加され、画素トランジスタなどが破壊されないように構成されている。そのため、保護回路にはサージ電圧が印加されたときに、共通配線に電荷を逃がすように構成する。また、保護回路は、走査線に対して並列に配置された非線形素子を用いて構成されている。非線形素子は、ダイオードのような二端子素子又はトランジスタのような三端子素子で構成される。例えば、画素部の薄膜トランジスタと同じ工程で形成することも可能であり、例えばゲート端子とドレイン端子を接続することによりダイオードと同様の特性を持たせることができる。

30

【0467】

また、液晶表示モジュールには、TN（Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optically Compensated Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）などを用いることができる。

40

【0468】

このように、本明細書に開示される半導体装置としては、特に限定されず、TN液晶、OCB液晶、STN液晶、VA液晶、ECB型液晶、GH液晶、高分子分散型液晶、ディスコティック液晶などを用いることができるが、中でもノーマリーブラック型の液晶パネル、例えば垂直配向（VA）モードを採用した透過型の液晶表示装置とすることが好ましい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA（Multi-Domain Vertical Alignment）モード、PVA（Patterned

50

d Vertical Alignment)モード、ASVモードなどを用いることができる。

【0469】

また、VA型の液晶表示装置にも適用することができる。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。また、画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

【0470】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0471】

(実施の形態11)

本実施の形態では、実施の形態1に示した半導体装置において、薄膜トランジスタと、エレクトロルミネッセンスを利用する発光素子とを用い、アクティブマトリクス型の発光表示装置を作製する一例を示す。

【0472】

エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0473】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子及び正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子及び正孔)が再結合することにより発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0474】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0475】

図16は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0476】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャンネル形成領域に用いるNチャンネル型のトランジスタを1つの画素に2つ用いる例を示す。

【0477】

画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極(ソース電極及びドレイン電極の一方)が信号線6405に接続され、第2電極(ソース電極及びドレイン電極の他方)が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極(画素電極)に接続されている。発光素子6404の第2電極は共通電極に相当する。共通電極は、同一基板上に形成される共通電位線6408と電氣的に接続される。

10

20

30

40

50

## 【0478】

なお、発光素子6404の第2電極（共通電極）には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていてもよい。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404のしきい値電圧以上となるようにそれぞれの電位を設定する。

## 【0479】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャンネル形成領域とゲート電極との間で容量が形成されていてもよい。

10

## 【0480】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、（電源線電圧+駆動用トランジスタ6402の $V_{th}$ ）以上の電圧をかける。

## 【0481】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図16と同じ画素構成を用いることができる。

20

## 【0482】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+駆動用トランジスタ6402の $V_{th}$ 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

30

## 【0483】

なお、図16に示す画素構成は、これに限定されない。例えば、図16に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

## 【0484】

次に、発光素子の構成について、図17を用いて説明する。ここでは、駆動用TFTがN型の場合を例に挙げて、画素の断面構造について説明する。

## 【0485】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出構造や、基板側の面から発光を取り出す下面射出構造や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

40

## 【0486】

下面射出構造の発光素子について図17(A)を用いて説明する。

## 【0487】

駆動用TFT7011がN型で、発光素子7012から発せられる光が第1の電極7013側に射出する場合の、画素の断面図を示す。図17(A)では、駆動用TFT7011のドレイン電極層と電氣的に接続された透光性を有する導電膜7017上に、発光素子7012の第1の電極7013が形成されており、第1の電極7013上にEL層7014

50

、第2の電極7015が順に積層されている。

【0488】

透光性を有する導電膜7017としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いることができる。

【0489】

また、発光素子の第1の電極7013は様々な材料を用いることができる。例えば、第1の電極7013を陰極として用いる場合には、仕事関数が小さい材料、具体的には、例えば、LiやCs等のアルカリ金属、及びMg、Ca、Sr等のアルカリ土類金属、及びこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。図17(A)では、第1の電極7013の膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、第1の電極7013として用いる。

10

【0490】

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜7017と第1の電極7013を形成してもよく、この場合、同じマスクを用いてエッチングすることができるため、好ましい。

【0491】

また、第1の電極7013の周縁部は、隔壁7019で覆う。隔壁7019は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜又は有機ポリシロキサンを用いて形成する。隔壁7019は、特に感光性の樹脂材料を用い、第1の電極7013上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7019として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

20

【0492】

また、第1の電極7013及び隔壁7019上に形成するEL層7014は、少なくとも発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでもよい。EL層7014が複数の層で構成されている場合、陰極として機能する第1の電極7013上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお、これらの層のうち、発光層以外の層を全て設ける必要はない。

30

【0493】

また、上記積層順に限定されず、第1の電極7013を陽極として機能させ、第1の電極7013上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、第1の電極7013を陰極として機能させ、第1の電極7013上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが、駆動回路部の電圧上昇を抑制でき、消費電力を少なくできるため好ましい。

【0494】

また、EL層7014上に形成する第2の電極7015としては、様々な材料を用いることができる。例えば、第2の電極7015を陽極として用いる場合、仕事関数が大きい材料、例えば、ZrN、Ti、W、Ni、Pt、Cr等や、ITO、IZO、ZnOなどの透明導電性材料が好ましい。また、第2の電極7015上に遮蔽膜7016、例えば光を遮光する金属、光を反射する金属等を用いる。本実施の形態では、第2の電極7015としてITO膜を用い、遮蔽膜7016としてTi膜を用いる。

40

【0495】

第1の電極7013及び第2の電極7015で、発光層を含むEL層7014を挟んでいる領域が発光素子7012に相当する。図17(A)に示した素子構造の場合、発光素子7012から発せられる光は、矢印で示すように第1の電極7013側に射出する。

50

## 【0496】

なお、図17(A)ではゲート電極層として透光性を有する導電膜を用い、かつソース電極層及びドレイン電極層に透光性を有するような薄膜を用いる例を示しており、発光素子7012から発せられる光は、カラーフィルタ層7033を通過し、基板を通過して射出させることができる。

## 【0497】

カラーフィルタ層7033はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

## 【0498】

また、カラーフィルタ層7033はオーバーコート層7034で覆われ、さらに保護絶縁層7035によって覆う。なお、図17(A)ではオーバーコート層7034は薄い膜厚で図示したが、オーバーコート層7034は、カラーフィルタ層7033に起因する凹凸を平坦化する機能を有している。

10

## 【0499】

また、保護絶縁層7035、オーバーコート層7034、平坦化絶縁層7036、絶縁層7032、及び絶縁層7031に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁7019と重なる位置に配置する。

## 【0500】

次に、両面射出構造の発光素子について、図17(B)を用いて説明する。

## 【0501】

図17(B)では、駆動用TFT7021のドレイン電極層と電氣的に接続された透光性を有する導電膜7027上に、発光素子7022の第1の電極7023が形成されており、第1の電極7023上にEL層7024、第2の電極7025が順に積層されている。

20

## 【0502】

透光性を有する導電膜7027としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いることができる。

## 【0503】

また、第1の電極7023は様々な材料を用いることができる。例えば、第1の電極7023を陰極として用いる場合、仕事関数が小さい材料、具体的には、例えば、LiやCs等のアルカリ金属、及びMg、Ca、Sr等のアルカリ土類金属、及びこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。本実施の形態では、第1の電極7023を陰極として用い、その膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極として用いる。

30

## 【0504】

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜7027と第1の電極7023を形成してもよく、この場合、同じマスクを用いてエッチングすることができ、好ましい。

40

## 【0505】

また、第1の電極7023の周縁部は、隔壁7029で覆う。隔壁7029は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜又は有機ポリシロキサンを用いて形成する。隔壁7029は、特に感光性の樹脂材料を用い、第1の電極7023上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7029として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

## 【0506】

また、第1の電極7023及び隔壁7029上に形成するEL層7024は、発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていても

50

どちらでもよい。E L層7024が複数の層で構成されている場合、陰極として機能する第1の電極7023上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお、これらの層のうち、発光層以外の層を全て設ける必要はない。

【0507】

また、上記積層順に限定されず、第1の電極7023を陽極として用い、陽極上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、第1の電極7023を陰極として用い、陰極上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

【0508】

また、E L層7024上に形成する第2の電極7025としては、様々な材料を用いることができる。例えば、第2の電極7025を陽極として用いる場合、仕事関数が高い材料、例えば、ITO、IZO、ZnOなどの透明導電性材料を好ましく用いることができる。本実施の形態では、第2の電極7026を陽極として用い、酸化シリコンを含むITO膜を形成する。

【0509】

第1の電極7023及び第2の電極7025で、発光層を含むE L層7024を挟んでいる領域が発光素子7022に相当する。図17(B)に示した素子構造の場合、発光素子7022から発せられる光は、矢印で示すように第2の電極7025側と第1の電極7023側の両方に射出する。

【0510】

なお、図17(B)ではゲート電極層として透光性を有する導電膜を用い、かつソース電極層及びドレイン電極層に透光性を有するような薄膜を用いる例を示しており、発光素子7022から第1の電極7023側に発せられる光は、カラーフィルタ層7043を通過し、基板を通過して射出させることができる。

【0511】

カラーフィルタ層7043はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

【0512】

また、カラーフィルタ層7043はオーバーコート層7044で覆われ、さらに保護絶縁層7045によって覆う。

【0513】

また、保護絶縁層7045、オーバーコート層7044、平坦化絶縁層7046、絶縁層7042及び、絶縁層7041に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁7029と重なる位置に配置する。

【0514】

ただし、両面射出構造の発光素子を用い、どちらの表示面もフルカラー表示とする場合、第2の電極7025側からの光はカラーフィルタ層7043を通過しないため、別途カラーフィルタ層を備えた封止基板を第2の電極7025上方に設けることが好ましい。

【0515】

次に、上面射出構造の発光素子について、図17(C)を用いて説明する。

【0516】

図17(C)に、駆動用TFT7001がN型で、発光素子7002から発せられる光が第2の電極7005側に抜ける場合の、画素の断面図を示す。図17(C)では、駆動用TFT7001のドレイン電極層と第1の電極7003と接しており、駆動用TFT7001と発光素子7002の第1の電極7003とを電氣的に接続している。第1の電極7003上にE L層7004、第2の電極7005が順に積層されている。

【0517】

また、第1の電極7013は様々な材料を用いることができる。例えば、第1の電極7013を陰極として用いる場合、仕事関数が小さい材料、具体的には、例えば、LiやCs

10

20

30

40

50

等のアルカリ金属、及びMg、Ca、Sr等のアルカリ土類金属、及びこれらを含む合金（Mg：Ag、Al：Liなど）の他、YbやEr等の希土類金属等が好ましい。

【0518】

また、第1の電極7003の周縁部は、隔壁7009で覆う。隔壁7009は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜又は有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、第1の電極7013上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジスタマスクを形成する工程を省略することができる。

【0519】

また、第1の電極7003及び隔壁7009上に形成するEL層7004は、少なくとも発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでもよい。EL層7004が複数の層で構成されている場合、陰極として用いる第1の電極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお、これらの層のうち、発光層以外の層を全て設ける必要はない。

【0520】

また、上記積層順に限定されず、陽極として用いる第1の電極7003上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。

【0521】

図17(C)ではTi膜、アルミニウム膜、Ti膜の順に積層した積層膜上に、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層し、その上にMg：Ag合金薄膜とITOとの積層を形成する。

【0522】

ただし、駆動用TF7001がN型の場合、第1の電極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが、駆動回路における電圧上昇を抑制することができ、消費電力を少なくできるため好ましい。

【0523】

第2の電極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いてもよい。

【0524】

第1の電極7003及び第2の電極7005で発光層を含むEL層7004を挟んでいる領域が発光素子7002に相当する。図17(C)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように第2の電極7005側に射出する。

【0525】

また、図17(C)において、駆動用TF7001のドレイン電極層は、酸化シリコン層7051、保護絶縁層7052、平坦化絶縁層7056、平坦化絶縁層7053、及び絶縁層7055に設けられたコンタクトホールを介して第1の電極7003と電氣的に接続する。平坦化絶縁層7036、7046、7053、7056は、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の樹脂材料を用いることができる。また上記樹脂材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層7036、7046、7053、7056を形成してもよい。平坦化絶縁層7036、7046、7053、7056の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコ

10

20

30

40

50

ーター等を用いることができる。

【0526】

また、第1の電極7003と、隣り合う画素の第1の電極とを絶縁するために隔壁7009を設ける。隔壁7009は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜又は有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、第1の電極7003上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0527】

また、図17(C)の構造においては、フルカラー表示を行う場合、例えば発光素子7002として緑色発光素子とし、隣り合う一方の発光素子を赤色発光素子とし、もう一方の発光素子を青色発光素子とする。また、3種類の発光素子だけでなく白色素子を加えた4種類の発光素子でフルカラー表示ができる発光表示装置を作製してもよい。

【0528】

また、図17(C)の構造においては、配置する複数の発光素子を全て白色発光素子として、発光素子7002上方にカラーフィルタなどを有する封止基板を配置する構成とし、フルカラー表示ができる発光表示装置を作製してもよい。白色などの単色の発光を示す材料を形成し、カラーフィルタや色変換層を組み合わせることによりフルカラー表示を行うことができる。

【0529】

もちろん単色発光の表示を行ってもよい。例えば、白色発光を用いて照明装置を形成してもよいし、単色発光を用いてエリアカラータイプの発光装置を形成してもよい。

【0530】

また、必要があれば、円偏光板などの偏光フィルムなどの光学フィルムを設けてもよい。

【0531】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0532】

なお、発光素子の駆動を制御する薄膜トランジスタ(駆動用TFT)と発光素子が電氣的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

【0533】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0534】

次に、本実施の形態における発光表示パネル(発光パネルともいう)の外観及び断面について、図18を用いて説明する。図18は、第1の基板上に形成された薄膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの平面図であり、図18(B)は、図18(A)のH-Iにおける断面図に相当する。

【0535】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィルム等)やカバー材でパッケージング(封入)することが好ましい。

【0536】

10

20

30

40

50

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図18(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0537】

薄膜トランジスタ4509、4510は、実施の形態2乃至9のいずれか一の薄膜トランジスタを適宜用いることができ、同様な工程及び材料で形成することができる。薄膜トランジスタ4509、4510の酸化物半導体層は水素や水が低減されている。従って、薄膜トランジスタ4509、4510は信頼性の高い薄膜トランジスタである。

【0538】

なお、駆動回路用の薄膜トランジスタ4509としては、薄膜トランジスタの酸化物半導体層のチャネル形成領域と重なる位置に導電層を設けた構造とする。本実施の形態において、薄膜トランジスタ4509、4510はNチャネル型薄膜トランジスタである。

【0539】

酸化シリコン層4542上において駆動回路用の薄膜トランジスタ4509の酸化物半導体層のチャネル形成領域と重なる位置に導電層4540が設けられている。導電層4540を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4509のしきい値電圧の変化量を低減することができる。また、導電層4540は、電位が薄膜トランジスタ4509のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4540の電位がGND、0V、或いはフローティング状態であってもよい。

【0540】

また、薄膜トランジスタ4510の酸化物半導体層を覆う酸化シリコン層4542が形成されている。薄膜トランジスタ4510のソース電極層又はドレイン電極層は薄膜トランジスタ上に設けられた酸化シリコン層4542及び絶縁層4551に形成された開口において配線層4550と電氣的に接続されている。配線層4550は第1の電極4517と接して形成されており、薄膜トランジスタ4510と第1の電極4517とは配線層4550を介して電氣的に接続されている。

【0541】

酸化シリコン層4542は上記実施の形態に示した酸化物絶縁層と同様な材料及び方法で形成すればよい。

【0542】

発光素子4511の発光領域と重なるようにカラーフィルタ層4545が、絶縁層4551上に形成される。

【0543】

また、カラーフィルタ層4545の表面凹凸を低減するため平坦化絶縁膜として機能するオーバーコート層4543で覆う構成となっている。

【0544】

また、オーバーコート層4543上に絶縁層4544が形成されている。絶縁層4544は、実施の形態6で示した保護絶縁層303と同様に形成すればよく、例えば窒化シリコン膜をスパッタリング法で形成すればよい。

【0545】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1電極4517は、薄膜トランジスタ4510のソース電極層又はドレイン電極層と配線層4550を介して電氣的に接続されている。なお発光素子4511の構成は、第1電極4517、電界発光層4512、第2電極4513の積層構造であるが、示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0546】

隔壁4520は、有機樹脂膜、無機絶縁膜又は有機ポリシロキサンを用いて形成する。特

10

20

30

40

50

に感光性の材料を用い、第1電極4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0547】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでもよい。

【0548】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2電極4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC膜等を形成することができる。

【0549】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、又は画素部4502に与えられる各種信号及び電位は、FPC4518a、FPC4518bから供給されている。

【0550】

接続端子電極4515が、発光素子4511が有する第1電極4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509のソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0551】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0552】

発光素子4511からの光の取り出し方向に位置する基板には、第2の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルム又はアクリルフィルムのような透光性を有する材料を用いる。

【0553】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂又は熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）又はEVA（エチレンビニルアセテート）を用いることができる。例えば充填材として窒素を用いればよい。

【0554】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）などの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0555】

シール材は、スクリーン印刷法、インクジェット装置又はディスペンス装置を用いて形成することができる。シール材は、代表的には可視光硬化性、紫外線硬化性又は熱硬化性の樹脂を含む材料を用いることができる。また、フィラーを含んでもよい。

【0556】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図18の構成に限定されない。

【0557】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0558】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0559】

10

20

30

40

50

(実施の形態 1 2)

本実施の形態では、本発明の一実施の形態である半導体装置として電子ペーパーの例を示す。

【0560】

図19は、本発明の一実施の形態を適用した半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。本実施の形態では、薄膜トランジスタ581として実施の形態5で示す薄膜トランジスタを適用する例を示す。薄膜トランジスタ581の酸化物半導体層は水素や水が低減されている。従って、薄膜トランジスタ581は信頼性の高い薄膜トランジスタである。

【0561】

図19の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用い、電極層である第1の電極層及び第2の電極層の間に該球形粒子を配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0562】

基板580上に設けられた薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層は、酸化シリコン層583、保護絶縁層584、絶縁層585に形成される開口において第1の電極層587と接して電氣的に接続されている。

【0563】

第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャピティ594を含む球形粒子が設けられており、球形粒子の周囲は樹脂等の充填材595で充填されている(図19参照)。本実施の形態においては、第1の電極層587が画素電極に相当し、対向基板596に設けられる第2の電極層588が共通電極に相当する。

【0564】

また、球形素子の代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 $\mu$ m~200 $\mu$ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白又は黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置(単に表示装置、又は表示装置を具備する半導体装置ともいう)を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0565】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0566】

実施の形態1に示す論理回路は、例えば本実施の形態における電子ペーパーの駆動回路に用いることができる。また表示部のトランジスタも酸化物半導体層を用いたトランジスタを適用することができ、例えば同一基板に駆動回路及び表示部を設けることもできる。

【0567】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0568】

(実施の形態 1 3)

10

20

30

40

50

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0569】

図20(A)は、携帯電話機の一例を示している。携帯電話機1600は、筐体1601に組み込まれた表示部1602の他、操作ボタン1603a、操作ボタン1603b、外部接続ポート1604、スピーカー1605、マイク1606などを備えている。

10

【0570】

図20(A)に示す携帯電話機1600は、表示部1602を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部1602を指などで触れることにより行うことができる。

【0571】

表示部1602の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0572】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1602を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部1602の画面のほとんどにキーボード又は番号ボタンを表示させることが好ましい。

20

【0573】

また、携帯電話機1600内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機1600の向き（縦か横か）を判断して、表示部1602の画面表示を自動的に切り替えるようにすることができる。

【0574】

また、画面モードの切り替えは、表示部1602を触れること、又は筐体1601の操作ボタン1603a、1603bの操作により行われる。また、表示部1602に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

30

【0575】

また、入力モードにおいて、表示部1602の光センサで検出される信号を検知し、表示部1602のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0576】

表示部1602は、イメージセンサとして機能させることもできる。例えば、表示部1602に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライト又は近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

40

【0577】

表示部1602には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

【0578】

図20(B)も携帯電話機の一例である。図20(B)を一例とした携帯型情報端末は、複数の機能を備えることができる。例えば電話機能に加えて、コンピュータを内蔵し、様々なデータ処理機能を備えることもできる。

50

## 【0579】

図20(B)に示す携帯型情報端末は、筐体1800及び筐体1801の二つの筐体で構成されている。筐体1801には、表示パネル1802、スピーカー1803、マイクロフォン1804、ポインティングデバイス1806、カメラ用レンズ1807、外部接続端子1808などを備え、筐体1800には、キーボード1810、外部メモリスロット1811などを備えている。また、アンテナは筐体1801内部に内蔵されている。

## 【0580】

また、表示パネル1802はタッチパネルを備えており、図20(B)には映像表示されている複数の操作キー1805を点線で示している。

## 【0581】

また、上記構成に加えて、非接触ICチップ、小型記録装置などを内蔵していてもよい。

## 【0582】

上記実施の形態に示す半導体装置は、表示パネル1802に用いることができ、使用形態に応じて表示の方向が適宜変化する。また、表示パネル1802と同一面上にカメラ用レンズ1807を備えているため、テレビ電話が可能である。スピーカー1803及びマイクロフォン1804は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体1800と筐体1801は、スライドし、図20(B)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

## 【0583】

外部接続端子1808はACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット1811に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

## 【0584】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

## 【0585】

図21(A)は、テレビジョン装置の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

## 【0586】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

## 【0587】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向(送信者から受信者)又は双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

## 【0588】

表示部9603には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

## 【0589】

図21(B)は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像

10

20

30

40

50

データを表示させることで、通常の写真立てと同様に機能させることができる。

【0590】

表示部9703には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

【0591】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

10

【0592】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0593】

図22は、携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。

【0594】

表示部9883には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

20

【0595】

また、図22に示す携帯型遊技機は、その他、スピーカー部9884、記録媒体挿入部9886、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサ9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図22に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図22に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

30

【0596】

（実施の形態14）

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図23に示す。

40

【0597】

図23は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701及び筐体2703の2つの筐体で構成されている。筐体2701及び筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0598】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705及び表示部2707は、続き画面を表示する構成としても

50

よいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 23 では表示部 2705）に文章を表示し、左側の表示部（図 23 では表示部 2707）に画像を表示することができる。

【0599】

また、図 23 では、筐体 2701 に操作部などを備えた例を示している。例えば、筐体 2701 において、電源 2721、操作キー 2723、スピーカー 2725などを備えている。操作キー 2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、又はACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2700は、電子辞書としての機能を持たせた構成としてもよい。

10

【0600】

また、電子書籍 2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0601】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0602】

（実施の形態 15）

20

本発明の一形態は、酸化物半導体中でキャリアの供与体（ドナー又はアクセプタ）となり得る不純物を極めて少ないレベルにまで除去することで、真性又は実質的に真性な半導体であって、当該酸化物半導体を薄膜トランジスタに適用するものである。

【0603】

図 24 は、このようなトランジスタのソース・ドレイン間のバンド構造を示す図である。高純度化が図られた酸化物半導体のフェルミ準位は、理想的な状態では禁制帯の中央に位置している。

【0604】

この場合、仕事関数を  $m$ 、酸化物半導体の電子親和力を  $\chi$  とする。

【0605】

30

ここで、 $m = \chi$  であれば、接合面において電極メタルのフェルミレベルと酸化物半導体の伝導帯のレベルが一致する。この等式を境目として、右辺が大きい場合はオーミック接触となる。バンドギャップ  $3.05 \text{ eV}$ 、電子親和力  $4.3 \text{ eV}$ 、真性状態（キャリア密度約  $1 \times 10^{-7} / \text{cm}^3$ ）であると仮定し、ソース電極及びドレイン電極として仕事関数  $4.3 \text{ eV}$  のチタン（Ti）を用いたときには、図 24 で示すように電子に対してショットキー障壁は形成されない

【0606】

図 25 は酸化物半導体を用いたトランジスタにおいて、ドレイン側に正の電圧が印加された状態を示す図である。ドレインに正の電圧（ $V_D > 0$ ）を印加した上で、破線はゲートに電圧を印加しない場合（ $V_G = 0$ ）、実線はゲートに正の電圧（ $V_G > 0$ ）を印加した場合を示す。酸化物半導体はバンドギャップが広いため、高純度化され真性若しくは実質的に真性な酸化物半導体の真性キャリア密度はゼロ又は限りなくゼロに近い状態である。ゲートに電圧を印加しない場合は高いオーミック接触抵抗のために電極から酸化物半導体側へキャリア（電子）が注入されず、電流を流さないオフ状態を示す。一方、ゲートに正の電圧を印加するとオーミック接触抵抗が低下し、電流を流すオン状態を示す。

40

【0607】

図 26（A）はゲート電圧を正にしたときの MOS 構造のエネルギーバンド図であり、酸化物半導体を用いたトランジスタにおけるものを示している。この場合、高純度化された酸化物半導体には熱励起キャリアがほとんど存在しないことから、ゲート絶縁膜近傍にもキャリアは蓄積されない。しかし、図 25 で示すように、ソース側から注入されたキャリ

50

アが伝搬することはできる。

【0608】

図26(B)は、ゲート電圧を負にしたときのMOS構造のエネルギーバンド図であり、酸化物半導体を用いたトランジスタにおけるものを示している。酸化物半導体中に少数キャリア(正孔)はほとんど存在しないので、ゲート絶縁膜近傍にもキャリアは蓄積されない。このことは、オフ電流が小さいことを意味している。

【0609】

なお、図27にシリコン半導体を用いた場合のトランジスタのバンド図を示す。シリコン半導体のバンドギャップは1.12 eVである。真性キャリア密度は $1.45 \times 10^{10} / \text{cm}^3$  (300 K)であり、室温においてもキャリアが存在している。これは、室温においても熱励起キャリアが無視できず、温度に依存してオフ電流が大きく変動することとなる。

10

【0610】

このように、単に、バンドギャップの広い酸化物半導体をトランジスタに適用するのではなく、ドナーを形成する水素等の不純物を極力低減し、キャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下となるようにすることで、実用的な動作温度で熱的に励起されるキャリアを排除して、ソース側から注入されるキャリアのみによってトランジスタを動作させることができる。それにより、オフ電流を $1 \times 10^{-13} \text{ A}$ 以下にまで下げると共に、温度変化によってオフ電流がほとんど変化しない極めて安定に動作するトランジスタを得ることができる。

20

【0611】

(実施の形態16)

本実施の形態では、評価用素子(TEGとも呼ぶ)でのオフ電流の測定値について以下に説明する。

【0612】

図28に $L/W = 3 \mu\text{m} / 50 \mu\text{m}$ の薄膜トランジスタを200個並列に接続し、実効的には $L/W = 3 \mu\text{m} / 10000 \mu\text{m}$ の薄膜トランジスタの初期特性を示す。また、上面図を図29(A)に示し、その一部を拡大した上面図を図29(B)に示す。図29(B)の点線で囲んだ領域が $L/W = 3 \mu\text{m} / 50 \mu\text{m}$ 、 $L_{ov} = 1.5 \mu\text{m}$ の1段分の薄膜トランジスタである。薄膜トランジスタの初期特性を測定するため、基板温度を室温とし、ソース-ドレイン間電圧(以下、ドレイン電圧又は $V_d$ という)を10Vとし、ソース-ゲート間電圧(以下、ゲート電圧又は $V_g$ という)を-20V~+20Vまで変化させたときのソース-ドレイン電流(以下、ドレイン電流又は $I_d$ という)の変化特性、すなわち $V_g - I_d$ 特性を測定した。なお、図28では、 $V_g$ を-20V~+5Vまでの範囲で示している。

30

【0613】

図28に示すようにチャネル幅 $W$ が $10000 \mu\text{m}$ の薄膜トランジスタは、 $V_d$ が1V及び10Vにおいてオフ電流は $1 \times 10^{-13} [\text{A}]$ 以下となっており、測定機(半導体パラメータ・アナライザ、Agilent 4156C; Agilent社製)の分解能( $100 \text{ fA}$ )以下となっている。チャネル幅 $W$   $10000 \mu\text{m}$ あたりのトランジスタのオフ電流が $1 \times 10^{-13} \text{ A}$ 以下であるため、チャネル幅 $W$   $1 \mu\text{m}$ あたりのトランジスタのオフ電流も $1 \times 10^{-13} \text{ A}$ 以下であるといえる。さらに、チャネル幅 $W$   $10000 \mu\text{m}$ あたりのトランジスタのオフ電流が $1 \times 10^{-13} \text{ A}$ 以下とすると、チャネル幅 $W$   $1 \mu\text{m}$ あたりのトランジスタのオフ電流は、 $1 \times 10^{-17} \text{ A}$ 以下と換算することができる。

40

【0614】

測定した薄膜トランジスタの作製方法について説明する。

【0615】

まず、ガラス基板上に下地層として、CVD法により窒化珪素層を形成し、窒化珪素層上に酸化窒化珪素層を形成した。酸化窒化珪素層上にゲート電極層としてスパッタリング法によりタングステン層を形成した。ここで、タングステン層を選択的にエッチングしてゲ

50

ート電極層を形成した。

【0616】

次に、ゲート電極層上にゲート絶縁層としてCVD法により厚さ100nmの酸化窒化珪素層を形成した。

【0617】

次に、ゲート絶縁層上に、スパッタリング法によりIn-Ga-Zn-O系酸化物半導体成膜用ターゲット(モル数比で、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ )を用いて、厚さ50nmの酸化物半導体層を形成した。ここで、酸化物半導体層を選択的にエッチングし、島状の酸化物半導体層を形成した。

【0618】

次に、酸化物半導体層をクリーンオープンにて窒素雰囲気下、450℃、1時間の第1の熱処理を行った。

【0619】

次に、酸化物半導体層上にソース電極層及びドレイン電極層としてチタン層(厚さ150nm)をスパッタリング法により形成した。ここで、ソース電極層及びドレイン電極層を選択的にエッチングし、1つの薄膜トランジスタのチャンネル長Lが3μm、チャンネル幅Wが50μmとし、200個を並列とすることで、実効的に $L/W = 3\mu\text{m} / 10000\mu\text{m}$ となるようにした。

【0620】

次に、酸化物半導体層に接するように保護絶縁層としてリアクティブスパッタリング法により酸化珪素層を膜厚300nmで形成した。ここで、保護層である酸化珪素層を選択的にエッチングし、ゲート電極層、ソース電極層及びドレイン電極層上に開口部を形成した。その後、窒素雰囲気下、250℃で1時間、第2の熱処理を行った。

【0621】

そして、Vg-Id特性を測定する前に150℃、10時間の加熱を行った。

【0622】

以上の工程により、ボトムゲート型の薄膜トランジスタを作製した。

【0623】

図28に示すように薄膜トランジスタが、 $1 \times 10^{-13}$  [A]程度であるのは、上記作製工程において酸化物半導体層中における水素濃度を十分に低減できたためである。酸化物半導体層中の水素濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下とする。なお、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で行う。

【0624】

また、In-Ga-Zn-O系酸化物半導体を用いる例を示したが、特に限定されず、他の酸化物半導体材料、例えば、In-Sn-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、In-Sn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系などを用いることができる。また、酸化物半導体材料として、 $\text{AlO}_x$ を2.5~10wt%混入したIn-Al-Zn-O系や、 $\text{SiO}_x$ を2.5~10wt%混入したIn-Zn-O系を用いることもできる。

【0625】

また、キャリア測定機で測定される酸化物半導体層のキャリア濃度は、シリコンのキャリア濃度 $1.45 \times 10^{10} / \text{cm}^3$ と同等、若しくはそれ以下、好ましくは $5 \times 10^{14} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{12} / \text{cm}^3$ 以下である。即ち、酸化物半導体層のキャリア濃度は、限りなくゼロに近くすることができる。

【0626】

また、薄膜トランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、オフ電流値が極めて小さいため、さらに低消費

10

20

30

40

50

電力化も図ることができる。

【0627】

また、薄膜トランジスタのオフ状態において、酸化物半導体層を絶縁体とみなして回路設計を行うことができる。

【0628】

続いて、本実施の形態で作製した薄膜トランジスタに対してオフ電流の温度特性を評価した。温度特性は、薄膜トランジスタが使われる最終製品の耐環境性や、性能の維持などを考慮する上で重要である。当然ながら、変化量が小さいほど好ましく、製品設計の自由度が増す。

【0629】

温度特性は、恒温槽を用い、-30、0、25、40、60、80、100、及び120のそれぞれの温度で薄膜トランジスタを形成した基板を一定温度とし、ドレイン電圧を6V、ゲート電圧を-20V~+20Vまで変化させてV<sub>g</sub>-I<sub>d</sub>特性を取得した。

【0630】

図30(A)に示すのは、上記それぞれの温度で測定したV<sub>g</sub>-I<sub>d</sub>特性を重ね書きしたものであり、点線で囲むオフ電流の領域を拡大したものを図30(B)に示す。図中の矢印で示す右端の曲線が-30、左端が120で取得した曲線で、その他の温度で取得した曲線は、その間に位置する。オン電流の温度依存性はほとんど見られない。一方、オフ電流は拡大図の図30(B)においても明かであるように、ゲート電圧が20V近傍を除いて、全ての温度で測定機の分解能近傍の $1 \times 10^{-12}$  [A]以下となっており、温度依存性も見えていない。すなわち、120の高温においても、オフ電流が $1 \times 10^{-12}$  [A]以下を維持しており、チャンネル幅Wが10000 μmであることを考慮すると、オフ電流が非常に小さいことがわかる。

【0631】

高純度化された酸化物半導体を用いた薄膜トランジスタは、オフ電流の温度依存性がほとんど現れない。これは、酸化物半導体のエネルギーギャップが3 eV以上であり、真性キャリアが極めて少ないことに起因する。また、ソース領域及びドレイン領域は縮退した状態にあるのでやはり温度依存性が現れない要因となっている。薄膜トランジスタの動作は、縮退したソース領域から酸化物半導体に注入されたキャリアによるものがほとんどであり、キャリア密度の温度依存性がないことから上記特性(オフ電流の温度依存性無し)を説明することができる。

【0632】

このようにオフ電流値が極めて小さい薄膜トランジスタを用いて、記憶回路(記憶素子)などを作製した場合、オフ電流値が小さくほとんどリークがないため、記憶データを保持する時間を長くすることができる。なお、ここでの記憶回路とは論理回路も含まれる。

【符号の説明】

【0633】

- 100 論理回路
- 101 トランジスタ
- 102 トランジスタ
- 103 容量素子
- 104 トランジスタ
- 105 トランジスタ
- 106 容量素子
- 107 トランジスタ
- 108 トランジスタ
- 109 容量素子
- 110 トランジスタ
- 111 トランジスタ
- 112 容量素子

10

20

30

40

50

1 2 1	ノード	
1 2 2	ノード	
1 2 3	ノード	
1 2 4	ノード	
1 3 1	単位論理回路	
1 3 2	単位論理回路	
1 4 1	期間	
1 4 2	期間	
1 4 3	期間	
1 4 4	期間	10
1 4 5	期間	
1 4 6	期間	
1 4 7	期間	
1 4 8	期間	
1 4 9	期間	
1 5 0	期間	
1 5 1	論理回路	
1 5 2	論理回路	
1 5 3	論理回路	
3 0 0	基板	20
3 0 2	ゲート絶縁層	
3 0 3	保護絶縁層	
3 1 0	薄膜トランジスタ	
3 1 1	ゲート電極層	
3 1 3	チャネル形成領域	
3 1 4 a	高抵抗ソース領域	
3 1 4 b	高抵抗ドレイン領域	
3 1 5 a	ソース電極層	
3 1 5 b	ドレイン電極層	
3 1 6	酸化物絶縁層	30
3 2 0	基板	
3 2 2	ゲート絶縁層	
3 2 3	保護絶縁層	
3 3 0	酸化物半導体膜	
3 3 1	酸化物半導体層	
3 3 2	酸化物半導体層	
3 4 0	基板	
3 4 2	ゲート絶縁層	
3 4 3	保護絶縁層	
3 4 5	酸化物半導体膜	40
3 4 6	酸化物半導体層	
3 5 0	薄膜トランジスタ	
3 5 1	ゲート電極層	
3 5 2	酸化物半導体層	
3 5 5 a	ソース電極層	
3 5 5 b	ドレイン電極層	
3 5 6	酸化物絶縁層	
3 6 0	薄膜トランジスタ	
3 6 1	ゲート電極層	
3 6 2	酸化物半導体層	50

3 6 3	チャネル形成領域	
3 6 4 a	高抵抗ソース領域	
3 6 4 b	高抵抗ドレイン領域	
3 6 5 a	ソース電極層	
3 6 5 b	ドレイン電極層	
3 6 6	酸化物絶縁層	
3 7 0	基板	
3 7 2 a	第 1 のゲート絶縁層	
3 7 2 b	第 2 のゲート絶縁層	
3 7 3	保護絶縁層	10
3 8 0	薄膜トランジスタ	
3 8 1	ゲート電極層	
3 8 2	酸化物半導体層	
3 8 5 a	ソース電極層	
3 8 5 b	ドレイン電極層	
3 8 6	酸化物絶縁層	
3 9 0	薄膜トランジスタ	
3 9 1	ゲート電極層	
3 9 2	酸化物半導体層	
3 9 3	酸化物半導体膜	20
3 9 4	基板	
3 9 5 a	ソース電極層	
3 9 5 b	ドレイン電極層	
3 9 6	酸化物絶縁層	
3 9 7	ゲート絶縁層	
3 9 8	保護絶縁層	
3 9 9	酸化物半導体層	
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 7	絶縁層	30
4 1 0	薄膜トランジスタ	
4 1 1	ゲート電極層	
4 1 2	酸化物半導体層	
4 1 4 a	配線層	
4 1 4 b	配線層	
4 1 5 a	ソース電極層又はドレイン電極層	
4 1 5 b	ソース電極層又はドレイン電極層	
4 2 0	シリコン基板	
4 2 1 a	開口	
4 2 1 b	開口	40
4 2 2	絶縁層	
4 2 3	開口	
4 2 4	導電層	
4 2 5	薄膜トランジスタ	
4 2 6	薄膜トランジスタ	
4 2 7	導電層	
4 3 8	配線層	
4 5 0	基板	
4 5 2	ゲート絶縁層	
4 5 7	絶縁層	50

4 6 0	薄膜トランジスタ	
4 6 1	ゲート電極層	
4 6 1 a	ゲート電極層	
4 6 1 b	ゲート電極層	
4 6 2	酸化物半導体層	
4 6 4	配線層	
4 6 5 a	ソース電極層又はドレイン電極層	
4 6 5 a 1	ソース電極層又はドレイン電極層	
4 6 5 a 2	ソース電極層又はドレイン電極層	
4 6 5 b	ソース電極層又はドレイン電極層	10
4 6 8	配線層	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	酸化シリコン層	
5 8 4	保護絶縁層	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	20
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	対向基板	
1 6 0 0	携帯電話機	
1 6 0 1	筐体	
1 6 0 2	表示部	
1 6 0 3 a	操作ボタン	
1 6 0 3 b	操作ボタン	
1 6 0 4	外部接続ポート	
1 6 0 5	スピーカー	30
1 6 0 6	マイク	
1 8 0 0	筐体	
1 8 0 1	筐体	
1 8 0 2	表示パネル	
1 8 0 3	スピーカー	
1 8 0 4	マイクロフォン	
1 8 0 5	操作キー	
1 8 0 6	ポインティングデバイス	
1 8 0 7	カメラ用レンズ	
1 8 0 8	外部接続端子	40
1 8 1 0	キーボード	
1 8 1 1	外部メモリスロット	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	50

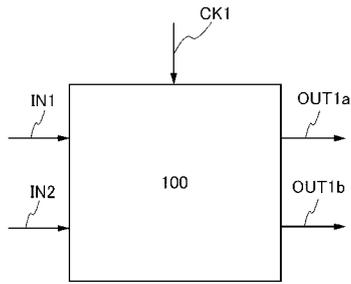
2 7 2 5	スピーカー	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	10
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	20
4 0 3 5	スペーサ	
4 0 4 0	導電層	
4 0 4 1	絶縁層	
4 0 4 2	保護絶縁層	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 3 b	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 4 b	走査線駆動回路	30
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	40
4 5 1 7	電極	
4 5 1 8 a	F P C	
4 5 1 8 b	F P C	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
4 5 4 0	導電層	
4 5 4 2	酸化シリコン層	
4 5 4 3	オーバーコート層	
4 5 4 4	絶縁層	
4 5 4 5	カラーフィルタ層	50

4 5 5 0	配線層	
4 5 5 1	絶縁層	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	
5 6 0 1	シフトレジスタ	
5 6 0 2	スイッチング回路	10
5 6 0 3	薄膜トランジスタ	
5 6 0 4	配線	
5 6 0 5	配線	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	20
6 4 0 7	電源線	
6 4 0 8	共通電位線	
7 0 0 1	駆動用 T F T	
7 0 0 2	発光素子	
7 0 0 3	電極	
7 0 0 4	E L 層	
7 0 0 5	電極	
7 0 0 9	隔壁	
7 0 1 1	駆動用 T F T	
7 0 1 2	発光素子	30
7 0 1 3	電極	
7 0 1 4	E L 層	
7 0 1 5	電極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 1 9	隔壁	
7 0 2 1	駆動用 T F T	
7 0 2 2	発光素子	
7 0 2 3	電極	
7 0 2 4	E L 層	40
7 0 2 5	電極	
7 0 2 6	電極	
7 0 2 7	導電膜	
7 0 2 9	隔壁	
7 0 3 1	絶縁層	
7 0 3 2	絶縁層	
7 0 3 3	カラーフィルタ層	
7 0 3 4	オーバーコート層	
7 0 3 5	保護絶縁層	
7 0 3 6	平坦化絶縁層	50

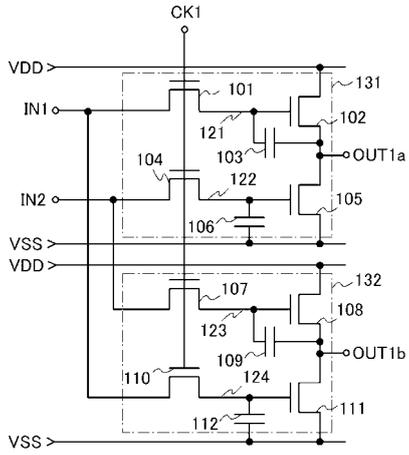
7 0 4 1	絶縁層	
7 0 4 2	絶縁層	
7 0 4 3	カラーフィルタ層	
7 0 4 4	オーバーコート層	
7 0 4 5	保護絶縁層	
7 0 4 6	平坦化絶縁層	
7 0 5 1	酸化シリコン層	
7 0 5 2	保護絶縁層	
7 0 5 3	平坦化絶縁層	
7 0 5 5	絶縁層	10
7 0 5 6	平坦化絶縁層	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	20
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカー部	
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	30
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	

【 図 1 】

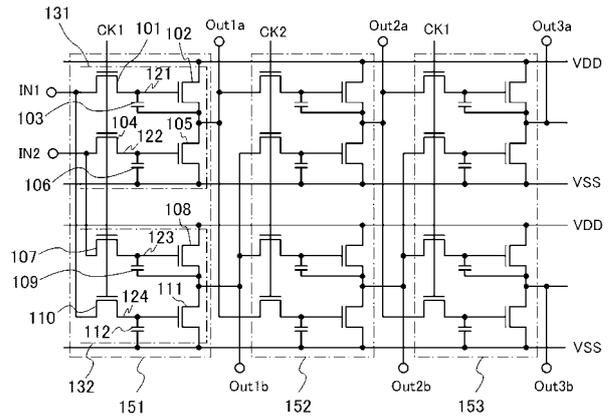
(A)



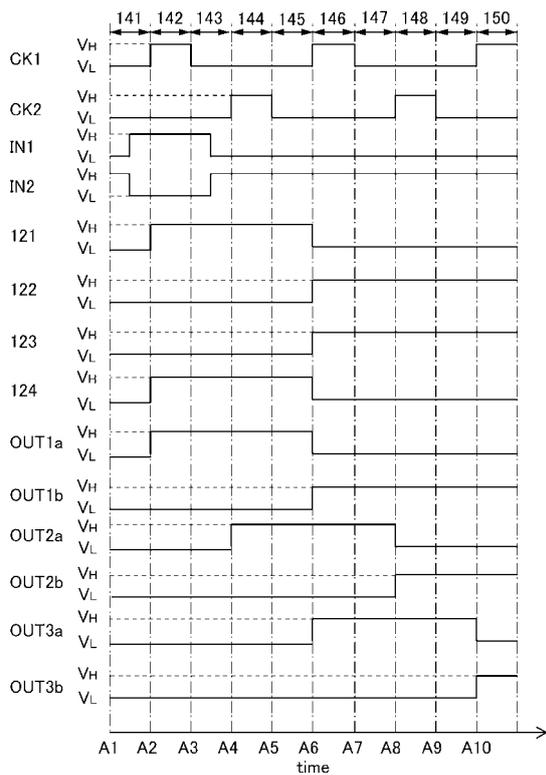
(B)



【 図 2 】

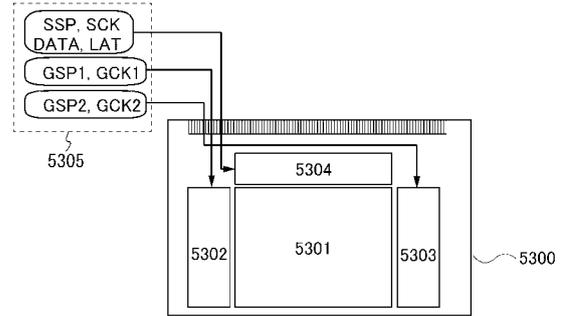


【 図 3 】

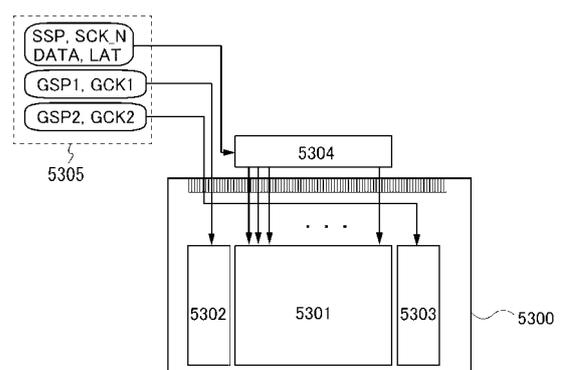


【 図 4 】

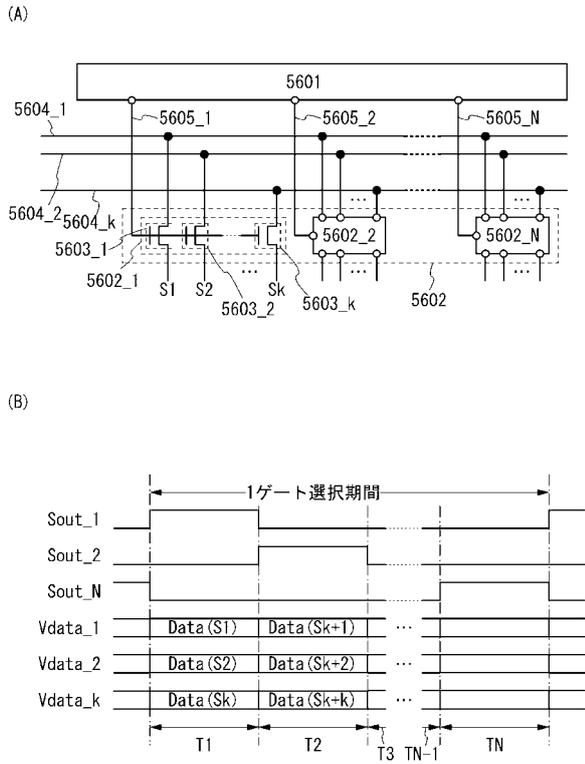
(A)



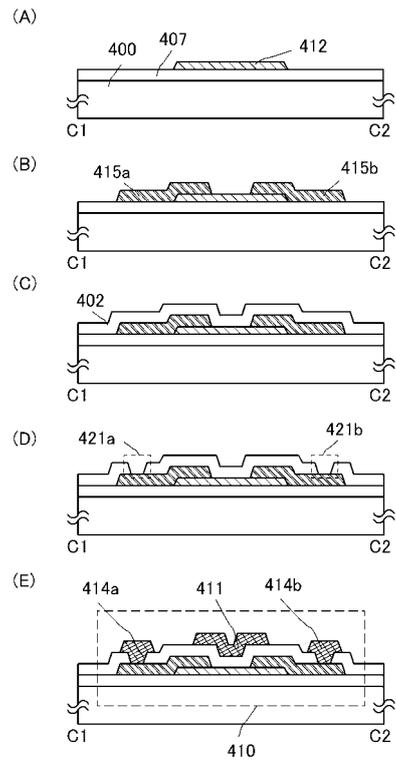
(B)



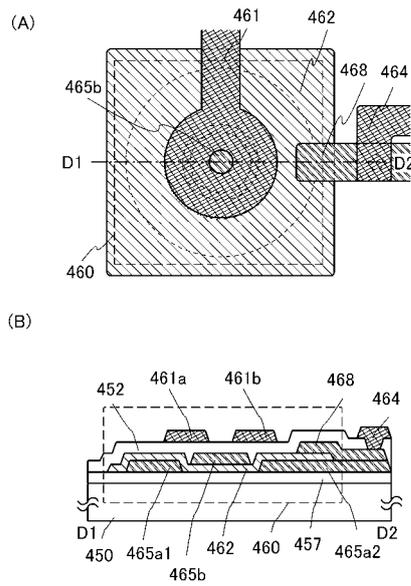
【 図 5 】



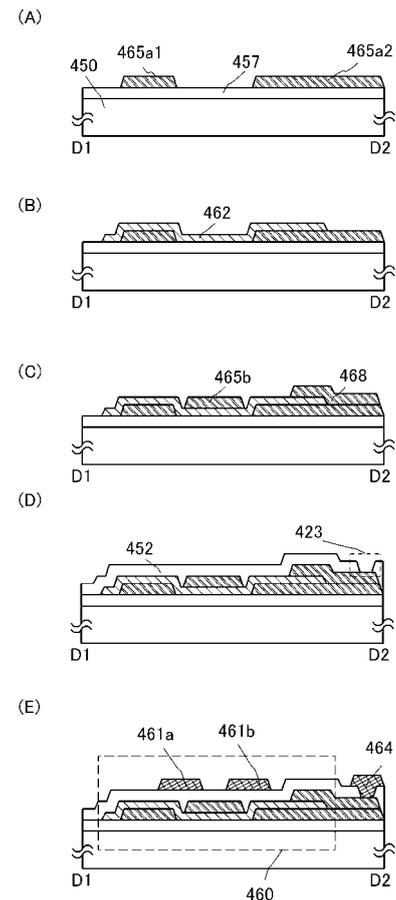
【 図 6 】



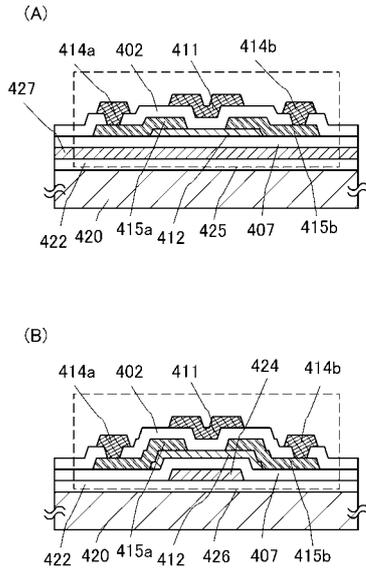
【 図 7 】



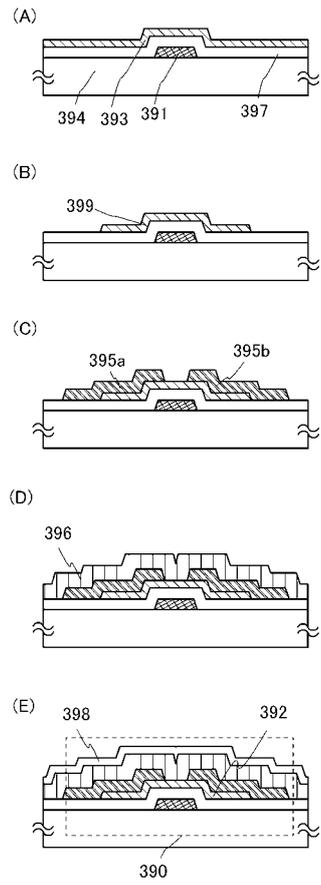
【 図 8 】



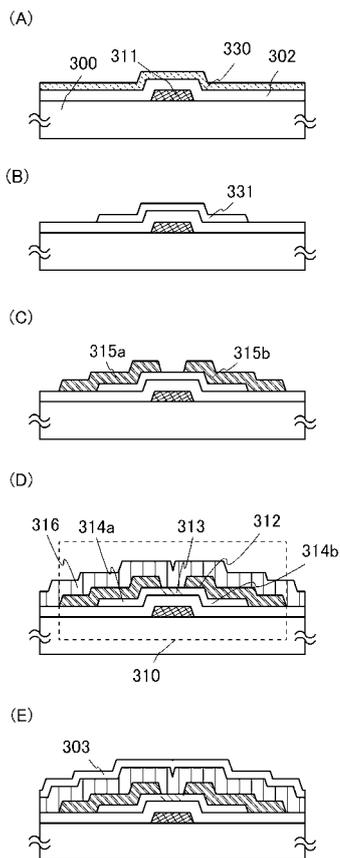
【 図 9 】



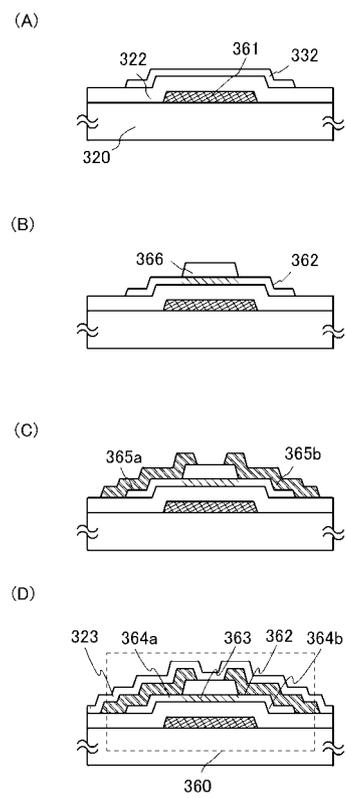
【 図 1 0 】



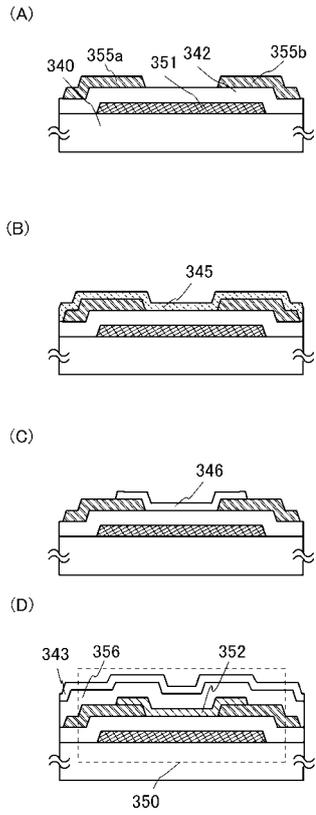
【 図 1 1 】



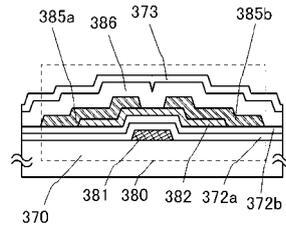
【 図 1 2 】



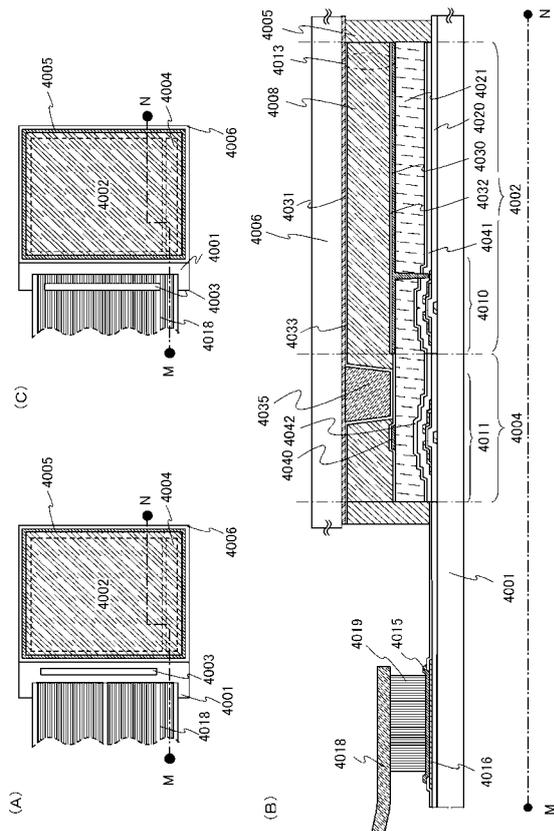
【 図 1 3 】



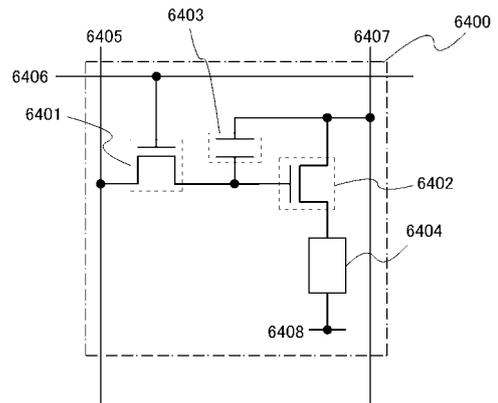
【 図 1 4 】



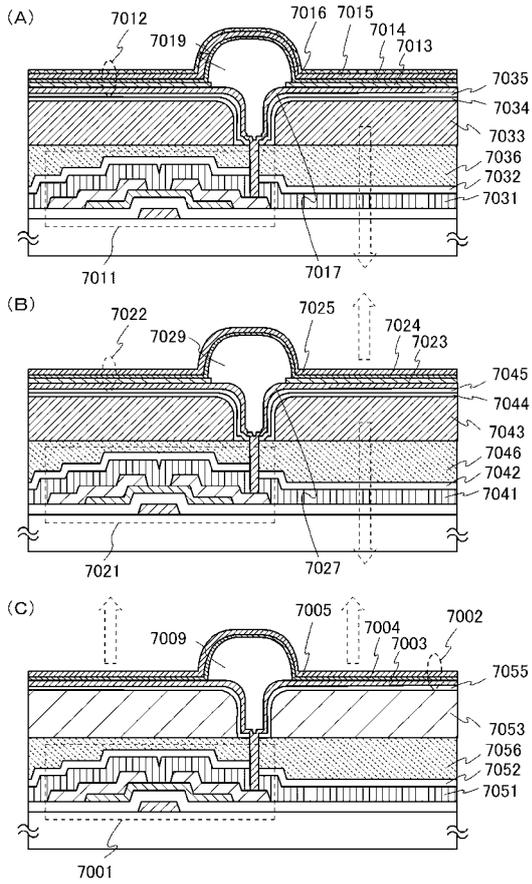
【 図 1 5 】



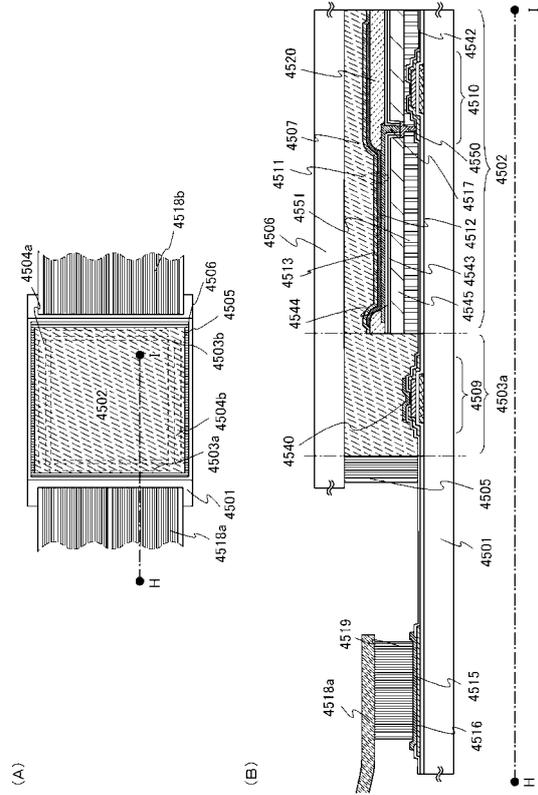
【 図 1 6 】



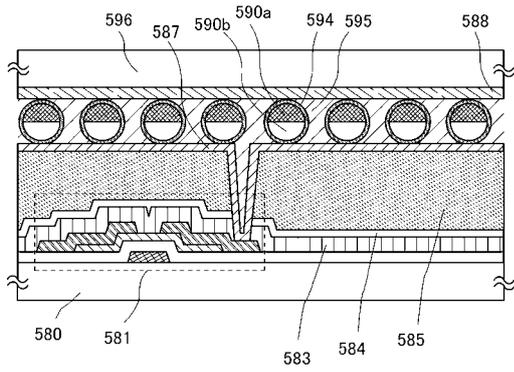
【図 17】



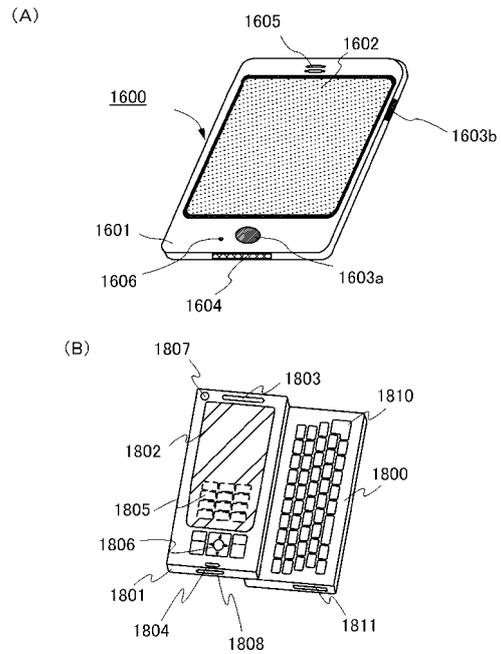
【図 18】



【図 19】

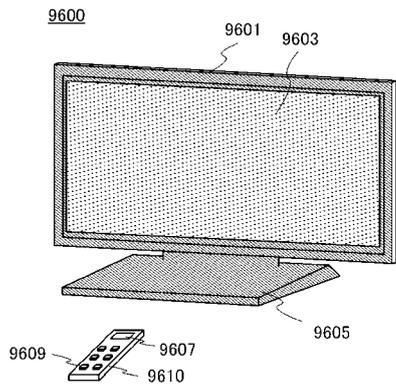


【図 20】

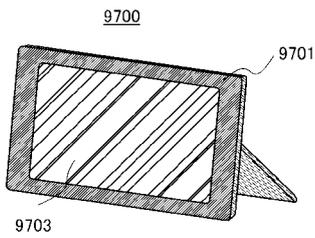


【 図 2 1 】

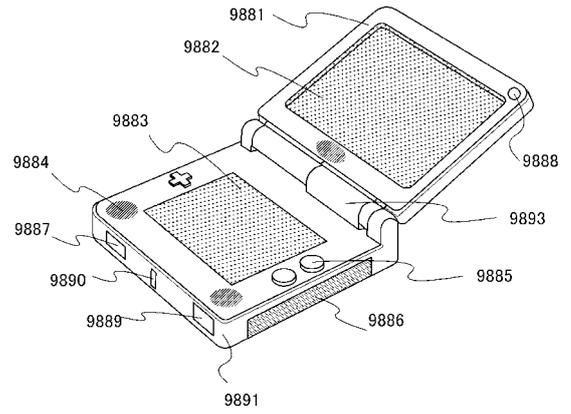
(A)



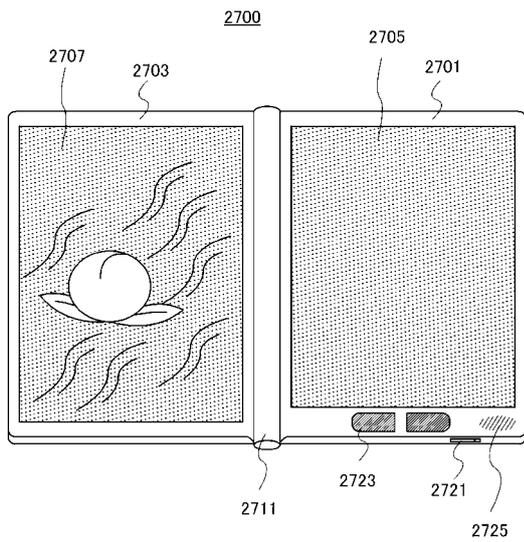
(B)



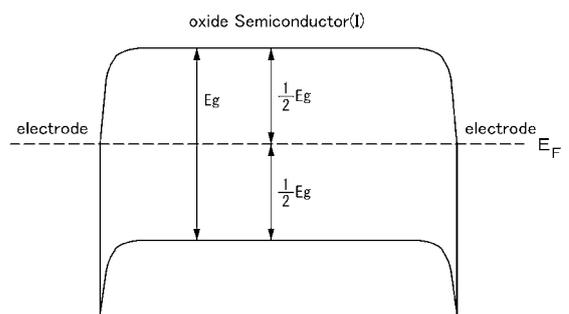
【 図 2 2 】



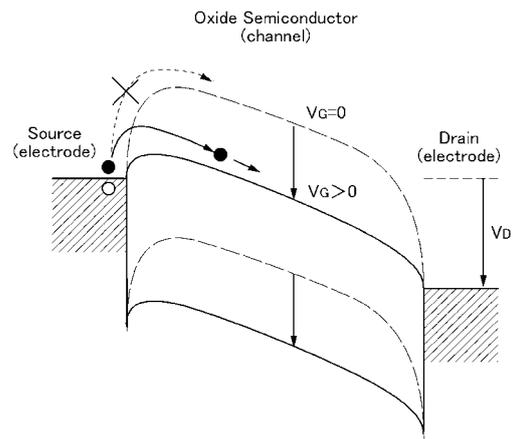
【 図 2 3 】



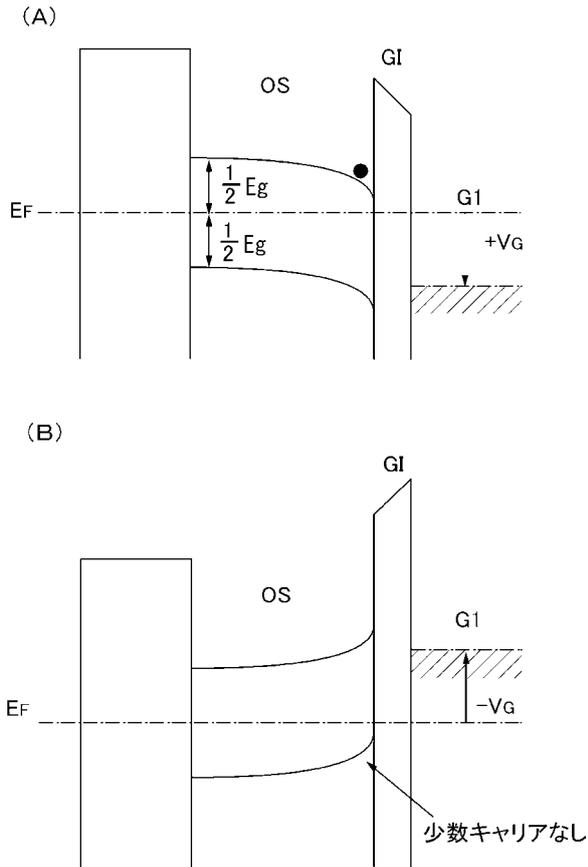
【 図 2 4 】



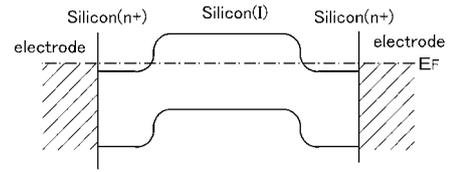
【 図 2 5 】



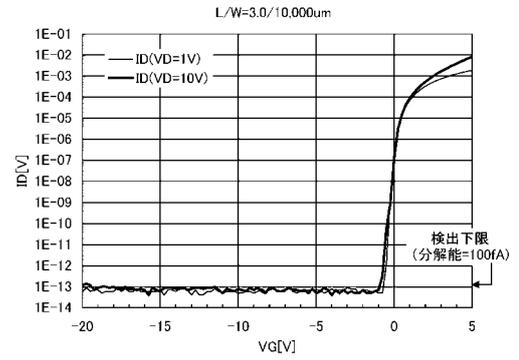
【図 26】



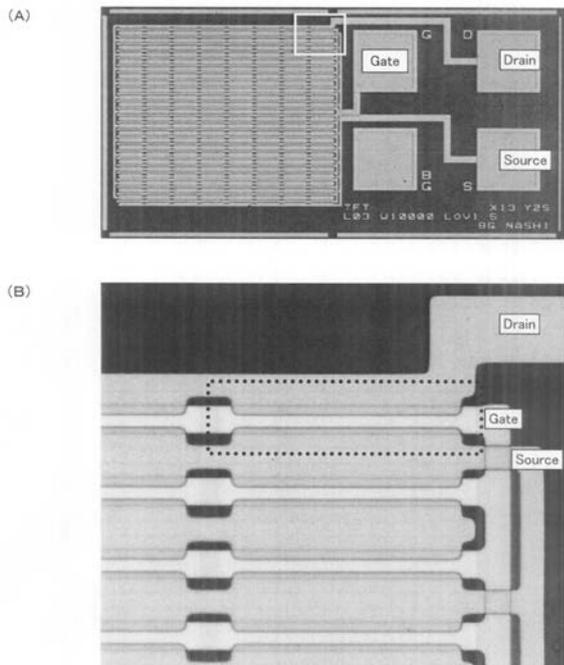
【図 27】



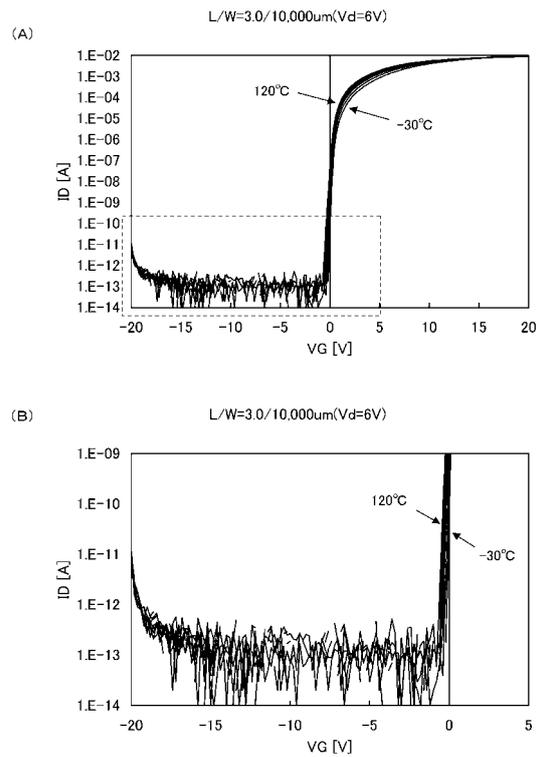
【図 28】



【図 29】

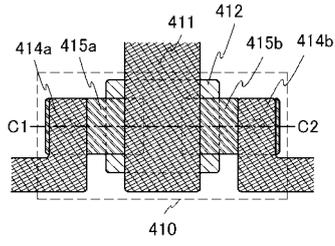


【図 30】

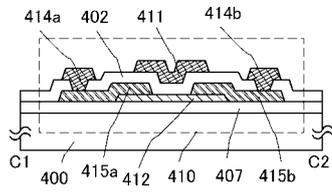


【 図 3 1 】

(A)



(B)



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 21/8236 (2006.01)	H 0 1 L 27/06	1 0 2 A 5 F 0 4 8
H 0 1 L 27/088 (2006.01)	H 0 1 L 27/088	3 1 1 A 5 F 1 1 0
G 0 9 G 3/36 (2006.01)	H 0 1 L 27/088	H 5 J 0 5 5
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/36	5 J 0 5 6
G 0 9 G 3/3266 (2016.01)	G 0 9 G 3/20	6 2 2 E
G 0 9 G 3/3275 (2016.01)	G 0 9 G 3/20	6 2 3 H
G 0 2 F 1/1368 (2006.01)	G 0 9 G 3/20	6 7 0 E
H 0 3 K 19/096 (2006.01)	G 0 9 G 3/20	6 1 1 J
H 0 3 K 17/687 (2006.01)	G 0 9 G 3/20	6 1 1 H
H 0 3 K 17/06 (2006.01)	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 8 0 G
	G 0 9 G 3/3266	
	G 0 9 G 3/3275	
	G 0 2 F 1/1368	
	H 0 3 K 19/096	2 3 0
	H 0 3 K 17/687	F
	H 0 3 K 17/06	0 6 3

F ターム(参考)	2H192	AA24	BC31	CB02	CB08	CB37	CB42	CB45	CB72	CB83	CC02
		CC32	CC42	CC72	EA67	FB03	FB22	FB27	FB33	FB46	GD61
		HA13	HA47	HA90	JA06	JA13	JA17	JA24	JA25	JA32	JA53
		JA62	JA64								
	5B074	AA01	CA01								
	5C006	AA02	AA14	AA16	AA22	AB01	AC11	AC21	AC24	AF43	AF44
		AF45	AF50	AF51	AF53	AF63	AF69	AF72	BA01	BA12	BA13
		BA16	BA19	BB16	BB28	BC03	BC12	BC13	BC20	BC23	BF03
		BF04	BF24	BF25	BF26	BF27	BF34	BF37	BF39	BF42	BF46
		EB04	EB05	EC05	FA04	FA15	FA20	FA36	FA42	FA48	FA51
	5C080	AA06	AA10	AA13	BB05	CC03	CC06	DD03	DD08	DD09	DD23
		DD25	DD26	DD27	DD28	EE01	EE19	EE23	EE26	EE29	FF03
		FF11	GG05	GG07	GG08	GG12	HH09	JJ02	JJ03	JJ04	JJ05
		JJ06	KK02	KK04	KK07	KK08	KK30	KK34	KK43	KK50	
	5C380	AA01	AA02	AB06	AB11	AB12	AB13	AB18	AB19	AB23	AB28
		AB29	AB34	AB36	AC04	AC07	AC08	AC09	AC11	AC12	AC13
		AC16	BA01	BA06	BA10	BA12	BA20	BA29	BA34	BA39	BA47
		CA02	CA10	CA12	CA14	CA16	CA17	CA53	CB14	CB26	CB32
		CC02	CC21	CC27	CC29	CC30	CC33	CC62	CD012	CE12	CF07
		CF09	CF22	CF24	CF31	CF43	CF53	CF68	DA01	DA02	DA06
		DA08	DA26	DA33	DA35	DA41	DA42	DA58	EA16	HA02	HA06
		HA13									
	5F048	AA07	AB03	AC01	AC10	BA14	BA16	BB02	BB09	BB11	
	5F110	AA06	AA08	AA09	AA14	AA30	BB02	BB03	BB05	CC01	CC03
		CC05	CC07	DD01	DD02	DD03	DD04	DD07	DD12	DD13	DD14
		DD15	DD17	DD24	EE01	EE02	EE03	EE04	EE06	EE07	EE14
		EE15	EE22	EE24	EE27	EE30	EE44	EE48	FF01	FF02	FF03
		FF04	FF09	FF28	FF30	FF36	GG01	GG06	GG13	GG14	GG15
		GG16	GG17	GG22	GG24	GG25	GG28	GG29	GG33	GG35	GG43

