



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년01월31일  
(11) 등록번호 10-2492979  
(24) 등록일자 2023년01월25일

(51) 국제특허분류(Int. Cl.)  
H10B 69/00 (2023.01)  
(52) CPC특허분류  
H01L 27/11556 (2013.01)  
H01L 27/11521 (2013.01)  
(21) 출원번호 10-2015-0177334  
(22) 출원일자 2015년12월11일  
심사청구일자 2020년10월29일  
(65) 공개번호 10-2017-0070355  
(43) 공개일자 2017년06월22일  
(56) 선행기술조사문헌  
KR1020120003677 A\*  
KR1020150095397 A  
US20150255385 A1  
US20160093513 A1  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
이병일  
서울특별시 서초구 방배선행길 2, 106동 601호 (방배동, 방배래미안아파트)  
신중식  
경기도 용인시 기흥구 예현로 15, 105동 1405호 (서천동, 서그내마을에스케이아파트)  
(74) 대리인  
특허법인씨엔에스  
(뒷면에 계속)

전체 청구항 수 : 총 19 항

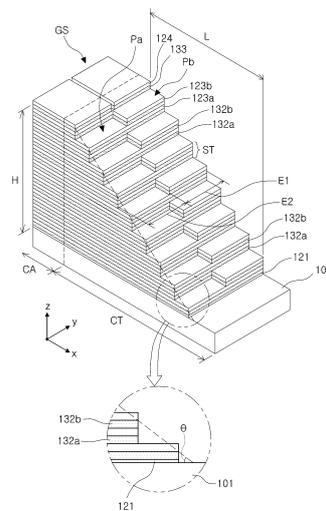
심사관 : 고연화

(54) 발명의 명칭 수직형 메모리 장치

(57) 요약

본 발명의 일 실시예에 따른 수직형 메모리 장치는, 셀 어레이 영역 및 상기 셀 어레이 영역에 인접하는 연결 영역을 가지는 기판, 및 상기 기판 상에 수직형 제1 방향으로 서로 이격되어 배치되며 상기 셀 어레이 영역으로부터 상기 제1 방향에 수직형 제2 방향으로 상기 연결 영역까지 연장되는 복수의 게이트 전극층들을 포함하고, 상기 복수의 게이트 전극층들이 상기 연결 영역에서 상기 제2 방향으로 제1 계단 구조를 이루는 게이트 적층물;을 포함한다. 여기서, 상기 셀 어레이 영역에서 상기 게이트 적층물의 높이는 3.5 $\mu$ m 내지 10 $\mu$ m이고, 상기 연결 영역에서 최상부의 상기 게이트 전극층의 끝단에서 최하부의 상기 게이트 전극층의 끝단까지의 거리는 10  $\mu$ m 내지 28  $\mu$ m일 수 있다.

대표도 - 도4



(52) CPC특허분류

*H01L 27/11551* (2013.01)  
*H01L 27/11568* (2013.01)  
*H01L 27/11578* (2013.01)  
*H01L 27/11582* (2013.01)  
*H01L 2924/1438* (2013.01)

(72) 발명자

**은동석**

경기도 성남시 분당구 내정로 186, 106동 504호 (수내동, 파크타운)

**신경준**

서울특별시 구로구 경인로 638 (신도림동, 신도림 에스케이뷰) 101동 1003호

**이현국**

경기도 수원시 영통구 영통로 460, 311동 1202호 (영통동, 대우.동신아파트)

## 명세서

### 청구범위

#### 청구항 1

셀 어레이 영역 및 상기 셀 어레이 영역에 인접하는 연결 영역을 가지는 기관;

상기 기관 상에 수직한 제1 방향으로 서로 이격되어 배치되며 상기 셀 어레이 영역으로부터 상기 제1 방향에 수직한 제2 방향으로 상기 연결 영역까지 연장되는 복수의 게이트 전극층들을 포함하고, 상기 복수의 게이트 전극층들이 상기 연결 영역에서 상기 제2 방향으로 제1 계단 구조를 이루는 게이트 적층물;

상기 셀 어레이 영역에서 상기 기관의 상면에 수직한 방향으로 연장되며 상기 게이트 적층물을 관통하는 복수의 채널 기둥들; 및

상기 연결 영역에서 상기 계단 구조를 이루는 각 계단층들의 끝단에 인접하도록 배치되며, 상기 채널 기둥들과 동일한 방향으로 연장되는 복수의 더미 기둥들을 포함하고,

상기 셀 어레이 영역에서 상기 게이트 적층물의 높이는  $3.5\mu\text{m}$  내지  $10\mu\text{m}$ 이고, 상기 연결 영역에서 최상부의 상기 게이트 전극층의 끝단에서 최하부의 상기 게이트 전극층의 끝단까지의 거리는  $10\mu\text{m}$  내지  $28\mu\text{m}$ 인 것을 특징으로 하는 수직형 메모리 장치.

#### 청구항 2

제1항에 있어서,

상기 제1 계단 구조를 이루는 적어도 일부의 계단층은 차례로 적층된 제1 게이트 전극층 및 제2 게이트 전극층을 포함하고, 상기 제2 게이트 전극층은 상기 제1 게이트 전극층과 동일한 길이를 가지는 제1 영역과 상기 제1 게이트 전극층보다 짧은 길이를 가지는 제2 영역을 포함하는 것을 특징으로 하는 수직형 메모리 장치.

#### 청구항 3

제2항에 있어서,

상기 계단층은 상기 제2 게이트 전극층의 상기 제2 영역에 의해 드러나는 상기 제1 게이트 전극층의 일부를 포함하는 제1 패드 영역 및 상기 제2 게이트 전극층의 상기 제1 영역의 일부를 포함하는 제2 패드 영역을 가지는 것을 특징으로 하는 수직형 메모리 장치.

#### 청구항 4

제3항에 있어서,

상기 계단층 내에서 상기 제1 패드 영역과 상기 제2 패드 영역은 상기 제1 방향으로 서로 이격되어 배치되어 상기 제1 및 제2 방향과 수직하는 제3 방향으로 제2 계단 구조를 이루는 것을 특징으로 하는 수직형 메모리 장치.

#### 청구항 5

제4항에 있어서,

상기 제1 패드 영역에 배치되어 상기 제1 게이트 전극층에 연결되는 제1 콘택 플러그와 상기 제2 패드 영역에 배치되어 상기 제2 게이트 전극층에 연결되는 제2 콘택 플러그를 더 포함하는 것을 특징으로 하는 수직형 메모리 장치.

**청구항 6**

제3항에 있어서,

상기 게이트 적층물은 복수 개가 구비되며, 상기 제1 패드 영역이 각각의 상기 게이트 적층물에서 동일한 위치에 배치되도록 상기 복수의 게이트 적층물들이 상기 제1 및 제2 방향과 수직하는 제3 방향으로 서로 이격되어 반복적으로 배치되는 것을 특징으로 하는 수직형 메모리 장치.

**청구항 7**

제3항에 있어서,

상기 게이트 적층물은 복수 개가 구비되며, 상기 제1 패드 영역이 이웃하는 게이트 적층물들 사이의 가상의 선을 중심으로 서로 대칭되는 위치에 배치되도록 상기 복수의 게이트 적층물들은 상기 제1 및 제2 방향과 수직하는 제3 방향으로 서로 이격되어 배치되는 것을 특징으로 하는 수직형 메모리 장치.

**청구항 8**

삭제

**청구항 9**

제1항에 있어서,

상기 채널 기둥들 및 상기 더미 기둥들은 하부에 에피텍셀층을 포함하는 것을 특징으로 하는 수직형 메모리 장치.

**청구항 10**

제9항에 있어서,

상기 연결 영역의 끝단에서 상기 에피텍셀층의 상면의 높이는 상기 게이트 적층물의 최하부의 상기 게이트 전극층의 상면의 높이보다 높은 것을 특징으로 하는 수직형 메모리 장치.

**청구항 11**

제1항에 있어서,

상기 채널 기둥들은 게이트 절연층을 포함하고, 상기 게이트 절연층은 전하 트랩층을 포함하는 것을 특징으로 하는 수직형 메모리 장치.

**청구항 12**

제1항에 있어서,

상기 복수의 더미 기둥들은 상기 계단층들의 내부에 더 배치되는 것을 특징으로 하는 수직형 메모리 장치.

**청구항 13**

제1항에 있어서,

상기 복수의 더미 기둥들은 상기 게이트 적층물 내에서 적어도 일 방향을 따른 선을 기준으로 대칭적으로 배치되는 것을 특징으로 하는 수직형 메모리 장치.

**청구항 14**

제1항에 있어서,

상기 제1 계단 구조를 이루는 적어도 일부의 계단층은 차례로 적층된 제1 게이트 전극층 및 제2 게이트 전극층을 포함하고, 상기 제1 및 제2 게이트 전극층은 동일한 길이로 연장되는 것을 특징으로 하는 수직형 메모리 장치.

**청구항 15**

제14항에 있어서,

상기 제2 게이트 전극층을 관통하여 상기 제1 게이트 전극층에 연결되는 제1 콘택 플러그와 상기 제2 게이트 전극층에 연결되는 제2 콘택 플러그를 더 포함하는 것을 특징으로 하는 수직형 메모리 장치.

**청구항 16**

제15항에 있어서,

상기 제2 게이트 전극층과 상기 제1 콘택 플러그는 전기적으로 절연되는 것을 특징을 하는 수직형 메모리 장치.

**청구항 17**

기판 상에 적층되는 복수의 게이트 전극층들 및 상기 기판의 상면에 수직하는 제1 방향으로 상기 복수의 게이트 전극층들을 관통하는 복수의 채널 기둥들을 포함하는 셀 어레이 영역; 및

상기 셀 어레이 영역으로부터 상기 복수의 게이트 전극층들이 상기 제1 방향과 수직하는 제2 방향으로 연장되어 형성된 계단 구조 및 상기 계단 구조를 이루는 각 계단층들의 끝단에 인접하도록 배치되며 상기 채널 기둥들과 동일한 방향으로 연장되는 복수의 더미 기둥들을 포함하는 연결 영역;을 포함하고,

상기 기판의 상면으로부터 최상부의 상기 게이트 전극층의 상면까지의 높이는 3.5  $\mu\text{m}$  내지 10  $\mu\text{m}$ 이고, 상기 연결 영역에 배치된 상기 계단 구조의 전체 길이는 10  $\mu\text{m}$  내지 28  $\mu\text{m}$ 인 것을 특징으로 하는 수직형 메모리 장치.

**청구항 18**

제17항에 있어서,

상기 계단 구조를 이루는 적어도 일부 계단층은 차례로 적층된 제1 게이트 전극층 및 제2 게이트 전극층을 포함하고, 상기 제2 게이트 전극층은 상기 제1 게이트 전극층과 동일한 길이를 가지는 제1 영역과 상기 제1 게이트 전극층보다 짧은 길이를 가지는 제2 영역을 포함하는 것을 특징으로 하는 수직형 메모리 장치.

**청구항 19**

제17항에 있어서,

상기 계단 구조를 이루는 적어도 일부 계단층은 차례로 적층된 제1 게이트 전극층 및 제2 게이트 전극층을 포함하고, 상기 제1 및 제2 게이트 전극층은 동일한 길이로 연장되는 것을 특징으로 하는 수직형 메모리 장치.

**청구항 20**

셀 어레이 영역 및 상기 셀 어레이 영역에 인접하는 연결 영역을 가지는 기관; 및

상기 기관 상에 수직인 방향으로 서로 이격되어 배치되며, 상기 셀 어레이 영역에서 상기 연결 영역까지 연장되는 복수의 게이트 전극층들이 상기 연결 영역에서 계단 구조를 이루는 게이트 적층물;

상기 셀 어레이 영역에서 상기 기관의 상면에 수직인 방향으로 연장되며 상기 게이트 적층물을 관통하는 복수의 채널 기둥들; 및

상기 연결 영역에서 상기 계단 구조를 이루는 각 계단층들의 끝단에 인접하도록 배치되며, 상기 채널 기둥들과 동일한 방향으로 연장되는 복수의 더미 기둥들을 포함하고,

상기 셀 어레이 영역에서 상기 게이트 적층물의 높이는 3.5  $\mu\text{m}$  내지 10  $\mu\text{m}$ 이고, 최상부의 상기 게이트 전극층의 끝단에서 최하부의 상기 게이트 전극층의 끝단을 잇는 가상의 선과 상기 기관의 상면이 이루는 각도는 7도 내지 45도인 것을 특징으로 하는 수직형 메모리 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 수직형 메모리 장치에 관한 것이다.

**배경 기술**

[0002] 전자 제품은 그 부피가 점점 작아지면서도 고용량의 데이터 처리를 요하고 있다. 이에 따라, 이러한 전자 제품에 사용되는 반도체 메모리 소자의 집적도를 증가시킬 필요가 있다. 반도체 메모리 소자의 집적도를 향상시키기 위한 방법들 중 하나로서, 기존의 평면 트랜지스터 구조 대신 수직 트랜지스터 구조를 가지는 메모리 셀들이 적층된 수직형 메모리 장치가 제안되고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 기술적 사상이 해결하고자 하는 과제는, 신뢰성이 향상된 수직형 메모리 장치를 제공하는 것이다.

**과제의 해결 수단**

[0004] 본 발명의 일 실시예에 따른 수직형 메모리 장치는, 셀 어레이 영역 및 상기 셀 어레이 영역에 인접하는 연결 영역을 가지는 기관, 및 상기 기관 상에 수직인 제1 방향으로 서로 이격되어 배치되며 상기 셀 어레이 영역으로부터 상기 제1 방향에 수직인 제2 방향으로 상기 연결 영역까지 연장되는 복수의 게이트 전극층들을 포함하고, 상기 복수의 게이트 전극층들이 상기 연결 영역에서 상기 제2 방향으로 제1 계단 구조를 이루는 게이트 적층물;을 포함하고, 상기 셀 어레이 영역에서 상기 게이트 적층물의 높이는 3.5  $\mu\text{m}$  내지 10  $\mu\text{m}$ 이고, 상기 연결 영역에서 최상부의 상기 게이트 전극층의 끝단에서 최하부의 상기 게이트 전극층의 끝단까지의 거리는 10  $\mu\text{m}$  내지 28  $\mu\text{m}$ 일 수 있다.

[0005] 일 실시예에서, 상기 제1 계단 구조를 이루는 적어도 일부의 계단층은 차례로 적층된 제1 게이트 전극층 및 제2 게이트 전극층을 포함하고, 상기 제2 게이트 전극층은 상기 제1 게이트 전극층과 동일한 길이를 가지는 제1 영역과 상기 제1 게이트 전극층보다 짧은 길이를 가지는 제2 영역을 포함할 수 있다.

[0006] 일 실시예에서, 상기 계단층은 상기 제2 게이트 전극층의 상기 제2 영역에 의해 드러나는 상기 제1 게이트 전극

층의 일부를 포함하는 제1 패드 영역 및 상기 제2 게이트 전극층의 상기 제1 영역의 일부를 포함하는 제2 패드 영역을 가질 수 있다.

- [0007] 일 실시예에서, 상기 계단층 내에서 상기 제1 패드 영역과 상기 제2 패드 영역은 상기 제1 방향으로 서로 이격되어 배치되어 상기 제1 및 제2 방향과 수직하는 제3 방향으로 제2 계단 구조를 이룰 수 있다.
- [0008] 일 실시예에서, 상기 수직형 메모리 장치는 상기 제1 패드 영역에 배치되어 상기 제1 게이트 전극층에 연결되는 제1 콘택 플러그와 상기 제2 패드 영역에 배치되어 상기 제2 게이트 전극층에 연결되는 제2 콘택 플러그를 더 포함할 수 있다.
- [0009] 일 실시예에서, 상기 게이트 적층물은 복수 개가 구비되며, 상기 제1 패드 영역이 각각의 상기 게이트 적층물에서 동일한 위치에 배치되도록 상기 복수의 게이트 적층물들이 상기 제1 및 제2 방향과 수직하는 제3 방향으로 서로 이격되어 반복적으로 배치될 수 있다.
- [0010] 일 실시예에서, 상기 게이트 적층물은 복수 개가 구비되며, 상기 제1 패드 영역이 이웃하는 게이트 적층물들 사이의 가상의 선을 중심으로 서로 대칭되는 위치에 배치되도록 상기 복수의 게이트 적층물들은 상기 제1 및 제2 방향과 수직하는 제3 방향으로 서로 이격되어 배치될 수 있다.
- [0011] 일 실시예에서, 상기 수직형 메모리 장치는 상기 셀 어레이 영역에서 상기 기판의 상면에 수직한 방향으로 연장되며 상기 게이트 적층물을 관통하는 복수의 채널 기둥들, 및 상기 연결 영역에서 상기 계단 구조를 이루는 각 계단층들의 끝단에 인접하도록 배치되며, 상기 채널 기둥들과 동일한 방향으로 연장되는 복수의 더미 기둥들을 더 포함할 수 있다.
- [0012] 일 실시예에서, 상기 채널 기둥들 및 상기 더미 기둥들은 하부에 에피텍셀층을 포함할 수 있다.
- [0013] 일 실시예에서, 상기 연결 영역의 끝단에서 상기 에피텍셀층의 상면의 높이는 상기 게이트 적층물의 최하부의 게이트 전극층의 상면의 높이보다 높을 수 있다.
- [0014] 일 실시예에서, 상기 채널 기둥들은 게이트 절연층을 포함하고, 상기 게이트 절연층은 전하 트랩층을 포함할 수 있다.
- [0015] 일 실시예에서, 상기 복수의 더미 기둥들은 상기 계단층들의 내부에 더 배치될 수 있다.
- [0016] 일 실시예에서, 상기 복수의 더미 기둥들은 상기 게이트 적층물 내에서 대칭적으로 배치될 수 있다.
- [0017] 일 실시예에서, 상기 제1 계단 구조를 이루는 적어도 일부의 계단층들은 각각 차례로 적층된 제1 게이트 전극층 및 제2 게이트 전극층을 포함하고, 상기 제1 및 제2 게이트 전극층은 동일한 길이로 연장될 수 있다.
- [0018] 일 실시예에서, 상기 수직형 메모리 장치는 상기 제2 게이트 전극층을 관통하여 상기 제1 게이트 전극층에 연결되는 복수의 제1 콘택 플러그들과 상기 제2 게이트 전극층들에 연결되는 복수의 제2 콘택 플러그들을 더 포함할 수 있다.
- [0019] 일 실시예에서, 상기 제2 게이트 전극층들과 상기 제1 콘택 플러그들은 전기적으로 절연될 수 있다.
- [0020] 본 발명의 일 실시예에 따른 수직형 메모리 장치는, 기판 상에 적층되는 복수의 게이트 전극층들 및 상기 기판의 상면에 수직하는 제1 방향으로 상기 복수의 게이트 전극층들을 관통하는 복수의 채널 기둥들을 포함하는 셀 어레이 영역, 상기 셀 어레이 영역으로부터 상기 복수의 게이트 전극층들이 상기 제1 방향과 수직하는 제2 방향으로 연장되어 형성된 계단 구조를 포함하는 연결 영역;을 포함하고, 상기 기판의 상면으로부터 최상부의 상기 게이트 전극층의 상면까지의 높이는 3.5  $\mu\text{m}$  내지 10  $\mu\text{m}$ 이고, 상기 연결 영역에 배치된 상기 계단 구조의 전체 길이는 10  $\mu\text{m}$  내지 28  $\mu\text{m}$  일 수 있다.
- [0021] 일 실시예에서, 상기 계단 구조를 이루는 적어도 일부 계단층은 차례로 적층된 제1 게이트 전극층 및 제2 게이트 전극층을 포함하고, 상기 제2 게이트 전극층은 상기 제1 게이트 전극층과 동일한 길이를 가지는 제1 영역과 상기 제1 게이트 전극층보다 짧은 길이를 가지는 제2 영역을 포함할 수 있다.
- [0022] 일 실시예에서, 상기 계단 구조를 이루는 적어도 일부 계단층은 차례로 적층된 제1 게이트 전극층 및 제2 게이트 전극층을 포함하고, 상기 제1 및 제2 게이트 전극층은 동일한 길이로 연장될 수 있다.

[0023] 본 발명의 일 실시예에 따른 수직형 메모리 장치는, 셀 어레이 영역 및 상기 셀 어레이 영역에 인접하는 연결 영역을 가지는 기관, 및 상기 기관 상에 수직한 방향으로 서로 이격되어 배치되며, 상기 셀 어레이 영역에서 상기 연결 영역까지 연장되는 복수의 게이트 전극층들이 상기 연결 영역에서 계단 구조를 이루는 게이트 적층물을 포함하고, 상기 셀 어레이 영역에서 상기 게이트 적층물의 높이는 3.5  $\mu\text{m}$  이상이고, 최상부의 상기 게이트 전극층의 끝단에서 최하부의 상기 게이트 전극층의 끝단을 잇는 가상의 선과 상기 기관의 상면이 이루는 각도는 7도 내지 45도일 수 있다.

**발명의 효과**

[0024] 본 발명의 실시예에 따르면, 셀 어레이 영역과 인접한 연결 영역에서 더미 기둥들의 하부에 배치되는 에픽택셀층의 두께 산포를 감소시킬 수 있고, 이와 더불어 신뢰성이 향상된 메모리 장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0025] 도 1은 본 발명의 일 실시예에 따른 수직형 메모리 장치의 개략적인 블록 다이어그램이다.
- 도 2는 본 발명의 일 실시예에 따른 수직형 메모리 장치의 메모리 셀 어레이를 나타내는 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 수직형 메모리 장치의 개략적인 평면도이다.
- 도 4 및 도 5는 본 발명의 일 실시예에 따른 수직형 메모리 장치의 구조를 나타내는 사시도이다.
- 도 6 내지 도 9는 본 발명의 일 실시예에 따른 수직형 메모리 장치의 개략적인 단면도들이다.
- 도 10 및 도 11은 본 발명의 일 실시예에 따른 수직형 메모리 장치를 나타내는 사시도들이다.
- 도 13은 본 발명의 일 실시예에 따른 수직형 메모리 장치의 개략적인 평면도이다.
- 도 14 및 도 16은 본 발명의 일 실시예에 따른 수직형 메모리 장치의 개략적인 단면도들이다.
- 도 17은 본 발명의 일 실시예에 따른 수직형 메모리 장치의 개략적인 평면도이다.
- 도 18은 본 발명의 일 실시예에 따른 수직형 메모리 장치를 포함하는 저장 장치를 나타내는 블록도이다.
- 도 19는 본 발명의 일 실시예에 따른 수직형 메모리 장치를 포함하는 전자 기기를 나타내는 블록도이다.
- 도 20은 본 발명의 일 실시예에 따른 수직형 메모리 장치를 포함하는 전자 시스템을 나타내는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0026] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 다음과 같이 설명한다.
- [0027] 본 발명의 실시예는 여러 가지 다른 형태로 변형되거나 여러 가지 실시예가 조합될 수 있으며, 본 발명의 범위가 이하 설명하는 실시예로 한정되는 것은 아니다. 또한, 본 발명의 실시예는 당해 기술분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면 상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0028] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위해 사용된 것이며, 본 발명을 한정하기 위한 것이 아니다. 단수의 표현은 문맥상 명백하게 다르게 지적하는 것이 아니라면, 복수의 표현을 포함한다. 본 명세서에서 사용되는 경우 "포함하다", "구비하다", 또는 "가지다" 등과 같은 용어는 명세서에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들의 조합이 존재함을 특정하려는 것이며, 하나 이상의 다른 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들의 조합의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 해석되어야 한다. 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [0029] 본 명세서에서 제1, 제2 등의 용어가 다양한 부재, 부품, 영역, 층들 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여만 사용된다. 따

라서, 이하 상술할 제1 부재, 부품, 영역, 층 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제2 부재, 부품, 영역, 층 또는 부분을 지칭할 수 있다.

- [0030] 도 1은 본 발명의 일 실시예에 따른 수직형 메모리 장치의 개략적인 블록 다이어그램이다.
- [0031] 도 1을 참조하면, 본 발명의 실시예에 따른 수직형 메모리 장치(10)는 메모리 셀 어레이(20), 구동 회로(30), 읽기/쓰기(read/write) 회로(40) 및 제어 회로(50)를 포함할 수 있다. 일례로, 본 발명의 실시예에 따른 수직형 메모리 장치(10)는 비휘발성(Non-Volatile) 메모리 장치일 수 있다.
- [0032] 메모리 셀 어레이(20)는 복수의 메모리 셀을 포함할 수 있으며, 복수의 메모리 셀은 복수의 행과 열을 따라 배열될 수 있다. 메모리 셀 어레이(20)에 포함되는 복수의 메모리 셀은, 워드 라인(Word Line, WL), 공통 소스 라인(Common Source Line, CSL), 스트링 선택 라인(String Select Line, SSL), 접지 선택 라인(Ground Select Line, GSL) 등을 통해 구동 회로(30)와 연결될 수 있으며, 비트 라인(Bit Line, BL)을 통해 읽기/쓰기 회로(40)와 연결될 수 있다. 일 실시예에서, 동일한 행을 따라 배열되는 복수의 메모리 셀은 동일한 워드 라인(WL)에 연결되고, 동일한 열을 따라 배열되는 복수의 메모리 셀은 동일한 비트 라인(BL)에 연결될 수 있다.
- [0033] 메모리 셀 어레이(20)에 포함되는 복수의 메모리 셀은 복수의 메모리 블록으로 구분될 수 있다. 각 메모리 블록은 복수의 워드 라인(WL), 복수의 스트링 선택 라인(SSL), 복수의 접지 선택 라인(GSL), 복수의 비트 라인(BL)과 적어도 하나의 공통 소스 라인(CSL)을 포함할 수 있다.
- [0034] 구동 회로(30)와 읽기/쓰기 회로(40)는 제어 회로(50)에 의해 동작할 수 있다. 일 실시예로, 구동 회로(30)는 외부로부터 어드레스 정보(ADDR)를 수신하고, 수신한 어드레스 정보(ADDR)를 디코딩하여 메모리 셀 어레이에 연결된 워드 라인(WL), 공통 소스 라인(CSL), 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL) 중 적어도 일부를 선택할 수 있다. 구동 회로(30)는 워드 라인(WL), 스트링 선택 라인(SSL), 공통 소스 라인(CSL) 각각에 대한 구동 회로를 포함할 수 있다.
- [0035] 읽기/쓰기 회로(40)는 제어 회로(50)로부터 수신하는 명령에 따라 메모리 셀 어레이(20)에 연결되는 비트 라인(BL) 중 적어도 일부를 선택할 수 있다. 읽기/쓰기 회로(40)는 선택한 적어도 일부의 비트 라인(BL)과 연결된 메모리 셀에 저장된 데이터를 읽어오거나, 선택한 적어도 일부의 비트 라인(BL)과 연결된 메모리 셀에 데이터를 기입할 수 있다. 읽기/쓰기 회로(40)는 상기와 같은 동작을 수행하기 위해, 페이지 버퍼, 입/출력 버퍼, 데이터 래치 등과 같은 회로를 포함할 수 있다.
- [0036] 제어 회로(50)는 외부로부터 전달되는 제어 신호(CTRL)에 응답하여 구동 회로(30) 및 읽기/쓰기 회로(40)의 동작을 제어할 수 있다. 메모리 셀 어레이(20)에 저장된 데이터를 읽어오는 경우, 제어 회로(50)는 읽어오고자 하는 데이터가 저장된 워드 라인(WL)에 읽기 동작을 위한 전압을 공급하도록 구동 회로(30)의 동작을 제어할 수 있다. 읽기 동작을 위한 전압이 특정 워드 라인(WL)에 공급되면, 제어 회로(50)는 읽기/쓰기 회로(40)가 읽기 동작을 위한 전압이 공급된 워드 라인(WL)과 연결된 메모리 셀에 저장된 데이터를 읽어오도록 제어할 수 있다.
- [0037] 한편, 메모리 셀 어레이(20)에 데이터를 쓰는 경우, 제어 회로(50)는 데이터를 쓰고자 하는 워드 라인(WL)에 쓰기 동작을 위한 전압을 공급하도록 구동 회로(30)의 동작을 제어할 수 있다. 쓰기 동작을 위한 전압이 특정 워드 라인(WL)에 공급되면, 제어 회로(50)는 쓰기 동작을 위한 전압이 공급된 워드 라인(WL)에 연결된 메모리 셀에 데이터를 기록하도록 읽기/쓰기 회로(40)를 제어할 수 있다.
- [0038] 도 2는 본 발명의 일 실시예에 따른 수직형 메모리 장치의 메모리 셀 어레이의 등가회로도이다. 도 2는 메모리 셀 어레이의 3차원 구조를 나타낸 등가회로도이다.
- [0039] 도 2를 참조하면, 일 실시예에 따른 메모리 셀 어레이는, 서로 직렬로 연결되는 n 개의 메모리 셀 소자(MC1~MCn), 메모리 셀 소자(MC1~MCn)의 양단에 직렬로 연결되는 접지 선택 트랜지스터(GST) 및 스트링 선택 트랜지스터(SST)를 포함하는 복수의 메모리 셀 스트링을 포함할 수 있다.
- [0040] 서로 직렬로 연결되는 n 개의 메모리 셀 소자(MC1~MCn)는 메모리 셀 소자(MC1~MCn) 중 적어도 일부를 선택하기 위한 워드 라인(WL1~WLn)에 각각 연결될 수 있다.
- [0041] 접지 선택 트랜지스터(GST)의 게이트 단자는 접지 선택 라인(GSL)과 연결되고, 소스 단자는 공통 소스 라인(CSL)에 연결될 수 있다. 한편, 스트링 선택 트랜지스터(SST)의 게이트 단자는 스트링 선택 라인(SSL)에 연결

되고, 소스 단자는 메모리 셀 소자(MCn)의 드레인 단자에 연결될 수 있다. 도 2에서는 서로 직렬로 연결되는 n 개의 메모리 셀 소자(MC1~MCn)에 접지 선택 트랜지스터(GST)와 스트링 선택 트랜지스터(SST)가 하나씩 연결되는 구조를 도시하였으나, 이와 달리 복수의 접지 선택 트랜지스터(GST) 또는 복수의 스트링 선택 트랜지스터(SST)가 연결될 수도 있다.

[0042] 스트링 선택 트랜지스터(SST)의 드레인 단자는 비트 라인(BL1~BLm)에 연결될 수 있다. 스트링 선택 트랜지스터(SST)의 게이트 단자에 스트링 선택 라인(SSL)을 통해 신호가 인가되면, 비트 라인(BL1~BLm)을 통해 인가되는 신호가 서로 직렬로 연결된 n 개의 메모리 셀 소자(MC1~MCn)에 전달됨으로써 데이터 읽기 또는 쓰기 동작이 실행될 수 있다. 또한, 소스 단자가 공통 소스 라인(CSL)에 연결된 게이트 선택 트랜지스터(GST)의 게이트 단자에 게이트 선택 라인(GSL)을 통해 신호를 인가함으로써, n 개의 메모리 셀 소자(MC1~MCn)에 저장된 전하를 모두 제거하는 소거(erase) 동작이 실행될 수 있다.

[0043] 도 3은 본 발명의 일 실시예에 따른 수직형 메모리 장치의 개략적인 평면도이다.

[0044] 도 3을 참조하면, 일 실시예에 따른 수직형 메모리 장치는 메모리 셀들이 형성되는 셀 어레이 영역(CA)과 상기 메모리 셀들을 배선과 연결하기 위한 연결 영역(CT)을 포함한다. 도 3에는 셀 어레이 영역(CA)의 일부가 도시된 것이며, 연결 영역(CT)은 셀 어레이 영역(CA)의 일측에 배치된 것으로 도시되었으나, 셀 어레이 영역(CA)의 양측에 배치될 수 있다. 한편, 주변 회로 영역이 연결 영역(CT) 외측에 마련될 수 있으며, 상기 주변 회로 영역에는 도 1의 구동 회로(30), 읽기/쓰기(read/write) 회로(40) 및 제어 회로(50)를 구성하는 복수의 트랜지스터들이 배치될 수 있다.

[0045] 상기 수직형 메모리 장치는 공통 소스라인(180)에 의해 y축 방향으로 서로 분리되는 복수의 게이트 적층물(GS)들을 포함할 수 있다. 게이트 적층물(GS)은 기판 상에 번갈아 적층된 복수의 게이트 전극층들과 복수의 절연층들을 포함할 수 있다. 공통 소스라인(180)은 셀 어레이 영역(CA) 및 연결 영역(CT)에서 연속적으로 연장될 수 있다. 공통 소스라인(180)은 기판과 전기적으로 연결될 수 있다. 공통 소스라인(180)은 도전성 물질로 이루어질 수 있다. 예를 들어, 공통 소스 라인(180)은 텅스텐(W)을 포함할 수 있다. 공통 소스라인(180)과 게이트 적층물(GS) 사이에는 절연층(182)이 개재될 수 있고, 절연층(182)은 공통 소스 라인(180)과 게이트 적층물(GS)를 전기적으로 절연시킨다. 절연층(182)은 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(Si<sub>3</sub>N<sub>4</sub>), 실리콘 산질화물(SiON) 또는 이들의 조합을 포함할 수 있다.

[0046] 셀 어레이 영역(CA)에는 게이트 적층물(GS)을 관통하는 복수의 채널 기둥들(CH)이 배치되고, 연결 영역(CT)에는 복수의 콘택 플러그들(171, 171a, 171b)와 복수의 더미 기둥들(DCH)이 배치될 수 있다.

[0047] 게이트 적층물(GS)은 x축 방향으로 연장되며 연결 영역(CT)에서 복수의 계단층들(ST)로 이루어지는 계단 구조를 형성할 수 있다. 상기 계단 구조는 복수의 게이트 전극층들과 복수의 절연층들이 셀 어레이 영역(CA)으로부터 서로 다른 길이로 x축 방향으로 연장되어 형성될 수 있다. 각 계단층(ST)은 제1 패드 영역(Pa) 및 제2 패드 영역(Pb)을 제공할 수 있다. 게이트 적층물(GS)은 복수의 제1 패드 영역들(Pa)과 복수의 제2 패드 영역들(Pb)을 포함할 수 있다. 제1 패드 영역들(Pa)에는 제1 콘택 플러그들(171a)이 배치되고, 제2 패드 영역들(Pb)에는 제2 콘택 플러그들(171b)이 배치될 수 있다. 게이트 구조물(GS)의 상부에는 분리 절연패턴(SC)은 선택적으로 배치될 수 있으며, 스트링 선택 라인(도 2의 SSL)로 기능하는 최상부의 게이트 전극층(도 4의 133)을 2개의 영역으로 분리시킬 수 있다. 분리된 최상부의 게이트 전극층(도 4의 133)의 각 영역에는 콘택 플러그(171)이 배치될 수 있다.

[0048] 셀 어레이 영역(CA)에는 복수의 채널 기둥들(CH)은 x축 방향을 따라 9열로 배치될 수 있다. 셀 어레이 영역(CA)에 배치되는 채널 기둥들(CH)의 숫자를 늘리기 위해, 복수의 채널 기둥들(CH)은 지그재그 형태로 배치될 수 있다. 가운데 5열의 채널 기둥들(CH)은 분리 절연패턴(SC)이 배치된 영역에 형성될 수 있고, 이러한 채널 기둥들(CH)은 비트라인과 연결되지 않는 더미 채널 기둥일 수 있다. 복수의 채널 기둥들(CH)의 배치 형태는 도시된 바에 한정되지 않으며, 다양하게 변형될 수 있다.

[0049] 더미 기둥들(DCH)은 각 계단층들(ST)의 끝단에 인접하도록 배치될 수 있다. 다시 말해, 더미 기둥들(DCH)은 각각의 제1 및 제2 패드 영역들(Pa, Pb)의 끝단에 인접하도록 배치될 수 있다. 더미 기둥들(DCH)은 x축 방향을 따라 4열로 배치되는 것으로 도시되었으나, 더미 기둥들(DCH)의 배치 형태는 도시된 바에 한정되지 않는다. 예를 들어, 도 17에 도시된 바와 같이, 더미 기둥들(DCH) 중 공통 소스 라인(180)에 가까운 가장자리에 배치되는 일

부는 각 계단층(ST)의 끝단에 인접하도록 배치되고, 나머지 일부는 각 계단층(ST)의 내부에 배치될 수 있다.

- [0050] 본 명세서에서, '더미(dummy)'의 용어는, 다른 구성 요소와 동일하거나 유사한 구조 및 형상을 가지지만, 메모리 장치 내에서 실질적인 기능을 하지 않고, 단지 패턴으로 존재하는 구성을 지칭하는 용도로 사용된다. 따라서, '더미' 구성 요소에는 전기적 신호가 인가되지 않거나 전기적으로 특정 기능을 수행하지 않는다.
- [0051] 도 4는 본 발명의 일 실시예에 따른 수직형 메모리 장치의 구조를 나타내는 사시도이다. 도 4는 하나의 게이트 적층물(GS)의 구조를 설명하기 위한 도면으로 도 3에 도시된 구성요소 중 일부가 생략되어 도시되었다. 예를 들어, 도 3에 도시된 채널 기둥들(CH), 더미 기둥들(DCH), 콘택 플러그(171, 171a, 171b) 등이 도 4에서 생략되어 있다.
- [0052] 도 4를 참조하면, 게이트 적층물(GS)은 셀 어레이 영역(CA)과 연결 영역(CT)을 가지는 기판(101) 상에 z축 방향으로 서로 이격되어 적층된 게이트 전극층들(132a, 132b, 133)을 포함한다. 기판(101)은 x축 방향과 y축 방향으로 연장되는 상면을 가질 수 있다. 기판(101)은 반도체 물질, 예컨대 IV족 반도체, III-V족 화합물 반도체 또는 II-VI족 화합물 반도체를 포함할 수 있다.
- [0053] 게이트 적층물(GS)은 상기 게이트 전극층들(132a, 132b, 133) 사이에 배치된 절연층들(123a, 123b)을 포함할 수 있다. 게이트 적층물(GS)은 최상부의 게이트 전극층(133) 상에 배치된 절연층(124)를 포함할 수 있고, 최하부의 게이트 전극층(132a)과 기판(101) 사이에 절연층(121)을 포함할 수 있다. 다시 말해, 게이트 적층물(GS)은 절연층들(123a, 123b, 124)과 게이트 전극층들(132a, 132b, 133)이 기판(101) 상에 번갈아 적층된 구조물이다. 게이트 적층물(GS)을 이루는 게이트 전극층들(132a, 132b)의 수는 도 4에 도시된 바에 한정되지 않는다. 수직형 메모리 장치의 저장 용량에 따라 메모리 셀들을 이루는 게이트 전극층들(132a, 132b)의 개수가 결정될 수 있으며, 예를 들어, 60층 이상의 게이트 전극층들(132a, 132b)이 기판(101) 상에 적층되어 게이트 적층물(GS)을 이룰 수 있다. 실시예에 따라, 셀 어레이 영역(CA)에서 게이트 적층물(GS)의 전체 높이는 3.5  $\mu\text{m}$  내지 10  $\mu\text{m}$ 일 수 있다. 구체적으로 말하면, 기판(101)의 상면으로부터 최상부에 위치한 게이트 전극층(133)의 상면까지의 높이(H)가 3.5  $\mu\text{m}$  내지 10  $\mu\text{m}$ 일 수 있다.
- [0054] 본 실시예에서, 최상부에 위치한 게이트 전극층(133)은 스트링 선택 라인(도 2의 SSL)을 형성하고, 최하부에 위치한 게이트 전극층(132a)는 접지 선택 라인(도 2의 GSL)을 형성할 수 있다. 그 외 게이트 전극층들(132a, 132b)은 메모리 셀들의 워드라인(도 2의 WL)을 형성할 수 있다.
- [0055] 게이트 전극층들(132a, 132b, 133)은 도전 물질을 포함할 수 있다. 게이트 전극층들(132a, 132b, 133)은 예를 들어, 금속 물질, 금속 질화물, 금속 실리사이드 물질, 다결정 실리콘 등을 포함할 수 있다. 상기 금속 물질은 텅스텐(W)을 포함할 수 있고, 상기 금속 실리사이드는 Co, Ni, Hf, Pt, W 및 Ti 중에서 선택되는 어느 하나의 금속 실리사이드 물질 또는 이들의 조합일 수 있다. 상기 금속 질화물은 텅스텐 질화물(WN), 탄탈륨 질화물(TaN), 티타늄 질화물(TiN) 또는 이들의 조합을 포함할 수 있다. 게이트 전극층들(132a, 132b)은 절연층들(123a, 123b)에 의해 서로 절연된다. 절연층들(123a, 123b)은 실리콘 산화물을 포함할 수 있다.
- [0056] 복수의 게이트 전극층들(132a, 132b, 133)은 x축 방향으로 셀 어레이 영역(CA)으로부터 연결 영역(CT)까지 연장될 수 있다. 연결 영역(CT)에서 복수의 게이트 전극층(132a, 132b, 133)이 x축 방향으로 서로 다른 길이로 연장되어 계단 구조를 이룰 수 있다. 게이트 적층물(GS)의 상부에서 하부로 갈수록 게이트 전극층들(132a, 132b)의 x축 방향으로 연장되는 길이가 소정의 길이만큼 길어질 수 있다. 상기 계단 구조를 이루는 각각의 계단층(ST)은 두 개의 게이트 전극층(132a, 132b)을 포함할 수 있다. 각각의 계단층(ST)은 제1 게이트 전극층(132a) 상에 제2 게이트 전극층(132b)이 z축 방향으로 이격되어 적층된 구조이다. 절연층들(123a, 123b)도 게이트 전극층(132a, 132b)과 마찬가지로 x축 방향으로 연장되어 게이트 전극층들(132a, 132b)과 함께 계단 구조를 이룰 수 있다. 제1 게이트 전극층(132a) 상에 제1 절연층(123a)이 배치되고, 제2 게이트 전극층(132b) 상에 제2 절연층(123b)이 배치될 수 있다. 게이트 적층물(GS)의 최상부의 계단층은 하나의 게이트 전극층(133)을 포함하는 것으로 도시되었으나, 이에 한정되지 않는다. 실시예에 따라, 상기 최상부의 계단층도 2개의 게이트 전극층들을 포함할 수 있다. 이 경우는 스트링 선택 라인이 2개인 경우에 해당된다.
- [0057] 기판(101)의 상부에서 보았을 때, 하나의 계단층(ST)을 이루는 제1 게이트 전극층(132a)와 제2 게이트 전극층(132b)은 적어도 일부분이 서로 겹치지 않을 수 있다. 상부에 위치하는 제2 게이트 전극층(132b)의 단부 형상은 일부분이 제거된 형상일 수 있으며, 제1 게이트 전극층(132a)의 단부 형상과 다를 수 있다. 다시 말해, 제2 게이트 전극층(132b)은 제1 게이트 전극층(132a)와 동일한 길이로 연장되는 제1 영역(E1)과 제1 게이트 전극층

(132a)보다 짧은 제2 영역(E2)를 포함할 수 있다. 예를 들어, 제2 영역(E2)은 제1 영역(E1)의 길이에 비해 계단층(ST)의 깊이만큼 짧게 형성될 수 있다. 여기서, 계단층(ST)의 깊이는 z축 방향으로 이웃하여 위치하는 2개의 계단층들의 x축 방향으로 연장되는 길이의 차이로 정의될 수 있다. 제2 영역(E2)의 길이는 z축 방향으로 이웃하여 위쪽에 위치하는 계단층(ST)의 길이와 동일하게 형성될 수 있다. 제1 영역(E1)보다 짧은 길이로 연장되는 제2 영역(E2)로 인해 아래에 위치한 제1 게이트 전극층(132a)의 일부분이 가려지지 않고 드러나게 될 수 있다. 또한, 제1 절연층(132a)은 제1 게이트 전극층(132a)과 동일한 형상을 가지고, 제2 절연층(123b)은 제2 게이트 전극층(132b)과 동일한 형상을 가질 수 있다. 각 계단층(ST)에서 제2 게이트 전극층(132b)에 의해 가려지지 않는 제1 게이트 전극층(132a)의 일부는 제1 패드 영역(Pb)을 이루고, 제2 게이트 전극층(132b)의 일부는 제1 패드 영역(Pa)과 z축 방향으로 이격되는 제2 패드 영역(Pb)을 이룰 수 있다.

[0058] 이러한 제2 게이트 전극층(132b)와 제2 절연층(123b)의 단부 형상으로 인해, 각각의 계단층(ST) 내에서도 y축 방향으로 짧은 계단 구조가 형성될 수 있다. 즉, 제1 패드 영역(Pa)과 제2 패드 영역(Pb)은 각 계단층(ST) 내에서 y축 방향으로 짧은 계단 구조를 형성할 수 있다. 본 명세서에서, x축 방향으로 형성된 계단 구조는 제1 계단 구조라고 지칭될 수 있고, y축 방향으로 형성된 계단 구조는 제2 계단 구조라고 지칭될 수 있다. 상기 제2 계단 구조에서의 각 계단층의 높이는 상기 제1 계단 구조에서의 각 계단층의 높이에 비해 1/2 정도의 높이를 가질 수 있다.

[0059] 본 발명의 일 실시예에 따라, 연결 영역(CT)에서 게이트 적층물(GS)이 상기와 같은 제1 및 제2 계단 구조를 가지도록 형성함으로써, 각 계단층들이 하나의 게이트 전극층을 포함하도록 형성된 종래의 계단 구조에 비해, 패드 영역들을 제공하기 위한 계단 구조의 전체 길이(L)를 1/2 수준으로 짧게 만들 수 있다. 본 명세서에서, 계단 구조의 전체 길이(L)는 최상부의 게이트 전극층의 끝단으로부터 최하부의 게이트 전극층의 끝단까지의 거리로 정의될 수 있다.

[0060] 일 실시예에서, 연결 영역(CT)에서 상기 제1 계단 구조를 이루는 각 계단층이 3개의 게이트 전극층을 포함하도록 형성되고, 3개의 계단층으로 이루어지는 상기 제2 계단 구조가 형성될 수 있다. 즉, 상기 제1 계단 구조를 이루는 각각의 계단층에 z축 방향으로 이격되는 3개의 패드 영역이 배치되는 구조가 형성될 수 있다. 이러한 방식으로, 연결 영역(CT)에서 상기 제1 계단 구조는 각각의 계단층에 z축 방향으로 이격되는 4개 이상의 패드 영역이 배치되는 구조로 변형될 수 있다.

[0061] 본 발명의 실시예들에 따르면, 연결 영역(CT)에서 복수의 패드 영역들을 제공하기 위한 상기 제1 계단 구조의 전체 길이(L)를 획기적으로 줄일 수 있으므로, 기판(101) 상에 적층되는 게이트 전극층들의 층수가 증가되어 셀 어레이 영역(CA)에서 게이트 적층물(GS)의 전체 높이가 3.5  $\mu\text{m}$  내지 10  $\mu\text{m}$  범위인 경우에, 연결 영역(CT)에서 상기 제1 계단 구조의 전체 길이(L)가 10  $\mu\text{m}$  내지 28  $\mu\text{m}$  범위로 형성될 수 있다. 다르게 표현하면, 셀 어레이 영역(CA)에서 게이트 적층물(GS)의 높이가 3.5  $\mu\text{m}$  내지 10  $\mu\text{m}$  범위인 경우, 최상부의 게이트 전극층(133)의 끝단에서 최하부의 게이트 전극층(132a)의 끝단을 잇는 가상의 선과 기판(101)의 상면이 이루는 각도는 7도 내지 45도 범위로 형성될 수 있다. 이러한 구조적인 설계 조건(design rule)이 만족되는 경우, 셀 어레이 영역(CA)과 인접한 연결 영역(CT)에서 더미 기둥들(도 6의 DCH)의 하부에 배치되는 에피택셜층의 두께 산포를 감소시킬 수 있고, 연결 영역(CT)의 끝부분에서 더미 기둥들(도 6의 DCH)의 하부에 배치되는 에피택셜층(도 6의 151)의 높이가 최하부의 게이트 전극층(132a)의 상면의 높이보다 낮게 형성되는 문제를 개선할 수 있다. 이에 대해서는 도 6 및 도 7을 참조하여 자세히 설명한다.

[0062] 도 5는 본 발명의 일 실시예에 따른 수직형 메모리 장치의 구조를 나타내는 사시도이다. 도 5에 도시된 구조는 도 4에 도시된 게이트 적층물(GS)에 채널 기둥들(CH)과 콘택 플러그들(171, 171a, 171b)을 추가적으로 도시된 구조이다. 도 8은 도 3의 II-II' 선을 따라 절단한 단면도이고, 도 9는 도 3의 III-III' 선을 따라 절단한 단면도이다.

[0063] 도 5를 참조하면, 셀 어레이 영역(CA)에서 x축 방향을 따라 9열로 배치된 복수의 채널 기둥들(CH)은 게이트 적층물(GS)을 z축 방향으로 관통하여 기판(101)까지 연장될 수 있다. 설명의 편의상 도시되지 않았으나, 도 3을 참조하여 설명한 더미 기둥들(DCH)이 연결 영역(CT)에서 각 계단층들(ST)의 끝단에 인접하도록 배치되고 채널

기둥들(CH)과 평행한 방향으로 기판(101)까지 연장될 수 있다(도 6 참조). 게이트 적층물(GS)을 이루는 복수의 게이트 전극층들(132a, 132b)에 전기적인 신호를 인가하기 위해, 각각의 게이트 전극층들(132a, 132b)마다 z축 방향으로 연장되는 복수의 콘택 플러그들(171a, 171b)이 배치될 수 있다. 셀 어레이 영역(CA)으로부터 멀어질수록 콘택 플러그들(171a, 171b)이 z축 방향으로 연장되는 길이도 길어질 수 있다. 콘택 플러그들(171)은 분리된 최상부의 게이트 전극층(133) 각각에 연결될 수 있다. 제1 콘택 플러그들(171a)은 제1 패드 영역들(Pa)에 배치되어 제1 게이트 전극층들(132a)에 전기적으로 연결될 수 있고, 제2 콘택 플러그들(171b)은 제2 패드 영역들(Pb)에 배치되어 제2 게이트 전극층들(132b)에 전기적으로 연결될 수 있다. 도 5에서 콘택 플러그들(171a, 171b)은 x축 방향을 따라 2열로 배치되고, 각각의 패드 영역(Pa, Pb)에 하나의 콘택 플러그(171a, 171b)가 배치되는 것으로 도시되어 있으나, 콘택 플러그들(171a, 171b)의 배치는 이에 한정되지 않는다.

[0064] 도 8 및 도 9를 참조하면, 층간 절연층(175)을 z축 방향으로 관통하는 콘택 플러그들(171, 171a, 171b)이 게이트 전극층들(132a, 132b, 133)에 접속될 수 있다. 제1 패드 영역들(Pa)에서 제1 콘택 플러그들(171a)이 층간 절연층(175) 및 제1 절연층(123a)을 관통하여 제1 게이트 전극층들(132a)에 접속될 수 있다. 제2 패드 영역들(Pb)에서 제2 콘택 플러그들(171b)이 층간 절연층(175) 및 제2 절연층(123b)을 관통하여 제2 게이트 전극층들(132b)에 접속될 수 있다. 콘택 플러그들(171)은 층간 절연층(175) 및 절연층(124)을 관통하여 분리 절연패턴(SC)에 의해 분리된 최상부의 게이트 전극층(133) 각각에 연결될 수 있다. 콘택 플러그들(171)은 도전 물질로 이루어질 수 있고, 예를 들어, 상기 도전 물질은 텅스텐을 포함할 수 있다.

[0065] 도 6은 도 3의 I-I' 선을 따라 절단한 단면도이고, 도 7은 도 6의 'A' 영역을 확대하여 나타낸 도면이다.

[0066] 도 6 및 도 7을 참조하면, 셀 어레이 영역(CA)에는 복수의 게이트 전극층(132a, 132b)과 복수의 절연층(123a, 123b) 이외에 기판(101)의 상면에 수직인 z축 방향으로 연장되며 게이트 적층물(도 3의 GS)을 관통하는 복수의 채널 기둥들(CH)이 배치되고, 연결 영역(CT)에는 채널 기둥들(CH)과 동일한 z축 방향으로 연장되는 복수의 더미 기둥들(DCH)이 배치될 수 있다. 더미 기둥들(DCH)은 게이트 적층물(GS)의 상기 제1 계단 구조를 이루는 각 계단 층들(ST)의 끝단에 인접하도록 배치될 수 있다. 채널 기둥들(CH)과 더미 기둥들(DCH)은 동일한 구조를 가지므로, 도 7에 도시된 더미 기둥들(DCH)의 구조는 채널 기둥들(CH)에 대해서도 동일하게 적용될 수 있다.

[0067] 채널 기둥들(CH) 및 더미 기둥들(DCH)은 하부에 에피택셜층(151)을 포함할 수 있다. 에피택셜층(151)은 기판(101)의 리세스 영역에 형성될 수 있다. 에피택셜층(151)은 선택적 에피택시 공정(Selective Epitaxial Growth, SEG)을 이용하여 형성된 층일 수 있다. 에피택셜층(151)은 단일층 또는 복수의 층으로 이루어질 수 있다. 에피택셜층(151)은 불순물이 도핑되거나 또는 도핑되지 않은 다결정 실리콘, 단결정 실리콘, 다결정 게르마늄 혹은 단결정 게르마늄을 포함할 수 있다. 예를 들어, 기판(101)이 단결정 실리콘(Si)인 경우, 에피택셜층(151)도 단결정 실리콘일 수 있다.

[0068] 셀 어레이 영역(CA)에서 채널 기둥들(CH)의 하부에 배치되는 에피택셜층(151)의 상면의 높이는 상기 게이트 적층물(GS)의 최하부의 게이트 전극층(132a)의 상면의 높이보다 높게 형성되는 것이 바람직하다. 왜냐하면, 최하부의 게이트 전극층(132a)은 접지 선택 라인(도 2의 GSL)으로 기능하는 데, 에피택셜층(151)의 측면과 최하부의 게이트 전극층(132a) 사이에 형성된 산화층(153)은 접지 선택 트랜지스터(도 2의 GST)의 게이트 유전층으로서 이용되기 때문이다. 에피택셜층(151)은 채널 기둥들(CH)의 중횡비가 증가하여도 채널 기둥들(CH)이 기판(101)과 안정적으로 전기적으로 연결될 수 있도록 하며, 또한, 채널 기둥들(CH) 하부의 접지 선택 트랜지스터(GST)의 특성이 균일해질 수 있도록 한다. 마찬가지로, 연결 영역(CT)에서 더미 기둥들(DCH)의 하부에 배치되는 에피택셜층(151)의 상면의 높이(He)도 상기 게이트 적층물(GS)의 최하부의 게이트 전극층(132a)의 상면의 높이(Hg)보다 높게 형성되는 것이 바람직하다. 채널 기둥들(CH)과 더미 기둥들(DCH)은 접지 선택 라인으로서 기능하는 최하부의 게이트 전극층(132a)을 공유하고 있으므로, 채널 기둥들(CH) 하부의 접지 선택 트랜지스터들(GST)을 동작시키기 위해 접지 선택 라인에 전압이 걸리는 상태에서 더미 기둥들(DCH) 하부의 더미 트랜지스터에도 동일한 전압이 걸리게 된다. 따라서, 더미 기둥들(DCH)의 하부에 배치되는 에피택셜층(151)의 상면의 높이(He)가 상기 게이트 적층물(GS)의 최하부의 게이트 전극층(132a)의 상면의 높이(Hg)보다 낮게 형성되는 경우에는, 상기 더미 트랜지스터들의 게이트 유전층으로서 이용되는 산화층(153)이 제대로 형성되지 않아, 메모리 장치의 신뢰성이 저하되는 문제가 발생할 수 있다. 본 명세서에서는, 더미 기둥들(DCH)의 하부에도 형성되는 접지 선택 트랜지스터(GST)와 동일한 구조의 트랜지스터를 더미 트랜지스터라고 지칭한다.

[0069] 그런데, 채널 기둥들(CH) 및 더미 기둥들(DCH)의 제조 공정에 의하면, 에피택셜층(151)의 상면의 높이(He)는 셀 어레이 영역(CA)으로부터 멀어질수록 점점 낮아지는 경향이 있다. 한편, 기판(101) 상에 적층되는 게이트 전극

층들(132a, 132b)의 층수가 늘어남에 따라, 연결 영역(CT)에서 상기 계단 구조의 전체 길이도 길어지게 된다. 예를 들어, 각 계단층들이 하나의 게이트 전극층을 포함하도록 형성되는 종래의 계단 구조에서, 게이트 전극층들(132a, 132b)이 60층 이상 적층됨에 따라 연결 영역(CT)에서 상기 계단 구조의 전체 길이가 28 μm를 넘게 될 수 있다. 이와 같은 경우에, 연결 영역(CT)의 끝부분에서 에피텍셀층(151)의 상면의 높이(He)가 최하부의 게이트 전극층(132a)의 상면의 높이(Hg)보다 낮게 형성되는 문제가 생길 수 있다. 따라서, 연결 영역(CT)의 끝부분에서 더미 기둥들(DCH)의 하부에 위치한 에피텍셀층(151)의 상면의 높이(He)가 최하부의 게이트 전극층(132a)의 상면의 높이(Hg)보다 높게 형성되도록 하기 위해서는, 게이트 전극층들이 60층 이상 적층되어 셀 어레이 영역(CA)에서 게이트 적층물(GS)의 전체 높이가 3.5 μm 이상 되는 경우에도 연결 영역(CT)에서의 상기 계단 구조의 전체 길이가 28 μm 이하가 되도록 조절하는 것이 바람직하다. 본 발명에서는 상기와 같은 문제를 해결하기 위해, 아래와 같은 구조적인 설계 조건(design rule)을 제안한다. 셀 어레이 영역(CA)에서 게이트 적층물(GS)의 전체 높이가 3.5 μm 내지 10 μm 범위인 경우에, 연결 영역(CT)에서 상기 계단 구조의 전체 길이(L)가 10 μm 내지 28 μm 범위로 형성되는 것이 바람직하다.

[0070] 이하에서 셀 어레이 영역(CA)로부터 멀어짐에 따라 채널 기둥들(CH) 및 더미 기둥들(DCH)의 하부에서 에피텍셀층들(151)의 높이가 감소하는 현상에 대해 설명한다.

[0071] 채널 기둥들(CH)과 더미 기둥들(DCH)을 형성하는 공정은 하나의 공정 단계에 의해 동시에 이루어질 수 있다.

[0072] 먼저, 기판(101) 상에 교대로 적층된 절연층들과 희생층들 상에 소정의 마스크층을 형성하고, 상기 마스크층을 트리밍(trimming)하면서 상기 마스크층에 의해 노출된 희생층들 및 절연층들을 이방성 식각하는 공정을 복수 회 수행함으로써, 몰드 구조물이 형성될 수 있다. 예를 들어, 복수의 절연층들은 실리콘 산화막이고, 상기 희생층들은 실리콘 질화막일 수 있다. 상기 몰드 구조물은 연결 영역(CT)에서 도 4에 도시된 게이트 적층물(GS)과 동일한 계단 구조를 가진다. 즉, 상기 몰드 구조물은 도 4를 참조하여 설명한 게이트 적층물(GS)의 구조에서 게이트 전극층들(132a, 132b, 133) 대신에 상기 희생층들이 배치된 구조라 할 수 있다. 실제로 후속의 공정에서 상기 희생층들이 게이트 전극층들(132a, 132b, 133)로 대체되어 게이트 적층물(GS)이 형성된다.

[0073] 다음으로, 상기 몰드 구조물을 덮는 층간 절연층(도 6의 175)이 형성된다. 층간 절연층(175) 및 상기 몰드 구조물을 이방성 식각함으로써, 채널 기둥들(CH) 및 더미 기둥들(DCH)이 형성될 위치에 먼저 개구부들이 형성될 수 있다. 이때, 채널 기둥들(CH)을 형성하기 위한 상기 개구부들은 더미 기둥들(DCH)을 형성하기 위한 상기 개구부들에 비해 조밀하게 형성된다(도 3 참조). 상기 개구부들을 통해 드러난 기판(101) 상에는 소정의 깊이를 가지는 리세스 영역들이 형성될 수 있다.

[0074] 다음으로, 상기 개구부를 통해 드러난 기판(101) 상의 상기 리세스 영역들에 에피텍셀층(151)이 형성될 수 있다. 에피텍셀층(151)을 형성하기 전에, 층간 절연층(175)로부터 아웃개싱(outgassing)되는 가스들을 배출시키기 위해, 베이킹(bake) 공정이 수행될 수 있다. 셀 어레이 영역(CA)으로부터 멀어질수록 층간 절연층(175)의 두께는 점점 두꺼워지기 때문에, 층간 절연층(175)로부터 아웃개싱되는 가스들의 양도 증가한다. 더불어, 셀 어레이 영역(CA)으로부터 멀어질수록 아웃개싱되는 가스들의 배출통로로 작용할 수 있는 상기 개구부들의 개수가 적기 때문에, 연결 영역(CT)의 끝부분으로 갈수록 상기 베이킹 공정 동안에 층간 절연층(175)으로부터 아웃개싱되는 가스들의 배출이 점점 용이하지 않을 수 있다. 연결 영역(CT)의 끝부분에서 층간 절연층(175) 내에 잔류하는 가스들이 후속의 에피텍셀층(151)을 형성하기 위한 공정 동안에 아웃개싱되어 소스 가스들의 유입을 방해할 수 있고, 이로 인해 연결 영역(CT)의 끝부분에 위치하는 상기 개구부들 내에서 에피텍셀층(151)의 성장이 저하될 수 있다.

[0075] 메모리 용량을 증가시키기 위해 기판(101) 상에 적층되는 절연층들과 희생층들의 개수가 늘어남에 따라, 즉 상기 몰드 구조의 높이가 증가함에 따라, 연결 영역(CT)의 끝부분에 형성되는 층간 절연층(175)의 높이도 점점 높아지게 된다. 층간 절연층(175)의 높이가 높아질수록 아웃개싱되는 가스들에 의한 영향이 커지게 되어, 연결 영역(CT)의 끝부분에서 에피텍셀층(151)의 높이가 최하부의 게이트 전극층(132a)의 상면의 높이보다 낮게 되는 문제가 생길 수 있다. 이러한 문제는 상기 몰드 구조물에 구비되는 계단 구조의 전체 길이가 28 μm를 넘는 경우에 심각해질 수 있다.

[0076] 따라서, 연결 영역(CT)의 끝부분에서 이러한 에피텍셀층(151)의 성장 저하 문제를 해결하기 위해, 상기 몰드 구조물에 구비되는 계단 구조의 전체 길이가 28 μm 이하가 되도록 조절하는 것이 필요하다.

- [0077] 도 7을 다시 참조하면, 더미 기둥들(DCH)은 에피택셜층(151) 상에 형성된 채널 영역(155), 게이트 유전층(160), 매립 절연층(181) 및 도전층(185)을 포함할 수 있다. 셀 어레이 영역에 배치되는 채널 기둥들(CH)은 더미 기둥들(DCH)와 동일한 구조를 가질 수 있으므로, 이하 더미 기둥들(DCH)에 대한 설명은 채널 기둥들(CH)에 동일하게 적용될 수 있다.
- [0078] 채널 영역(155)은 원형의 단면을 갖는 개구부 내에 형성될 수 있으며, 가운데가 비어 있는 환형의 채널 영역(155) 내부에 매립 절연층(181)이 마련될 수도 있다. 채널 영역(155) 상에는 도전층(185)이 마련될 수 있으며, 도전층(185)을 통해 채널 영역(155)은 비트 라인과 서로 연결될 수 있다. 채널 영역(155)은 다결정 실리콘 또는 단결정 실리콘과 같은 반도체 물질을 포함할 수 있으며, 상기 반도체 물질은 도핑되지 않은 물질이거나, p형 또는 n형 불순물을 포함하는 물질일 수 있다.
- [0079] 채널 영역(155)과 게이트 전극층(132a, 132b) 사이에는 게이트 유전층(160)이 배치될 수 있다. 게이트 유전층(160)은 채널 영역(155)으로부터 순차적으로 적층된 터널링층, 전하 저장층 및 블로킹층을 포함할 수 있다. 도 7에 도시된 실시예에서, 게이트 유전층(160)이 채널 영역(155)과 평행하게 z축 방향으로 연장되도록 채널 영역(155)의 외측에 배치될 수 있다. 이와 달리, 실시예에 따라 게이트 유전층(160)이 게이트 전극층(132a, 132b)을 둘러싸는 형태로 배치되거나, 게이트 유전층(160)을 이루는 일부 층은 채널 영역(110)과 평행하게 z축 방향으로 연장되어 채널 영역(110)의 외측에 배치되고, 나머지 층은 게이트 전극층(132a, 132b)을 둘러싸도록 배치될 수 있다.
- [0080] 터널링층은 예를 들어, 실리콘 산화물( $\text{SiO}_2$ )으로 이루어질 수 있다.
- [0081] 전하 저장층은 전하 트랩층 또는 플로팅 게이트 도전층일 수 있다. 예를 들어, 전하 저장층은 유전 물질, 양자 도트(quantum dots) 또는 나노 크리스탈(nanocrystals)을 포함할 수 있다. 여기서, 상기 양자 도트 또는 나노 크리스탈은 도전체, 예를 들면 금속 또는 반도체의 미세 입자들로 구성될 수 있다. 전하 저장층이 전하 트랩층인 경우, 전하 저장층은 실리콘 질화물로 이루어질 수 있다.
- [0082] 블로킹층은 실리콘 산화물( $\text{SiO}_2$ ), 실리콘 질화물( $\text{Si}_3\text{N}_4$ ), 실리콘 산질화물( $\text{SiON}$ ), 고유전을 유전 물질을 포함할 수 있다. 상기 고유전을 유전 물질은, 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ), 탄탈륨 산화물( $\text{Ta}_2\text{O}_5$ ), 티타늄 산화물( $\text{TiO}_2$ ), 이트륨 산화물( $\text{Y}_2\text{O}_3$ ), 지르코늄 산화물( $\text{ZrO}_2$ ), 지르코늄 실리콘 산화물( $\text{ZrSi}_x\text{O}_y$ ), 하프늄 산화물( $\text{HfO}_2$ ), 하프늄 실리콘 산화물( $\text{HfSi}_x\text{O}_y$ ), 란탄 산화물( $\text{La}_2\text{O}_3$ ), 란탄 알루미늄 산화물( $\text{LaAl}_x\text{O}_y$ ), 란탄 하프늄 산화물( $\text{LaHf}_x\text{O}_y$ ), 하프늄 알루미늄 산화물( $\text{HfAl}_x\text{O}_y$ ), 및 프라세오디뮴 산화물( $\text{Pr}_2\text{O}_3$ ) 중 어느 하나일 수 있다. 한편, 선택적으로 블로킹층은 서로 다른 유전율을 갖는 복수의 층을 포함할 수 있다. 이때, 상대적으로 유전율이 낮은 물질층이 상기 전하 저장층에 인접하게 배치될 수 있다.
- [0083] 도 10 및 도 11은 본 발명의 일 실시예에 따른 수직형 메모리 장치의 개략적인 사시도들이다. 도 10과 도 11은 본 발명의 일 실시예에 따른 게이트 적층물(GS)의 배치를 설명하기 위한 도면들이다.
- [0084] 도 10을 참조하면, 일 실시예에서 상기 수직형 메모리 장치는 복수의 게이트 적층물들(GS)을 포함할 수 있다. 각각의 게이트 적층물(GS)에서 제1 패드 영역(Pa)이 서로 동일한 위치에 배치되도록 도 4에 도시된 게이트 적층물(GS)과 동일한 구조를 가지는 게이트 적층물들(GS)이 y축 방향으로 서로 이격되어 반복적으로 배치될 수 있다.
- [0085] 도 11을 참조하면, 일 실시예에서 상기 수직형 메모리 장치는 복수의 게이트 적층물들(GS)을 포함할 수 있다. 도 10과 달리, 제1 패드 영역(Pa)이 이웃하는 게이트 적층물들(GS) 사이의 가상의 선을 중심으로 서로 대칭되는 위치에 배치되도록 게이트 적층물들(GS)은 y축 방향으로 서로 이격되어 배치될 수 있다. 즉, 서로 이웃하게 배치된 게이트 적층물들(GS) 사이에서 제1 패드 영역(Pa)들이 서로 마주보거나 제2 패드 영역들(Pb)이 서로 마주보도록 게이트 적층물들(GS)이 배치될 수 있다.
- [0086] 도 12는 본 발명의 일 실시예에 따른 수직형 메모리 장치의 개략적인 평면도이다. 도 12에 도시된 수직형 메모리 장치는 도 3에 도시된 수직형 메모리 장치에 비해 패드 영역 및 콘택 플러그의 구조가 상이한 구조를 가지고 있으므로, 반복되는 부분은 간략히 설명한다.

- [0087] 도 12을 참조하면, 일 실시예에 따른 수직형 메모리 장치는 메모리 셀들이 형성되는 셀 어레이 영역(CA)과 상기 메모리 셀들을 배선과 연결하기 위한 연결 영역(CT)을 포함한다.
- [0088] 상기 수직형 메모리 장치는 공통 소스라인(180)에 의해 y축 방향으로 서로 분리되는 복수의 게이트 적층물(GS)들을 포함할 수 있다. 게이트 적층물(GS)은 기판 상에 번갈아 적층된 복수의 게이트 전극층들과 복수의 절연층들을 포함할 수 있다. 공통 소스라인(180)은 셀 어레이 영역(CA) 및 연결 영역(CT)에서 연속적으로 연장될 수 있다.
- [0089] 셀 어레이 영역(CA)에는 게이트 적층물(GS)을 관통하는 복수의 채널 기둥들(CH)이 배치되고, 연결 영역(CT)에는 복수의 콘택 플러그들(271, 271a, 271b)와 복수의 더미 기둥들(DCH)이 배치될 수 있다.
- [0090] 게이트 적층물(GS)은 x축 방향으로 연장되며 연결 영역(CT)에서 복수의 계단층들(ST)로 이루어지는 계단 구조를 형성할 수 있다. 상기 계단 구조는 상기 복수의 게이트 전극층들(132a, 132b, 133)과 상기 복수의 절연층들(121, 123a, 123b, 124)이 셀 어레이 영역(CA)으로부터 서로 다른 길이로 x축 방향으로 연장되어 형성될 수 있다. 각 계단층(ST)은 패드 영역들(P')을 제공할 수 있다. 패드 영역(P')에는 제1 콘택 플러그(271a) 및 제2 콘택 플러그(271b)가 배치될 수 있다. 도 3에 도시된 실시예와 달리, 본 실시예에서는 각 계단층(ST)는 하나의 패드 영역(P')을 제공하고, 하나의 패드 영역(P')에 제1 및 제2 콘택 플러그(271a, 271b)가 배치되는 구조이다. 제1 및 제2 콘택 플러그(271a, 271b)의 외주면은 플러그 절연층(273)에 의해 둘러싸일 수 있다.
- [0091] 도 13은 본 발명의 일 실시예에 따른 수직형 메모리 장치의 구조를 나타내는 사시도이다. 도 13은 하나의 게이트 적층물(GS')의 구조를 설명하기 위한 도면으로서, 도 12에 도시된 구성 요소 중 일부가 생략되어 도시된다. 예를 들어, 더미 기둥들(DCH)이 도 13에서 생략되었다. 도 15은 도 12의 V-V' 선을 따라 절단한 단면도이고, 도 16는 도 12의 VI-VI' 선을 따라 절단한 단면도이다.
- [0092] 도 13, 도 15 및 도 16을 함께 참조하면, 본 실시예에 따른 게이트 적층물(GS')는 셀 어레이 영역(CA)에서 x축 방향을 따라 9열로 배치된 복수의 채널 기둥들(CH)을 가질 수 있고, 게이트 적층물(GS)을 z축 방향으로 관통하여 기판(101)까지 연장될 수 있다. 또한, 게이트 적층물(GS')은 연결 영역(CT)에서 복수의 패드 영역들(P')을 제공하는 계단 구조를 구비할 수 있다. 상기 계단 구조는 도 4에 도시된 제2 계단 구조가 형성되지 않은 구조이다. 상기 계단 구조는 복수 개의 계단층(ST')으로 이루어지는데, 각 계단층(ST')은 2 개의 게이트 전극층들(132a, 132b)을 포함할 수 있고, 하나의 패드 영역(P')을 제공한다. 게이트 적층물(GS')을 이루는 복수의 게이트 전극층들(132a, 132b)에 전기적인 신호를 인가하기 위해, 각각의 게이트 전극층들(132a, 132b)마다 z축 방향으로 연장되는 복수의 콘택 플러그들(271, 271a, 271b)이 배치될 수 있다. 셀 어레이 영역(CA)으로부터 멀어질수록 콘택 플러그들(271, 271a, 271b)이 z축 방향으로 연장되는 길이도 길어질 수 있다. 콘택 플러그들(271)은 분리된 최상부의 게이트 전극층(133) 각각에 연결될 수 있다. 제1 및 제2 콘택 플러그들(271a, 271b)은 동일한 패드 영역(P')에 배치되지만, 제1 콘택 플러그들(271a)은 제2 게이트 전극층들(132b)을 관통하여 제1 게이트 전극층들(132a)에 접속될 수 있고, 제2 콘택 플러그들(271b)은 제2 게이트 전극층들(132b)에 접속될 수 있다. 제1 콘택 플러그(271a)가 제2 게이트 전극층(132b)과 전기적으로 절연되어야 하기 때문에, 제1 콘택 플러그(271a)의 외주면을 둘러싸도록 플러그 절연층(273)이 배치될 수 있다. 플러그 절연층(273)은 제2 콘택 플러그(271b)의 외주면에도 배치될 수 있다. 도 13에서 제1 및 제2 콘택 플러그들(271a, 271b)은 x축 방향을 따라 2열로 배치되고, 각 패드 영역에서 제1 게이트 전극층(132a)에 하나의 제1 콘택 플러그(271a)가 접속되고, 제2 게이트 전극층(132b)에 하나의 제2 콘택 플러그(271b)가 접속되는 것으로 도시되어 있으나, 이에 한정되지 않는다. 예를 들어, 각 패드 영역에서 제1 게이트 전극층(132a)에 복수 개의 제1 콘택 플러그(271a)가 접속되고, 제2 게이트 전극층(132b)에 복수 개의 제2 콘택 플러그(271b)가 접속될 수 있다.
- [0093] 도 14는 도 12의 IV-IV' 선을 따라 절단한 단면도이다. 도 6 및 도 7을 참조하여 설명한 채널 기둥들(CH) 및 더미 기둥들(DCH)에 대한 설명들이 그대로 적용될 수 있다. 다만, 도 13을 참조하여 설명한 바와 같이, 패드 영역들(P')을 제공하는 계단 구조의 형상이 차이가 있을 뿐이다.
- [0094] 본 발명의 일 실시예에 따라, 연결 영역(CT)에서 게이트 적층물(GS)이 각 계단층들이 2개의 게이트 전극층을 포

함하는 상기와 같은 계단 구조를 가지도록 함으로써, 각 계단층들이 하나의 게이트 전극층을 포함하도록 형성된 종래의 계단 구조에 비해, 패드 영역들을 제공하기 위한 계단 구조의 전체 길이(L)를 1/2 수준으로 짧게 만들 수 있다.

- [0095] 일 실시예에서, 연결 영역(CT)에서 상기 계단 구조를 이루는 각 계단층이 3개의 게이트 전극층을 포함하도록 형성되고, 각 계단층에는 각각의 게이트 전극층에 연결되는 3개의 콘택 플러그들이 형성될 수 있다. 이러한 방식으로, 연결 영역(CT)에서 상기 계단 구조는 하나의 계단층에 4개 이상의 게이트 전극층들을 포함되는 구조로 변형될 수 있다.
- [0096] 본 발명의 실시예들에 따르면, 연결 영역(CT)에서 복수의 패드 영역들을 제공하기 위한 상기 제1 계단 구조의 전체 길이(L)를 획기적으로 줄일 수 있으므로, 기판(101) 상에 적층되는 게이트 전극층들의 층수가 증가되어 셀 어레이 영역(CA)에서 게이트 적층물(GS)의 전체 높이가 3.5  $\mu\text{m}$  내지 10  $\mu\text{m}$  범위인 경우에, 연결 영역(CT)에서 상기 제1 계단 구조의 전체 길이(L)가 10  $\mu\text{m}$  내지 28  $\mu\text{m}$  범위로 형성될 수 있다. 앞서 설명한 바와 같이, 이러한 구조적인 설계 조건(design rule)이 만족되는 경우, 셀 어레이 영역(CA)과 인접한 연결 영역(CT)에서 더미 기둥들(도 6의 DCH)의 하부에 배치되는 에피텍셀층의 두께 산포를 감소시킬 수 있고, 연결 영역(CT)의 끝부분에서 더미 기둥들(도 6의 DCH)의 하부에 배치되는 에피텍셀층(도 6의 151)의 높이가 최하부의 게이트 전극층(132a)의 상면의 높이보다 낮게 형성되는 문제를 개선할 수 있다.
- [0097] 도 18은 본 발명의 일 실시예에 따른 수직형 메모리 장치를 포함하는 저장 장치를 나타낸 블록도이다.
- [0098] 도 18을 참조하면, 일 실시예에 따른 저장 장치(1000)는 호스트(HOST)와 통신하는 컨트롤러(1010) 및 데이터를 저장하는 메모리(1020-1, 1020-2, 1020-3)를 포함할 수 있다. 각 메모리(1020-1, 1020-2, 1020-3)는, 상술한 것과 같은 본 발명의 실시예들에 따라 제조된 수직형 메모리 장치를 포함할 수 있다.
- [0099] 컨트롤러(1010)와 통신하는 호스트(HOST)는 저장 장치(1000)가 장착되는 다양한 전자 기기일 수 있으며, 예를 들어 스마트폰, 디지털 카메라, 데스크 톱, 랩톱, 미디어 플레이어 등일 수 있다. 컨트롤러(1010)는 호스트(HOST)에서 전달되는 데이터 쓰기 또는 읽기 요청을 수신하여 메모리(1020-1, 1020-2, 1020-3)에 데이터를 저장하거나, 메모리(1020-1, 1020-2, 1020-3)로부터 데이터를 인출하기 위한 명령(CMD)을 생성할 수 있다.
- [0100] 도 18에 도시한 바와 같이, 저장 장치(1000) 내에 하나 이상의 메모리(1020-1, 1020-2, 1020-3)가 컨트롤러(1010)에 병렬로 연결될 수 있다. 복수의 메모리(1020-1, 1020-2, 1020-3)를 컨트롤러(1010)에 병렬로 연결함으로써, SSD(Solid State Drive)와 같이 큰 용량을 갖는 저장 장치(1000)를 구현할 수 있다.
- [0101] 도 19는 본 발명의 일 실시예에 따른 수직형 메모리 장치를 포함하는 전자 기기를 나타낸 블록도이다.
- [0102] 도 19를 참조하면, 일 실시예에 따른 전자 기기(2000)는 통신부(2010), 입력부(2020), 출력부(2030), 메모리(2040) 및 프로세서(2050)를 포함할 수 있다.
- [0103] 통신부(2010)는 유/무선 통신 모듈을 포함할 수 있으며, 무선 인터넷 모듈, 근거리 통신 모듈, GPS 모듈, 이동통신 모듈 등을 포함할 수 있다. 통신부(2010)에 포함되는 유/무선 통신 모듈은 다양한 통신 표준 규격에 의해 외부 통신망과 연결되어 데이터를 송수신할 수 있다.
- [0104] 입력부(2020)는 사용자가 전자 기기(2000)의 동작을 제어하기 위해 제공되는 모듈로서, 기계식 스위치, 터치스크린, 음성 인식 모듈 등을 포함할 수 있다. 또한, 입력부(2020)는 트랙 볼 또는 레이저 포인터 방식 등으로 동작하는 마우스, 또는 평거 마우스 장치를 포함할 수도 있으며, 그 외에 사용자가 데이터를 입력할 수 있는 다양한 센서 모듈을 더 포함할 수도 있다.
- [0105] 출력부(2030)는 전자 기기(2000)에서 처리되는 정보를 음성 또는 영상의 형태로 출력하며, 메모리(2040)는 프로세서(2050)의 처리 및 제어를 위한 프로그램이나, 또는 데이터 등을 저장할 수 있다. 메모리(2040)는 상술한 것과 같은 본 발명의 실시예들에 따라 제조된 수직형 메모리 장치를 포함할 수 있다. 프로세서(2050)는 필요한 동작에 따라 메모리(2040)에 명령어를 전달하여 데이터를 저장 또는 인출할 수 있다.

- [0106] 메모리(2040)는 전자 기기(2000)에 내장되거나 또는 별도의 인터페이스를 통해 프로세서(2050)와 통신할 수 있다. 별도의 인터페이스를 통해 프로세서(2050)와 통신하는 경우, 프로세서(2050)는 SD, SDHC, SDXC, MICRO SD, USB 등과 같은 다양한 인터페이스 규격을 통해 메모리(2040)에 데이터를 저장하거나 또는 인출할 수 있다.
- [0107] 프로세서(2050)는 전자 기기(2000)에 포함되는 각부의 동작을 제어할 수 있다. 프로세서(2050)는 음성 통화, 화상 통화, 데이터 통신 등과 관련된 제어 및 처리를 수행하거나, 멀티미디어 재생 및 관리를 위한 제어 및 처리를 수행할 수도 있다. 또한, 프로세서(2050)는 입력부(2020)를 통해 사용자로부터 전달되는 입력을 처리하고 그 결과를 출력부(2030)를 통해 출력할 수 있다. 또한, 프로세서(2050)는 앞서 설명한 바와 같이 전자 기기(2000)의 동작을 제어하는데 있어서 필요한 데이터를 메모리(2040)에 저장하거나 메모리(2040)로부터 인출할 수 있다.
- [0108] 도 20은 본 발명의 일 실시예에 따른 수직형 메모리 장치를 포함하는 전자 시스템을 나타내는 개략도이다.
- [0109] 도 20을 참조하면, 전자 시스템(3000)은 제어기(3100), 입/출력 장치(3200), 메모리(3300) 및 인터페이스(3400)를 포함할 수 있다. 전자 시스템(3000)은 모바일 시스템 또는 정보를 전송하거나 전송받는 시스템일 수 있다. 상기 모바일 시스템은 PDA, 휴대용 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선 폰(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player) 또는 메모리 카드(memory card)일 수 있다.
- [0110] 제어기(3100)는 프로그램을 실행하고, 전자 시스템(3000)을 제어하는 역할을 할 수 있다. 제어기(3100)는, 예를 들어 마이크로프로세서(microprocessor), 디지털 신호 처리기(digital signal processor), 마이크로컨트롤러(microcontroller) 또는 이와 유사한 장치일 수 있다.
- [0111] 입/출력 장치(3200)는 전자 시스템(3000)의 데이터를 입력 또는 출력하는데 이용될 수 있다. 전자 시스템(3000)은 입/출력 장치(3200)를 이용하여 외부 장치, 예컨대 개인용 컴퓨터 또는 네트워크에 연결되어, 외부 장치와 서로 데이터를 교환할 수 있다. 입/출력 장치(3200)는, 예를 들어 키패드(keypad), 키보드(keyboard) 또는 표시장치(display)일 수 있다.
- [0112] 메모리(3300)는 제어기(3100)의 동작을 위한 코드 및/또는 데이터를 저장하거나, 및/또는 제어기(3100)에서 처리된 데이터를 저장할 수 있다. 메모리(3300)는 상술한 것과 같은 본 발명의 실시예들에 따라 제조된 수직형 메모리 장치를 포함할 수 있다.
- [0113] 인터페이스(3400)는 전자 시스템(3000)과 외부의 다른 장치 사이의 데이터 전송통로일 수 있다. 제어기(3100), 입/출력 장치(3200), 메모리(3300) 및 인터페이스(3400)는 버스(3500)를 통하여 서로 통신할 수 있다.
- [0114] 제어기(3100) 또는 메모리(3300) 중 적어도 하나는 상술한 것과 같은 반도체 장치를 하나 이상 포함할 수 있다.
- [0115] 본 발명은 상술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니며 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

**부호의 설명**

- [0116] 101: 기관
- GS: 게이트 적층물
- CH: 채널 기둥
- DCH: 더미 기둥
- 121, 123a, 123b, 124: 절연층
- 132a, 132b, 133: 게이트 전극층

151: 에피택셜층

155: 채널 영역

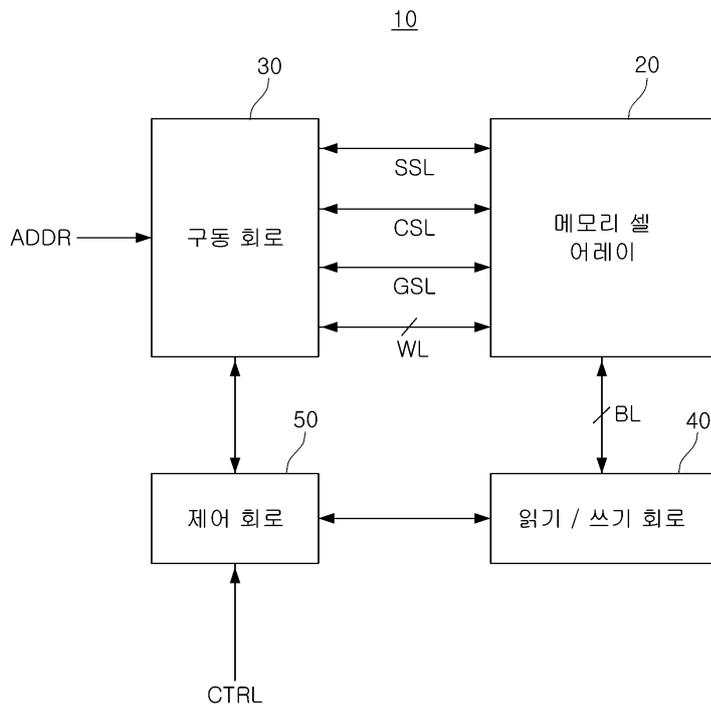
160: 게이트 유전층

171, 171a, 171b: 콘택 플러그

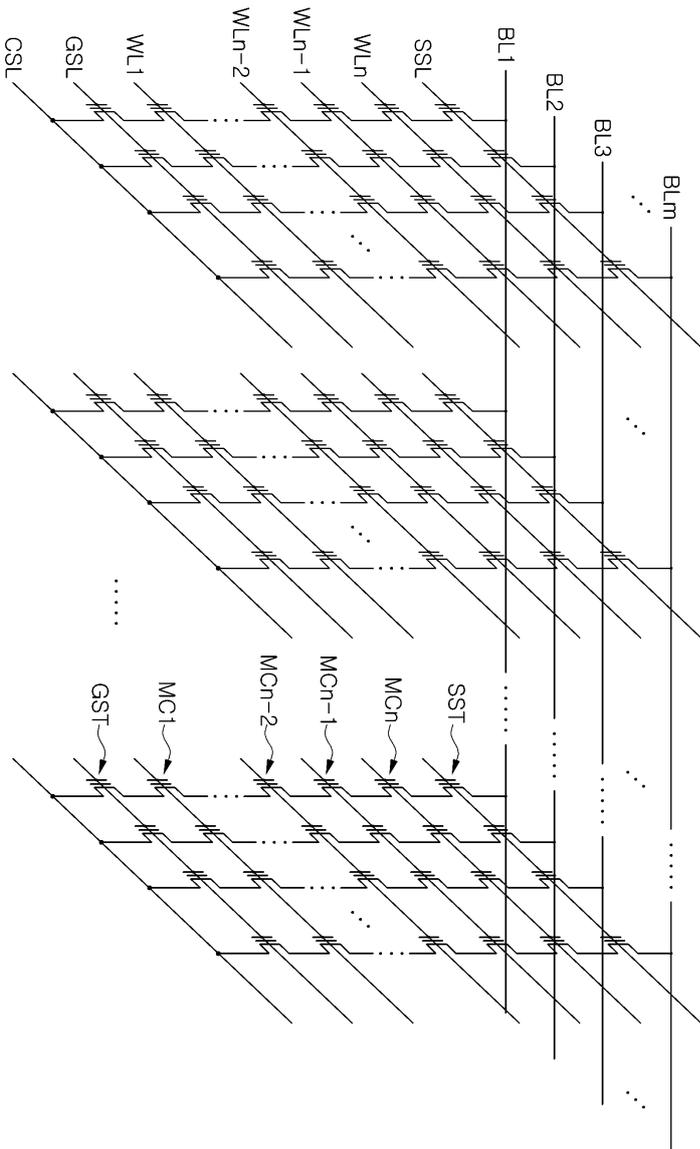
175: 층간 절연층

**도면**

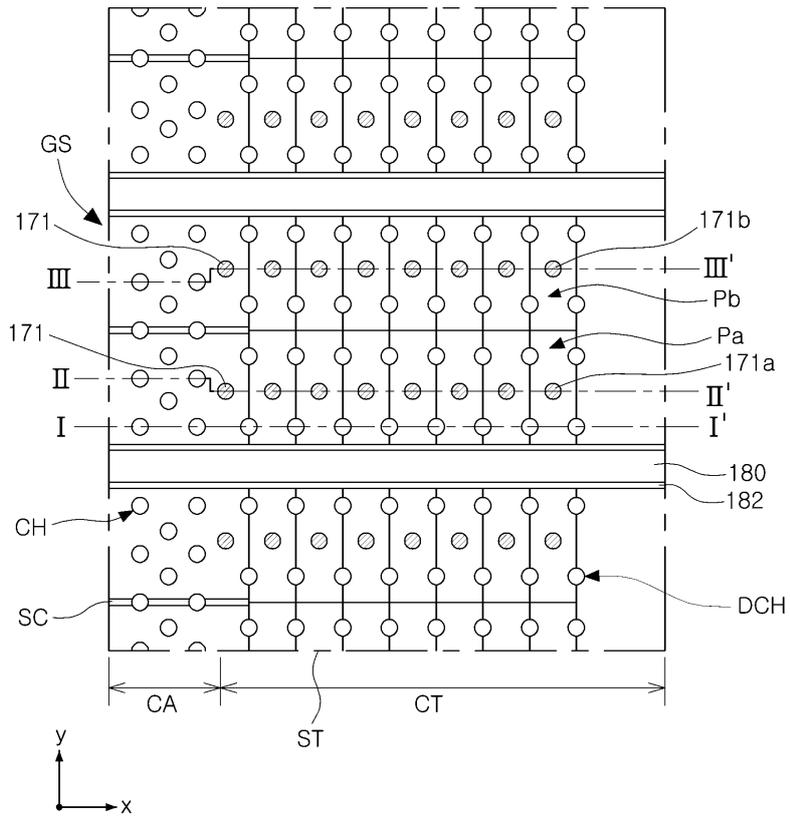
**도면1**



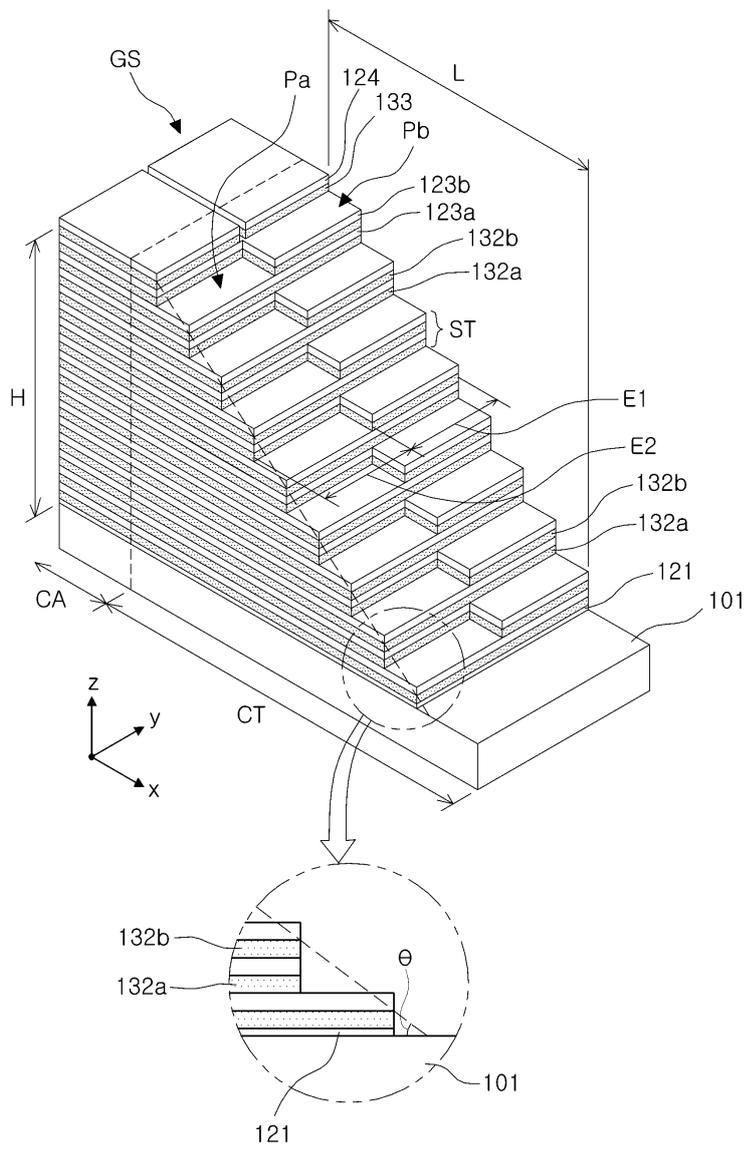
도면2



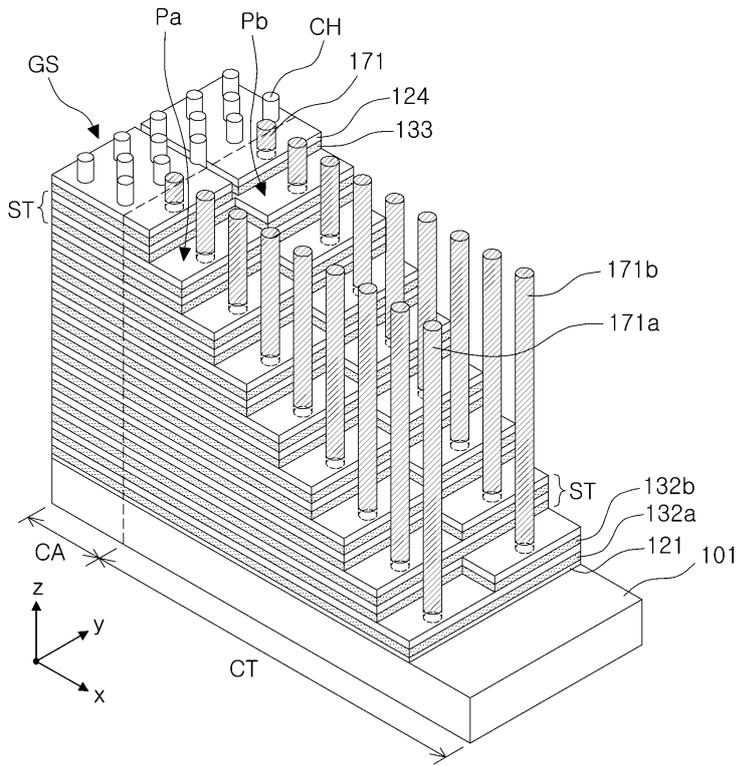
도면3



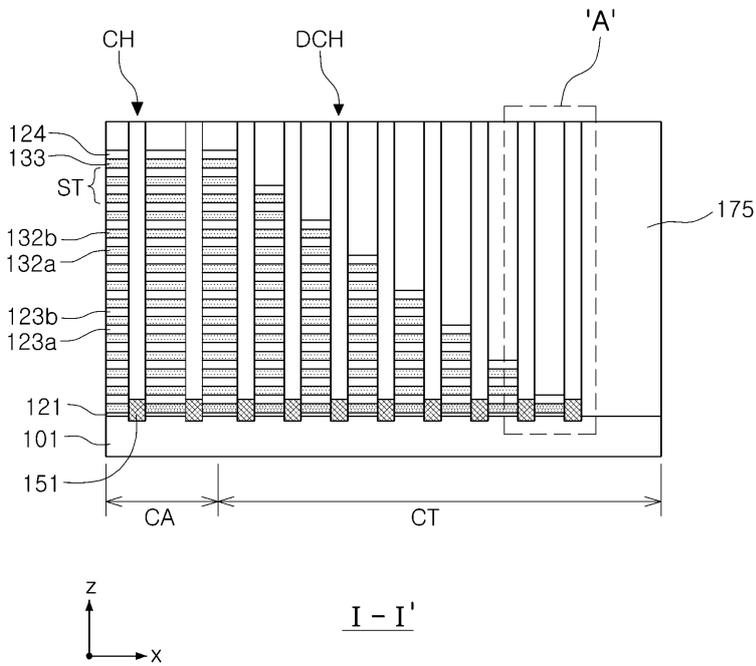
도면4



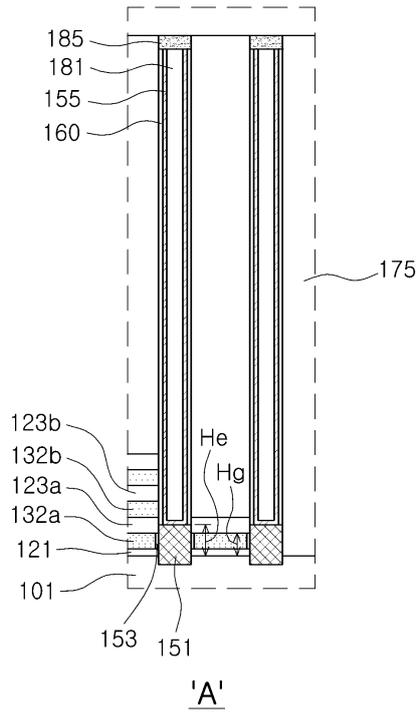
도면5



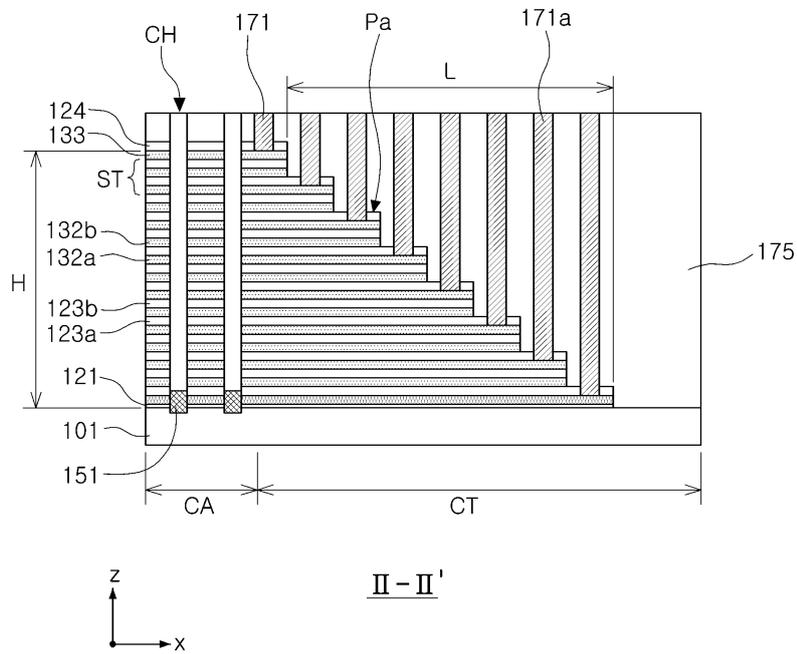
도면6



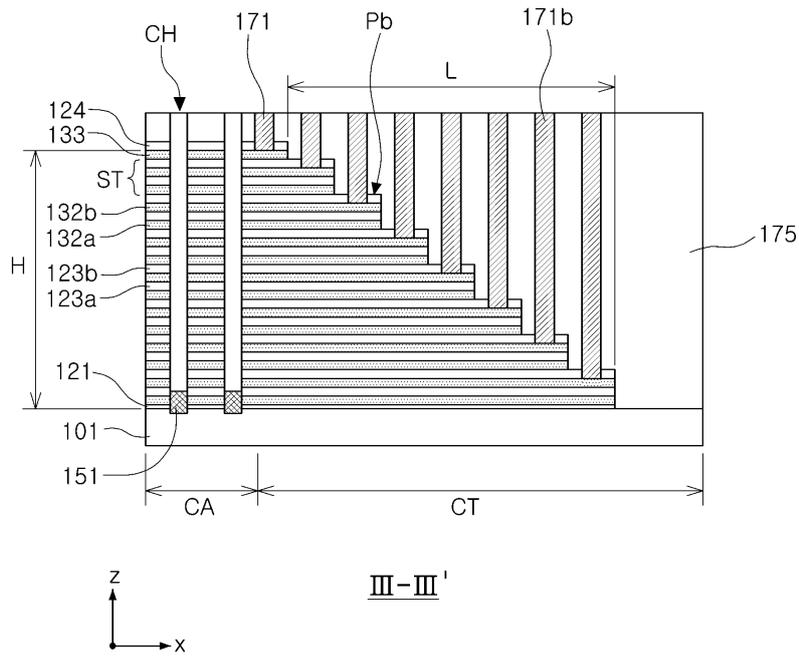
도면7



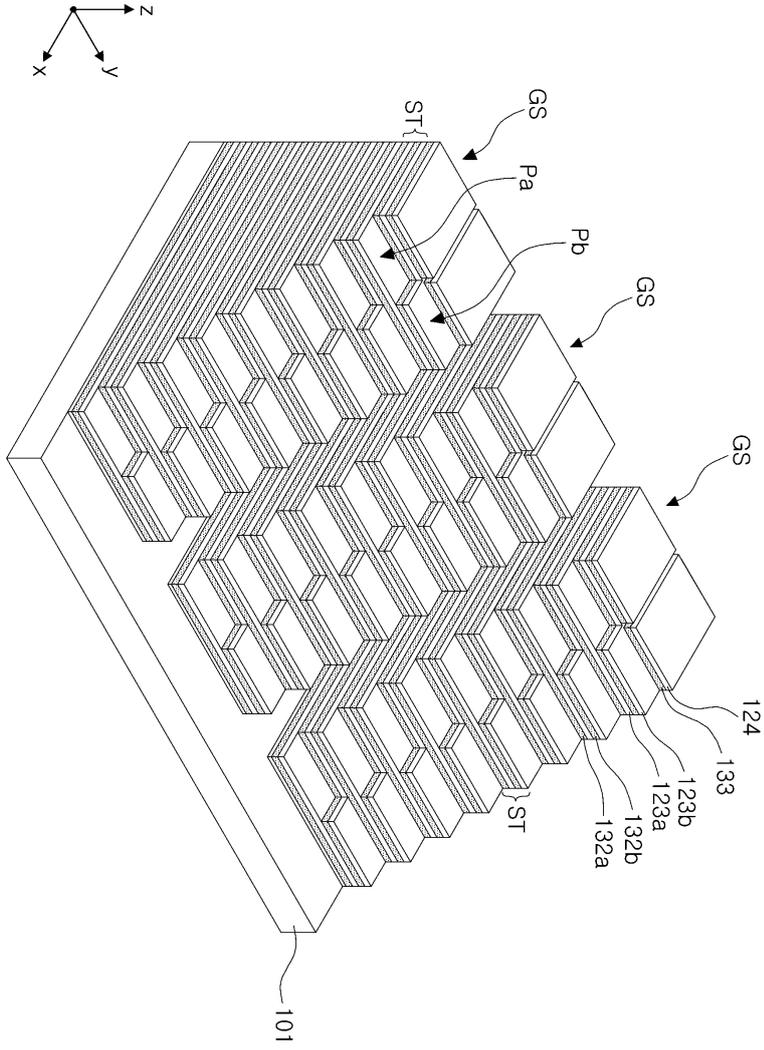
도면8



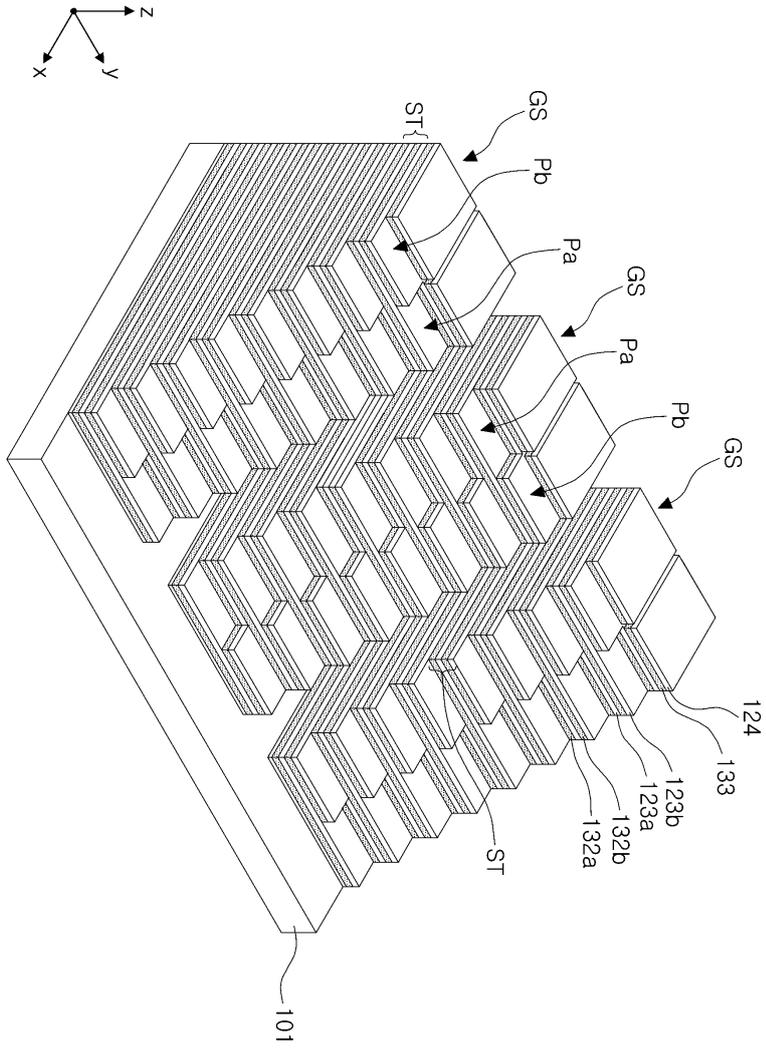
도면9



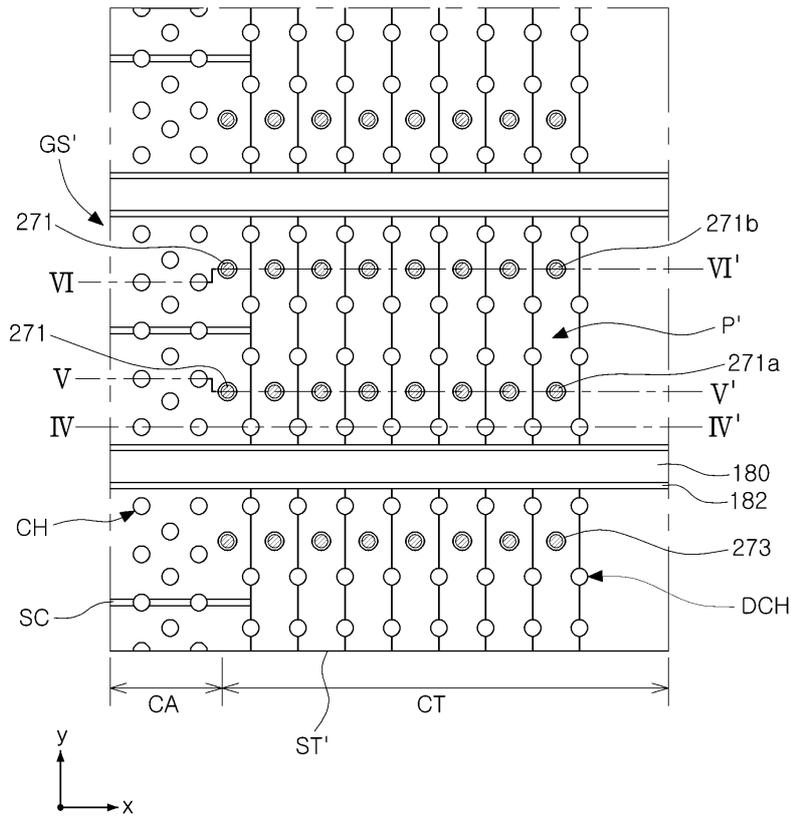
도면10



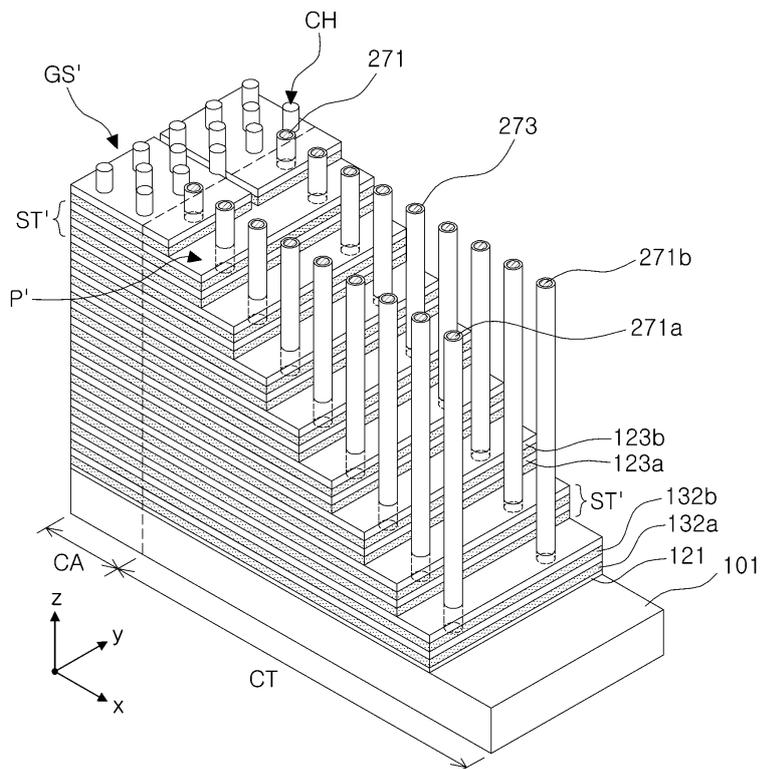
도면11



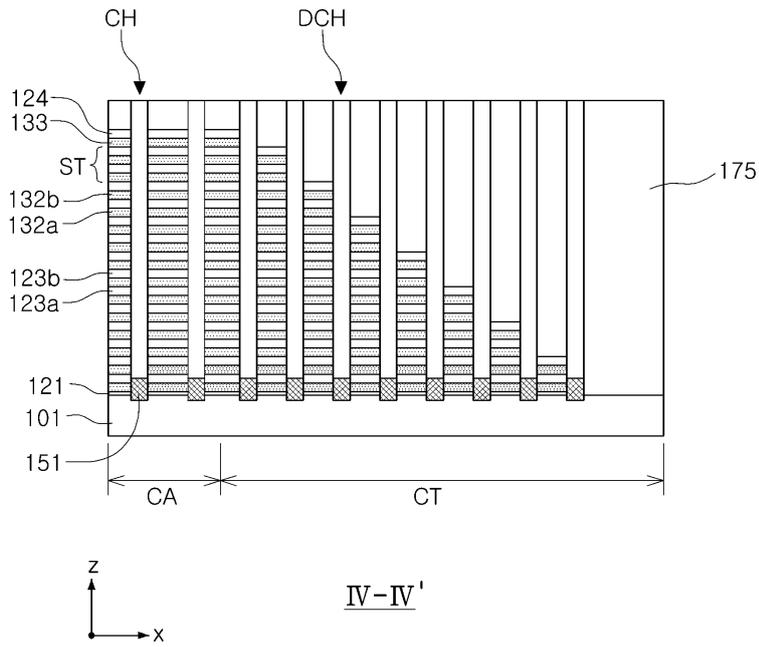
도면12



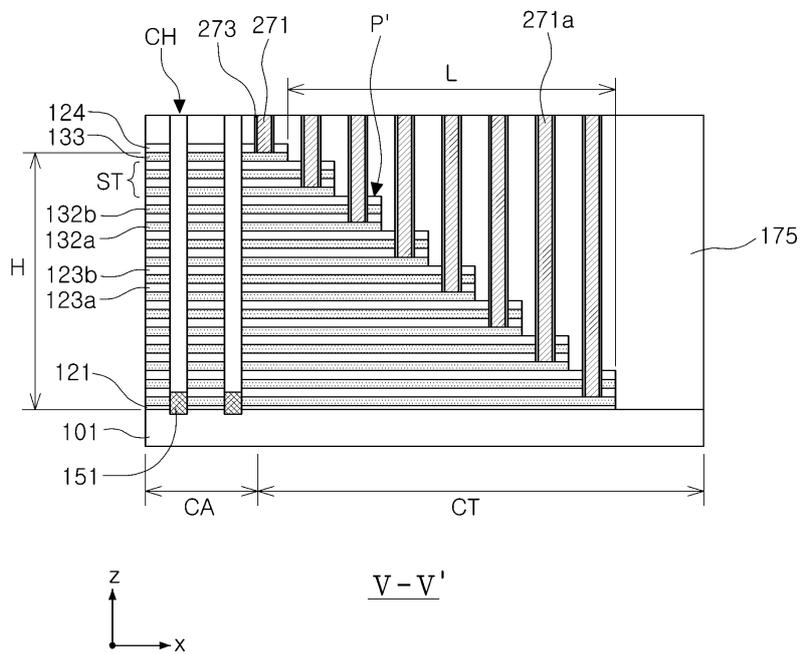
도면13



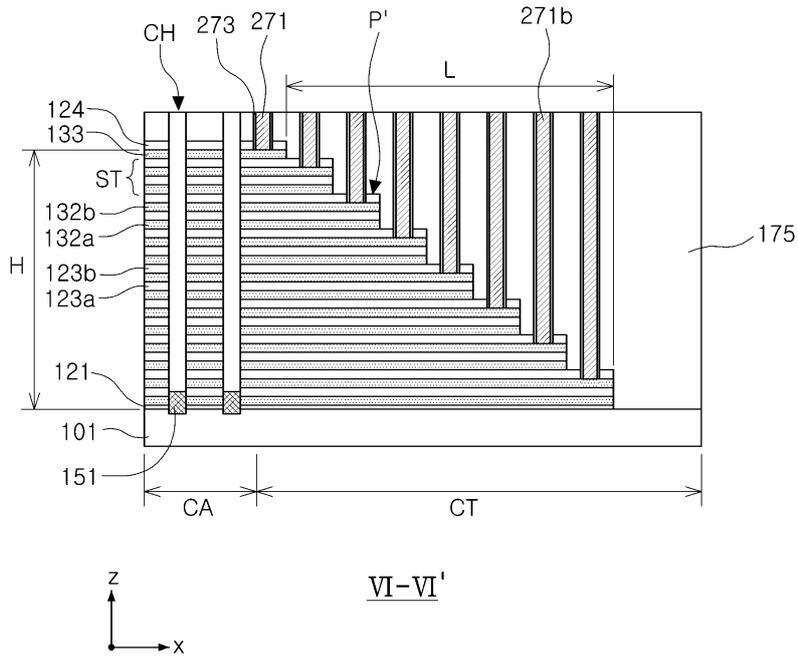
도면14



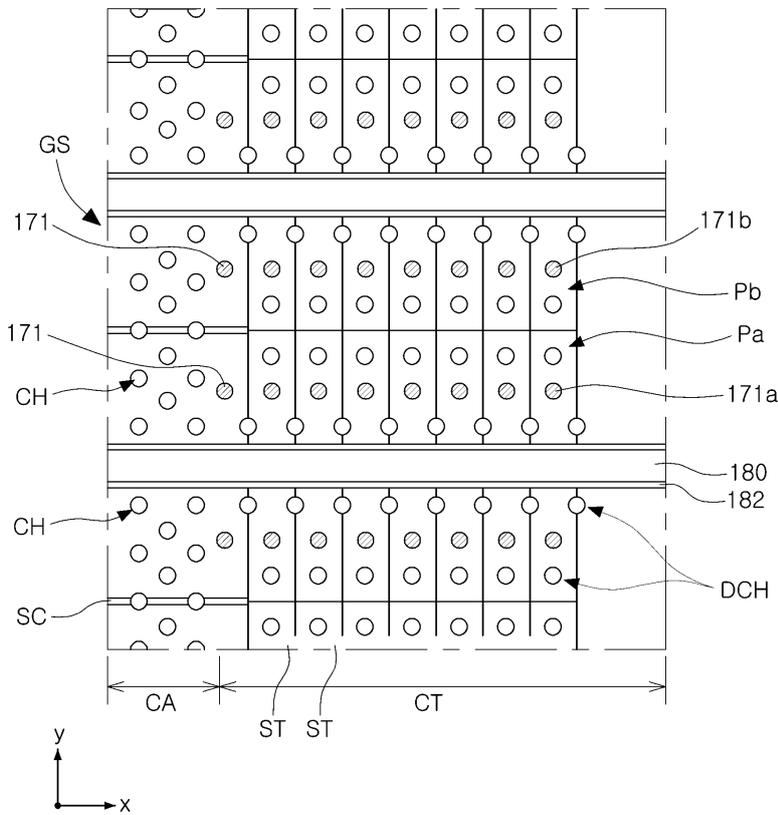
도면15



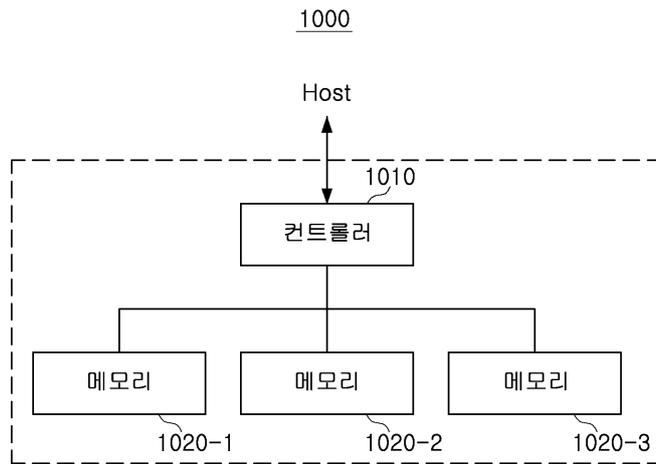
도면16



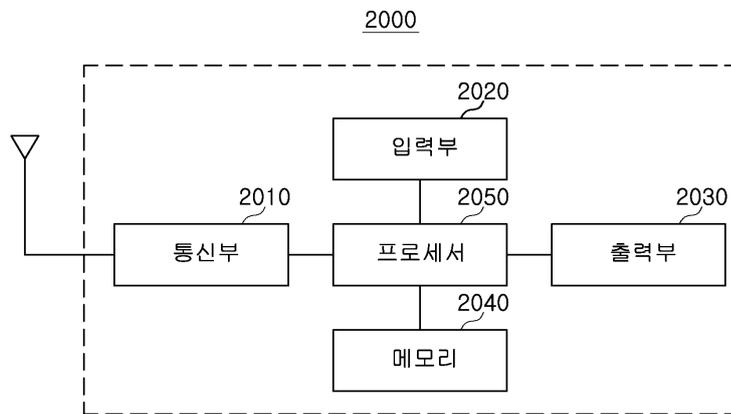
도면17



도면18



도면19



도면20

