(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0063734
(43) 공개일자 2015년06월10일

(51) 국제특허분류(Int. Cl.)
G11C 5/14 (2006.01)
(21) 출원번호 10-2013-0148457
(22) 출원일자 2013년12월02일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
김도균
경기 이천시 대산로288번길 89, 105동 1501호 (고담동, 하이닉스고담기숙사)
차훈용
경기 이천시 대산로288번길 89, 105동 1102호 (고담동, 하이닉스고담기숙사)
(74) 대리인
김성남

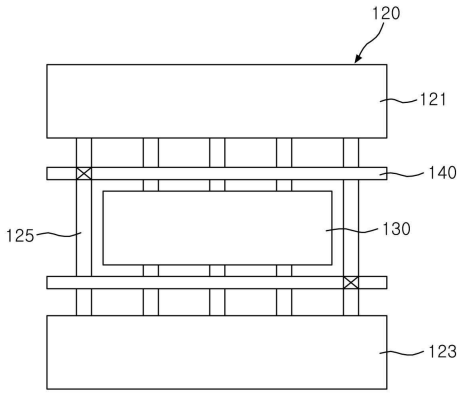
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 **전압 트리밍 장치를 포함하는 반도체 장치**

(57) 요 약

본 기술에 따른 반도체 장치는 트리밍 신호 생성부와, 전압 트리밍부를 포함하고, 상기 트리밍 신호 생성부는 제1트리밍 신호 생성부와, 상기 제1트리밍 신호 생성부와 배선을 통해 전기적으로 연결되는 제2트리밍 신호 생성부를 포함하고, 상기 전압 트리밍부는 상기 제1트리밍 신호 생성부와 상기 제2트리밍 신호 생성부의 사이에 배치될 수 있다.

대 표 도 - 도4



명 세 서

청구범위

청구항 1

복수 개의 트리밍 신호를 출력하는 트리밍 신호 생성부와, 제1전압을 인가받고, 상기 트리밍 신호에 응답하여 출력 노드에 공급 전압을 출력하는 전압 트리밍부를 포함하는 전압 트리밍 장치를 포함하는 반도체 장치에 있어서,

상기 트리밍 신호 생성부는 제1트리밍 신호 생성부와, 상기 제1트리밍 신호 생성부와 제1배선을 통해 전기적으로 연결되는 제2트리밍 신호 생성부를 포함하고,

상기 전압 트리밍부는 상기 제1트리밍 신호 생성부와 상기 제2트리밍 신호 생성부의 사이에 배치되는 것을 특징으로 하는 반도체 장치.

청구항 2

제 1항에 있어서,

상기 전압 트리밍부는 상기 트리밍 신호를 입력 받는 제2배선이 상기 제1배선과 상기 제1트리밍 신호 생성부와 상기 제2트리밍 신호 생성부 사이에서 전기적으로 직접 연결되는 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서,

상기 트리밍 신호 생성부는,

상기 특정 모드에 응답하여 퓨즈를 컷팅하는 복수 개의 퓨즈부와,

상기 퓨즈부의 출력 신호를 디코딩하여 상기 트리밍 신호를 출력하는 디코딩부를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서,

상기 전압 트리밍부는,

상기 제1전압을 분배하여 복수 개의 분배 전압을 출력하는 전압 분배부와,

상기 트리밍 신호에 응답하여 상기 분배 전압을 상기 출력 노드로 전달하는 전압 전달부를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 5

제1항에 있어서,

상기 전압 트리밍부와 상기 제1,2트리밍 신호 생성부 사이 각각에는 도전라인이 배치되고,

상기 제1트리밍 신호 생성부 또는 상기 제2트리밍 신호 생성부에서 전달되는 상기 트리밍 신호들 중 적어도 하나는 상기 도전라인을 경유하여 상기 전압 트리밍부로 전달되는 것을 특징으로 하는 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 장치에 관한 것으로, 더욱 상세하게는 전압 레벨을 트리밍하는 전압 트리밍 장치를 포함하는 반도체 장치에 관한 것이다.

배 경 기 술

[0002] 통상적으로 반도체 장치에는 일정한 전압을 생성하는 전압 발생회로가 채용된다. 전압 발생회로에서 출력되는 전압의 레벨을 목표로 하는 레벨에 일치시켜야 하는데, 출력 레벨은 공정 프로세스 또는 장비의 오차, 소자 모델 파라미터의 부정확함 등 여러 가지 요인들로 인해 변화될 수 있다.

[0003] 따라서 목표로 하는 전압 레벨에 출력 레벨을 세팅하기 위한 레벨 조정이 필요하게 되고, 이러한 레벨 조정은 전압 트리밍 장치를 통해 달성될 수 있다.

[0004] 도 1은 통상의 전압 트리밍 장치를 나타내는 회로도이다.

[0005] 도 1을 참조하면, 종래의 전압 트리밍 장치는 제1전압(VREF0)을 생성하는 전압 생성부(10)와, 복수 개의 트리밍 신호(TRMN<1:n>)를 출력하고, 특정 모드에 응답하여 하나의 트리밍 신호(TRMN<i>)를 활성화하는 트리밍 신호 생성부(20)와, 제1전압(VREF0)을 인가받아 복수 개의 분배 전압(DIV_VREF0<1:n>)을 생성하고, 트리밍 신호(TRMN<1:n>)에 응답하여 분배 전압(DIV_VREF0<1:n>)을 공급 전압(VREF)으로 출력하는 전압 트리밍부(30)를 포함한다.

[0006] 상기 n은 1 보다 큰 자연수이고, 상기 i는 1과 n 사이의 자연수이다.

[0007] 도 2는 통상의 전압 트리밍 장치의 레이아웃도이다.

[0008] 도 2를 참조하면, 트리밍 신호 생성부(20)는 상호 이격 배치되는 제1트리밍 신호 생성부(21)와, 제2트리밍 신호 생성부(23)를 포함할 수 있다. 각 트리밍 신호 생성부(21,23)는 배선(25)을 통해 상호 연결될 수 있으며, 각 트리밍 신호 생성부(21,23)는 같은 웰(well) 내에 구성될 수 있다.

[0009] 상기의 전압 트리밍부(30)는 다수의 도전라인(40)을 통해 각 트리밍 신호 생성부(21,23)를 연결하는 배선(25)과 전기적으로 연결된다.

[0010] 다수의 도전라인(40)은 도시된 바와 같이 각 트리밍 신호 생성부(21,23) 사이에 배치되어 전압 트리밍부(30)로 연장된다. 하지만, 전압 트리밍부(30)는 각 트리밍 신호 생성부(21,23) 사이 공간이 아닌 별도의 공간에 배치된다.

[0011] 상기와 같은 전압 트리밍부(30)의 배치는 각 트리밍 신호 생성부(21,23)를 연결하는 배선(25)과 전압 트리밍부(30)를 연결하는 다수의 도전라인(40)이 길게 연장되어야 함에 따라 도전라인(40)의 로딩이 증가되는 원인이 된다.

[0012] 또, 전압 트리밍부(30)는 상술한 바와 같이 각 트리밍 신호 생성부(21,23) 사이의 공간이 아닌 별도의 공간에 배치됨에 따라. 전압 트리밍 장치를 포함하는 반도체 장치의 점유면적을 크게 증가시키는 원인이 된다.

발명의 내용

해결하려는 과제

[0013] 본 발명의 실시예는 전압 트리밍부의 위치 변경을 통해 도전라인의 로딩 증가를 줄이거나 반도체 장치의 점유면적을 줄일 수 있는 반도체 장치에 관한 것이다.

과제의 해결 수단

[0014] 본 발명의 실시예에 따른 반도체 장치는 복수 개의 트리밍 신호를 출력하는 트리밍 신호 생성부와, 제1전압을 인가받고, 상기 트리밍 신호에 응답하여 출력 노드에 공급 전압을 출력하는 전압 트리밍부를 포함하는 전압 트리밍 장치를 포함하고, 상기 트리밍 신호 생성부는 제1트리밍 신호 생성부와, 상기 제1트리밍 신호 생성부와 제1배선을 통해 전기적으로 연결되는 제2트리밍 신호 생성부를 포함하고, 상기 전압 트리밍부는 상기 제1트리밍 신호 생성부와 상기 제2트리밍 신호 생성부의 사이에 배치되는 것을 특징으로 한다.

발명의 효과

[0015] 본 기술에 의하면, 전압 트리밍부가 제1,2트리밍 신호 생성부의 사이 공간에 배치됨에 따라, 제1,2트리밍 신호 생성부에서 생성된 트리밍 신호가 전압 트리밍부로 전달되는 길이가 짧아져 라인 로딩을 줄일 수 있다.

[0016] 또, 본 기술에 의하면, 전압 트리밍부가 제1,2트리밍 신호 생성부의 사이 공간에 배치됨에 따라, 전압 트리밍부

로 인한 공간 점유가 감소하여 반도체 장치의 전체 점유면적을 줄일 수 있다.

도면의 간단한 설명

[0017] 도 1는 종래의 전압 트리밍 장치의 개략적인 블록도이다.

도 2는 종래의 전압 트리밍 장치의 레이아웃도이다.

도 3은 본 발명의 실시예에 따른 전압 트리밍 장치의 블록도이다.

도 4는 본 발명의 실시예에 따른 전압 트리밍 장치의 레이아웃도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 본 발명의 요지와 무관한 공지의 구성은 생략될 수 있다. 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.

[0019] 도 3 내지 도 4를 참조하면, 본 발명의 실시예에 따른 반도체 장치의 전압 트리밍 장치는, 제1전압(VREF0)을 생성하는 전압 생성부(110); 복수 개의 트리밍 신호(TRMN<1:n>)를 출력하고, 특정 모드에 응답하여 하나의 트리밍 신호(TRMN<i>)를 활성화하는 트리밍 신호 생성부(120); 및 제1전압(VREF0)을 인가받아 복수 개의 분배 전압(DIV_VREF0<1:n>)을 생성하고, 트리밍 신호(TRMN<1:n>)에 응답하여 분배 전압(DIV_VREF0<1:n>)을 공급 전압(VREF)으로 출력하는 전압 트리밍부(130);를 포함한다.

[0020] 상기 n은 1 이상의 자연수이고, 상기 i는 1부터 n까지의 자연수이다.

[0021] 전압 생성부(110)는 상술한 바와 같이 제1전압(VREF0)을 생성한다.

[0022] 이때, 본 발명의 실시예에서는 전압 생성부(110)에서 제1전압(VREF0)을 생성하고, 전압 트리밍부(130)에서 제1전압(VREF0)을 분배하여 공급 전압(VREF)을 출력하는 것을 예로 들어 설명하지만, 설계자의 목적에 따라 출력되는 전압의 레벨이 달라질 수 있다. 즉, 본 발명에서는 출력되는 전압을 특정 전압으로 한정하지 않는다.

[0023] 트리밍 신호 생성부(120)는 상호 이격 배치되는 제1트리밍 신호 생성부(121)와, 제2트리밍 신호 생성부(123)를 포함할 수 있다. 각 트리밍 신호 생성부(121,123)는 배선(125)을 통해 상호 연결될 수 있다.

[0024] 상기의 각 트리밍 신호 생성부(121,123)은 특정 모드의 설정신호에 응답하여 퓨즈(fuse)를 컷팅하는 복수 개의 퓨즈부(1210-1 ~ 1210-n)과, 퓨즈부(1210-1 ~ 1210-n)의 출력 신호를 디코딩하여 트리밍 신호(TRMN<1:n>)를 출력하는 디코딩부(1220)를 포함할 수 있다.

[0025] 전압 트리밍부(130)는 제1전압(VREF0)을 분배하여 복수 개의 분배 전압(DIV_VREF0<1:n>)을 출력하는 전압 분배부(131)와, 트리밍 신호(TRMN<1:n>)에 응답하여 분배 전압(DIV_VREF0<1:n>)을 출력 노드(NODE_OUT)로 전달하여 기준 전압(VREF)을 출력하는 전압 전달부(133)를 포함한다.

[0026] 전압 분배부(131)는 제1전압(VREF0)의 입력 단과 접지 전압단자(VSS) 사이에 직렬로 연결되어 제1전압(VREF0)을 분배하는 복수 개의 제1저항소자(R1)를 포함한다.

[0027] 분배 전압(DIV_VREF0<1:n>)은 제1저항소자(R1)들 간의 접속 단에서 출력된다.

[0028] 전압 전달부(133)는 트리밍 신호(TRMN<1:n>)에 응답하여 분배 전압(DIV_VREF0<1:n>)을 출력 노드(NODE_OUT)로 전달하는 복수 개의 스위칭 소자, 예를 들어, 제1피모스 트랜지스터(P1)를 포함한다.

[0029] 출력 노드(NODE_OUT)는 전압 전달부(133)를 통해 전달되는 분배 전압(DIV_VREF0<1:n>)을 기준 전압(VREF)으로 출력한다.

[0030] 한편, 상기의 전압 트리밍부(130)는 도 4에 도시된 바와 같이 제1트리밍 신호 생성부(121)와, 제2트리밍 신호 생성부(123) 사이의 공간에 배치될 수 있다. 이러한 전압 트리밍부(130)는 TRMN<1:n>를 입력받는 배선들이 제1,2트리밍 신호 생성부(121,123)를 상호 전기적으로 연결하는 배선(125)과 전기적으로 연결될 수 있다.

[0031] 또, 상기의 전압 트리밍부(130)의 출력 배선은 각 트리밍 신호 생성부(121,123)를 연결하는 배선(125)과 전기적으로 연결되는 것이 아닌 각 트리밍 신호 생성부(121,123)의 배선(125)과 연결되는 적어도 하나의 도전라인

(140)을 통해 배선(125)와 전기적으로 연결될 수도 있다.

[0032] 다시 말하면, 각 트리밍 신호 생성부(121,123)의 사이 공간에는 전압 트리밍부(130)의 위치에 따라, 전압 트리밍부(130)와 전기적으로 연결되는 적어도 하나의 도전라인(140)이 마련될 수도 있다.

[0033] 본 발명의 실시예에 따른 전압 트리밍 장치의 동작을 설명하면 다음과 같다.

[0034] 전압 생성부(110)에서 일정한 제1전압(VREF0)을 생성하고, 트리밍 신호 생성부(120)에서 특정 모드에 따라 트리밍 신호(TRMN<1:n>) 중 하나의 신호(TRMNM<i>)를 활성화시켜 출력한다. 예를 들어, 고전위 전압(VPP)을 생성하기 위해 사용되는 기준 전압(VREF)을 생성하기 위한 모드에서 활성화되는 트리밍 신호(TRMN<i>)와 벌크 전압(VBB)을 생성하기 위해 사용되는 기준 전압(VREF)을 생성하기 위한 모드에서 활성화되는 트리밍 신호(TRMN<i>)는 서로 다르다.

[0035] 전압 트리밍부(130)는 제1전압(VREF0)을 분배하여 복수 개의 분배 전압(DIV_VREF0<1:n>)을 생성하고 트리밍 신호(TRMN<1:n>)에 응답하여 분배 전압(DIV_VREF0<1:n>)을 기준 전압(VREF)으로 출력한다.

[0036] 보다 상세히 설명하면, 특정 모드에 응답하여 복수 개의 퓨즈부(1210-1 ~ 1210-n) 중 특정 퓨즈주(1210-i)에 구비되는 퓨즈가 컷팅되고, 퓨즈부(1210-1 ~ 1210-n)의 출력 신호를 디코딩부(1220)에서 디코딩하여 복수 개의 트리밍 신호(TRMN<1:n>)를 출력한다. 이때 복수 개의 트리밍 신호(TRMN<1:n>) 중 하나의 신호(TRMN<i>)가 활성화된다.

[0037] 전압 분배부(131)는 복수 개의 저항 소자(R1)들의 저항 비에 응답하여 복수 개의 분배 전압(DIV_VREF0<1:n>)을 생성하고, 전압 전달부(133)는 로우 레벨로 활성화되는 트리밍 신호(TRMN<i>)에 응답하여 출력 노드(NODE_OUT)로 공급 전압(VREF)를 전달한다.

[0038] 따라서 본 발명의 실시예에서는 전압 트리밍부(130)가 상술한 바와 같이 제1,2트리밍 신호 생성부(121,123)의 사이 공간에 배치됨에 따라, 제1,2트리밍 신호 생성부(121,123)에서 생성된 트리밍 신호가 전압 트리밍부(130)로 전달되는 길이가 짧아져 라인 로딩이 감소하게 된다.

[0039] 상기의 전압 트리밍부(130)는 상술한 바와 같이 제1,2트리밍 신호 생성부(121,123)의 사이 공간에 배치됨에 따라, 제1,2트리밍 신호 생성부 사이 공간이 아닌 별도의 공간에 배치되는 종래와 달리 전압 트리밍 장치를 포함하는 반도체 장치의 실제 점유면적을 줄일 수 있다.

[0040] 이와 같이 본 발명이 속하는 기술분야의 당업자는 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의해 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

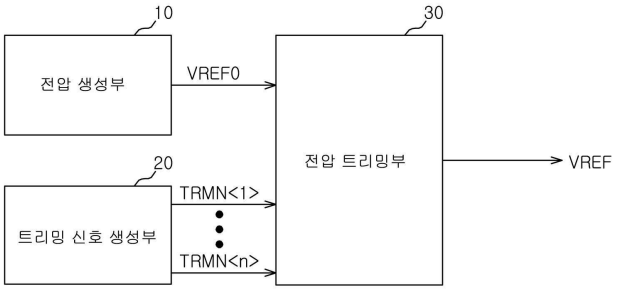
부호의 설명

[0041]

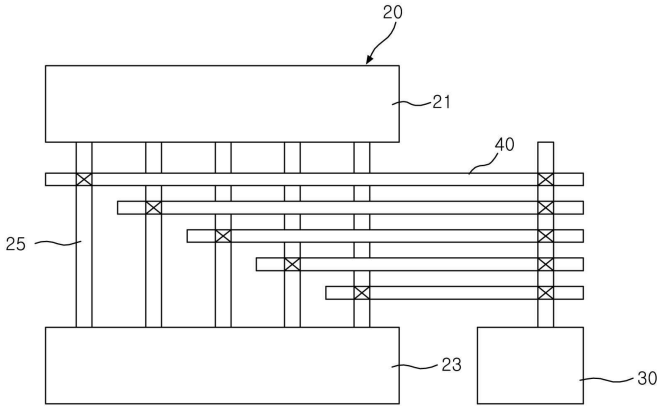
110: 전압 생성부	120: 트리밍 신호 생성부
121: 제1트리밍 신호 생성부	123: 제2트리밍 신호 생성부
125: 배선	130: 전압 트리밍부
131: 전압 분배부	133: 전압 전달부
140: 도전라인	

도면

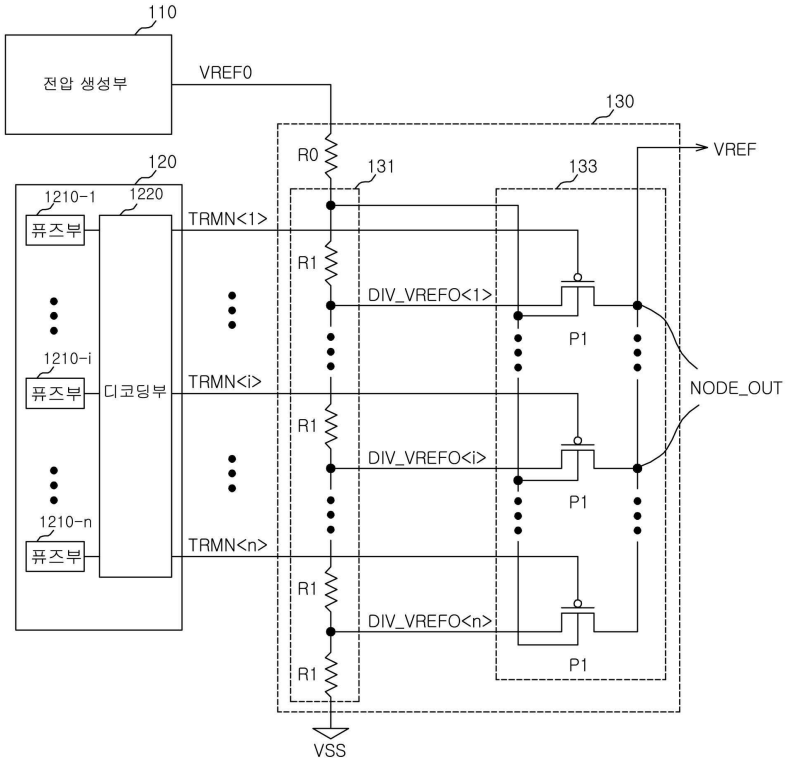
도면1


10
30
전압 생성부
VREF0
전압 트리밍부
VREF
20
TRMN<1>
트리밍 신호 생성부
TRMN<n>

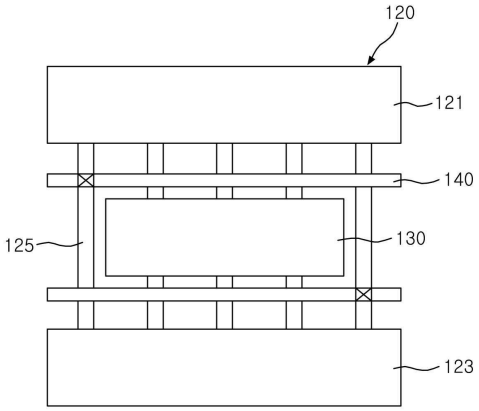
도면2


20
21
40
25
23
30

도면3


110
전압 생성부
VREF0
130
VREF
120
R0
131
133
1210-1
1220
퓨즈부
TRMN<1>
R1
DIV_VREFO<1>
P1
1210-i
퓨즈부
디코딩부
TRMN<i>
NODE_OUT
R1
DIV_VREFO<i>
P1
1210-n
퓨즈부
TRMN<n>
R1
DIV_VREFO<n>
P1
R1
VSS

도면4


120
121
140
125
130
123