



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월02일
(11) 등록번호 10-0855972
(24) 등록일자 2008년08월27일

(51) Int. Cl.

G11C 16/26 (2006.01) G11C 16/04 (2006.01)

(21) 출원번호 10-2007-0007247

(22) 출원일자 2007년01월23일

심사청구일자 2007년01월23일

(65) 공개번호 10-2008-0069480

(43) 공개일자 2008년07월28일

(56) 선행기술조사문헌

JP15022687 A*

(뒷면에 계속)

전체 청구항 수 : 총 12 항

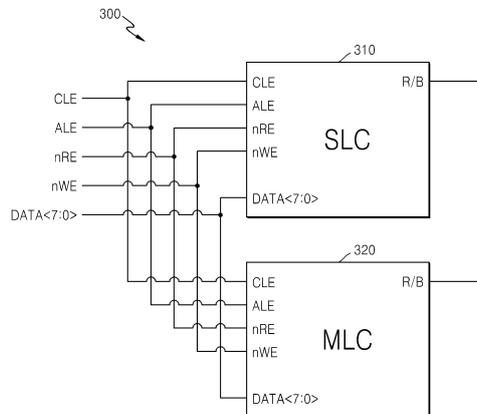
심사관 : 이옥우

(54) 서로 다른 독출 대기 시간을 가지는 복수개의 메모리 셀어레이들을 구비하는 불휘발성 메모리 시스템 및 상기 불휘발성 메모리 시스템의 데이터 독출 방법

(57) 요약

서로 다른 독출 대기 시간을 가지는 복수개의 메모리 셀 어레이들을 구비하는 불휘발성 메모리 시스템 및 상기 불휘발성 메모리 시스템의 데이터 독출 방법이 개시된다. 본 발명의 제1실시예에 따른 불휘발성 메모리 시스템은 다수의 싱글-레벨 셀(Single-Level Cell ; SLC)들을 포함하는 싱글-레벨 셀 어레이, 및 다수의 멀티-레벨 셀(Multi-Level Cell ; MLC)들을 포함하는 멀티-레벨 셀 어레이를 구비한다. 싱글-레벨 셀 어레이와 멀티-레벨 셀 어레이는 독출 명령을 동시에 수신하여 동시에 독출 준비를 시작한다. 싱글-레벨 셀 어레이는 멀티-레벨 셀 어레이보다 데이터를 먼저 독출하기 시작할 수 있다. 멀티-레벨 셀 어레이는, 싱글-레벨 셀 어레이가 데이터를 모두 독출한 다음에, 데이터를 독출하기 시작할 수 있다.

대표도 - 도3



(56) 선행기술조사문헌

KR1019990013057 A

KR1019990079926 A

KR1020060030172 A

KR1020060079745 A

*는 심사관에 의하여 인용된 문헌

특허청구의 범위

청구항 1

다수의 싱글-레벨 셀(Single-Level Cell ; SLC)들을 포함하는 싱글-레벨 셀 어레이; 및
 다수의 멀티-레벨 셀(Multi-Level Cell ; MLC)들을 포함하는 멀티-레벨 셀 어레이를 구비하고,
 상기 멀티-레벨 셀 어레이와 상기 싱글-레벨 셀 어레이는,
 독출 명령을 동시에 수신하여, 동시에 독출 준비를 시작하고,
 상기 싱글-레벨 셀 어레이는, 상기 독출 명령을 수신하고부터 싱글-레벨 셀의 독출 대기 시간이 경과한 다음에 데이터를 독출하기 시작하고,
 상기 멀티-레벨 셀 어레이는, 상기 독출 명령을 수신하고부터 멀티-레벨 셀의 독출 대기 시간이 경과하고 상기 싱글-레벨 셀 어레이가 데이터를 모두 독출한 다음에 데이터를 독출하기 시작하는 것을 특징으로 하는 불휘발성 메모리 시스템.

청구항 2

제1항에 있어서, 상기 싱글-레벨 셀 어레이는,
 상기 멀티-레벨 셀 어레이보다 데이터를 먼저 독출하기 시작하는 것을 특징으로 하는 불휘발성 메모리 시스템.

청구항 3

제2항에 있어서, 상기 멀티-레벨 셀 어레이는,
 상기 싱글-레벨 셀 어레이가 데이터를 모두 독출한 다음에, 데이터를 독출하기 시작하는 것을 특징으로 하는 불휘발성 메모리 시스템.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

다수의 싱글-레벨 셀(Single-Level Cell ; SLC)들을 포함하는 싱글-레벨 셀 어레이; 및
 다수의 멀티-레벨 셀(Multi-Level Cell ; MLC)들을 포함하는 멀티-레벨 셀 어레이를 구비하고,
 상기 멀티-레벨 셀 어레이와 상기 싱글-레벨 셀 어레이는, 로우 어드레스들을 공유하고,
 상기 불휘발성 메모리 시스템의 독출 동작시, 상기 불휘발성 메모리 시스템의 포인터는,
 상기 싱글-레벨 셀 어레이의 마지막 칼럼 어드레스를 가리킨 다음에, 상기 멀티-레벨 셀 어레이의 첫 번째 칼럼 어드레스를 가리키는 것을 특징으로 하는 불휘발성 메모리 시스템.

청구항 8

제7항에 있어서, 상기 멀티-레벨 셀 어레이의 칼럼들은,
 상기 싱글-레벨 셀 어레이의 칼럼들과 서로 다른 칼럼 어드레스들을 가지는 것을 특징으로 하는 불휘발성 메모리 시스템.

청구항 9

제8항에 있어서, 상기 멀티-레벨 셀 어레이의 칼럼들은,
상기 싱글-레벨 셀 어레이의 칼럼들과 서로 연속되는 칼럼 어드레스들을 가지는 것을 특징으로 하는 불휘발성 메모리 시스템.

청구항 10

제9항에 있어서,
상기 싱글-레벨 셀 어레이의 마지막 칼럼 어드레스가 지시하는 데이터를 독출한 다음에, 상기 멀티-레벨 셀 어레이의 첫 번째 칼럼 어드레스가 지시하는 데이터를 독출하는 것을 특징으로 하는 불휘발성 메모리 시스템.

청구항 11

삭제

청구항 12

다수의 메모리 셀들을 각각 포함하며, 독출 명령을 수신하고부터 데이터 독출을 시작할 때까지의 독출 대기 시간이 서로 다른 복수개의 메모리 셀 어레이들을 구비하고,
상기 복수개의 메모리 셀 어레이들은,
로우 어드레스들을 공유하고,
독출 명령을 동시에 수신하고, 짧은 독출 대기 시간을 가지는 메모리 셀 어레이부터 데이터를 독출하기 시작하는 것을 특징으로 하는 불휘발성 메모리 시스템.

청구항 13

제12항에 있어서, 상기 복수개의 메모리 셀 어레이들은,
서로 다른 칼럼 어드레스들을 가지는 것을 특징으로 하는 불휘발성 메모리 시스템.

청구항 14

제13항에 있어서, 상기 복수개의 메모리 셀 어레이들은,
서로 연속되는 칼럼 어드레스들을 가지는 것을 특징으로 하는 불휘발성 메모리 시스템.

청구항 15

다수의 싱글-레벨 셀(Single-Level Cell ; SLC)들을 포함하는 싱글-레벨 셀 어레이, 및 다수의 멀티-레벨 셀(Multi-Level Cell ; MLC)들을 포함하는 멀티-레벨 셀 어레이를 포함하는 불휘발성 메모리 시스템의 데이터 독출 방법에 있어서,
상기 멀티-레벨 셀 어레이와 상기 싱글-레벨 셀 어레이에 독출 명령을 동시에 인가하는 단계;
상기 싱글-레벨 셀 어레이와 상기 멀티-레벨 셀 어레이가 동시에 독출 준비를 시작하는 단계;
상기 싱글-레벨 셀 어레이가 데이터를 독출하는 단계; 및
상기 멀티-레벨 셀 어레이가 데이터를 독출하는 단계를 구비하고,
상기 싱글-레벨 셀 어레이가 데이터를 독출하는 단계는, 독출 명령을 수신하고부터 싱글-레벨 셀의 독출 대기 시간이 경과한 다음에, 데이터를 독출하기 시작하고,
상기 멀티-레벨 셀 어레이가 데이터를 독출하는 단계는, 독출 명령을 수신하고부터 멀티-레벨 셀의 독출 대기 시간이 경과하고, 상기 싱글-레벨 셀 어레이가 데이터를 모두 독출한 다음에, 데이터를 독출하기 시작하는 것을 특징으로 하는 불휘발성 메모리 시스템의 데이터 독출 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

제12항에 있어서, 상기 긴 독출 대기 시간을 가지는 메모리 셀 어레이는,

독출 명령을 수신하고부터 상기 긴 독출 대기 시간이 경과하고, 상기 짧은 독출 대기 시간을 가지는 메모리 셀 어레이가 데이터를 모두 독출한 다음에, 데이터를 독출하기 시작하는 것을 특징으로 하는 불휘발성 메모리 시스템.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <7> 본 발명은 불휘발성 메모리 시스템에 관한 것으로서, 특히 서로 다른 독출 대기 시간을 가지는 복수개의 메모리 셀 어레이들을 구비하는 불휘발성 메모리 시스템 및 상기 불휘발성 메모리 시스템의 데이터 독출 방법에 관한 것이다.
- <8> 전기적으로 소거 및 프로그램이 가능한 불휘발성 메모리 장치는 전원이 공급되지 않는 상태에서도 데이터를 보존할 수 있는 특징을 가지고 있으며, 대표적인 것으로 플래시 메모리가 있다.
- <9> 플래시 메모리를 구성하는 메모리 셀들은 제어 게이트, 플로팅 게이트, 소스, 및 드레인을 구비하는 셀 트랜지스터로 구성된다. 플래시 메모리의 셀 트랜지스터는 F-N 터널링 메커니즘에 의해서 프로그램 되거나 소거된다.
- <10> 셀 트랜지스터의 소거 동작은 셀 트랜지스터의 제어 게이트에 접지 전압을 인가하고, 반도체 기판(또는 벌크)에 전원 전압보다 높은 고전압을 인가함으로써 수행된다. 이러한 소거 바이어스 조건에 따르면, 플로팅 게이트와 벌크 사이의 큰 전압 차에 의해 이들 사이에 강한 전계가 형성되며, 그 결과 부유 게이트에 존재하는 전자들은 F-N 터널링 효과에 의해서 벌크로 방출된다. 이 때, 소거된 셀 트랜지스터의 임계 전압은 음의 방향으로 이동된다.
- <11> 셀 트랜지스터의 프로그램 동작은 제어 게이트에 전원 전압보다 높은 고전압을 인가하고, 드레인 및 벌크에 접지 전압을 인가함으로써 이루어진다. 이러한 바이어스 조건 하에서, 전자들이 F-N 터널링 효과에 의해서 셀 트랜지스터의 플로팅 게이트에 주입된다. 이 때 프로그램 된 셀 트랜지스터의 임계 전압은 양의 방향으로 이동된다.
- <12> 도 1은 불휘발성 메모리 장치에 포함되는 메모리 셀의 구조와 동작을 설명하는 도면이다.
- <13> 도 1에는, 불휘발성 메모리 장치에 포함되는 메모리 셀의 플로팅 게이트(FG)에 전자가 주입된 모습이 도시되어 있다. 플로팅 게이트(FG)에 전자가 주입된 상태를 프로그램(program) 상태라고 하고, 플로팅 게이트(FG)에 전자가 없어진 상태를 소거(erase) 상태라고 한다. 프로그램 상태의 임계 전압은 0보다 크고, 소거 상태의 임계 전압은 0보다 작다.
- <14> 최근에는 플래시 메모리의 집적도를 더욱 향상시키기 위해서 한 개의 메모리 셀에 복수의 데이터를 저장하는 멀티-레벨 플래시 메모리에 대한 연구가 활발히 진행되고 있다. 멀티-레벨 플래시 메모리의 메모리 셀에는 2비트 이상의 멀티-비트가 저장될 수 있다. 이렇게 멀티-비트를 저장하는 메모리 셀을 멀티-레벨 셀(multi-level cell)이라 하고, 이에 대해 단일-비트를 저장하는 메모리 셀을 단일-레벨 셀(single-level cell)이라 한다. 멀티-레벨 셀은 멀티-비트를 저장하므로, 2개 이상의 임계 전압 분포를 가지며 이에 대응되는 2개 이상의 데이터 저장 상태를 갖는다. 이하에서는 멀티-레벨 플래시 메모리의 메모리 셀에 2비트의 데이터가 저장되는 예가 설명된다. 그러나, 멀티-레벨 플래시 메모리의 메모리 셀에는 3비트 이상의 데이터가 멀티-레벨 셀에 저장될 수도 있다.

- <15> 2비트를 저장하는 멀티-레벨 셀은 4개의 데이터 저장 상태, 즉 11, 01, 10, 00 을 가질 수 있다. 예를 들어, 11 은 소거된 상태이고, 01, 10, 및 00은 프로그램 된 상태를 나타낼 수 있다.
- <16> 4개의 데이터 저장 상태의 분포는 멀티-레벨 셀의 임계 전압 분포들에 대응된다. 예를 들어, 멀티-레벨 셀의 임계 전압 분포들이 각각 VTH1~VTH2, VTH3~VTH4, VTH5~VTH6, VTH7~VTH8 이라 가정하면, 데이터 저장상태 11, 01, 10, 00 은 각각 VTH1~VTH2, VTH3~VTH4, VTH5~VTH6, VTH7~VTH8 에 대응된다. 즉, 멀티-레벨 셀의 임계 전압이 4 가지 임계 전압 분포들 중 어느 하나에 대응되면, 11, 01, 10, 00 중 해당하는 2비트의 데이터가 멀티-레벨 셀 에 저장된다.
- <17> 도 2는 불휘발성 메모리 장치에 포함되는 멀티 레벨 셀의 동작을 설명하는 도면이다.
- <18> 도 2에는, 멀티 레벨 셀의 플로팅 게이트(FG)에 전자가 없는 소거 상태, 플로팅 게이트(FG)에 전자가 일부 주입 된 제1 프로그램 상태, 플로팅 게이트(FG)에 전자가 더 많이 주입된 제2 프로그램 상태 및 플로팅 게이트(FG)에 전자가 가장 많이 주입된 제3 프로그램 상태가 도시되어 있다. 소거 상태, 제1 프로그램 상태, 제2 프로그램 상태 및 제3 프로그램 상태로 갈수록, 임계 전압 분포들의 임계 전압이 점점 커진다.
- <19> 최근에는 하나의 불휘발성 메모리 시스템에 다수의 싱글-레벨 셀들(Single-Level Cell ; SLC)과 다수의 멀티-레벨 셀들(Multi-Level Cell ; MLC)이 함께 포함되는 경우가 있다. 멀티-레벨 셀은 싱글 레벨 셀에 비하여, 독출 명령을 수신한 다음 데이터를 독출하는 데 걸리는 시간을 2배 이상 필요로 하는 것이 보통이다.
- <20> 한편, 일반적인 메모리 시스템에서는, 하나의 셀 어레이가 독출 명령을 수신하고 데이터를 독출한 다음에, 다른 셀 어레이가 독출 명령을 수신하고 데이터를 독출한다. 그러므로, 싱글-레벨 셀과 멀티-레벨 셀 어레이를 함께 포함하는 불휘발성 메모리 시스템에서는, 싱글 레벨 셀의 데이터가 독출된 다음에 멀티 레벨 셀이 독출 명령을 수신하여 독출 동작을 시작한다. 그러므로, 일반적인 불휘발성 메모리 시스템에서는, 전체 독출 시간이 길어지는 문제가 생긴다.

발명이 이루고자 하는 기술적 과제

- <21> 본 발명이 이루고자 하는 기술적 과제는 독출 명령을 동시에 수신하고 독출 준비를 동시에 시작한 다음에 독출 대기 시간이 짧은 메모리 셀 어레이부터 데이터를 독출하기 시작하는 불휘발성 메모리 시스템을 제공하는 데 있다.
- <22> 본 발명이 이루고자 하는 다른 기술적 과제는 로우 어드레스들을 공유하는 복수개의 메모리 셀 어레이들을 구비하는 불휘발성 메모리 시스템을 제공하는 데 있다.
- <23> 본 발명이 이루고자 하는 또 다른 기술적 과제는 독출 명령을 동시에 수신하고 독출 준비를 동시에 시작한 다음에 독출 대기 시간이 짧은 메모리 셀 어레이부터 데이터를 독출하기 시작하는 불휘발성 메모리 시스템의 데이터 독출 방법을 제공하는 데 있다.

발명의 구성 및 작용

- <24> 상기 기술적 과제를 달성하기 위한 본 발명의 제1실시예에 따른 불휘발성 메모리 시스템은 다수의 싱글-레벨 셀 (Single-Level Cell ; SLC)들을 포함하는 싱글-레벨 셀 어레이, 및 다수의 멀티-레벨 셀(Multi-Level Cell ; MLC)들을 포함하는 멀티-레벨 셀 어레이를 구비한다. 싱글-레벨 셀 어레이와 멀티-레벨 셀 어레이는 독출 명령 을 동시에 수신하여 동시에 독출 준비를 시작한다. 싱글-레벨 셀 어레이는 멀티-레벨 셀 어레이보다 데이터를 먼저 독출하기 시작할 수 있다. 멀티-레벨 셀 어레이는, 싱글-레벨 셀 어레이가 데이터를 모두 독출한 다음에, 데이터를 독출하기 시작할 수 있다.
- <25> 싱글-레벨 셀 어레이는, 독출 명령을 수신하고부터 싱글-레벨 셀의 독출 대기 시간이 경과한 다음에, 데이터를 독출하기 시작할 수 있다. 멀티-레벨 셀 어레이는, 독출 명령을 수신하고부터 멀티-레벨 셀의 독출 대기 시간이 경과하고, 상기 싱글-레벨 셀 어레이가 데이터를 모두 독출한 다음에, 데이터를 독출하기 시작할 수 있다.
- <26> 본 발명의 제2실시예에 따른 불휘발성 메모리 시스템은 다수의 싱글-레벨 셀(Single-Level Cell ; SLC)들을 포함하는 싱글-레벨 셀 어레이; 및 다수의 멀티-레벨 셀(Multi-Level Cell ; MLC)들을 포함하는 멀티-레벨 셀 어레이를 구비한다. 상기 멀티-레벨 셀 어레이와 상기 싱글-레벨 셀 어레이는, 로우 어드레스들을 공유한다.
- <27> 상기 멀티-레벨 셀 어레이의 칼럼들은, 상기 싱글-레벨 셀 어레이의 칼럼들과 서로 다른 칼럼 어드레스들을 가질 수 있다. 상기 멀티-레벨 셀 어레이의 칼럼들은, 상기 싱글-레벨 셀 어레이의 칼럼들과 서로 연속되는 칼럼

어드레스들을 가질 수 있다. 본 발명의 제2실시예에 따른 불휘발성 메모리 시스템은 상기 싱글-레벨 셀 어레이의 마지막 칼럼 어드레스가 지시하는 데이터를 독출한 다음에, 상기 멀티-레벨 셀 어레이의 첫 번째 칼럼 어드레스가 지시하는 데이터를 독출할 수 있다.

- <28> 본 발명에 따른 불휘발성 메모리 시스템의 데이터 독출 방법은, 다수의 싱글-레벨 셀(Single-Level Cell ; SLC)들을 포함하는 싱글-레벨 셀 어레이, 및 다수의 멀티-레벨 셀(Multi-Level Cell ; MLC)들을 포함하는 멀티-레벨 셀 어레이를 포함하는 불휘발성 메모리 시스템의 데이터 독출 방법이다. 본 발명에 따른 불휘발성 메모리 시스템의 데이터 독출 방법은, 상기 멀티-레벨 셀 어레이와 상기 싱글-레벨 셀 어레이에 독출 명령을 동시에 인가하는 단계; 상기 싱글-레벨 셀 어레이와 상기 멀티-레벨 셀 어레이가 동시에 독출 준비를 시작하는 단계; 및 상기 싱글-레벨 셀 어레이가 데이터를 독출하는 단계를 구비한다.
- <29> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <30> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <31> 도 3은 본 발명의 제1실시예에 따른 불휘발성 메모리 시스템을 나타내는 블록도이다.
- <32> 도 3을 참조하면, 본 발명의 제1실시예에 따른 불휘발성 메모리 시스템(300)은 다수의 싱글-레벨 셀(Single-Level Cell ; SLC)들을 포함하는 싱글-레벨 셀 어레이(310), 및 다수의 멀티-레벨 셀(Multi-Level Cell ; MLC)들을 포함하는 멀티-레벨 셀 어레이(320)를 구비한다. 싱글-레벨 셀 어레이(310)와 멀티-레벨 셀 어레이(320)는 독출 명령을 동시에 수신하여 동시에 독출 준비를 시작한다.
- <33> 싱글-레벨 셀 어레이(310)는 멀티-레벨 셀 어레이(320)보다 데이터를 먼저 독출하기 시작할 수 있다. 멀티-레벨 셀 어레이(320)는, 싱글-레벨 셀 어레이(310)가 데이터를 모두 독출한 다음에, 데이터를 독출하기 시작할 수 있다.
- <34> 본 발명의 제1실시예에 따른 불휘발성 메모리 시스템(300)에서는, 싱글-레벨 셀 어레이(310)과 멀티-레벨 셀 어레이(320)가 독출 명령을 동시에 수신한 다음에, 병렬적으로 독출 준비를 한다. 그리고, 독출 대기 시간이 짧은 싱글-레벨 셀 어레이(310)의 독출 대기 시간이 경과한 다음에, 싱글-레벨 셀 어레이(310)로부터 데이터 독출을 시작한다. 한편, 싱글-레벨 셀 어레이(310)로부터 데이터가 독출되는 동안에, 독출 대기 시간이 긴 멀티-레벨 셀 어레이(320)의 독출 대기 시간이 경과한다. 그리고, 싱글-레벨 셀 어레이(310)의 데이터 독출이 완료된 다음에, 멀티-레벨 셀 어레이(320)에서 데이터를 독출하기 시작한다. 그에 따라, 전체 독출 대기 시간은 싱글-레벨 셀 어레이(310)의 짧은 독출 대기 시간과 같아진다. 따라서, 전체 독출 시간을 줄일 수 있는 장점이 있다.
- <35> 싱글-레벨 셀 어레이(310)는, 독출 명령을 수신하고부터 싱글-레벨 셀의 독출 대기 시간이 경과한 다음에, 데이터를 독출하기 시작할 수 있다. 멀티-레벨 셀 어레이(320)는, 독출 명령을 수신하고부터 멀티-레벨 셀의 독출 대기 시간이 경과하고, 싱글-레벨 셀 어레이(310)가 데이터를 모두 독출한 다음에, 데이터를 독출하기 시작할 수 있다.
- <36> 다시 도 3을 참조하면, 싱글-레벨 셀 어레이(310)와 멀티-레벨 셀 어레이(320)는 동작에 필요한 다양한 신호들을 동시에 수신할 수 있다. 예를 들어, 하나의 기입 인에이블 신호(nWE)를 동시에 수신할 수 있다.
- <37> 본 발명의 제1실시예에 따른 불휘발성 메모리 시스템(300)은 복수개의 메모리 셀 어레이들을 구비할 수 있다. 복수개의 메모리 셀 어레이들은, 다수의 메모리 셀들을 각각 포함하며 서로 다른 독출 대기 시간을 가진다. 복수개의 메모리 셀 어레이들은, 독출 명령을 동시에 수신하고, 짧은 독출 대기 시간을 가지는 메모리 셀 어레이부터 데이터를 독출하기 시작할 수 있다. 긴 독출 대기 시간을 가지는 메모리 셀 어레이는, 독출 명령을 수신하고부터 상기 긴 독출 대기 시간이 경과하고, 상기 짧은 독출 대기 시간을 가지는 메모리 셀 어레이가 데이터를 모두 독출한 다음에, 데이터를 독출하기 시작할 수 있다.
- <38> 도 4는 본 발명의 제2실시예에 따른 불휘발성 메모리 시스템을 나타내는 블록도이다.
- <39> 도 4를 참조하면, 본 발명의 제2실시예에 따른 불휘발성 메모리 시스템(400)은, 다수의 싱글-레벨 셀(Single-Level Cell ; SLC)들을 포함하는 싱글-레벨 셀 어레이(410), 및 다수의 멀티-레벨 셀(Multi-Level Cell ; MLC)들을 포함하는 멀티-레벨 셀 어레이(420)를 구비한다. 싱글-레벨 셀 어레이(410)와 멀티-레벨 셀 어레이(420)는, 로우 어드레스들(X1~Xn)을 공유한다. 도 4에는 싱글-레벨 셀 어레이(410)의 로우들과 멀티-레벨 셀 어레이

이(420)의 로우들이 동일한 로우 어드레스들($X1 \sim Xn$)을 공유하는 모습이 도시된다.

- <40> 멀티-레벨 셀 어레이(420)의 칼럼들은, 싱글-레벨 셀 어레이(410)의 칼럼들과 서로 다른 칼럼 어드레스들을 가질 수 있다. 도 4에는 싱글-레벨 셀 어레이(410)의 칼럼들은 칼럼 어드레스들($Y1 \sim Yk$)을 가지고, 멀티-레벨 셀 어레이(420)의 칼럼들은 칼럼 어드레스들($Yk+1 \sim Ym$)을 가지는 모습이 도시된다.
- <41> 멀티-레벨 셀 어레이(420)의 칼럼들은, 싱글-레벨 셀 어레이(410)의 칼럼들과 서로 연속되는 칼럼 어드레스들을 가질 수 있다. 예를 들어, 도 4에 도시된 것처럼, 멀티-레벨 셀 어레이(420)의 첫 번째 칼럼 어드레스($Yk+1$)는, 싱글-레벨 셀 어레이(410)의 마지막 칼럼 어드레스(Yk)의 바로 다음 어드레스 일 수 있다. 반대로, 싱글-레벨 셀 어레이(410)의 첫 번째 칼럼 어드레스가, 멀티-레벨 셀 어레이(420)의 마지막 칼럼 어드레스의 바로 다음 어드레스 일 수 있다.
- <42> 본 발명의 제2실시예에 따른 불휘발성 메모리 시스템(400)은, 싱글-레벨 셀 어레이(410)의 마지막 칼럼 어드레스(Yk)가 지시하는 데이터를 독출한 다음에, 멀티-레벨 셀 어레이(420)의 첫 번째 칼럼 어드레스($Yk+1$)가 지시하는 데이터를 독출할 수 있다.
- <43> 본 발명의 제2실시예에 따른 불휘발성 메모리 시스템(400)의 포인터는, 싱글-레벨 셀 어레이(410)의 마지막 칼럼 어드레스(Yk)를 가리킨 다음에, 멀티-레벨 셀 어레이(420)의 첫 번째 칼럼 어드레스($Yk+1$)를 가리킬 수 있다.
- <44> 본 발명의 제2실시예에 따른 불휘발성 메모리 시스템(400)은 복수개의 메모리 셀 어레이들을 구비할 수 있다. 복수개의 메모리 셀 어레이들은 다수의 메모리 셀들을 각각 포함하며, 독출 명령을 수신하고부터 데이터 독출을 시작할 때까지의 독출 대기 시간이 서로 다를 수 있다. 복수개의 메모리 셀 어레이들은, 로우 어드레스들을 공유한다. 복수개의 메모리 셀 어레이들은, 서로 다른 칼럼 어드레스들을 가질 수 있다. 복수개의 메모리 셀 어레이들은, 서로 연속되는 칼럼 어드레스들을 가질 수 있다.
- <45> 도 5는 도 4 및 도 5의 불휘발성 메모리 시스템의 동작을 나타내는 타이밍도이다.
- <46> 도 5를 참조하면, 본 발명에 따른 불휘발성 메모리 시스템(300, 400)은 독출 명령(I/Ox 의 30h)을 수신한다. 그 다음, 싱글-레벨 셀 어레이(310, 410)의 짧은 독출 대기 시간(tR_SLC)이 경과한 다음에, 싱글-레벨 셀 어레이(310, 410)의 데이터 독출이 시작된다. 그 다음, 멀티-레벨 셀 어레이(320, 420)의 긴 독출 대기 시간(tR_MLC)이 경과한 다음에, 멀티-레벨 셀 어레이(320, 420)의 데이터 독출이 시작된다. 예를 들어, 도 5의 nRE를 참조하면, 싱글-레벨 셀 어레이(310, 410)의 마지막 칼럼 어드레스(Yk)의 데이터가 독출된 다음에, 멀티-레벨 셀 어레이(320, 420)의 첫 번째 칼럼 어드레스($Yk+1$)의 데이터가 독출될 수 있다. 한편, 데이터가 독출되는 구간은 I/Ox 의 Data Output으로 표시된다. 데이터가 독출되는 구간(I/Ox 의 Data Output)은 싱글-레벨 셀 어레이(310, 410)의 짧은 독출 대기 시간(tR_SLC)이 경과한 다음에 시작되는 것을 알 수 있다.
- <47> 본 발명에 따른 불휘발성 메모리 시스템의 데이터 독출 방법은, 다수의 싱글-레벨 셀들을 포함하는 싱글-레벨 셀 어레이, 및 다수의 멀티-레벨 셀들을 포함하는 멀티-레벨 셀 어레이를 포함하는 불휘발성 메모리 시스템의 데이터 독출 방법이다. 본 발명에 따른 데이터 독출 방법은 멀티-레벨 셀 어레이와 싱글-레벨 셀 어레이에 독출 명령을 동시에 인가하는 단계, 싱글-레벨 셀 어레이와 멀티-레벨 셀 어레이가 동시에 독출 준비를 시작하는 단계, 및 싱글-레벨 셀 어레이가 데이터를 독출하는 단계를 구비한다.
- <48> 본 발명에 따른 불휘발성 메모리 시스템의 데이터 독출 방법은, 상기 싱글-레벨 셀 어레이가 데이터를 독출하는 단계 이후에, 상기 멀티-레벨 셀 어레이가 데이터를 독출하는 단계를 더 구비할 수 있다.
- <49> 본 발명에 따른 데이터 독출 방법의 동작은 앞서 설명된 본 발명에 따른 불휘발성 메모리 시스템의 동작과 기술적 사상이 동일하며, 본 발명에 따른 불휘발성 메모리 시스템의 동작에 대응된다. 그러므로 당업자라면 앞서의 설명으로부터 본 발명에 따른 데이터 독출 방법의 동작에 대해서 이해할 수 있을 것이므로, 그에 대한 자세한 설명은 생략된다.
- <50> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

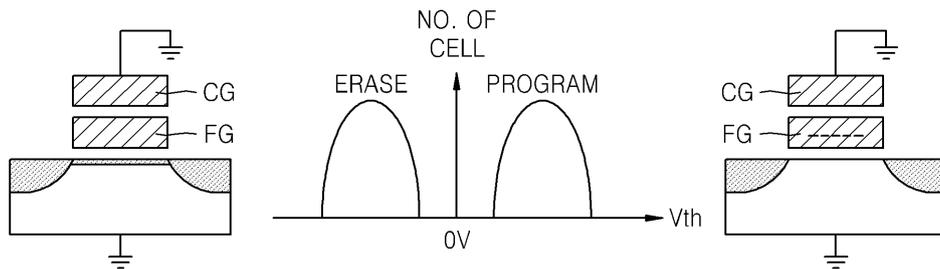
- <51> 상술한 바와 같이 본 발명에 따른 불휘발성 메모리 시스템 및 데이터 독출 방법은, 독출 명령을 동시에 수신하고 독출 준비를 동시에 시작한 다음에 독출 대기 시간이 짧은 메모리 셀 어레이부터 데이터를 독출하기 시작한다. 그에 따라, 전체 독출 시간을 줄일 수 있는 장점이 있다.
- <52> 또한, 본 발명에 따른 불휘발성 메모리 시스템의 메모리 셀 어레이들은 로우 어드레스들을 공유한다. 그에 따라, 하나의 로우 어드레스를 동시에 수신하여 독출 준비를 동시에 시작할 수 있다. 그에 따라, 전체 독출 시간을 줄일 수 있는 장점이 있다.

도면의 간단한 설명

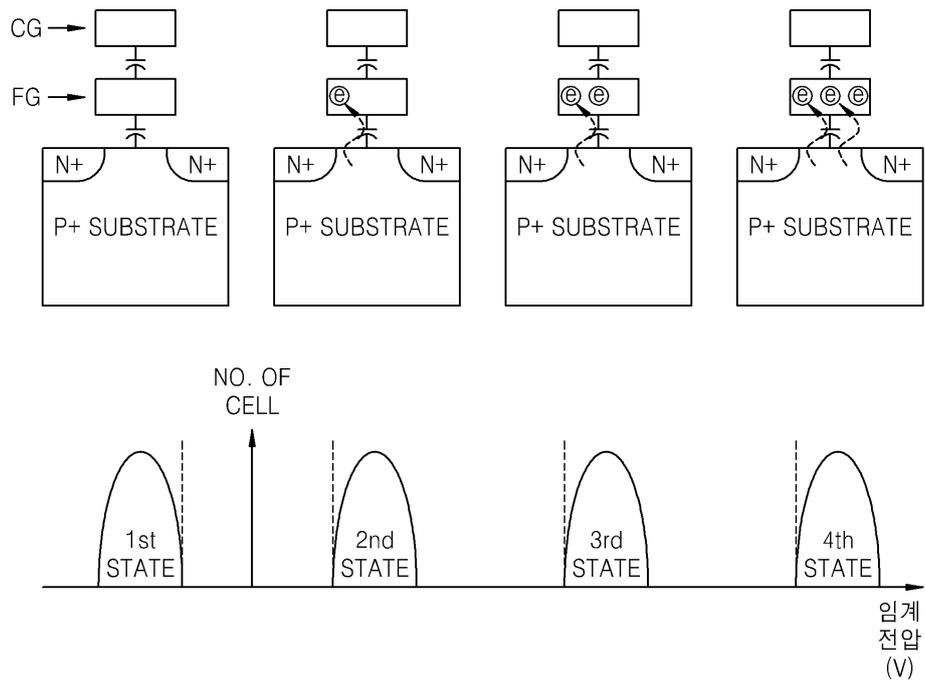
- <1> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <2> 도 1은 불휘발성 메모리 셀의 구조와 동작을 설명하는 도면이다.
- <3> 도 2는 불휘발성 멀티 레벨 셀의 동작을 설명하는 도면이다.
- <4> 도 3은 본 발명의 제1실시예에 따른 불휘발성 메모리 시스템을 나타내는 블록도이다.
- <5> 도 4는 본 발명의 제2실시예에 따른 불휘발성 메모리 시스템을 나타내는 블록도이다.
- <6> 도 5는 도 4 및 도 5의 불휘발성 메모리 시스템의 동작을 나타내는 타이밍도이다.

도면

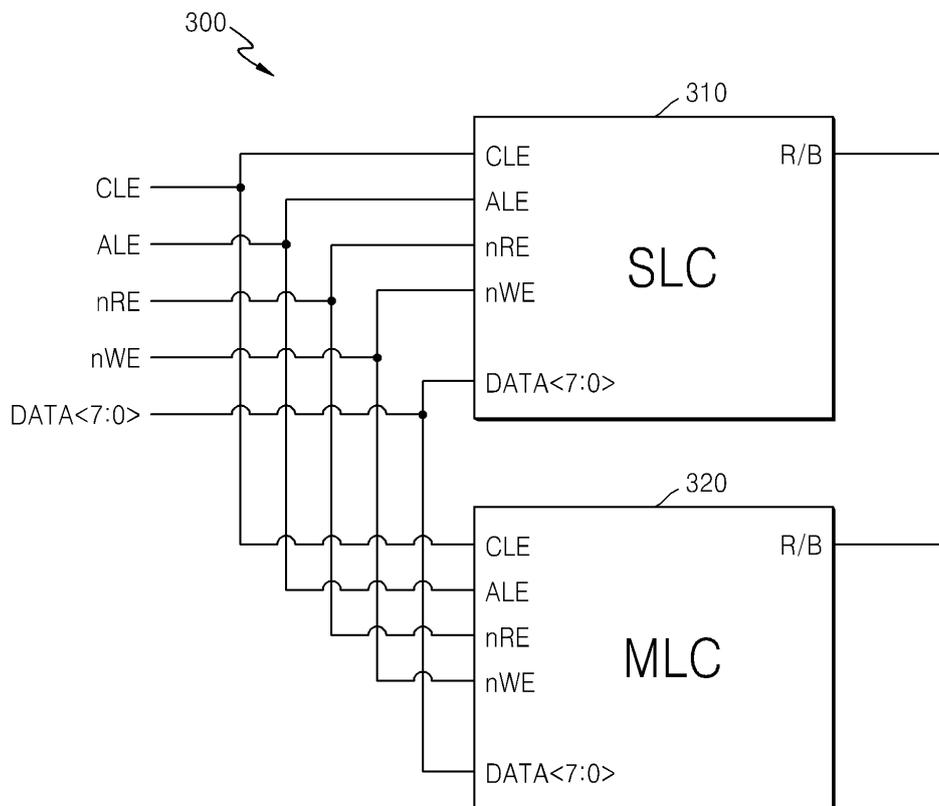
도면1



도면2



도면3



도면5

