

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4878871号
(P4878871)

(45) 発行日 平成24年2月15日(2012.2.15)

(24) 登録日 平成23年12月9日(2011.12.9)

(51) Int.Cl. F I
HO2M 3/155 (2006.01)
 HO2M 3/155 U
 HO2M 3/155 P
 HO2M 3/155 B

請求項の数 10 (全 20 頁)

(21) 出願番号	特願2006-55203 (P2006-55203)	(73) 特許権者	000006747
(22) 出願日	平成18年3月1日(2006.3.1)		株式会社リコー
(62) 分割の表示	特願2001-189792 (P2001-189792) の分割		東京都大田区中馬込1丁目3番6号
原出願日	平成13年6月22日(2001.6.22)	(74) 代理人	100062144
(65) 公開番号	特開2006-149198 (P2006-149198A)		弁理士 青山 稔
(43) 公開日	平成18年6月8日(2006.6.8)	(74) 代理人	100098280
審査請求日	平成20年5月27日(2008.5.27)		弁理士 石野 正弘
(31) 優先権主張番号	特願2001-38394 (P2001-38394)	(72) 発明者	松尾 正浩
(32) 優先日	平成13年2月15日(2001.2.15)		東京都大田区中馬込1丁目3番6号 株式 会社リコー内
(33) 優先権主張国	日本国(JP)	(72) 発明者	新田 昇一
			東京都大田区中馬込1丁目3番6号 株式 会社リコー内
		審査官	安池 一貴

最終頁に続く

(54) 【発明の名称】 電源回路

(57) 【特許請求の範囲】

【請求項1】

直流電源からの電源電圧を所定の電圧に降圧して、所定の機能を有するシステム装置に電源供給を行う電源回路において、

上記直流電源からの電源電圧を所定の電圧V aに降圧して出力するDC - DCコンバータと、

該DC - DCコンバータからの出力電圧を少なくとも1つの所定の電圧V bに降圧して上記システム装置に電源供給を行うボルテージレギュレータと、
を備え、

上記DC - DCコンバータは、

直流電源からの電源電圧をスイッチングして出力するスイッチング回路部と、

該スイッチング回路部から出力される脈流電圧を平滑して上記ボルテージレギュレータに出力する平滑回路部と、

該平滑回路部から出力された電圧を検出し、該検出した電圧に応じて、平滑回路部からの出力電圧が所定の電圧V aになるように上記スイッチング回路部におけるスイッチング動作の制御を行う制御部と、

を備え、

上記制御部は、上記所定の信号が入力されると、上記スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を上記平滑回路部に出力させ、電源供給先の上記システム装置から、低消費電力の動作モードを解除して通常動作を行う際に出

力される所定の解除信号が入力され、上記平滑回路部からの出力電圧が上記所定の電圧 V_a を超えていると、上記平滑回路部の出力端に負荷を接続し、該負荷に流れる電流を制御して平滑回路部から出力される電圧を上記所定の電圧 V_a まで低下させることを特徴とする電源回路。

【請求項 2】

直流電源からの電源電圧を所定の電圧に降圧して、所定の機能を有するシステム装置に電源供給を行う電源回路において、

上記直流電源からの電源電圧を所定の電圧 V_a に降圧して出力する DC - DC コンバータと、

該 DC - DC コンバータからの出力電圧を少なくとも 1 つの所定の電圧 V_b に降圧して上記システム装置に電源供給を行うボルテージレギュレータと、
を備え、

上記 DC - DC コンバータは、電源供給先の上記システム装置から、低消費電力の動作モードを実行する際に出力される所定の信号が入力されると、直流電源からの電源電圧を出力し、

上記 DC - DC コンバータは、
直流電源からの電源電圧をスイッチングして出力するスイッチング回路部と、
該スイッチング回路部から出力される脈流電圧を平滑して上記ボルテージレギュレータに出力する平滑回路部と、

該平滑回路部から出力された電圧を検出し、該検出した電圧に応じて、平滑回路部からの出力電圧が所定の電圧 V_a になるように上記スイッチング回路部におけるスイッチング動作の制御を行う制御部と、
を備え、

上記制御部は、上記所定の信号が入力されると、上記スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を上記平滑回路部に出力させ、電源供給先の上記システム装置から、低消費電力の動作モードを解除して通常動作を行う際に出力される所定の解除信号が入力され、上記平滑回路部からの出力電圧が上記所定の電圧 V_a を超えていると、上記平滑回路部の出力端に負荷を接続し、該負荷に流れる電流を制御して平滑回路部から出力される電圧を上記所定の電圧 V_a まで低下させることを特徴とする電源回路。

【請求項 3】

上記制御部は、
上記負荷をなすトランジスタと、
上記所定の解除信号が入力されると、平滑回路部から出力された電圧が所定の電圧 V_a 以下であるか否かを判定し、該判定結果を出力する出力電圧判定回路と、
上記所定の解除信号が入力されると、該出力電圧判定回路からの判定結果に応じて上記トランジスタの動作制御を行い、該トランジスタに流れる電流を制御する電流制御回路と、
を備えることを特徴とする請求項 1 又は 2 記載の電源回路。

【請求項 4】

上記電流制御回路は、出力電圧判定回路によって平滑回路部の出力電圧が所定の電圧 V_a を超えていると判定された場合、上記トランジスタに流れる電流を所定の速さで増加させることを特徴とする請求項 3 記載の電源回路。

【請求項 5】

上記電流制御回路は、出力電圧判定回路によって平滑回路部の出力電圧が所定の電圧 V_a になったと判定されてから、所定の時間 t_2 の間、引き続き上記トランジスタに流れる電流を所定の速さで増加させた後、所定の時間 t_3 の間、上記トランジスタに対して飽和電流が流れるように制御することを特徴とする請求項 4 記載の電源回路。

【請求項 6】

上記電流制御回路は、上記所定の時間 t_3 経過後、上記トランジスタに流れる電流を所

10

20

30

40

50

定の速さで減少させることを特徴とする請求項 5 記載の電源回路。

【請求項 7】

上記制御部は、電源供給先の上記システム装置から、低消費電力の動作モードを実行する際に出力される上記所定の信号が入力されると、上記スイッチング回路部から出力される電流を検出し、該検出した電流値に応じてスイッチング回路部に対して出力電流の制御を行うことを特徴とする請求項 1、2、3、4、5 又は 6 記載の電源回路。

【請求項 8】

上記制御部は、検出した電流値が所定値未満のときは、上記スイッチング回路部に対して電源電圧を平滑回路部に出力させ、検出した電流値が所定値以上のときは、該電流値が所定値未満になるまで上記スイッチング回路部に対して出力電流を所定の方法で低下させることを特徴とする請求項 7 記載の電源回路。

10

【請求項 9】

上記制御部は、電源供給先の上記システム装置から、低消費電力の動作モードを解除して通常動作を行う際に出力される所定の解除信号が入力されると、上記平滑回路部からの出力電圧が所定の電圧 V_a に低下するまでの間、一定速度で低下する基準電圧 V_r2 と、上記平滑回路部からの出力電圧に応じた電圧とを比較し、該比較結果に応じて上記スイッチング回路部におけるスイッチング動作のデューティサイクルを制御することを特徴とする請求項 1、2、3、4、5、6、7 又は 8 記載の電源回路。

【請求項 10】

上記制御部は、上記平滑回路部からの出力電圧が所定の電圧 V_a まで低下すると、所定の基準電圧 V_r1 と、上記平滑回路部からの出力電圧に応じた電圧とを比較し、該比較結果に応じて上記スイッチング回路部におけるスイッチング動作のデューティサイクルを制御することを特徴とする請求項 9 記載の電源回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、携帯電話等の各種電池を使用する機器等で使用される電源回路に関し、特に、低消費電力化を図ることができる電源回路に関する。

【背景技術】

【0002】

従来、直流電源から供給される直流電圧を所定の電圧に降圧する電源回路として、ボルテージレギュレータを使用したものと、DC-DCコンバータを使用したものがあった。

図5は、ボルテージレギュレータを使用した電源回路の従来例を示した回路図である。図5のボルテージレギュレータ100において、各種電池(2次電池も含む)等の直流電源101から電源電圧VDDが印加される電源端と接地との間にPチャネル型MOSトランジスタ(以下、PMOSトランジスタと呼ぶ)102、抵抗103及び104が直列に接続されている。

30

【0003】

抵抗103及び104は出力電圧Voutを分圧し、該分圧電圧と基準電圧発生回路105で生成して出力される所定の基準電圧Vrefとを電圧比較器106で比較し、該比較結果に応じてPMOSトランジスタ102の動作を制御して出力電圧Voutが所望の値で一定になるようにしている。なお、図5では、ボルテージレギュレータ100がCPU107に電源を供給している場合を例にして示している。

40

【0004】

なお、負荷電流を供給する第1トランジスタと、出力電圧に応じてオン/オフする第2トランジスタと、該第2トランジスタによりオン/オフされて前記第1トランジスタをオン/オフし、かつオン時には定電流を供給する第3トランジスタと、電池の出力電圧を分割し前記第3トランジスタにベース電圧を与える分割抵抗と、前記第3トランジスタのコレクタと前記第2トランジスタのベース間に接続されたダイオードとからなり、電池の出力電圧が所定電圧に降下し前記ダイオードが導通することにより前記第1トランジスタが

50

スイッチング・モードから連続オン・モードに移行して動作するスイッチング電源回路があった（例えば、特許文献1参照。）。

【特許文献1】実開昭58-58622号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、このようなボルテージレギュレータは、電源電圧VDDを所定の出力電圧Voutに降圧する際、PMOSトランジスタ101での電力消費が大きいという問題があった。例えば、電源電圧VDDを3.6Vとし、ボルテージレギュレータ100で該3.6Vを2Vに降圧して出力する場合、CPU107の消費電流を100mAとすると、PMOSトランジスタ101で電力消費は0.16Wとなる。このように、CPUの動作電圧値が下がっている近年では、電池電圧とCPU動作電圧の差分をボルテージレギュレータで消費させることになり、低消費電力を目指したシステムには不向きであった。

10

【0006】

そこで、電源に電池を使用する機器では、ボルテージレギュレータの代わりに図6で示すようなDC-DCコンバータを電源回路として使用していた。なお、図6では、DC-DCコンバータにCPUが接続される場合を例にして示している。図6におけるDC-DCコンバータ110は、直流電源101から印加される電源電圧VDDを所望の出力電圧Voutに降圧してCPU107に電源として供給している。

【0007】

20

一方、電源に電池を使用した機器では、消費電力を極力減らして電池の消耗を抑制するために、必要に応じて、各部の動作を一時的に停止させて低消費電力状態にするスリープ機能を有している。このような場合、図6のCPU107が該スリープ状態になるとき、DC-DCコンバータ110は、該スリープ状態での出力端を接地レベル、又はハイ(High)インピーダンス状態にすることで消費電流の軽減を図っていた。このことは、DC-DCコンバータ110がダイレクトに電源供給先のデバイスであるCPU107の電源をコントロールするために配慮されたものである。

【0008】

また、電源供給先のデバイスであるCPU107が、スリープ状態であるにもかかわらず自動的にオン/オフを繰り返して、必要に応じて機器の各部(図示せず)に対して間欠的に起動をかけるものであった場合、DC-DCコンバータ110を常に活性化状態にして使用する必要があった。DC-DCコンバータ110を常に活性化状態で使用した場合、DC-DCコンバータ110自身での電力消費が機器の消費電力に与える影響が大きかった。また、電源に電池を使用した機器では、消費電力を極力減らして電池の消耗を抑制する必要があり、DC-DCコンバータ110の代わりに、消費電力の大きいボルテージレギュレータを使用するには問題があった。

30

【0009】

本発明は、上記のような問題を解決するためになされたものであり、電源供給先のデバイスがスリープ状態ではなく通常の電力消費を行う場合には、DC-DCコンバータを動作させることにより効率よく電源電圧を降圧した後にボルテージレギュレータによって安定した電源を供給し、電源供給先のデバイスがスリープ状態で電力消費が小さい場合には、DC-DCコンバータを非活性化状態にして電力消費を抑えると共に、DC-DCコンバータをスルーした電源電圧をボルテージレギュレータのみで所望の電圧値にレギュレーションした電源を電源供給先のデバイスに供給するようにしたことから、スリープ状態時に電力消費を低減することができると共に、電源供給先のデバイスが該スリープ状態時に間欠的に動作する場合においても該デバイスに電源供給を行うことができる電源回路を得ることを目的とする。

40

【課題を解決するための手段】

【0010】

この発明に係る電源回路は、直流電源からの電源電圧を所定の電圧に降圧して、所定の

50

機能を有するシステム装置に電源供給を行う電源回路において、

上記直流電源からの電源電圧を所定の電圧 V_a に降圧して出力する DC - DC コンバータと、

該 DC - DC コンバータからの出力電圧を少なくとも1つの所定の電圧 V_b に降圧して上記システム装置に電源供給を行うボルテージレギュレータと、

を備え、

上記 DC - DC コンバータは、

直流電源からの電源電圧をスイッチングして出力するスイッチング回路部と、

該スイッチング回路部から出力される脈流電圧を平滑して上記ボルテージレギュレータに出力する平滑回路部と、

該平滑回路部から出力された電圧を検出し、該検出した電圧に応じて、平滑回路部からの出力電圧が所定の電圧 V_a になるように上記スイッチング回路部におけるスイッチング動作の制御を行う制御部と、

を備え、

上記制御部は、上記所定の信号が入力されると、上記スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を上記平滑回路部に出力させ、電源供給先の上記システム装置から、低消費電力の動作モードを解除して通常動作を行う際に出力される所定の解除信号が入力され、上記平滑回路部からの出力電圧が上記所定の電圧 V_a を超えていると、上記平滑回路部の出力端に負荷を接続し、該負荷に流れる電流を制御して平滑回路部から出力される電圧を上記所定の電圧 V_a まで低下させるものである。

【0013】

また、この発明に係る電源回路は、直流電源からの電源電圧を所定の電圧に降圧して、所定の機能を有するシステム装置に電源供給を行う電源回路において、

上記直流電源からの電源電圧を所定の電圧 V_a に降圧して出力する DC - DC コンバータと、

該 DC - DC コンバータからの出力電圧を少なくとも1つの所定の電圧 V_b に降圧して上記システム装置に電源供給を行うボルテージレギュレータと、

を備え、

上記 DC - DC コンバータは、電源供給先の上記システム装置から、低消費電力の動作モードを実行する際に出力される所定の信号が入力されると、直流電源からの電源電圧を出力し、

上記 DC - DC コンバータは、

直流電源からの電源電圧をスイッチングして出力するスイッチング回路部と、

該スイッチング回路部から出力される脈流電圧を平滑して上記ボルテージレギュレータに出力する平滑回路部と、

該平滑回路部から出力された電圧を検出し、該検出した電圧に応じて、平滑回路部からの出力電圧が所定の電圧 V_a になるように上記スイッチング回路部におけるスイッチング動作の制御を行う制御部と、

を備え、

上記制御部は、上記所定の信号が入力されると、上記スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を上記平滑回路部に出力させ、電源供給先の上記システム装置から、低消費電力の動作モードを解除して通常動作を行う際に出力される所定の解除信号が入力され、上記平滑回路部からの出力電圧が上記所定の電圧 V_a を超えていると、上記平滑回路部の出力端に負荷を接続し、該負荷に流れる電流を制御して平滑回路部から出力される電圧を上記所定の電圧 V_a まで低下させるものである。

【0016】

具体的には、上記制御部は、負荷をなすトランジスタと、所定の解除信号が入力されると、平滑回路部から出力された電圧が所定の電圧 V_a 以下であるか否かを判定し、該判定結果を出力する出力電圧判定回路と、所定の解除信号が入力されると、該出力電圧判定回路からの判定結果に応じて上記トランジスタの動作制御を行い、該トランジスタに流れる

10

20

30

40

50

電流を制御する電流制御回路とを備えるものである。

【0017】

また、上記電流制御回路は、出力電圧判定回路によって平滑回路部の出力電圧が所定の電圧 V_a を超えていると判定された場合、上記トランジスタに流れる電流を所定の速さで増加させるようにした。

【0018】

また、上記電流制御回路は、出力電圧判定回路によって平滑回路部の出力電圧が所定の電圧 V_a になったと判定されてから、所定の時間 t_2 の間、引き続き上記トランジスタに流れる電流を所定の速さで増加させた後、所定の時間 t_3 の間、上記トランジスタに対して飽和電流が流れるように制御するようにした。

10

【0019】

更に、上記電流制御回路は、所定の時間 t_3 経過後、上記トランジスタに流れる電流を所定の速さで減少させるものである。

【0020】

また、上記制御部は、電源供給先の上記システム装置から、低消費電力の動作モードを実行する際に出力される上記所定の信号が入力されると、スイッチング回路部から出力される電流を検出し、該検出した電流値に応じてスイッチング回路部に対して出力電流の制御を行うようにしてもよい。

【0021】

具体的には、上記制御部は、検出した電流値が所定値 未満のときは、スイッチング回路部に対して電源電圧を平滑回路部へ出力させ、検出した電流値が所定値 以上のときは、該電流値が所定値 未満になるまでスイッチング回路部に対して出力電流を所定の方法で低下させるようにした。

20

【0022】

一方、上記制御部は、電源供給先の上記システム装置から、低消費電力の動作モードを解除して通常動作を行う際に出力される所定の解除信号が入力されると、平滑回路部からの出力電圧が所定の電圧 V_a に低下するまでの間、一定速度で低下する基準電圧 V_r2 と、平滑回路部からの出力電圧に応じた電圧とを比較し、該比較結果に応じてスイッチング回路部におけるスイッチング動作のデューティサイクルを制御するようにしてもよい。

【0023】

この場合、上記制御部は、平滑回路部からの出力電圧が所定の電圧 V_a まで低下すると、所定の基準電圧 V_r1 と、平滑回路部からの出力電圧に応じた電圧とを比較し、該比較結果に応じてスイッチング回路部におけるスイッチング動作のデューティサイクルを制御するものである。

30

【発明の効果】

【0024】

本発明の電源回路によれば、DC-DCコンバータで電源電圧を所定の電圧 V_a に降圧した後、更にボルテージレギュレータによって所定の電圧 V_b に降圧してシステム装置に電源供給するようにした。このことから、ボルテージレギュレータによる消費電力を低減させることができるため、低消費電力化を図ることができ、各種電池（2次電池も含む）を電源とした機器において、電池の消耗を抑制することができる。

40

【0025】

また、DC-DCコンバータは、電源供給先のシステム装置から、低消費電力の動作モードを実行する際に出力される所定の信号が入力されると、非活性化状態となって動作を停止し、直流電源からの電源電圧を出力するようにした。このことから、電源供給先のシステム装置が低消費電力の動作モードを実行して一時的に動作を停止する際、DC-DCコンバータを非活性化状態にして動作を停止させることができるため、更に低消費電力化を図ることができると共に、システム装置、例えばCPUが低消費電力動作時において間欠的に動作する場合においも、電源の供給を行うことができる。

【0026】

50

具体的には、DC - DCコンバータにおいて、制御部は、システム装置から所定の信号が入力されると非活性化状態となり、スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を常時平滑回路部に出力させるようにした。このことから、DC - DCコンバータにおいて、簡単な構成で、非活性化状態時に直流電源からの電源電圧をボルテージレギュレータに出力することができる。

【0027】

一方、上記DC - DCコンバータは、電源供給先のシステム装置から、低消費電力の動作モードを実行する際に出力される所定の信号が入力されると、直流電源からの電源電圧を出力するようにした。このことから、電源供給先のシステム装置が低消費電力の動作モードを実行して一時的に動作を停止する際、DC - DCコンバータにおける所定の電圧 V_a を生成する動作を停止させることができるため、低消費電力化を図ることができると共に、システム装置、例えばCPUが低消費電力動作時において間欠的に動作する場合においても、電源の供給を行うことができる。

10

【0028】

この場合、DC - DCコンバータにおいて、制御部は、上記所定の信号が入力されると、スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を上記平滑回路部に出力させるようにした。このことから、DC - DCコンバータにおいて、簡単な構成で、低消費電力の動作モード時に直流電源からの電源電圧をボルテージレギュレータに出力することができる。

【0029】

20

更に、上記制御部は、低消費電力の動作モードが解除されたときに、平滑回路部からの出力電圧が所定の電圧 V_a を超えていると、平滑回路部の出力端に負荷を接続し、該負荷に流れる電流を制御して平滑回路部から出力される電圧を所定の電圧 V_a まで低下させるようにした。このことから、低消費電力の動作モードから通常動作に移行する際に、DC - DCコンバータからボルテージレギュレータへの出力電圧に発生するアンダシュートを低減させることができる。

【0030】

具体的には、上記制御部は、負荷をなすトランジスタと、所定の解除信号が入力されると、平滑回路部から出力された電圧が所定の電圧 V_a 以下であるか否かを判定し、該判定結果を出力する出力電圧判定回路と、所定の解除信号が入力されると、該出力電圧判定回路からの判定結果に応じて上記トランジスタの動作制御を行い、該トランジスタに流れる電流を制御する電流制御回路とを備えるようにした。このことから、簡単な構成で、低消費電力の動作モードから通常動作に移行する際に、DC - DCコンバータからボルテージレギュレータへの出力電圧に発生するアンダシュートを低減させることができる。

30

【0031】

また、上記電流制御回路は、出力電圧判定回路が平滑回路部の出力電圧が所定の電圧 V_a を超えていると判定した場合、上記トランジスタに流れる電流を所定の速さで増加させるようにした。このことから、低消費電力の動作モードから通常動作への移行時に、平滑回路部の出力電圧を電源電圧から所定の電圧 V_a に次第に低下させることができるため、平滑回路部の出力電圧におけるアンダシュートを低減させることができる。

40

【0032】

また、上記電流制御回路は、出力電圧判定回路が平滑回路部の出力電圧が所定の電圧 V_a になったと判定してから、所定の時間 t_2 の間、引き続き上記トランジスタに流れる電流を所定の速さで増加させた後、所定の時間 t_3 の間、上記トランジスタに対して飽和電流が流れるように制御するようにした。このことから、平滑回路部の出力電圧が所定の電圧 V_a になってから制御部がスイッチング回路部に対するスイッチング動作の制御を開始するまでの時間に、平滑回路部の出力端に急激な負荷電流の増加を防止することができ、平滑回路部の出力電圧におけるアンダシュートを低減させることができる。

【0033】

更に、上記電流制御回路は、所定の時間 t_3 経過後、上記トランジスタに流れる電流を

50

所定の速さで減少させるようにした。このことから、トランジスタに電流が流れている状態のときにボルテージレギュレータが動作を開始するようにすることができ、ボルテージレギュレータの動作開始時に、平滑回路部の出力端からの出力電流が急激に増加することによる、平滑回路部の出力電圧のアンダシュートを低減させることができる。

【0034】

また、上記制御部は、電源供給先の上記システム装置から、低消費電力の動作モードを実行する際に出力される上記所定の信号が入力されると、上記スイッチング回路部から出力される電流を検出し、該検出した電流値に応じてスイッチング回路部に対して出力電流の制御を行うようにした。このことから、通常動作から低消費電力の動作モードへの移行時に、平滑回路部の出力電圧を所定の電圧 V_a から電源電圧への急激な上昇を防止することができ、平滑回路部の出力電圧におけるオーバシュートを低減させることができる。

10

【0035】

具体的には、上記制御部は、検出した電流値が所定値未満のときは、スイッチング回路部に対して電源電圧を平滑回路部に出力させ、検出した電流値が所定値以上のときは、該電流値が所定値未満になるまでスイッチング回路部に対して出力電流を所定の方法で低下させるようにした。このことから、通常動作から低消費電力の動作モードへの移行時に、平滑回路部の出力電圧を所定の電圧 V_a から電源電圧への急激な上昇を確実に防止することができる。

【0036】

20

一方、上記制御部は、電源供給先の上記システム装置から、低消費電力の動作モードを解除して通常動作を行う際に出力される所定の解除信号が入力されると、平滑回路部からの出力電圧が所定の電圧 V_a に低下するまでの間、一定速度で低下する基準電圧 V_{r2} と、平滑回路部からの出力電圧に応じた電圧とを比較し、該比較結果に応じてスイッチング回路部におけるスイッチング動作のデューティサイクルを制御するようにした。このことから、低消費電力の動作モードから通常動作に移行する際に、DC-DCコンバータからボルテージレギュレータへの出力電圧に発生するアンダシュートをより一層低減させることができる。

【0037】

この場合、平滑回路部からの出力電圧が所定の電圧 V_a まで低下すると、所定の基準電圧 V_{r1} と、平滑回路部からの出力電圧に応じた電圧とを比較し、該比較結果に応じてスイッチング回路部におけるスイッチング動作のデューティサイクルを制御するようにした。このことから、アンダシュートを低減させて平滑回路部の出力電圧を所定の電圧 V_a にした後、低消費電力の動作モードから通常動作への移行が完了した時点で通常動作を行うことができる。

30

【発明を実施するための最良の形態】

【0038】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態 .

図1は、本発明の第1の実施の形態における電源回路の構成例を示した図である。

40

図1において、電源回路1は、各種電池(2次電池も含む)等の直流電源10から印加される電源電圧 V_{DD} を降圧して所定の電圧 V_a を出力するDC-DCコンバータ2と、DC-DCコンバータ2からの出力電圧を降圧して所定の電圧 V_b を出力するボルテージレギュレータ3とで構成されている。

【0039】

電源電圧 V_{DD} が印加される電源端と接地との間には、DC-DCコンバータ2が接続され、DC-DCコンバータ2の出力端と接地との間にボルテージレギュレータ3が接続され、ボルテージレギュレータ3の出力端は、電源供給先のデバイスであるCPU11の電源端に接続されている。なお、図1では、電源回路1から電源供給が行われるデバイスとしてCPU11を例にして示しているが、CPU11以外にもDSPやメモリ等があり

50

、これらがシステム装置をなす。

【0040】

ボルテージレギュレータ3は、Pチャネル型MOSトランジスタ(以下、PMOSトランジスタと呼ぶ)21と、抵抗22, 23と、基準電圧発生回路24と、電圧比較器25とで構成されている。DC-DCコンバータ2の出力端と接地との間にPMOSトランジスタ21、抵抗22及び23が直列に接続され、PMOSトランジスタ21と抵抗22との接続部がボルテージレギュレータ3の出力端をなしている。また、抵抗22と抵抗23との接続部は、電圧比較器25の一方の入力端に接続され、電圧比較器25の他方の入力端には、基準電圧発生回路24からの基準電圧 V_{ref} が入力されている。電圧比較器25の出力端は、PMOSトランジスタ21のゲートに接続されている。

10

【0041】

抵抗22及び抵抗23は出力電圧 V_b を分圧し、該分圧電圧と基準電圧発生回路24からの基準電圧 V_{ref} を電圧比較器25で比較する。電圧比較器25は、該分圧電圧が基準電圧 V_{ref} よりも大きい場合は、PMOSトランジスタ21から流れる電流が減少するようにPMOSトランジスタ21の動作制御を行い、上記分圧電圧が基準電圧 V_{ref} よりも小さい場合は、PMOSトランジスタ21から流れる電流が増加するようにPMOSトランジスタ21の動作制御を行う。

【0042】

このような構成において、CPU11は、各部の動作を一時的に停止させて低消費電力状態(以下、スリープ状態と呼ぶ)にする機能を有しており、該スリープ状態にするときは、DC-DCコンバータ2に対して所定のスリープ信号SLPを出力する。DC-DCコンバータ2は、CPU11がスリープ状態ではない通常状態の動作を行っているとき、すなわち所定のスリープ信号SLPがCPU11から入力されていないときは、直流電源10から入力される電源電圧 V_{DD} を降圧して生成した出力電圧 V_a を、ボルテージレギュレータ3に対して電源電圧として出力する。

20

【0043】

ボルテージレギュレータ3は、DC-DCコンバータ2から電源電圧として印加される電圧 V_a を降圧して生成した電圧 V_b をCPU11への電源電圧として供給する。このように、電源回路1は、直流電源10からの電源電圧 V_{DD} を、DC-DCコンバータ2で電圧 V_a に降圧した後、更にボルテージレギュレータ3で電圧 V_b に降圧してCPU11に電源電圧として供給する。例えば、電源電圧 V_{DD} を3.6Vの場合、DC-DCコンバータ2の出力電圧 V_a は2.0V、ボルテージレギュレータ3の出力電圧 V_b は1.8Vといったように、ボルテージレギュレータ3での電圧の降圧値を小さくすることができる。このようにすることによって、ボルテージレギュレータ3の消費電力を低減させることができる。

30

【0044】

次に、CPU11は、スリープ状態の動作を行うスリープモードの場合、すなわちDC-DCコンバータ2に対して所定のスリープ信号SLPを出力した場合、DC-DCコンバータ2は、非活性化状態となって動作を停止する。DC-DCコンバータ2は、動作を停止すると、直流電源10から印加されている電源電圧 V_{DD} をそのまま出力端から出力電圧 V_a として出力する。すなわち、ボルテージレギュレータ3に電源電圧 V_{DD} が電源電圧として印加されるが、CPU11はスリープモードで動作しており、該スリープモードで動作を停止している場合はほとんど電流が消費されない。このため、ボルテージレギュレータ3での電力消費はほとんどない。

40

【0045】

一方、CPU11は、スリープモードの動作として、間欠的、例えば1秒ごとに動作を行う場合がある。しかし、このような間欠動作状態の場合、CPU11が動作するために必要な電源は、ボルテージレギュレータ3がDC-DCコンバータ2をスルーして印加される電源電圧 V_{DD} を出力電圧 V_b に降圧して得られる。しかし、このときのCPU11によって消費される電流が小さいことから、ボルテージレギュレータ3におけるPMOS

50

トランジスタ 21 による消費電力は小さい。

【0046】

次に、図 2 は、DC - DC コンバータ 2 の内部構成例を示した図であり、図 2 を用いて、DC - DC コンバータ 2 の具体的な内部構成について説明する。

図 2 において、DC - DC コンバータ 2 は、直流電源 10 から供給される電源をスイッチングして出力するスイッチング回路部 31 と、該スイッチング回路部 31 から出力される脈流電圧を平滑する平滑回路部 32 と、スイッチング回路部 31 のスイッチング動作の制御を行う制御部 33 とで構成されている。

【0047】

スイッチング回路部 31 は、PMOS トランジスタ 41 で構成され、該 PMOS トランジスタ 41 のドレインとソースの間には寄生ダイオード 42 が形成されている。PMOS トランジスタ 41 において、ソースには直流電源 10 から電源電圧 VDD が印加されており、ゲートは制御部 33 に、ドレインは平滑回路部 32 にそれぞれ接続されている。なお、PMOS トランジスタ 41 のサブストレートゲートはソースに接続されている。

10

【0048】

平滑回路部 32 は、平滑コイルをなすチョークコイル 45 と、平滑コンデンサをなすコンデンサ 46、フライホイールダイオードをなすダイオード 47 で構成されている。チョークコイル 45 とコンデンサ 46 は、PMOS トランジスタ 41 から入力される脈流電圧を平滑して出力するチョーク入力型の平滑回路を形成している。また、チョークコイル 45 の入力端にカソードが接続されると共にアノードが接地されたダイオード 47 がフライ

20

【0049】

平滑回路部 32 で平滑された直流電圧は、制御部 33 に出力されると共に出力電圧 Va としてボルテージレギュレータ 3 に出力される。制御部 33 は、CPU 11 から所定のスリープ信号 SLP が入力されていないときは、あらかじめ設定された周波数、例えば数百 kHz ~ 1 MHz のパルス信号を PMOS トランジスタ 41 のゲートに出力する。

【0050】

また、制御部 33 は、平滑回路部 32 から出力される出力電圧の監視を行い、該出力電圧があらかじめ設定された電圧 Va、例えば 2.0 V になるように PMOS トランジスタ 41 のゲートに出力するパルス信号のデューティサイクルを制御する。具体的には、制御部 33 は、出力電圧が設定電圧 Va よりも小さい場合は、デューティサイクルを小さくして PMOS トランジスタ 41 がオンする期間を長くし、出力電圧が設定電圧 Va よりも大きい場合は、デューティサイクルを大きくして PMOS トランジスタ 41 がオンする期間を短くする。更に、制御部 33 は、出力電圧が設定電圧 Va になっている場合は、現状のデューティサイクルを維持するようにしてもよい。

30

【0051】

一方、制御部 33 は、CPU 11 から所定のスリープ信号 SLP が入力されると、制御部 33 は非活性化状態となって動作を停止し、PMOS トランジスタ 41 のゲートはロー (Low) レベルとなる。このため、PMOS トランジスタ 41 はオンした状態となり、平滑回路部 32 からの出力電圧は、直流電源 10 からの電源電圧 VDD と同じ電圧になる。

40

【0052】

なお、上記説明では、ボルテージレギュレータ 3 は、1 つの出力電圧 Vb を出力する場合を例にして説明したが、複数の異なる電圧を出力するようにしてもよい。また、DC - DC コンバータ 2 におけるスイッチング回路部 31 及び制御部 33、並びにボルテージレギュレータ 3 は 1 つの IC で形成することができる。

【0053】

更に、図 2 では、平滑回路部 32 にフライホイールダイオードを使用した場合を例にして説明したが、図 3 で示すように、フライホイールダイオードの代わりに PMOS トランジスタ 41 のドレインと接地との間に N チャンネル型 MOS トランジスタ (以下、NMOS

50

トランジスタと呼ぶ) 51を接続し、該NMOSトランジスタ51の動作制御を制御部33で行うようにしてもよい。

【0054】

この場合、制御部33において、PMOSトランジスタ41への制御信号S1とNMOSトランジスタ51への制御信号S2の関係例は図4で示すようになる。図4で示しているように、制御部33は、同時にオンすることがないようにPMOSトランジスタ41とNMOSトランジスタ51の制御を行う。また、NMOSトランジスタ51は、DC-DCコンバータ2におけるスイッチング回路部31及び制御部33、並びにボルテージレギュレータ3と共に1つのIC内に形成することができる。

【0055】

このように、本第1の実施の形態における電源回路は、CPU11が通常動作を行う場合は、DC-DCコンバータ2を動作させることにより効率よく電源電圧VDDを電圧Vaに降圧した後、更にボルテージレギュレータ3によって降圧して安定した電圧VbをCPU11に供給し、CPU11がスリープ状態になると、DC-DCコンバータ2は非活性化状態になって動作を停止して電力消費を抑えると共に、DC-DCコンバータ2をスルーした電源電圧VDDをボルテージレギュレータ3のみで所望の電圧VbにレギュレーションしてCPU11に供給するようにした。このことから、通常動作時におけるボルテージレギュレータによる電力消費を低減させることができると共に、電源供給先のCPU、DSP及びメモリ等のデバイスがスリープ状態になると電力消費を低減することができ、該デバイス、例えばCPUがスリープ状態時に間欠的に動作する場合においも、該デバイスに電源の供給を行うことができる。

【0056】

第2の実施の形態。

上記第1の実施の形態では、DC-DCコンバータ2は、スリープ状態になると非活性化状態となって動作を停止し、電源電圧VDDをスルーしてボルテージレギュレータ3に出力するようにした。しかし、このようにすると、スリープモードから通常動作に移行する際に、DC-DCコンバータ2の出力電圧にアンダシュートが発生する可能性があると共に、通常動作からスリープモードに移行する際にDC-DCコンバータ2の出力電圧にオーバシュートが発生する可能性があった。このことから、DC-DCコンバータにこのようなアンダシュート及びオーバシュートを防止する機能を付加するようにしてもよく、このようにしたものを本発明の第2の実施の形態とする。

【0057】

なお、本発明の第2の実施の形態における電源回路の構成例を示した図は、DC-DCコンバータ2をDC-DCコンバータ2aにすると共に、電源回路1を電源回路1aにする以外は図1と同じであることから省略する。また、本第2の実施の形態の説明では、スリープ信号SLPが、通常動作時にはローレベル、スリープモード時にはハイレベルになる場合を例にして説明すると共に、図2の場合を例にして説明し、図3の場合は同様であるのでその説明を省略する。

【0058】

図7は、本発明の第2の実施の形態における電源回路のDC-DCコンバータの内部回路例を示した図であり、図7では、図2と同じものは同じ符号で示しており、ここではその説明を省略する。

図7において、DC-DCコンバータ2aは、スイッチング回路部31、平滑回路部32及びスイッチング回路部31のスイッチング動作の制御を行う制御部33aとで構成されている。

【0059】

制御部33aは、平滑回路部32からの出力電圧Voが所定の電圧VaになるようにPMOSトランジスタ41のゲートに出力するパルス信号のデューティサイクルを制御するデューティ制御回路部61と、出力電圧Voのアンダシュートを防止するアンダシュート防止回路部62と、出力電圧Voのオーバシュートを防止するオーバシュート防止回路部

10

20

30

40

50

63とで構成されている。なお、制御部33aに入力されたスリープ信号SLPは、デューティ制御回路部61、アンダシュート防止回路部62及びオーバシュート防止回路部63にそれぞれ入力されるが、図7では省略している。

【0060】

ここで、上述したように、スリープモード時には、PMOSトランジスタ41のゲートがローレベルとなることから、出力電圧Voは電源電圧VDDになっている。次に、スリープモードが解除されてもボルテージレギュレータ3は直ちに動作を開始することはできず、ボルテージレギュレータ3が動作を開始するまでには一定の時間を要する。このため、スリープモードが解除されてから一定の時間は、出力電圧Voが設定電圧Vaよりも大きい電源電圧VDD近傍から低下しない。このことから、制御部33aは、PMOSトランジスタ41のゲートをハイレベルにし、PMOSトランジスタ41をオフさせて遮断状態にする。

10

【0061】

このように、出力電圧Voが電源電圧VDD近傍である状態でボルテージレギュレータ3が動作を開始してDC-DCコンバータ2aに負荷が接続された状態になり、図8で示すように、平滑回路部32から負荷電流io(図8では、200mAの負荷電流io)が流れ出すと、出力電圧Voが急激に低下してアンダシュートが発生し、出力電圧Voが一時的に設定電圧Vaを大きく下回る状態が発生する可能性がある。

【0062】

これに対して、通常動作からスリープモードに移行した場合、PMOSトランジスタ41をオンさせて直ちに導通状態にすると、出力電圧Voが設定電圧Vaから電源電圧VDDに急激に上昇する。この場合、出力電圧Voには図8で示すようなオーバシュートが発生し、出力電圧Voが一時的に電源電圧VDDよりも大きく上回る場合が生じる可能性がある。アンダシュート防止回路部62は、このような出力電圧Voのアンダシュートを防止するためのものであり、オーバシュート防止回路部63は、このような出力電圧Voのオーバシュートを防止するためのものである。

20

【0063】

デューティ制御回路部61は、出力電圧Voの検出を行う出力電圧検出部71と、該出力電圧検出部71で検出された出力電圧Voに応じてPMOSトランジスタ41のゲートへのパルス信号におけるデューティサイクルの制御を行うデューティ制御部72とで構成されている。出力電圧検出部71は、演算増幅器73と、出力電圧Voを分圧して出力する分圧回路74と、基準電圧Vr1を生成して出力するVr1発生回路75とで形成されている。分圧回路74は、出力電圧Voと接地との間に直列に接続された抵抗76,77及びNMOSトランジスタ78で構成され、NMOSトランジスタ78のゲートには、スリープ信号SLPの信号レベルをインバータ等(図示せず)で反転させた信号SLPBが入力されている。

30

【0064】

出力電圧検出部71において、通常動作時には、スリープ信号SLPはローレベルであり、NMOSトランジスタ78はゲートにハイレベルの信号SLPBが入力されオンして導通状態となり、出力電圧Voを抵抗76及び77で分圧した分圧電圧Vdが出力される。該分圧電圧Vdは、演算増幅器73の反転入力端に出力され、Vr1発生回路75からの基準電圧Vr1が演算増幅器73の非反転入力端に入力される。演算増幅器73は、入力された分圧電圧Vdと基準電圧Vr1との比較を行い、該比較結果に応じた電圧をデューティ制御部72に出力する。デューティ制御部72は、入力された比較結果に応じたデューティサイクルのパルス信号を生成してPMOSトランジスタ41のゲートに出力する。

40

【0065】

また、スリープモードの動作を行うためにハイレベルのスリープ信号SLPがCPU11から入力されると、出力電圧検出部71の演算増幅器73及びVr1発生回路75並びにデューティ制御部72は、それぞれ動作を停止する。同時に、分圧回路74において、

50

NMOSトランジスタ78がオフして遮断状態となり出力電圧 V_o が分圧電圧 V_d として出力される。デューティ制御部72は、動作を停止すると出力端はオープンとなってハイインピーダンス状態になる。

【0066】

次に、アンダシュート防止回路部62は、平滑回路部32の出力端から接地へ電流 i_a を流す負荷としての動作を行うNMOSトランジスタ81と、分圧回路74からの分圧電圧 V_d と V_{r1} 発生回路75からの基準電圧 V_{r1} との比較を行い、該比較結果に応じた2値の信号を出力する電圧比較器をなす演算増幅器82とを備えている。更に、アンダシュート防止回路部62は、該演算増幅器82からの出力電圧に応じてNMOSトランジスタ81の動作制御を行い平滑回路部32の出力端から流れる電流 i_a の制御を行う電流制御回路83を備えている。なお、演算増幅器82は、出力電圧検出部61の分圧回路74及び V_{r1} 発生回路75と共に出力電圧判定回路をなしている。

10

【0067】

アンダシュート防止回路部62において、スリープモードの動作を行うためにハイレベルのスリープ信号 S_{LP} がCPU11から入力されると、演算増幅器82及び電流制御回路83は、それぞれ動作を停止し、NMOSトランジスタ81はオフして遮断状態となる。スリープモード時においては、PMOSトランジスタ41がオンして導通状態であることから、出力電圧 V_o は、電源電圧 V_{DD} になっている。

【0068】

次に、スリープモードから通常動作に切り替わると、演算増幅器82及び電流制御回路83はそれぞれ活性化状態となって動作を開始する。このとき、出力電圧 V_o は、設定電圧 V_a よりも大きい電源電圧 V_{DD} であることから、制御部33aからはPMOSトランジスタ41をオフさせるハイレベルのゲート電圧が出力されている。このため、基準電圧 V_{r1} よりも分圧電圧 V_d の方が大きく、演算増幅器82の出力端は、ローレベルとなる。

20

【0069】

電流制御回路83は、演算増幅器82からローレベルの信号が入力されると所定の速さでNMOSトランジスタ81のゲート電圧 V_g を上昇させ、図9で示すように、NMOSトランジスタ81には、入力されたゲート電圧 V_g に応じた電流 i_a が流れる。出力電圧 V_o は、電源電圧 V_{DD} から次第に低下し、設定電圧 V_a まで低下する、すなわち分圧電圧 V_d が基準電圧 V_{r1} よりも低下すると、演算増幅器82の出力端はハイレベルになる。

30

【0070】

電流制御回路83は、演算増幅器82からハイレベルの信号が入力されると所定の時間 t_2 の間は引き続きゲート電圧 V_g を上昇させ、所定の時間 t_3 の間ゲート電圧 V_g を電源電圧 V_{DD} で保持した後、所定の時間 t_4 をかけてNMOSトランジスタ81のゲート電圧 V_g を電源電圧 V_{DD} から接地レベルまで低下させる。このとき、NMOSトランジスタ81に流れる電流 i_a は、図9のようになり、ゲート電圧 V_g は図10のようになる。図10で示すように、演算増幅器82からハイレベルの信号が入力されてから所定の時間 t_2 の間引き続き t_1 間と同じ速度でゲート電圧 V_g を上昇させるようにしたのは、出力電圧 V_o が設定電圧 V_a になってからデューティ制御部72がPMOSトランジスタ41に対する動作制御を開始するまでに一定の遅延時間が存在するためである。

40

【0071】

なお、図10では、電流制御回路83が、NMOSトランジスタ81にゲート電圧 V_g の印加を開始して時間 t_1 後に、ゲート電圧 V_g を電源電圧 V_{DD} まで上昇させる前に演算増幅器82からハイレベルの信号が入力された場合を示している。これに対して、演算増幅器82からハイレベルの信号が入力された時点で、電流制御回路83がゲート電圧 V_g を電源電圧 V_{DD} まで上昇させた場合、ゲート電圧 V_g の変化は図11のようになる。図11では、図10の時間 t_1 が、該 t_1 よりも長い時間 t_1' になり、電流制御回路83は、時間 t_2 の間ゲート電圧 V_g を上昇させようとするが、すでにゲート電圧 V_g が電

50

源電圧 V_{DD} になっていることから、結果的にゲート電圧 V_g は $(t_2 + t_3)$ の間電源電圧 V_{DD} で保持されることになる。

【0072】

また、電流制御回路 83 が NMOS トランジスタ 81 のゲート電圧を接地レベルまで低下させる間に、ボルテージレギュレータ 3 が動作を開始して平滑回路部 32 からボルテージレギュレータ 3 に負荷電流 i_o が流れるように、電流制御回路 83 に NMOS トランジスタ 81 のゲート電圧に関する各設定がなされている。すなわち、電流制御回路 83 において、NMOS トランジスタ 81 のゲート電圧に対する、昇圧速度、電源電圧 V_{DD} で保持する時間 t_2 、 t_3 及び電源電圧 V_{DD} から接地レベルまで低下させる降圧速度がそれぞれ電流制御回路 83 にあらかじめ設定されている。

10

【0073】

一方、オーバシュート防止回路部 63 は、通常動作時には非活性化状態になって出力端がオープンになり PMOS トランジスタ 41 へのゲート電圧の印加を停止する。これに対して、スリープモード時には、オーバシュート防止回路部 63 は、活性化状態になって PMOS トランジスタ 41 から出力される電流の検出を行い、該検出した電流に応じて PMOS トランジスタ 41 のゲート電圧の制御を行う。

【0074】

スリープモード時において、オーバシュート防止回路部 63 は、検出した電流が所定値未満、例えば 1 A 未満のときは PMOS トランジスタ 41 のゲートをローレベルにして PMOS トランジスタ 41 をオンさせ、出力電圧 V_o を電源電圧 V_{DD} に上昇させる。また、検出した電流が所定値以上、例えば 1 A 以上のとき、オーバシュート防止回路部 63 は、PMOS トランジスタ 41 から供給される電流を次第に低下させて所定値未満になるように該検出した電流値に応じて PMOS トランジスタ 41 に対するゲート電圧を順次上昇させていく。

20

【0075】

このように各部が動作することにより、出力電圧 V_o は図 12 で示すようになり、スリープモードから通常動作に移行した際に生じる出力電圧 V_o のアンダシュートを低減することができると共に、通常動作からスリープモードに移行した際に生じるオーバシュートを低減することができる。更に、オーバシュート防止回路部 63 は、スリープモード時に、平滑回路部 32 に接続された負荷が短絡した場合等に PMOS トランジスタ 41 から過大な電流が流れることを防止する回路としての機能をも有する。このため、スリープモード時において、DC-DC コンバータ 2a から異常電流が出力されることを防止することができ、信頼性の向上を図ることができる。

30

【0076】

ここで、図 7 では、出力電圧検出部 71 における演算増幅器 73 は、基準電圧 V_{r1} と分圧電圧 V_d との比較結果を出力し、該比較結果に応じたデューティサイクルのパルス信号を PMOS トランジスタ 41 のゲートに出力するようにした。このようにした場合、出力電圧 V_o 、分圧電圧 V_d 及び基準電圧 V_{r1} は、図 13 のようになる。なお、図 13 では、1 点鎖線で囲んだ部分は拡大して示している。スリープ解除時においては、DC-DC コンバータ 2a は非活性化状態とほぼ同じ状態であるため、急に負荷がかかると出力電圧 V_o は、第 1 の実施の形態よりもアンダシュートは大幅に低減されるが、設定電圧 V_a からある程度下がるのが予想される。

40

【0077】

これに対して、図 14 で示すように、あらかじめ設定された電圧変化を行うように基準電圧 V_{r2} を生成して出力する V_{r2} 発生回路 91 を設け、演算増幅器 73 は、出力電圧 V_o が設定電圧 V_a よりも高い場合に V_{r2} 発生回路 91 からの基準電圧 V_{r2} を用いて比較を行うようにしてもよい。なお、図 14 では、図 7 と同じものは同じ符号で示すと共に、ここではその説明を省略すると共に、図 7 との相違点のみ説明する。また、図 14 では、制御部 33a に入力されたスリープ信号 SLP は、デューティ制御回路部 61a、アンダシュート防止回路部 62 及びオーバシュート防止回路部 63 にそれぞれ入力されるが

50

、図7と同様省略している。

【0078】

図14における図7との相違点は、 V_{r2} 発生回路91、入力された制御信号に応じて基準電圧 V_{r1} 又は基準電圧 V_{r2} のいずれか一方を排他的に演算増幅器73の非反転入力端に出力する切替回路92と、分圧電圧 V_d に応じて切替回路92の動作制御を行う演算増幅器93とを設けたことにある。これに伴って、図7の出力電圧検出部71を出力電圧検出部71aにし、図7のデューティ制御回路部61をデューティ制御回路部61aにした。

【0079】

図14において、制御部33aは、デューティ制御回路部61aと、アンダシュート防止回路部62と、オーバシュート防止回路部63とで構成されている。更に、デューティ制御回路部61aは、出力電圧 V_o の検出を行う出力電圧検出部71aと、該出力電圧検出部71aで検出された出力電圧 V_o に応じてPMOSトランジスタ41のゲートへのパルス信号におけるデューティサイクルの制御を行うデューティ制御部72とで構成されている。

10

【0080】

出力電圧検出部71aは、演算増幅器73、分圧回路74、 V_{r1} 発生回路75、 V_{r2} 発生回路91、切替回路92及び演算増幅器93で構成されている。スリープモード時には、図7の出力電圧検出部71と同様に、演算増幅器73及び V_{r1} 発生回路75はそれぞれ動作を停止すると共に、分圧回路74は出力電圧 V_o が分圧電圧 V_d として出力される。更に、 V_{r2} 発生回路91、切替回路92及び演算増幅器93もそれぞれ動作を停止する。

20

【0081】

次に、スリープモードから通常動作に切り替わるスリープ解除時に、出力電圧検出部71aの各部は動作を開始する。 V_{r2} 発生回路91は、スリープ解除時に分圧電圧 V_d よりも低い所定の電圧 V_x から、あらかじめ設定された一定時間をかけて基準電圧 V_{r1} まで低下するように、基準電圧 V_{r2} を所定の速度で変化させて生成し出力する。

【0082】

演算増幅器93は、分圧電圧 V_d と基準電圧 V_{r1} との比較を行い、分圧電圧 V_d が基準電圧 V_{r1} よりも大きい場合、ローレベルの制御信号を切替回路92に出力する。切替回路92は、演算増幅器93からローレベルの制御信号が入力されると、基準電圧 V_{r2} を演算増幅器73の非反転入力端に出力する。また、分圧電圧 V_d が基準電圧 V_{r1} 以下になると、演算増幅器93は、ハイレベルの制御信号を切替回路92に出力する。切替回路92は、演算増幅器93からハイレベルの制御信号を入力されると、基準電圧 V_{r1} を演算増幅器73の非反転入力端に出力する。

30

【0083】

このようにすることによって、出力電圧 V_o 、分圧電圧 V_d 及び基準電圧 V_{r2} は、図15のようになり、スリープ解除時においては、DC-DCコンバータ2aは活性化状態にあることから、急に負荷がかかった場合の出力電圧 V_o における、設定電圧 V_a からの低下、すなわちアンダシュートをより一層低減することができる。なお、図15では、1点鎖線で囲んだ部分は拡大して示している。図15において、出力電圧 V_o の電圧低下特性よりも緩やかに電圧が低下するように、基準電圧 V_{r2} の電圧低下特性を設定するとよい。

40

【0084】

このように、本第2の実施の形態における電源回路は、アンダシュート防止回路部62及びオーバシュート防止回路部63を追加したことにより、スリープモードから通常動作に移行する際に生じる出力電圧 V_o のアンダシュートを減少させることができると共に、通常動作からスリープモードに移行する際に生じる出力電圧 V_o のオーバシュートを減少させることができる。

【0085】

50

更に、スリープモードから通常動作に移行した際、デューティ制御回路部 6 1 a は、出力電圧 V_o が所定の電圧 V_a に低下するまでの間、所定の時間をかけて分圧電圧 V_d よりも低い所定の電圧 V_x から、あらかじめ設定された一定時間をかけて基準電圧 V_{r1} まで低下するように変化させる基準電圧 V_{r2} を用いて P M O S トランジスタ 4 1 のゲート電圧のデューティ制御を行うようにした。このことから、スリープモードから通常動作に移行する際に生じる出力電圧 V_o のアンダシュートをより一層低減させることができる。

【図面の簡単な説明】

【0086】

【図1】本発明の第1の実施の形態における電源回路の構成例を示した図である。

【図2】図1におけるDC-DCコンバータ2の内部構成例を示した図である。

10

【図3】図1におけるDC-DCコンバータ2の内部構成の変形例を示した図である。

【図4】図3の各トランジスタに対する制御部33からの各制御信号の例を示したタイミングチャートである。

【図5】従来の電源回路の例を示した回路図である。

【図6】従来の電源回路の他の例を示した概略のブロック図である。

【図7】本発明の第2の実施の形態における電源回路のDC-DCコンバータの内部回路例を示した図である。

【図8】図7の出力電圧 V_o の特性例を示した図である。

【図9】図7のNMOSTランジスタ81に流れる電流 i_a の特性例を示した図である。

【図10】ゲート電圧 V_g の特性例を示した図である。

20

【図11】ゲート電圧 V_g の他の特性例を示した図である。

【図12】図7における出力電圧 V_o の特性例を示した図である。

【図13】図7における出力電圧 V_o 、分圧電圧 V_d 及び基準電圧 V_{r1} の各関係例を示した図である。

【図14】本発明の第2の実施の形態における電源回路のDC-DCコンバータの内部回路の他の例を示した図である。

【図15】図14における出力電圧 V_o 、分圧電圧 V_d 、基準電圧 V_{r1} 及び V_{r2} の各関係例を示した図である。

【符号の説明】

【0087】

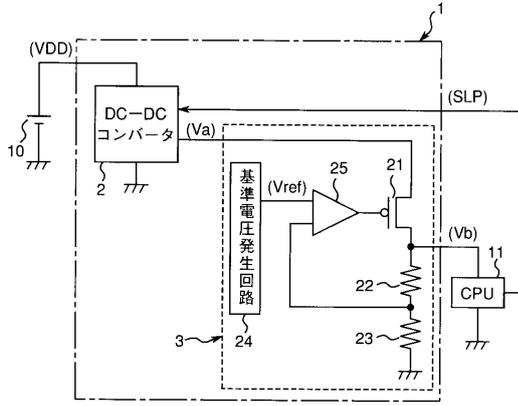
30

- 1, 1 a 電源回路
- 2, 2 a DC-DCコンバータ
- 3 ボルテージレギュレータ
- 10 直流電源
- 11 CPU
- 31 スイッチング回路部
- 32 平滑回路部
- 33, 33 a 制御部
- 61, 61 a デューティ制御回路部
- 62 アンダシュート防止回路部
- 63 オーバシュート防止回路部
- 71, 71 a 出力電圧検出部
- 72 デューティ制御部
- 73, 82, 93 演算増幅器
- 74 分圧回路
- 75 V_{r1} 発生回路
- 81 NMOSTランジスタ
- 83 電流制御回路
- 91 V_{r2} 発生回路
- 92 切替回路

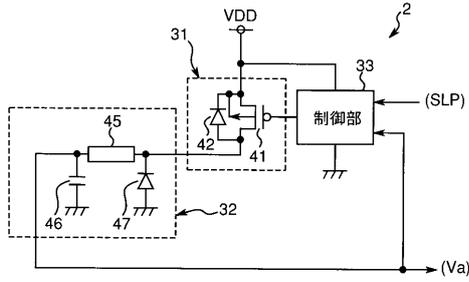
40

50

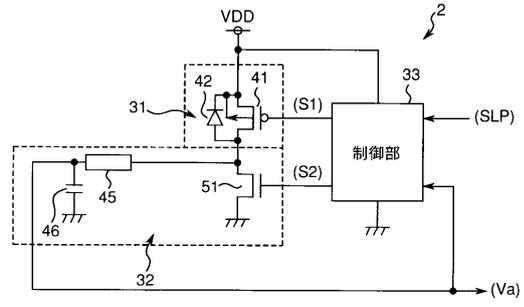
【図1】



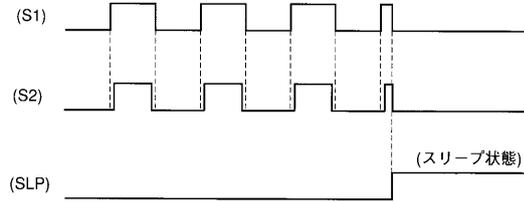
【図2】



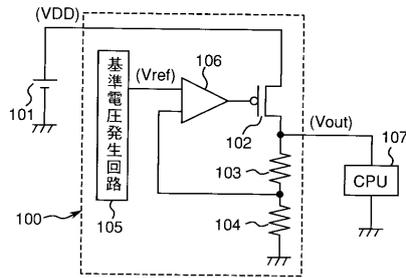
【図3】



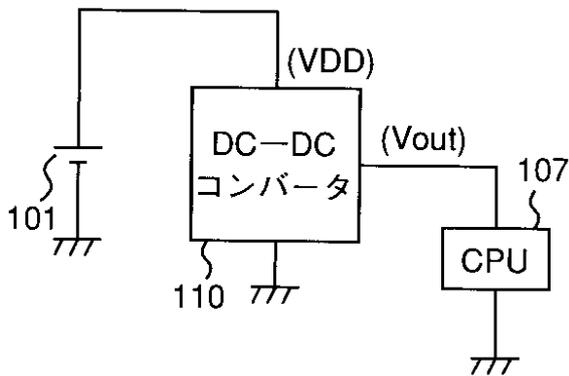
【図4】



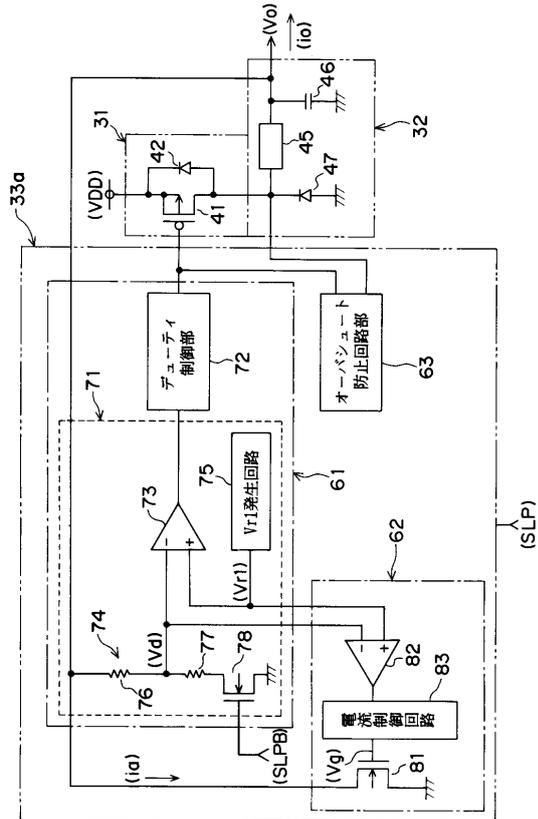
【図5】



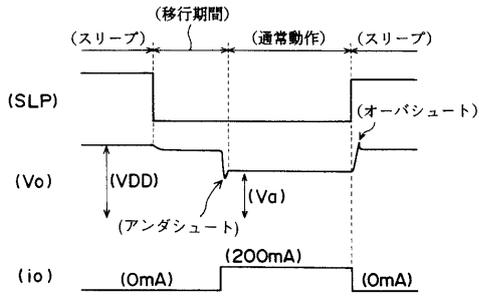
【図6】



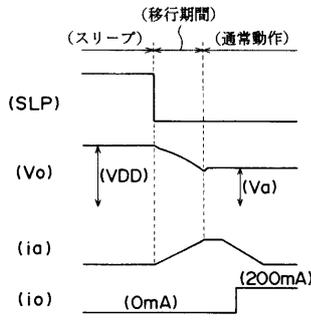
【図7】



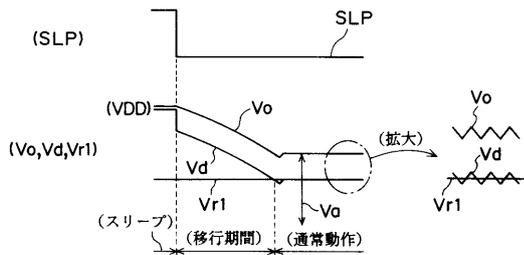
【図8】



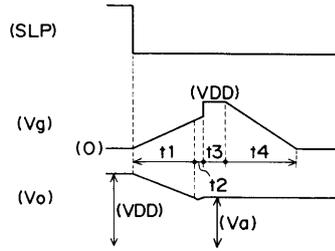
【図9】



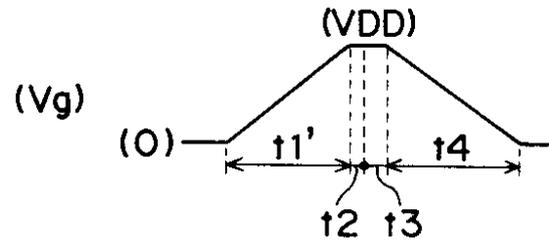
【図13】



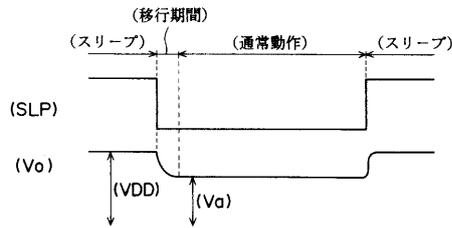
【図10】



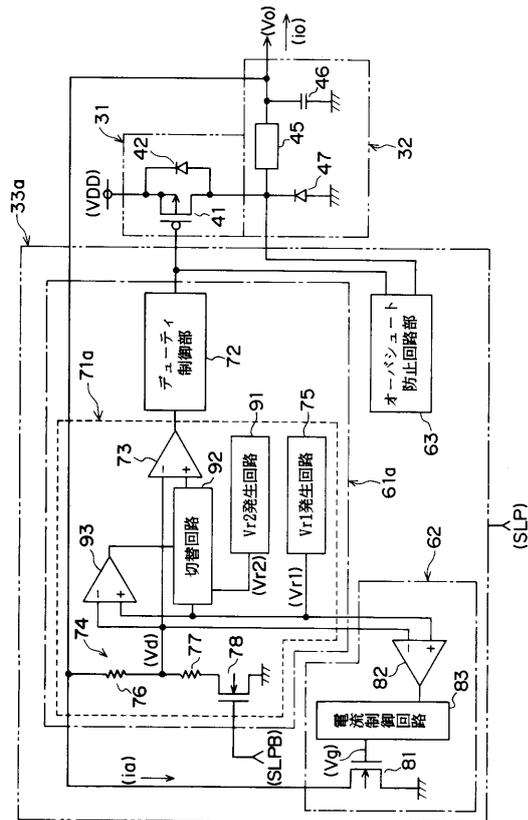
【図11】



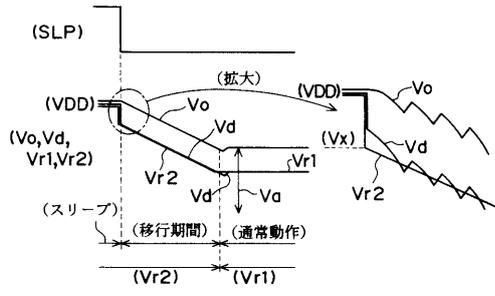
【図12】



【図14】



【図 15】



フロントページの続き

(56)参考文献 特開平 1 1 - 0 4 1 8 2 5 (J P , A)
特開 2 0 0 1 - 0 4 5 7 4 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 2 M 3 / 1 5 5