

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-205071

(P2008-205071A)

(43) 公開日 平成20年9月4日(2008.9.4)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H05K 3/46 (2006.01)</b>	H05K 3/46 Q	5E346
<b>H01L 21/60 (2006.01)</b>	H05K 3/46 N	5F044
<b>H01L 25/00 (2006.01)</b>	H01L 21/60 311S	
<b>H01L 23/12 (2006.01)</b>	H01L 25/00 B	
	H01L 23/12 N	

審査請求 未請求 請求項の数 32 O L (全 20 頁)

(21) 出願番号 特願2007-37549 (P2007-37549)  
 (22) 出願日 平成19年2月19日 (2007.2.19)

(71) 出願人 000005821  
 松下電器産業株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100097445  
 弁理士 岩橋 文雄  
 (74) 代理人 100109667  
 弁理士 内藤 浩樹  
 (74) 代理人 100109151  
 弁理士 永野 大介  
 (72) 発明者 川本 英司  
 大阪府門真市大字門真1006番地 パナ  
 ソニックエレクトロニクス株式会社  
 社内

最終頁に続く

(54) 【発明の名称】 電子部品内蔵基板とこれを用いた電子機器、およびその製造方法

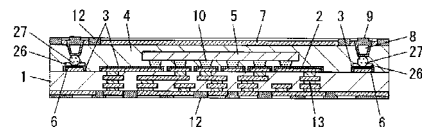
(57) 【要約】

【課題】半導体ベアチップICを内蔵する電子部品内蔵基板の層間接続を簡易かつ高信頼性化を図る。

【解決手段】本発明の電子部品内蔵基板は、第2導電性パターン6の上面に第2絶縁層4に内蔵する電子部品5の実装後の高さより低い金属塊27を実装し、第2絶縁層4を貫通し、金属塊27と第3導電性パターン7とを第2めっき膜9により電気的に接続するビアホール8とを備える。電子部品5の実装後の高さより低い金属塊27を用いることで、第2絶縁層4の高さを電子部品5の高さに起因した厚みにすることができると共に、ビアホール8の深さを浅くすることができるので、金属塊27と第3導電性パターン7との第2めっき膜による接続を確実に行うことができる。

【選択図】図1

- 1 第1絶縁層
- 2 第1導電性パターン
- 3 第1めっき膜
- 4 第2絶縁層
- 5 電子部品
- 6 第2導電性パターン
- 7 第3導電性パターン
- 8 ビアホール
- 9 第2めっき膜
- 10 パンプ
- 12 ソルダレジスト
- 13 インナービア
- 26 実装材料
- 27 金属塊



## 【特許請求の範囲】

## 【請求項 1】

第 1 絶縁層と、

この第 1 絶縁層の上面に設けられた第 1 金属からなる第 1 導電性パターンおよび第 2 導電性パターンと、

前記第 1 導電性パターンおよび前記第 2 導電性パターンの上面に形成された第 2 金属からなる第 1 めっき膜と、

前記第 2 導電性パターン上の前記第 1 めっき膜を介して前記第 2 導電性パターンと電氣的に接続するように設けられた金属塊と、

前記第 1 導電性パターンに前記第 1 めっき膜およびバンプを介して接続される電子部品と

10

、

前記金属塊と前記電子部品を覆うように前記第 1 絶縁層の上に設けられた第 2 絶縁層と、

前記第 2 絶縁層の上面に設けられた前記第 1 金属からなる第 3 導電性パターンと、

前記第 2 絶縁層を貫通し、前記金属塊と前記第 3 導電性パターンとを第 2 めっき膜により

電氣的に接続するビアホールとを備えた電子部品内蔵基板。

## 【請求項 2】

前記第 2 めっき膜は、第 1 金属からなる請求項 1 に記載の電子部品内蔵基板。

## 【請求項 3】

前記第 1 金属は Cu であり、前記第 2 金属は Au である請求項 1 に記載の電子部品内蔵基板。

20

## 【請求項 4】

前記第 2 めっき膜は、Cu、Pd、Zn、Ni、Ti、Cr、Sn、Ag、Auのうち少なくとも 1 つからなる請求項 1 に記載の電子部品内蔵基板。

## 【請求項 5】

前記バンプは少なくとも Au または Sn または Ag からなる請求項 1 に記載の電子部品内蔵基板。

## 【請求項 6】

前記金属塊は、Cu、Pd、Zn、Ni、Ti、Cr、Sn、Ag、Auのうち少なくとも 1 つを含む請求項 1 に記載の電子部品内蔵基板。

## 【請求項 7】

前記金属塊の高さは前記電子部品の高さと前記バンプの高さの和より低い請求項 1 に記載の電子部品内蔵基板。

30

## 【請求項 8】

前記金属塊は、はんだにより前記第 2 導電性パターン上に固定された請求項 1 に記載の電子部品内蔵基板。

## 【請求項 9】

前記はんだは Pb フリーはんだである請求項 7 に記載の電子部品内蔵基板。

## 【請求項 10】

前記金属塊は、導電性接着剤により前記第 2 導電性パターン上に固定された請求項 1 に記載の電子部品内蔵基板。

40

## 【請求項 11】

前記金属塊が略球形である請求項 1 に記載の電子部品内蔵基板。

## 【請求項 12】

前記第 1 絶縁層の上面に前記第 2 導電性パターンの外周を囲むようにレジスト膜が形成された請求項 1 に記載の電子部品内蔵基板。

## 【請求項 13】

第 1 絶縁層と、

この第 1 絶縁層の上面に設けられた第 1 金属からなる第 1 導電性パターンおよび第 2 導電性パターンと、

前記第 1 導電性パターンおよび前記第 2 導電性パターンの上面に形成された第 2 金属から

50

なる第 1 めっき膜と、  
 前記第 2 導電性パターン上の前記第 1 めっき膜を介して前記第 2 導電性パターンと電氣的に接続するように設けられた金属塊と、  
 前記第 1 導電性パターンに前記第 1 めっき膜およびバンプを介して接続される電子部品と、  
 前記金属塊と前記電子部品を覆うように前記第 1 絶縁層の上に設けられた第 2 絶縁層と、  
 前記第 2 絶縁層の上面に設けられた前記第 1 金属からなる第 3 導電性パターンと、  
 前記第 2 絶縁層を貫通し、前記金属塊と前記第 3 導電性パターンとを第 2 めっき膜により電氣的に接続するビアホールとを備えた電子部品内蔵基板を有する受信装置。

【請求項 14】

第 1 絶縁層と、  
 この第 1 絶縁層の上面に設けられた第 1 金属からなる第 1 導電性パターンおよび第 2 導電性パターンと、  
 前記第 1 導電性パターンおよび前記第 2 導電性パターンの上面に形成された第 2 金属からなる第 1 めっき膜と、  
 前記第 2 導電性パターン上の前記第 1 めっき膜を介して前記第 2 導電性パターンと電氣的に接続するように設けられた金属塊と、  
 前記第 1 導電性パターンに前記第 1 めっき膜およびバンプを介して接続される電子部品と、

前記金属塊と前記電子部品を覆うように前記第 1 絶縁層の上に設けられた第 2 絶縁層と、  
 前記第 2 絶縁層の上面に設けられた前記第 1 金属からなる第 3 導電性パターンと、  
 前記第 2 絶縁層を貫通し、前記金属塊と前記第 3 導電性パターンとを第 2 めっき膜により電氣的に接続するビアホールとを備えた電子部品内蔵基板を有する電子機器。

【請求項 15】

上面に第 1 金属からなる第 1 導電性パターンおよび第 2 導電性パターンを有し、第 1 導電性パターンおよび第 2 導電性パターン上には第 2 金属からなる第 1 めっき膜が形成された第 1 絶縁層の前記第 1 導電性パターンの上面の前記第 1 めっき膜上にバンプを介して電子部品を実装する工程と、

前記第 2 導電性パターンの上面の前記第 1 めっき膜上に金属塊を実装する工程と、  
 前記第 1 絶縁層上に前記電子部品および前記金属塊を覆うように第 2 絶縁層を積層する工程と、

前記第 2 絶縁層上に前記第 1 金属からなる金属箔を積層する工程と、  
 積層された前記第 1 絶縁層と前記第 2 絶縁層と前記金属箔を加熱しながら加圧して一体化する工程と、

前記金属箔の所定の位置に穴加工を行い前記第 2 絶縁層を露出させる工程と、  
 前記第 2 絶縁層を加工して前記金属塊を露出させる工程と、  
 第 2 めっき膜により前記金属塊と前記金属箔を電氣的に接続する工程と、  
 前記金属箔を加工して第 3 導電性パターンを形成する工程とを備えた電子部品内蔵基板の製造方法。

【請求項 16】

上面に第 1 金属からなる第 1 導電性パターンおよび第 2 導電性パターンを有し、第 1 導電性パターンおよび第 2 導電性パターン上には第 2 金属からなる第 1 めっき膜が形成された第 1 絶縁層の前記第 1 導電性パターンの上面の前記第 1 めっき膜上にバンプを介して電子部品を実装する工程と、

前記第 2 導電性パターンの上面の前記第 1 めっき膜上に金属塊を実装する工程と、  
 前記第 1 絶縁層上に前記電子部品および前記金属塊を覆うように第 2 絶縁層を積層する工程と、

積層された前記第 1 絶縁層と前記第 2 絶縁層を加熱しながら加圧して一体化する工程と、  
 前記第 2 絶縁層を加工して前記金属塊を露出させる工程と、

第 2 めっき膜により前記第 2 絶縁層の上面に第 3 導電性パターンを形成すると共に前記金

10

20

30

40

50

属塊と電氣的に接続する工程とを備えた電子部品内蔵基板の製造方法。

【請求項 17】

前記第 2 めっき膜は、第 1 金属からなる請求項 15 または請求項 16 に記載の電子部品内蔵基板の製造方法。

【請求項 18】

前記第 1 金属は Cu であり、前記第 2 金属は Au である請求項 15 または請求項 16 に記載の電子部品内蔵基板の製造方法。

【請求項 19】

前記第 2 めっき膜は、Cu、Pd、Zn、Ni、Ti、Cr、Sn、Ag、Au のうち少なくとも 1 つからなる請求項 15 または請求項 16 に記載の電子部品内蔵基板の製造方法。

10

【請求項 20】

前記パンプは少なくとも Au または Sn または Ag からなる請求項 15 または請求項 16 に記載の電子部品内蔵基板の製造方法。

【請求項 21】

前記第 2 絶縁層は少なくとも 1 枚以上の織布または不織布に熱硬化性樹脂を含浸させたプリプレグからなる請求項 15 または請求項 16 に記載の電子部品内蔵基板の製造方法。

【請求項 22】

前記積層前の前記第 2 絶縁層に前記電子部品より大きな空隙と前記金属塊と略同等以上空隙を形成し、前記第 2 絶縁層の積層時に前記電子部品と前記金属塊をそれぞれ対応する前記空隙内に配置する請求項 15 または請求項 16 または請求項 21 に記載の電子部品内蔵基板の製造方法。

20

【請求項 23】

前記積層前の前記第 2 絶縁層に前記電子部品および前記金属塊をすべて囲むことが可能な 1 つの空隙を形成し、前記第 2 絶縁層の積層前に前記電子部品と前記金属塊のすべてを前記空隙内に配置する請求項 15 または請求項 16 または請求項 21 に記載の電子部品内蔵基板の製造方法。

【請求項 24】

前記金属塊を露出させる工程はレーザ加工またはドリル加工にて行う請求項 15 または請求項 16 に記載の電子部品内蔵基板の製造方法。

30

【請求項 25】

前記金属塊は、Cu、Pd、Zn、Ni、Ti、Cr、Sn、Ag、Au のうち少なくとも 1 つを含む請求項 15 または請求項 16 に記載の電子部品内蔵基板の製造方法。

【請求項 26】

前記金属塊の高さは前記電子部品の高さと前記パンプの高さの和より低い請求項 15 または請求項 16 に記載の電子部品内蔵基板の製造方法。

【請求項 27】

前記金属塊は、はんだにより前記第 2 導電性パターン上に固定されている請求項 15 または請求項 16 に記載の電子部品内蔵基板の製造方法。

【請求項 28】

前記はんだは Pb フリーはんだである請求項 15 または請求項 16 に記載の電子部品内蔵基板の製造方法。

40

【請求項 29】

前記金属塊は、導電性接着剤により前記第 2 導電性パターン上に固定された請求項 15 または請求項 16 に記載の電子部品内蔵基板の製造方法。

【請求項 30】

前記金属塊が略球形である請求項 15 または請求項 16 に記載の電子部品内蔵基板の製造方法。

【請求項 31】

前記第 1 絶縁層の上面に前記第 2 導電性パターンの外周を囲むようにレジスト膜が形成さ

50

れた請求項 15 または請求項 16 に記載の電子部品内蔵基板の製造方法。

【請求項 32】

前記第 3 導電性パターンは前記第 2 絶縁層の上面の略全面に前記第 2 めっき膜を形成した後所望の形状にパターンングされた請求項 16 に記載の電子部品内蔵基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多層基板内に電子部品が埋設された電子部品内蔵基板とこれを用いた電子機器、およびその製造方法に関するものである。

【背景技術】

10

【0002】

電子機器の小型化・軽量化に伴い、プリント配線板の高密度化や実装部品の小型化に対する要求が厳しくなっている。プリント配線板においては、配線ルールの縮小により配線板表面と平行な方向について高密度化が図られている。更に、ビルドアップ工法を採用して配線を積層させ、任意の層間にビアホールを形成することにより、配線板表面に垂直な方向で高密度化も可能となった。

【0003】

一方、半導体パッケージとしては、従来パッケージの外周に多ピン化されたリードを有する SOP (Small Outline Package) や QFP (Quad Flat Package) 等の表面実装デバイス (SMD; Surface Mount Device) が用いられることが多かった。近年、半導体パッケージを更に小型化するため、半導体素子の能動面を基板に向けたフリップ・チップ実装により、チップ・サイズ・パッケージ (CSP) 化が図られている。フリップ・チップ実装によれば半導体素子をベアチップのままリードを用いずに、 bumps と呼ばれる電極端子を介して基板にダイレクトに実装される。上記のフリップ・チップ実装によれば、ベアチップ半導体の実装が可能な領域は基板表面であり、実装密度は基板サイズの制限を受けるため、実装密度をさらに飛躍的に向上させることは困難である。そこで、半導体素子を基板の内部に実装して実装密度を上げ、電子機器を小型化する手段が提案されている。

20

【0004】

以下、従来の電子部品内蔵基板について、図 8 を用いて説明する。図 8 は、従来の電子部品内蔵基板の断面図である。

30

【0005】

図 8 において、従来の電子部品内蔵基板は基材からなる第 1 絶縁層 101 とこの第 1 絶縁層 101 の上に設けられた絶縁樹脂層からなる第 2 絶縁層 102 とを有し、第 1 絶縁層 101 の上面の第 1 導電性パターン 106 上にはベアチップ IC からなる電子部品 103 が実装されると共に、第 2 の絶縁層 102 内に埋め込まれている。第 1 導電性パターン 106 と電子部品 103 との接続は、電子部品 103 に形成された bumps 104 を介して行われている。また、第 1 絶縁層 101 の他の上面には第 2 導電性パターン 108 が形成されている。そして、第 2 絶縁層 102 の上層には接着層 109 を介して、所定のパターンを有する第 3 導電性パターン 110 が形成されており、第 2 導電性パターン 108 上部の第 2 絶縁層 102、接着層 109 および第 3 導電性パターン 110 にはビアホール 115 が形成され、ビアホール 115 内には導電層 116 が形成されている。

40

【0006】

なお、この技術の先行技術文献情報としては、例えば、特許文献 1 が知られている。

【0007】

また、ビアホール 115 を用いない方法として、第 2 導電性パターン 108 上に、電子部品 103 の実装後の高さより大きな高さを有する bumps (図示せず) を第 2 絶縁層 102 から頂点部が露出した状態で形成し、第 2 絶縁層 102 上には第 3 導電性パターン 110 を形成して、第 3 導電性パターン 110 と bumps (図示せず) を電氣的に接続する方法が提案されている。

50

## 【 0 0 0 8 】

なお、この技術の先行技術文献情報としては、例えば、特許文献 2、特許文献 3 が知られている。

## 【 0 0 0 9 】

また、別の方法としては、電子部品 1 0 3 の実装後の高さより大きな高さを有するバンブ（図示せず）上に第 3 絶縁層（図示せず）を接続した後、第 1 絶縁層 1 0 1 と第 3 絶縁層（図示せず）間に第 2 絶縁層 1 0 2 を形成する工法が提案されている。

## 【 0 0 1 0 】

なお、この技術の先行技術文献情報としては、例えば、特許文献 4 が知られている。

【特許文献 1】特開 2 0 0 1 - 7 7 5 3 6 号公報

10

【特許文献 2】特許第 3 5 0 0 9 9 5 号公報

【特許文献 3】特開 2 0 0 1 - 7 4 7 2 号公報

【特許文献 4】特開 2 0 0 1 - 1 4 4 2 4 4 号公報

## 【 発明の開示 】

## 【 発明が解決しようとする課題 】

## 【 0 0 1 1 】

このような従来の電子部品内蔵基板において、第 2 絶縁層 1 0 2 を貫通するビアホール 1 1 5 により第 2 導電性パターン 1 0 8 と第 3 導電性パターン 1 1 0 を電気的に接続するのであるが、第 2 絶縁層 1 0 2 は電子部品 1 0 3 を内蔵するため厚みが厚く、そのためビアホール 1 1 5 も深い穴となる。従って、この深穴であるビアホール 1 1 5 内にめっき膜を形成することは非常に困難で、量産性に乏しいという問題点を有していた。

20

## 【 0 0 1 2 】

また、深いビアホール 1 1 5 を避けるために、ビアホール 1 1 5 の代わりにバンブ 1 2 4（図示せず）を用いて第 2 導電性パターン 1 0 8 と第 3 導電性パターン 1 1 0 を接続する場合、バンブ 1 2 4 の高さが電子部品 1 0 3 の実装後の高さより低くなると、バンブ 1 2 4 と第 3 導電性パターン 1 1 0 とが電気的に導通することができなくなるので、バンブ 1 2 4 の高さを電子部品 1 0 3 の実装後の高さより高く設定する必要がある。ただし、バンブ 1 2 4 の高さが高くなりすぎると、今度は第 2 絶縁層 1 0 2 の厚みが厚くなり、完成後の電子部品内蔵基板の総厚が厚くなってしまふ。更に、第 2 絶縁層 1 0 2 を薄くするためには研磨工程が必要となるため、量産性を悪化させるだけでなく、研磨により内蔵している電子部品 1 0 3 へダメージを与えてしまふという問題点を有していた。

30

## 【 0 0 1 3 】

本発明はこのような問題を解決したもので、簡易かつ接続信頼性の高い電子部品内蔵基板とこれを用いた電子機器、およびその製造方法を提供することを目的としたものである。

## 【 課題を解決するための手段 】

## 【 0 0 1 4 】

上記目的を達成するために本発明は、第 1 絶縁層と、この第 1 絶縁層の上面に設けられた第 1 金属からなる第 1 導電性パターンおよび第 2 導電性パターンと、前記第 1 導電性パターンおよび前記第 2 導電性パターンの上面に形成された第 2 金属からなる第 1 めっき膜と、前記第 2 導電性パターン上の前記第 1 めっき膜を介して前記第 2 導電性パターンと電気的に接続するように設けられた金属塊と、前記第 1 導電性パターンに前記第 1 めっき膜およびバンブを介して接続される電子部品と、前記金属塊と前記電子部品を覆うように前記第 1 絶縁層の上に設けられた第 2 絶縁層と、前記第 2 絶縁層の上面に設けられた前記第 1 金属からなる第 3 導電性パターンと、前記第 2 絶縁層を貫通し、前記金属塊と前記第 3 導電性パターンとを第 2 めっき膜により電気的に接続するビアホールとを備えた電子部品内蔵基板としたものであり、金属塊の存在により加工するビアホールの深さが浅くなり、第 2 めっき膜により金属塊と第 3 導電性パターンを確実に接続することができるという作用を有する。

40

## 【 0 0 1 5 】

50

請求項 2 に記載の発明は、前記第 2 めっき膜は、第 1 金属からなる請求項 1 に記載の電子部品内蔵基板としたものであり、第 2 めっき膜を第 1 金属からなる第 3 導電性パターンと同一材料で構成できるため信頼性の高いめっき膜形成を行うことができるという作用を有する。

【 0 0 1 6 】

請求項 3 に記載の発明は、前記第 1 金属は Cu であり、前記第 2 金属は Au である請求項 1 に記載の電子部品内蔵基板としたものであり、安価で信頼性の高い Cu を用いて第 1 ~ 第 3 導電性パターンを形成することができると共に、第 2 金属に Au を用いることで電子部品と第 1 導電性パターンの接続について高信頼性を確保することができるという作用を有する。

10

【 0 0 1 7 】

請求項 4 に記載の発明は、前記第 2 めっき膜は、Cu、Pd、Zn、Ni、Ti、Cr、Sn、Ag、Au のうち少なくとも 1 つからなる請求項 1 に記載の電子部品内蔵基板としたものであり、金属塊および第 3 導電性パターンとの良好な接続が可能となるという作用を有する。

【 0 0 1 8 】

請求項 5 に記載の発明は、前記パンプが少なくとも Au または Sn または Ag により構成されている請求項 1 に記載の電子部品内蔵基板としたものであり、Au 線によるスタッドパンプ、めっきによる Au またははんだパンプ、導電性ペーストによる Ag パンプ等簡易な方法で形成可能なパンプを用いて、電子部品と第 1 導電性パターン間の信頼性の高い接続を実現することができるという作用を有する。

20

【 0 0 1 9 】

請求項 6 に記載の発明は、前記金属塊は、Cu、Pd、Zn、Ni、Ti、Cr、Sn、Ag、Au のうち少なくとも 1 つを含む請求項 1 に記載の電子部品内蔵基板としたものであり、第 2 導電性パターン上に容易に実装することが可能であると共に、第 2 めっき膜と容易に電氣的に接続することが可能であるという作用を有する。

【 0 0 2 0 】

請求項 7 に記載の発明は、前記金属塊の高さは前記電子部品の高さと前記パンプの高さの和より低い請求項 1 に記載の電子部品内蔵基板としたものであり、第 2 絶縁層に内蔵する電子部品の高さに応じて第 2 絶縁層の厚さを設定することができるので、必要以上に第 2 絶縁層を厚くすることが無く、金属塊が存在することで、浅いビアホールを形成することができるので、ビアホール内に安定した第 2 めっき膜を形成することができるという作用を有する。

30

【 0 0 2 1 】

請求項 8 に記載の発明は、前記金属塊は、はんだにより前記第 2 導電性パターン上に固定されている請求項 1 に記載の電子部品内蔵基板としたものであり、簡易な方法で所望の位置に金属塊を実装することができるという作用を有する。

【 0 0 2 2 】

請求項 9 に記載の発明は、前記はんだには Pb が含有されていない請求項 7 に記載の電子部品内蔵基板としたものであり、金属塊を容易に実装することが可能であると共に、環境負荷物質を含まない部品内蔵基板を作製することができるという作用を有する。

40

【 0 0 2 3 】

請求項 10 に記載の発明は、前記金属塊は、導電性接着剤により前記第 2 導電性パターン上に固定されている請求項 1 に記載の電子部品内蔵基板としたものであり、簡易な方法で所望の位置に金属塊を実装することができるという作用を有する。

【 0 0 2 4 】

請求項 11 に記載の発明は、前記金属塊が略球形である請求項 1 に記載の電子部品内蔵基板としたものであり、金属塊を球形とすることで、第 2 導電性パターン上へ容易に実装することができるという作用を有する。

【 0 0 2 5 】

50

請求項 1 2 に記載の発明は、前記第 2 導電性パターンの外周を囲むようにレジスト膜が形成されている請求項 1 に記載の電子部品内蔵基板としたものであり、金属塊を第 2 導電性パターン上に実装する際にはんだや導電性接着剤が不要に拡がることを防止することができるという作用を有する。

【 0 0 2 6 】

請求項 1 3 に記載の発明は、第 1 絶縁層と、この第 1 絶縁層の上面に設けられた第 1 金属からなる第 1 導電性パターンおよび第 2 導電性パターンと、前記第 1 導電性パターンおよび前記第 2 導電性パターンの上面に形成された第 2 金属からなる第 1 めっき膜と、前記第 2 導電性パターン上の前記第 1 めっき膜を介して前記第 2 導電性パターンと電気的に接続するように設けられた金属塊と、前記第 1 導電性パターンに前記第 1 めっき膜およびバンプを介して接続される電子部品と、前記金属塊と前記電子部品を覆うように前記第 1 絶縁層の上に設けられた第 2 絶縁層と、前記第 2 絶縁層の上面に設けられた前記第 1 金属からなる第 3 導電性パターンと、前記第 2 絶縁層を貫通し、前記金属塊と前記第 3 導電性パターンとを第 2 めっき膜により電気的に接続するビアホールとを備えた電子部品内蔵基板を有する受信装置としたものであり、超小型受信装置を実現することができるという作用を有する。

【 0 0 2 7 】

請求項 1 4 に記載の発明は、第 1 絶縁層と、この第 1 絶縁層の上面に設けられた第 1 金属からなる第 1 導電性パターンおよび第 2 導電性パターンと、前記第 1 導電性パターンおよび前記第 2 導電性パターンの上面に形成された第 2 金属からなる第 1 めっき膜と、前記第 2 導電性パターン上の前記第 1 めっき膜を介して前記第 2 導電性パターンと電気的に接続するように設けられた金属塊と、前記第 1 導電性パターンに前記第 1 めっき膜およびバンプを介して接続される電子部品と、前記金属塊と前記電子部品を覆うように前記第 1 絶縁層の上に設けられた第 2 絶縁層と、前記第 2 絶縁層の上面に設けられた前記第 1 金属からなる第 3 導電性パターンと、前記第 2 絶縁層を貫通し、前記金属塊と前記第 3 導電性パターンとを第 2 めっき膜により電気的に接続するビアホールとを備えた電子部品内蔵基板を有する電子機器としたものであり、超小型電子機器を実現することができるという作用を有する。

【 0 0 2 8 】

請求項 1 5 に記載の発明は、上面に第 1 金属からなる第 1 導電性パターンおよび第 2 導電性パターンを有し、第 1 導電性パターンおよび第 2 導電性パターン上には第 2 金属からなる第 1 めっき膜が形成された第 1 絶縁層の前記第 1 導電性パターンの上面の前記第 1 めっき膜上にバンプを介して電子部品を実装する工程と、前記第 2 導電性パターンの上面の前記第 1 めっき膜上に金属塊を実装する工程と、前記第 1 絶縁層上に前記電子部品および前記金属塊を覆うように第 2 絶縁層を積層する工程と、前記第 2 絶縁層上に前記第 1 金属からなる金属箔を積層する工程と、積層された前記第 1 絶縁層と前記第 2 絶縁層と前記金属箔を加熱しながら加圧して一体化する工程と、前記金属箔の所定の位置に穴加工を行い前記第 2 絶縁層を露出させる工程と、前記第 2 絶縁層を加工して前記金属塊を露出させる工程と、第 2 めっき膜により前記金属塊と前記金属箔を電気的に接続する工程と、前記金属箔を加工して第 3 導電性パターンを形成する工程を備えた電子部品内蔵基板の製造方法としたものであり、金属塊の存在により加工するビアホールの深さが浅くなり、第 2 めっき膜により金属塊と第 3 導電性パターンを確実に接続することができるという作用を有する。

【 0 0 2 9 】

請求項 1 6 に記載の発明は、上面に第 1 金属からなる第 1 導電性パターンおよび第 2 導電性パターンを有し、第 1 導電性パターンおよび第 2 導電性パターン上には第 2 金属からなる第 1 めっき膜が形成された第 1 絶縁層の前記第 1 導電性パターンの上面の前記第 1 めっき膜上にバンプを介して電子部品を実装する工程と、前記第 2 導電性パターンの上面の前記第 1 めっき膜上に金属塊を実装する工程と、前記第 1 絶縁層上に前記電子部品および前記金属塊を覆うように第 2 絶縁層を積層する工程と、積層された前記第 1 絶縁層と前記



第2絶縁層を加熱しながら加圧して一体化する工程と、前記第2絶縁層を加工して前記金属塊を露出させる工程と、第2めっき膜により前記第2絶縁層の上面に第3導電性パターンを形成すると共に前記金属塊と電氣的に接続する工程を備えた電子部品内蔵基板の製造方法としたものであり、金属塊の存在により加工するビアホールが浅くなり、第2めっき膜により金属塊と第3導電性パターンを確実に接続することができるという作用を有する。

【0030】

請求項17に記載の発明は、前記第2めっき膜は、第1金属からなる請求項15または請求項16に記載の電子部品内蔵基板の製造方法としたものであり、第2めっき膜を第1金属からなる第3導電性パターンと同一材料で構成できるため信頼性の高いめっき膜形成を行うことができるという作用を有する。

10

【0031】

請求項18に記載の発明は、前記第1金属はCuであり、前記第2金属はAuである請求項15または請求項16に記載の電子部品内蔵基板の製造方法としたものであり、安価で信頼性の高いCuを用いて第1～第3導電性パターンを形成することができると共に、第2金属にAuを用いることで電子部品と第1導電性パターンの接続について高信頼性を確保することができるという作用を有する。

【0032】

請求項19に記載の発明は、前記第2めっき膜は、Cu、Pd、Zn、Ni、Ti、Cr、Sn、Ag、Auのうち少なくとも1つからなる請求項15または請求項16に記載の電子部品内蔵基板の製造方法としたものであり、金属塊および第3導電性パターンとの良好な接続が可能となるという作用を有する。

20

【0033】

請求項20に記載の発明は、前記バンプが少なくともAuまたはSnまたはAgにより構成されている請求項15または請求項16に記載の電子部品内蔵基板の製造方法としたものであり、Au線によるスタッドバンプ、めっきによるAuまたははんだバンプ、導電性ペーストによるAgバンプ等簡易な方法で形成可能なバンプを用いて、電子部品と第1導電性パターン間の信頼性の高い接続を実現することができるという作用を有する。

【0034】

請求項21に記載の発明は、前記第2絶縁層は少なくとも1枚以上の織布または不織布に熱硬化性樹脂を含浸させたプリプレグからなる請求項15または請求項16に記載の電子部品内蔵基板の製造方法としたものであり、第1絶縁層と略同一材料を用いることで信頼性の高い電子部品内蔵基板を実現することができるという作用を有する。

30

【0035】

請求項22に記載の発明は、前記積層前の前記第2絶縁層に前記電子部品より大きな空隙と前記金属塊と略同等以上空隙を形成し、前記積層時に前記電子部品と前記金属塊をそれぞれ対応する前記空隙内に配置する請求項15または請求項16または請求項21に記載の電子部品内蔵基板の製造方法としたものであり、積層された前記第1絶縁層と前記第2絶縁層を加熱しながら加圧して一体化する工程において、電子部品および金属塊への不要な荷重を防止することができるという作用を有する。

40

【0036】

請求項23に記載の発明は、前記積層前の前記第2絶縁層に前記電子部品および前記金属塊をすべて囲むことが可能な1つの空隙を形成し、前記積層前に前記電子部品と前記金属塊のすべてを前記空隙内に配置する請求項15または請求項16または請求項21に記載の電子部品内蔵基板の製造方法としたものであり、単純な空隙でありながら、積層された前記第1絶縁層と前記第2絶縁層を加熱しながら加圧して一体化する工程において、電子部品および金属塊への不要な荷重を一度に防止することができるという作用を有する。

【0037】

請求項24に記載の発明は、前記金属塊を露出させる工程はレーザ加工またはドリル加工にて行う請求項15または請求項16に記載の電子部品内蔵基板の製造方法としたもの

50

であり、簡易な方法により高度な位置精度で第2導電性パターンを露出させることができるという作用を有する。

【0038】

請求項25に記載の発明は、前記金属塊は、Cu、Pd、Zn、Ni、Ti、Cr、Sn、Ag、Auのうち少なくとも1つを含む請求項15または請求項16に記載の電子部品内蔵基板の製造方法としたものであり、第2導電性パターン上に容易に実装することが可能であると共に、第2めっき膜と容易に電氣的に接続することが可能であるという作用を有する。

【0039】

請求項26に記載の発明は、前記金属塊の高さは前記電子部品の高さと前記バンプの高さの和より低い請求項15または請求項16に記載の電子部品内蔵基板の製造方法としたものであり、第2絶縁層に内蔵する電子部品の高さに応じて第2絶縁層の厚さを設定することができるので、必要以上に第2絶縁層を厚くすることが無く、金属塊が存在することで、浅いビアホールを形成することができるので、ビアホール内に安定した第2めっき膜を形成することができるという作用を有する。

10

【0040】

請求項27に記載の発明は、前記金属塊は、はんだにより前記第2導電性パターン上に固定されている請求項15または請求項16に記載の電子部品内蔵基板の製造方法としたものであり、簡易な方法で所望の位置に金属塊を実装することができるという作用を有する。

20

【0041】

請求項28に記載の発明は、前記はんだにはPbが含有されていない請求項15または請求項16に記載の電子部品内蔵基板の製造方法としたものであり、金属塊を容易に実装することが可能であると共に、環境負荷物質を含まない部品内蔵基板を作製することができるという作用を有する。

【0042】

請求項29に記載の発明は、前記金属塊は、導電性接着剤により前記第2導電性パターン上に固定されている請求項15または請求項16に記載の電子部品内蔵基板の製造方法としたものであり、簡易な方法で所望の位置に金属塊を実装することができるという作用を有する。

30

【0043】

請求項30に記載の発明は、前記金属塊が略球形である請求項15または請求項16に記載の電子部品内蔵基板の製造方法としたものであり、金属塊を球形とすることで、第2導電性パターン上へ容易に実装することができるという作用を有する。

【0044】

請求項31に記載の発明は、前記第2導電性パターンの外周を囲むようにレジスト膜が形成されている請求項15または請求項16に記載の電子部品内蔵基板の製造方法としたものであり、金属塊を第2導電性パターン上に実装する際にはんだや導電性接着剤が不要に拡がることを防止することができるという作用を有する。

【0045】

請求項32に記載の発明は、前記第3導電性パターンは前記第2絶縁層の上面の全面に前記第2めっき膜を形成した後所望の形状にパターンングされる請求項16に記載の電子部品内蔵基板の製造方法としたものであり、簡易なビルドアップ工法により電子部品内蔵基板を製造することができるという作用を有する。

40

【発明の効果】

【0046】

電子部品とバンプの合計高さより低い金属塊を第2導電性パターン上に実装することにより、第2絶縁層の厚みを電子部品の高さを基準に設定することができるので、不必要に第2絶縁層の厚みを厚くすることがなく、しかも金属塊の存在により加工するビアホールの深さが浅くなり、第2めっき膜により金属塊と第3導電性パターンを確実に接続するこ

50

とができるものである。

【発明を実施するための最良の形態】

【0047】

(実施の形態1)

以下に、本発明の電子部品内蔵基板およびその製造方法の実施の形態について、図面を参照して説明する。図1は本発明の実施の形態1による電子部品内蔵基板の断面図である。

【0048】

図1において、実施の形態1の電子部品内蔵基板は、第1絶縁層1と、この第1絶縁層1の上に設けられた第2絶縁層4とを備える。第1絶縁層1の上面には第1導電性パターン2及び第2導電性パターン6が設けられている。この第1絶縁層1は、熱硬化性樹脂を主成分とする多層配線基板である。熱硬化性樹脂としては、例えば、エポキシ樹脂、フェノール樹脂、シアネート樹脂またはBTレジン(ビスマレイミド・トリアジン樹脂)を用いることができる。エポキシ樹脂は耐熱性が高いために特に好ましい。第1導電性パターン2や第2導電性パターン6は電気導電性を有する物質から成り、例えば、Cu箔や導電性樹脂組成物から成る。本発明においてはCu箔を用いている。また、第1絶縁層1に含まれるインナービア13は、例えば、Cuめっきによる金属材料や、金属粒子と熱硬化性樹脂とを混合した導電性樹脂組成物などの熱硬化性の導電性物質から成る。導電性物質中の金属粒子としては、Au、AgまたはCuなどを用いることができる。Au、AgまたはCuは導電性が高いために好ましく、Cuは導電性が高くマイグレーションも少なく、また、低コストであるため特に好ましい。熱硬化性樹脂としては、例えば、エポキシ樹脂、フェノール樹脂、シアネート樹脂を用いることができる。エポキシ樹脂は耐熱性が高いために特に好ましい。

10

20

【0049】

また、第1絶縁層1の上面にある第1導電性パターン2上に第1めっき膜3を形成している。第1めっき膜3としては、例えば、下地金属に無電解めっき法によるNiめっきを行い、Niめっき上に同じく無電解めっき法によるAuめっき膜を形成している。なお、めっき膜形成方法については、上述した方法に限らず種々の方法によって実現することが可能であるが、後にバンプ10を介して電子部品5を実装した際の接続安定性を考慮して、最表層にはAuめっき膜が形成されていることが重要である。

30

【0050】

この第1めっき膜3が形成された第1導電性パターン2上にバンプ10が形成された半導体ベアチップICからなる電子部品5がフリップ・チップ実装されている。バンプ10の材料としては、Au線によるスタッドバンプ、めっきによるAuまたははんだバンプ、導電性ペーストによるAgバンプ等簡易な方法で形成可能なバンプを用いることができる。なお上述した方法に限らず種々の方法でバンプ10を形成しても良い。

【0051】

半導体ベアチップICからなる電子部品5のフリップ・チップ実装方法については、実装時に補助材料を用いないAu-Au直接接続方式やはんだバンプによるはんだ接続方式を用いることができるが、上記した方法に限らず半導体ベアチップICをフェイスダウンで実装するフリップ・チップ実装方式であるなら何れの方法も使用可能である。

40

【0052】

第2導電性パターン6上には導電性を有する実装材料26により金属塊27が実装されている。実装材料26としては、はんだや導電性接着剤を用いることができる。はんだとしては、Sn-Ag系、Sn-Ag-Cu系、Sn-Zn系、Au-Zn系などの材料が使用可能であるが、これらの材料に限らず金属塊27を実装できる材料であるなら何れの方法も使用可能である。ただし、このはんだは、環境汚染物質であるPbを含有しないもしくはほとんど含有しないPbフリーはんだであることが重要である。また、導電性接着剤としては、Au、AgまたはCuなどの金属粒子とエポキシ樹脂、フェノール樹脂、シアネート樹脂などの熱硬化性樹脂とを混合した材料を使用することができる。その中でも

50

Agとエポキシ樹脂の組み合わせは、導電性が高いと共に耐熱性が高いため特に好ましい。金属塊27としては、Cu、Pd、Zn、Ni、Ti、Cr、Sn、Ag、Auなどの金属材料を単一または複数組み合わせた材料として用いることができ、Cuを用いることは導電性が高く、また低コストであり、更に、後に形成する第2めっき膜9との密着性及び導電性を考えた場合特に好ましい。

#### 【0053】

また、前記金属塊の高さは前記電子部品の高さと前記バンプの高さの和より低く設定している。こうすることで、電子部品5および金属塊27の実装後最も背の高い部品は電子部品5となるため、第2絶縁層4の厚さは電子部品5の高さに応じて設定することができるので、必要以上に第2絶縁層4を厚くすることが無くなる。即ち、金属塊27が電子部品5の実装後の高さより大きい場合に、本来電子部品5を第2絶縁層4で覆いながらできるだけ第2絶縁層4部を薄くしたい構造であるにもかかわらず、電子部品5の実装後の高さより高い金属塊27を覆うように第2絶縁層4を形成するため、第2絶縁層4部は非常に厚いものになってしまう。そのため、第2絶縁層4を薄くするためには、第2絶縁層4を研磨して薄くする工程が必要となるが、この場合、研磨する工程が必要となる上、研磨による電子部品5への不必要な応力を与えることとなり、電子部品5の接続不良を引き起こすことになる。従って、金属塊27を電子部品5の実装後の高さより低くすることで、第2絶縁層4を電子部品5の高さに起因した厚みとすることが可能となり、第2絶縁層4を研磨して薄くする工程が不要となると共に、研磨による電子部品5への不必要な応力を与えることがないため、電子部品5の接続不良を引き起こす要因を排除することができる。更に、金属塊27は略球状であることが望ましい。球状とすることで金属塊27には方向性がなくなるため取り扱いが容易になり、第2導電性パターン6上への実装を容易に行うことができる。

10

20

#### 【0054】

第2絶縁層4は織布または不織布に未硬化状態の熱硬化性樹脂を含浸させたプリプレグを加熱しながら加圧して熱硬化性樹脂を硬化させることにより形成している。プリプレグとしては、ガラスクロスに熱硬化性のエポキシ樹脂を含浸させたガラスエポキシプリプレグ、ガラスクロスに熱硬化性のビスマレイミド・トリアジン樹脂を含浸させたBTレジンプリプレグ、アラミド不織布に熱硬化性のエポキシ樹脂を含浸させたアラミドプリプレグ等を使用することが可能であるが、織布または不織布に熱硬化性樹脂を含浸させた構造であれば、様々な材料を使用することが可能である。また、織布または不織布に熱硬化性樹脂を含浸させたプリプレグ以外にも、二酸化珪素やアルミナ等の無機フィラーと熱硬化性樹脂との混合物を用いる事も可能である。

30

#### 【0055】

この第2絶縁層4上には、第3導電性パターン7を配置している。第3導電性パターン7は電気導電性を有する物質から成り、例えば、Cu箔や導電性樹脂組成物から成る。本発明においてはCu箔を用いている。

#### 【0056】

そして、第3導電性パターン7、第2絶縁層4を貫通し、金属塊27に接続されるブラインドピアホール8内の第2めっき膜9により、第3導電性パターン7と金属塊27は電氣的に接続されている。金属塊27が存在することで、浅いピアホール8を形成することができるので、ピアホール8内に安定した第2めっき膜9を形成することができる。

40

#### 【0057】

第2めっき膜9はPdを核とした無電解Cuめっきや電解Cuめっきで構成される。また、第2めっき膜9は、Cuめっきに限らず、その他Zn、Ni、Ti、Cr、Sn、Ag、Au等の材料で構成しても良い。ただし、第3導電性パターン7や金属塊27と十分に反応することが可能なめっき材料を選択することが重要である。本実施の形態1においては、第2めっき膜9にはCuを使用している。

#### 【0058】

なお、第2めっき膜9を形成したブラインドピアホール8内は図1に示すように凹状の

50

ままでも良いが、凹部内を熱硬化性樹脂により充填した構造であっても良い。ただし、凹部内を熱硬化性樹脂により充填した場合には、ブラインドビアホール 8 上面部を Cu めっき等のめっき膜で覆っておくことが望ましい。凹部内に充填する熱硬化性樹脂は導電性材料または絶縁性材料の何れか材料であっても使用可能であるが、電氣的導通を伴う信頼性を考えた場合、導電性材料の方が望ましい。

【0059】

次に本発明の電子部品内蔵基板の製造方法の実施の形態について、図面を参照して説明する。

【0060】

図 2 は、本発明の実施の形態 1 による電子部品内蔵基板の製造工程断面図である。

10

【0061】

図 2 ( a ) に示すように、第 1 絶縁層 1 の上面に配置した第 1 導電性パターン 2 と、第 2 導電性パターン 6 およびインナービア 1 3 とを含む多層配線基板の第 1 導電性パターン 2 および第 2 導電性パターン 6 上には Au めっきからなる第 1 めっき膜 3 を形成する。その後、電極上にパンプ 1 0 を形成した半導体ベアチップ IC からなる電子部品 5 を第 1 導電性パターン 2 上へフリップ・チップ実装する。

【0062】

次に、図 2 ( b ) に示すように、スクリーン印刷による厚膜印刷、ディスペンサによる材料塗布、スタンプによる材料転写などの方法により実装材料 2 6 を第 2 導電性パターン 6 上に形成し、この実装材料 2 6 上に金属塊 2 7 を実装する。実装材料 2 6 にははんだや導電性接着剤を用いることができる。はんだを用いた場合には、金属塊 2 7 を装着後リフロー工程により金属塊 2 7 を第 2 導電性パターン 6 上に固定する。また、導電性接着剤を用いた場合には、オープン等を用いて導電性接着剤を硬化させ金属塊 2 7 を第 2 導電性パターン 6 上に固定する。なお、実装材料 2 6 にはんだを用いた場合には、実装後フラックス洗浄を十分に行うことが重要である。

20

【0063】

次に、図 2 ( c ) に示すように、電子部品 5 および金属塊 2 7 を実装済みの第 1 絶縁層 1 の電子部品 5 および金属塊 2 7 を実装している面に、電子部品 5 および金属塊 2 7 を覆うようにプリプレグ 4 a、4 b と金属箔 1 7 を所望の位置に重ね合わせる。

【0064】

30

なお、第 1 絶縁層 1 とプリプレグ 4 a、4 b は、基板の反りや変形を防止するために、同一組成の材料であることが望ましいが、異種材料を使用する場合には、線膨張係数差の小さい材料を選択することが重要である。

【0065】

また、プリプレグ 4 a には、電子部品 5 および金属塊 2 7 と接触しないように空間 1 4 および空間 2 9 が形成されている。この空間 1 4 は、複数個の電子部品 5 を実装する場合 ( 図示せず ) でも、実装エリアをすべて囲むように 1 つの空間としている。また、空間 2 9 は金属塊 2 7 の 1 つずつに対応する空間であっても良いし、複数の金属塊 2 7 を 1 つの空間 2 9 で含むものであっても良いが、プリプレグ 4 a を重ね合わせる時に、電子部品 5 や金属塊 2 7 に接触しないように空間 1 4 および空間 2 9 を形成することが重要である。また、プリプレグ 4 b が、熱プレス後に電子部品 5 に接触することによって電子部品 5 に圧力がかからないように、プリプレグ 4 a は、電子部品 5 の実装後の第 1 絶縁層 1 からの高さより厚く形成する必要がある。

40

【0066】

一方、電子部品 5 への接触を避ける目的でプリプレグ 4 a を厚くするために特別に厚い材料を作るとは、特注品であるが故の高コスト化を避けることが難しく、また量産性には不向きである。従って、プリプレグ 4 a には、通常配線基板を作製する際に使用している一般的な厚み ( 例えば 1 0 0  $\mu\text{m}$  ) のプリプレグを複数枚使用することで、所望の厚みを確保している。

【0067】

50

また、プリプレグ 4 a、4 b は、織布または不織布と未硬化状態の熱硬化性樹脂の混合シートや、無機フィラーと熱硬化性樹脂との混合物であるが、このプリプレグ 4 a、4 b は加熱しながら加圧することにより、プリプレグ 4 a、4 b から軟化した熱硬化性樹脂が流れ出し、加熱・加圧終了後には初期の厚みより必ず薄くなる。このため、この厚みの減少分を予め考慮して設計すれば、積層後でもプリプレグ 4 b が電子部品 5 に接触することを未然に防止することが可能である。そして更には、プリプレグ 4 a を複数枚使用することにより、加熱・加圧時にプリプレグ 4 a から流出する熱硬化性樹脂の量を十分に確保することができるため、複数の電子部品 5 が存在する場合（図示せず）にできる大きな空間 1 4 であっても、その隙間を熱硬化性樹脂で確実に充填させることが可能となる。

【0068】

なお、図 2 (c) では空間 1 4、2 9 を形成していないプリプレグ 4 b を空間 1 4、2 9 を形成したプリプレグ 4 a の上に配置しているが、すべて空間 1 4、2 9 を形成したプリプレグ 4 a に置き換えることも可能である。

【0069】

上述したプリプレグ 4 a、4 b の特性により、図 2 (d) に示すように、積層したそれぞれの構成材料をプレス機（図示せず）により加熱しながら加圧を行うことで、プリプレグ 4 a、4 b を硬化させて第 2 絶縁層 4 とすることができる。

【0070】

次に、図 2 (e) に示すように、金属箔 1 7、第 2 絶縁層 4 の所望の位置に穴 1 8 を加工して、金属塊 2 7 を露出させる。金属箔 1 7 の加工方法は、エッチングによるサブトラクティブ法、CO<sub>2</sub> レーザや YAG レーザによるレーザ加工、およびドリル加工等の加工方法を用いることができる。また、第 2 絶縁層 4 の加工方法は、CO<sub>2</sub> レーザや YAG レーザによるレーザ加工、またはドリル加工による加工方法を用いることができる。なお、各種加工方法により金属塊 2 7 を露出させた後、穴 1 8 部の洗浄（デスミア処理）を行うことは重要である。

【0071】

デスミア処理完了後、図 2 (f) に示すように、穴 1 8 を介して金属箔 1 7 と金属塊 2 7 を電氣的に接続するように、第 2 めっき膜 9 を形成する。第 2 めっき膜 9 は、例えば Pd を核付けした後、無電解 Cu めっき膜を形成し、更にその上に電解 Cu めっき膜を形成して安定した Cu めっき膜を形成する。Cu めっき膜は、接続信頼性を確保するためには通常 20 ~ 30 μm 程度の膜厚が必要である。

【0072】

なお、第 2 めっき膜 9 は上述した方法に限らず、金属塊 2 7 に反応可能なめっき材料であるなら、Zn、Ni、Ti、Cr、Sn、Ag、Au 等様々なめっき膜を用いることが可能である。

【0073】

次に、図 2 (g) に示すように、金属箔 1 7 を所望の形状にパターンニングして第 3 導電性パターン 7 を形成し、必要に応じて、図 2 (h) に示すように、表裏面にソルダーレジスト 1 2 を形成し電子部品内蔵基板とする。なお、図 2 (h) には表裏面の両面にソルダーレジスト 1 2 を形成しているが、片面のみの形成、あるいは両面ともソルダーレジスト 1 2 を形成しない場合もある。求められる基板形状により構造を選択することが可能である。

【0074】

以下、実施の形態 1 に示す電子部品内蔵基板およびその製造方法の特徴について説明する。

【0075】

本発明の電子部品内蔵基板においては、第 1 絶縁層 1 上の第 1 導電性パターン 2 上に半導体ベアチップ IC からなる電子部品 5 を実装し、第 2 導電性パターン 6 上に金属塊 2 7 を実装した後、第 2 絶縁層 4 に内蔵し、ブラインドビアホール 8 により電氣的導通を行う構造となっている。電子部品 5 の実装方法は、機能素子面を第 1 導電性パターン 2 上に対

10

20

30

40

50

向させて実装するフリップ・チップ実装方式を採用しており、電氣的導通を安定化するためにCu箔からなる第1導電性パターン2上に直接電子部品5を実装するのではなく、第1導電性パターン2上には表面が酸化されにくいAuめっきからなる第1めっき膜3を形成している。このAuめっき膜からなる第1めっき膜3の存在により、電子部品5は確実に電氣的導通を取りながら第1導電性パターン2上に実装することができるのである。そして、電子部品5の実装後の高さより低い金属塊27を第2導電性パターン6上に実装していることにより、第2絶縁層4を電子部品5の高さに起因した厚みとすることが可能となり、第2絶縁層4を研磨して薄くする工程が不要となると共に、研磨による電子部品5への不必要な応力を与えることがないため、電子部品5の接続不良を引き起こす要因を排除することができる。更に、金属塊27の存在により、第3導電性パターン7と第2導電性パターン6を電氣的に接続するビアホール8の深さを、第3導電性パターン7から金属塊27までの浅い構造とすることができるため、ビアホール8内に安定した第2めっき膜9を形成することができるものである。

#### 【0076】

以上に示すように、本実施の形態1によれば、第2導電性パターン6上に電子部品5の実装後の高さより低い金属塊27を形成しているため、第2絶縁層4の厚さを厚くすること無く、第2導電性パターン6と第3導電性パターン7を繋ぐビアホール8を浅い構造とすることができるため、ビアホール8内に安定した第2めっき膜9を形成することができるものである。

#### 【0077】

(実施の形態2)

以下、本発明に係る実施の形態2について図を用いて説明する。図3は本発明の実施の形態2による電子部品内蔵基板の断面図である。なお、特に説明しない限りは実施の形態1と同一の構造については、同一番号を付与して説明を省略する。

#### 【0078】

実施の形態2における実施の形態1との主な相違点は、図3に示すように、第2導電性パターン6の周囲にレジスト膜19を形成していることである。レジスト膜19を第2導電性パターン6の周囲に形成することで、第2導電性パターン6上に金属塊27を実装する際に形成する実装材料26の第2導電性パターン6外への拡がりを防止することができる。そのため、実装材料26による隣接する第2導電性パターン6間のショート不良を防止することが可能となるものである。この時、レジスト膜19の形状は、第2導電性パターン6の外周に外壁をつくる構造とし、レジスト膜19は100～500μm程度の幅であることが好ましい。なぜなら、レジスト膜19の幅が100μm以下であるような設計の場合、レジスト膜19の形成歩留りが極端に悪くなる。また、レジスト膜19の幅が広くなり過ぎると、第2絶縁層4と接するレジスト膜19が大きくなるが、レジスト膜19は一般的には撥水性の材料であるため、第2絶縁層4と殆ど接着せず、剥がれ易くなる。そのため可能な限りレジスト膜19の幅を狭くして第2絶縁層4との接点を少なくすることが重要となる。従ってレジスト膜19は100～500μm程度の幅に設定しているのである。

#### 【0079】

なお、実装材料26は実施の形態1と同様に、はんだまたは導電性接着剤を用いることができる。

#### 【0080】

(実施の形態3)

以下、本発明に係る実施の形態2について図を用いて説明する。図4は本発明の実施の形態3による電子部品内蔵基板の断面図である。なお、特に説明しない限りは実施の形態1と同一の構造については、同一番号を付与して説明を省略する。

#### 【0081】

実施の形態3における実施の形態1との主な相違点は、図4に示すように、半導体ベアチップICからなる電子部品5の実装方式に、実装補助材11として、ACF(Anis

otropic Conductive Film; 異方性導電フィルム)やNCF(Non Conductive Film; 絶縁性フィルム)を用いたAuパンプによる圧接接続方式または電子部品5実装後に電子部品5と第1絶縁層1の間にアンダーフィルを充填する方式を用いている。なお、上記した方法に限らず、実装補助材11を用いて半導体ベアチップICをフェイスダウンで実装するフリップ・チップ実装方式であるなら何れの方法も使用可能である。

#### 【0082】

この実装補助材11を用いた実装方式を採用した電子部品5を第2絶縁層4に内蔵する場合、図2に示すような実施の形態1と同様にプリプレグ4aに電子部品5より大きな空間14を形成しているのであるが、実装補助材11は電子部品5の周囲にはみ出して形成されており、このはみ出した実装補助材11を囲むように実装補助材11より大きな空間14を形成することが重要である。この実装補助材11より大きな空間14の存在により、プリプレグ4aが電子部品5に接触することによって電子部品5に圧力がかかるようなことがないようにすることができるのである。

10

#### 【0083】

なお、実施の形態3においても、実施の形態2と同様に第2導電性パターン6の外周部にレジスト膜19を形成した構造としても良い。

#### 【0084】

(実施の形態4)

以下、本発明に係る実施の形態4について図を用いて説明する。図5は本発明の実施の形態4による電子部品内蔵基板の製造工程断面図である。なお、特に説明しない限りは実施の形態1と同一の構造については、同一番号を付与して説明を省略する。

20

#### 【0085】

実施の形態3における実施の形態1との主な相違点は、図5(c)に示すように、プリプレグ4aに電子部品5および金属塊27すべてを囲むことが可能な1つの空間30を形成している。このように1つの空間30とすることにより、空間30の加工を容易に行うことができるとともに、電子部品5と空間30の内壁との距離が広がり、また電子部品5と空間30の内壁との間に金属塊27が存在するため、熱プレス時にプリプレグ4aからの圧力が直接電子部品5に掛かることを防止することができ、電子部品5の接続信頼性を安定化することが可能となる。

30

#### 【0086】

(実施の形態5)

以下、本発明に係る実施の形態5について図を用いて説明する。図6は本発明の実施の形態5による電子部品内蔵基板の製造工程断面図である。なお、特に説明しない限りは実施の形態1と同一の構造については、同一番号を付与して説明を省略する。

#### 【0087】

実施の形態5における実施の形態1との主な相違点は、図6(c)に示すようにプリプレグ4b上に金属箔17を用いず、第1絶縁層1上にプリプレグ4a、4bのみを積み重ねて加熱プレス(図示せず)により一体化するものである。その後、図6(e)に示すように第2絶縁層4の所望の位置を加工して金属塊27を露出させる。加工方法については実施の形態1と同様の方法により加工可能である。加工終了後、第2絶縁層4上面に第2めっき膜9を形成しながら、加工した穴18部および金属塊27に第2めっき膜9を形成する。

40

#### 【0088】

本実施の形態5では、実施の形態1と比較して金属箔17を用いないため、穴18を形成する際に金属箔17の加工が必要ないため加工工程の簡素化および加工時間の短縮化が可能である。また、第2めっき膜9形成後パターンングして第3導電性パターン7を形成する際においても、金属箔17に関する膜厚(例えば18 $\mu$ m)がないため、第2めっき膜9の膜厚(例えば20 $\mu$ m)のみのエッチングで第3導電性パターン7を加工することができるため、加工時間の短縮化を図ることが可能である。

50



## 【 0 0 8 9 】

(実施の形態 6)

以下、本発明に係る実施の形態 6 について図を用いて説明する。図 7 は本発明の電子部品内蔵基板を用いた受信装置または電子機器の断面図である。なお、特に説明しない限りは実施の形態 1 と同一の構造については、同一番号を付与して説明を省略する。

## 【 0 0 9 0 】

本実施の形態 6 では、図 7 に示すように、実施の形態 1 で作製した電子部品内蔵基板を使用し、その表面にはんだ 2 3 を用いて電子部品 2 4 を実装することにより、受信装置または電子機器を作製している。電子部品内蔵基板を使用することで、電子部品内蔵基板を使用しない場合と比べて受信装置または電子機器を小型化することが可能となる。

10

## 【産業上の利用可能性】

## 【 0 0 9 1 】

本発明における電子部品内蔵基板とこれを用いた電子機器、およびその製造方法は、半導体ベアチップ IC を基板内に内蔵した電子部品内蔵基板を簡易な工程で作製することができ、更に電子部品内蔵基板における電子部品の接続信頼性を向上させることができるので、例えば、超小型の 3 次元実装モジュールの製造に利用できる。

## 【図面の簡単な説明】

## 【 0 0 9 2 】

【図 1】本発明の実施の形態 1 における電子部品内蔵基板の断面図

【図 2】(a) から (h) は、本発明の実施の形態 1 における電子部品内蔵基板の製造工程断面図

20

【図 3】本発明の実施の形態 2 における電子部品内蔵基板の断面図

【図 4】本発明の実施の形態 3 における電子部品内蔵基板の断面図

【図 5】(a) から (h) は、本発明の実施の形態 4 における電子部品内蔵基板の製造工程断面図

【図 6】(a) から (h) は、本発明の実施の形態 5 における電子部品内蔵基板の製造工程断面図

【図 7】本発明の実施の形態 6 における受信装置または電子機器の断面図

【図 8】従来の製造方法で製造された電子部品内蔵基板の断面図

## 【符号の説明】

30

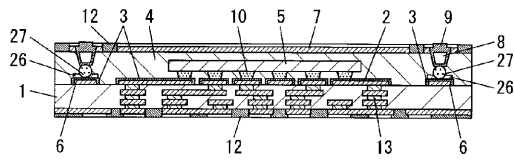
## 【 0 0 9 3 】

- 1 第 1 絶縁層
- 2 第 1 導電性パターン
- 3 第 1 めっき膜
- 4 第 2 絶縁層
- 5 電子部品
- 6 第 2 導電性パターン
- 7 第 3 導電性パターン
- 8 ビアホール
- 9 第 2 めっき膜
- 10 バンプ
- 11 実装補助材
- 12 ソルダーレジスト
- 13 インナービア
- 19 レジスト膜
- 26 実装材料
- 27 金属塊

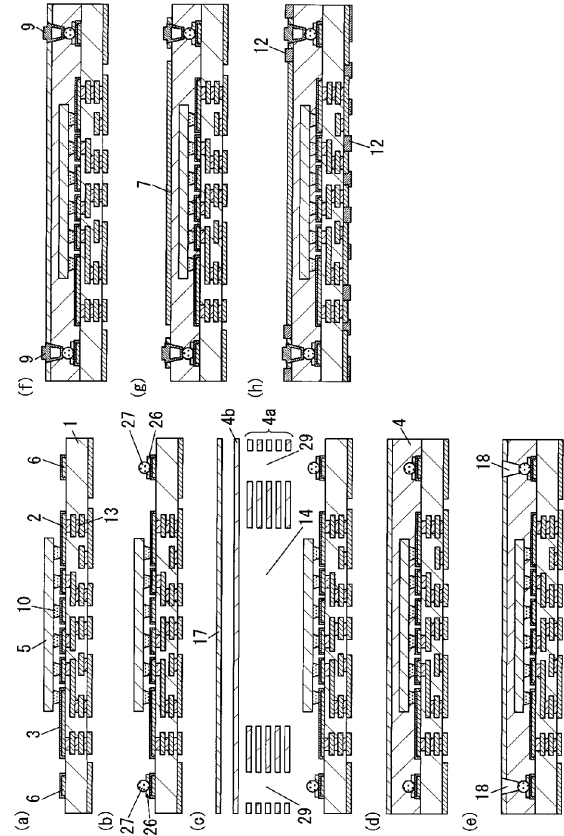
40

【 図 1 】

- 1 第1絶縁層
- 2 第1導電性パターン
- 3 第1めっき膜
- 4 第2絶縁層
- 5 電子部品
- 6 第2導電性パターン
- 7 第3導電性パターン
- 8 ピアホール
- 9 第2めっき膜
- 10 バンプ
- 12 ソルダーレジスト
- 13 インナービア
- 26 実装材料
- 27 金属塊

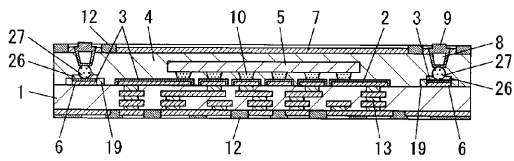


【 図 2 】

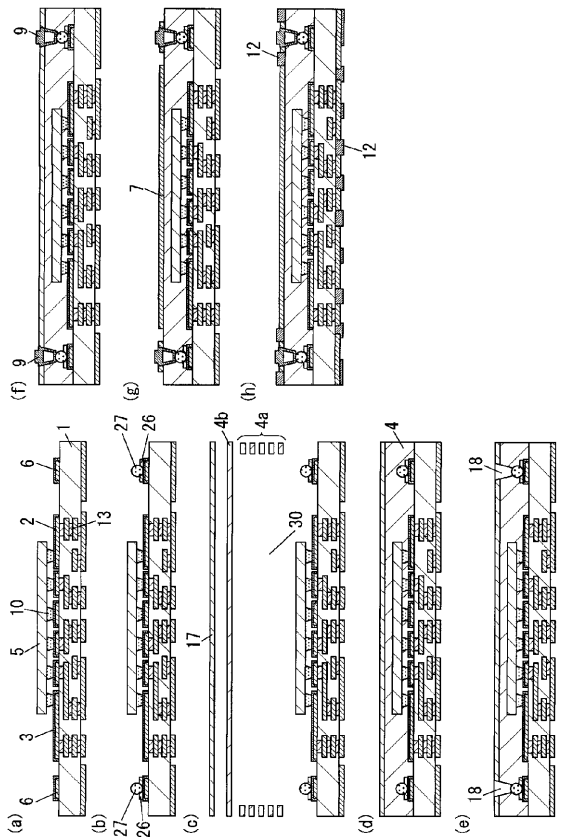


【 図 3 】

19 レジスト膜

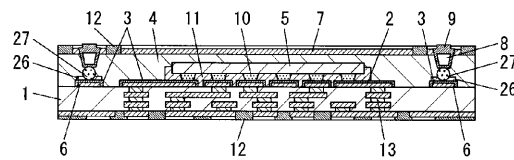


【 図 5 】

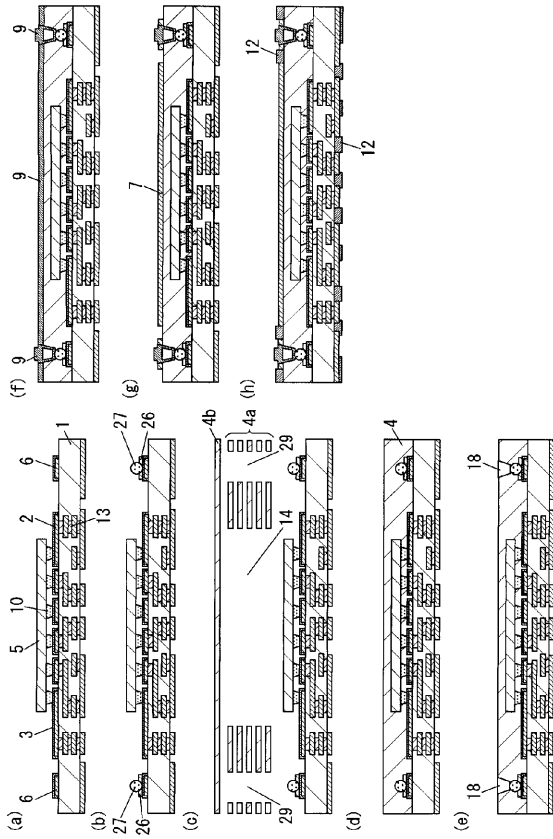


【 図 4 】

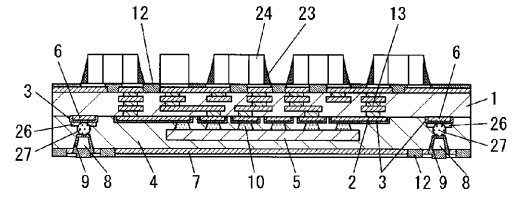
11 実装補助材



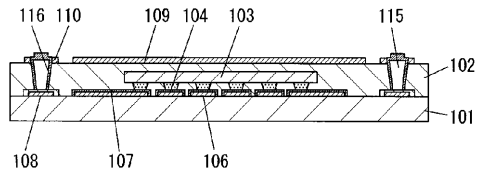
【 図 6 】



【 図 7 】



【 図 8 】



---

フロントページの続き

Fターム(参考) 5E346 AA35 AA43 CC09 CC10 CC13 CC32 CC37 CC38 CC39 DD02  
DD12 DD22 EE38 EE39 FF09 FF10 FF18 FF24 FF28 FF37  
FF45 GG06 GG07 GG08 GG17 GG28 HH07 HH32 HH33  
5F044 KK01 KK16 LL01 RR18