



[12] 发明专利说明书

专利号 ZL 200710120223.1

[45] 授权公告日 2009年10月28日

[11] 授权公告号 CN 100555999C

[22] 申请日 2007.8.13

[21] 申请号 200710120223.1

[73] 专利权人 中兴通讯股份有限公司

地址 518057 广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦法务部

[72] 发明人 纪林

[56] 参考文献

CN1852254A 2006.10.25

CN1625176A 2005.6.8

US2007/0030851A1 2007.2.8

US2007/0127479A1 2007.6.7

审查员 杜军

[74] 专利代理机构 北京银龙知识产权代理有限公司
代理人 许静

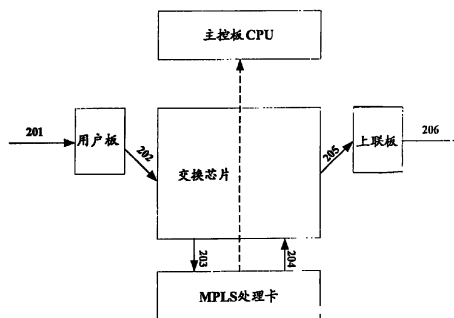
权利要求书4页 说明书12页 附图5页

[54] 发明名称

一种实现边缘到边缘伪线仿真的方法和装置

[57] 摘要

本发明提供一种实现边缘到边缘伪线仿真的方法和装置，在上行过程和下行过程中，设置一个多协议标记交换处理卡，上行过程中，主控板交换芯片将接到的内部多协议标记交换报文转发给所述处理卡；该处理卡将该交换报文封装为边缘到边缘伪线仿真格式的数据报文，将该报文交换到所述交换芯片；下行过程中，交换芯片将接到的外部多协议标记交换报文转发给所述处理卡；该处理卡将该交换报文中的数据报文封装为所述内部多协议标记交换报文，并将封装后的该交换报文交换到所述交换芯片。本发明增加了一个处理卡，使得在 IP - DSLAM 上实现了 PWE3 业务，且内部 MPLS 报文交换到主控板交换芯片后，该 MPLS 报文保证不会丢失用户接入电路信息。



1. 一种实现边缘到边缘伪线仿真的方法，包括上行过程和下行过程，其特征在于，在所述上行过程和下行过程中，设置一个多协议标记交换处理卡，并且所述上行过程进一步包括：

步骤一. 主控板交换芯片将接到的内部多协议标记交换报文转发给所述处理卡；

步骤二. 该处理卡将该内部多协议标记交换报文封装为边缘到边缘伪线仿真格式的数据报文，将该报文交换到所述交换芯片；

所述下行过程进一步包括：

步骤 A. 所述交换芯片将接到的外部多协议标记交换报文转发给所述处理卡；

步骤 B. 该处理卡将该交换报文中的数据报文封装为所述内部多协议标记交换报文，并将封装后的该交换报文交换到所述交换芯片。

2. 根据权利要求 1 所述的方法，其特征在于，所述步骤一之前，数据报文进入用户板，该用户板的交换器件将来自边缘到边缘伪线仿真业务电路的所述数据报文封装为内部多协议标记交换报文，并通过接口交换到所述主控板交换芯片；

所述步骤二之后，所述主控板交换芯片将所述边缘到边缘伪线仿真格式的数据报文交换到上联板并通过该上联板的端口发出。

3. 根据权利要求 1 所述的方法，其特征在于，所述步骤 A 之前，下行的数据报文进入上联板，该上联板将该数据报文发送给所述主控板交换芯片，该交换芯片判断该报文的类型；

如果该报文的类型是外部多协议标记交换报文则将该报文交换到所述处理卡，否则将该报文直接交换到用户板；

步骤 B 之后，所述内部多协议标记交换报文由所述主控板交换芯片转发至所述用户板，该用户板进行解封装，取出该交换报文中的有效负荷通过边缘到边缘伪线仿真出口电路发送。

4. 根据权利要求 2 或 3 所述的方法，其特征在于，所述用户板通过所述

交换器件来交换数据报文，该交换器件采用现场可编程逻辑阵列，该现场可编程逻辑阵列支持边缘到边缘伪线仿真业务电路的相关配置；

且该现场可编程逻辑阵列上存有用户接入电路属性表，该表中保存用户接入电路的相关信息，该表的索引是用户接入电路标识。

5. 根据权利要求4所述的方法，其特征在于，在上行过程中，所述数据报文进入用户板后，该用户板识别该报文的用户接入电路，并根据该用户接入电路查询所述用户接入电路属性表；

如果该接入电路是边缘到边缘伪线仿真业务电路，则将该数据报文作为有效负荷封装为所述内部多协议标记交换报文，然后交换到所述主控板交换芯片；

对于非边缘到边缘伪线仿真业务电路传来的所述数据报文，所述现场可编程逻辑阵列根据该报文的目的地访问控制地址以及虚拟局域网标识的信息交换到所述主控板交换芯片。

6. 根据权利要求5所述的方法，其特征在于，在上行过程中，所述主控板交换芯片通过识别数据报文的类型或根据目的地访问控制地址将所述内部多协议标记交换报文交换到所述多协议标记交换处理卡；将来自非边缘到边缘伪线仿真业务电路的数据报文直接交换到上联板。

7. 根据权利要求1所述的方法，其特征在于，所述多协议标记交换处理卡实现虚拟电路标签表、用户接入电路属性表、多协议标记交换标签表；

该虚拟电路标签表保存虚拟电路标签和对应的用户接入电路索引；该用户接入电路属性表保存用户接入电路相关信息；该多协议标记交换标签表记录虚拟电路标签的标识信息。

8. 根据权利要求1或7所述的方法，其特征在于，所述步骤二中进一步包括：所述处理卡识别所述报文的类型为所述内部多协议标记交换报文，解析出该报文的用户接入电路信息，利用该电路信息查询位于该处理卡的所述用户接入电路属性表，获取接入电路类型、虚拟电路标签的标识，再用该虚拟电路标签的标识查询虚拟电路标签表，获取出口对端提供商边缘的内外层标签、下一跳介质访问控制信息，并根据所述接入电路类型封装为所述边缘到边缘伪线仿真格式的数据报文，发送该报文到所述主控板交换芯片，并进行服务质量映

射;

如果没有找到所述下一跳介质访问控制信息,则发送相应消息到所述主控板 CPU,由该 CPU 转发所述内部多协议标记交换报文或触发地址解析协议解析下一跳介质访问控制信息。

9. 根据权利要求 1 或 7 所述的方法,其特征在于,所述步骤 B 中,所述处理卡提取隧道标签和虚拟电路标签,用该虚拟电路标签查询多协议标记交换标签表,得到虚拟电路标签的标识,再用该虚拟电路标签的标识查询虚拟电路标签表,得到用户接入电路索引,然后利用该索引查询用户接入电路属性表,得到边缘到边缘伪线仿真出口电路和封装信息;重新封装该数据报文为所述内部多协议标记交换报文并发送该报文到所述主控板交换芯片,并进行服务质量映射。

10. 根据权利要求 9 所述的方法,其特征在于,在所述多协议标记交换处理卡发送该报文到所述主控板交换芯片之后,该主控板交换芯片将该报文转发至所述用户板;

所述用户板的现场可编程逻辑阵列收到发来的报文,判断如果是所述内部多协议标记交换报文,则解封装取出边缘到边缘伪线仿真出口电路信息、去掉该报文中的介质访问控制头、虚拟局域网信息以及类型字段,将有效负荷取出并进行相应操作后发送给边缘到边缘伪线仿真出口电路;判断如果是非边缘到边缘伪线仿真业务报文,则直接交换到用户端口。

11. 根据权利要求 1 所述的方法,其特征在于,所述步骤 B 之前,所述外部多协议标记交换报文被交换到所述处理卡之后,该处理卡识别该报文如果是控制报文,则将该报文送至主控板 CPU。

12. 根据权利要求 1 所述的方法,其特征在于,封装后的所述内部多协议标记交换报文至少包括目的介质访问控制地址、源介质访问控制地址、内部头、报文类型、有效负荷;

且该封装后的报文类型标识为内部多协议标记交换,所述内部头包括用户接入电路信息、报文长度。

13. 一种实现边缘到边缘伪线仿真的装置,包括数字用户线路访问多路复用器,其特征在于,该多路复用器至少包括主控板、用户板、上联板,并增加

一个多协议标记交换处理卡，该处理卡占用该复用器的一个物理槽位；

所述用户板包含交换器件，所述主控板包含交换芯片；

所述用户板上的所述交换器件通过接口与所述交换芯片的内联口连接；所述处理卡通过媒质独立接口与所述交换芯片的内联口连接；所述交换芯片通过接口与所述上联板连接。

14. 根据权利要求 13 所述的装置，其特征在于，所述主控板进一步包括一个 CPU，如果所述多协议标记交换处理卡接收到下行方向的多协议标记交换报文，且判断该报文是控制报文，则将该报文直接发送至所述 CPU。

15. 根据权利要求 13 所述的装置，其特征在于，所述用户板上的交换器件采用现场可编程逻辑阵列，该现场可编程逻辑阵列通过上联口与所述主控板的交换芯片的内联口连接；且该现场可编程逻辑阵列存有用户接入电路属性表，该表中保存用户接入电路的相关信息，该表的索引是用户接入电路标识。

16. 根据权利要求 13 所述的装置，其特征在于，所述多协议标记交换处理卡实现虚拟电路标签表、用户接入电路属性表、多协议标记交换标签表；

所述虚拟电路标签表保存多协议标记交换标签和对应的用户接入电路索引；所述用户接入电路属性表保存用户接入电路相关信息；所述多协议标记交换标签表记录虚拟电路标签的标识信息。

17. 根据权利要求 13、14、15 或 16 所述的装置，其特征在于，上行数据报文由所述用户板交换到所述主控板的交换芯片，该交换芯片将该上行数据报文中来自边缘到边缘伪线仿真业务电路的数据报文交换到所述多协议标记交换处理卡，该处理卡将该数据报文封装为边缘到边缘伪线仿真格式的报文，发送该报文到所述交换芯片，该交换芯片将该报文交换到所述上联板并通过该上联板的端口发出。

18. 根据权利要求 13、14、15 或 16 所述的装置，其特征在于，下行数据报文进入所述上联板，该上联板将该报文发送给所述主控板的交换芯片，该交换芯片将其中的外部多协议标记交换报文发送到所述多协议标记交换处理卡，该处理卡依据该报文获取边缘到边缘伪线仿真出口电路和封装信息后将该报文封装为内部多协议标记交换报文，并发送该报文到所述交换芯片，由该交换芯片转发至所述用户板，该用户板解封装该报文取出有效负荷通过边缘到边缘伪线仿真出口电路发送出去。

一种实现边缘到边缘伪线仿真的方法和装置

技术领域

本发明涉及通信技术领域，特别是指一种实现边缘到边缘伪线仿真(PWE3, Pseudo Wire Emulation Edge to Edge)的方法和装置。

背景技术

边缘到边缘伪线(PW, Pseudo Wire)仿真是由互联网工程任务组(IETF, Internet Engineering Task Force)下属工作组制定，用于在分组交换网(PSN, Packet Switch Network)上提供传统的第一层和第二层网络业务的技术。目前，PWE3多用在路由器设备上，随着第二层的虚拟专用网(VPN, Virtual Private Network)业务的不断发展，不少运营商已经有在数字用户线路访问多路复用器(IP-DSLAM, Digital Subscriber Line Access Multiplexer)设备上实现PWE3业务的需求，以达到将用户侧的以太网/异步传输模式(ATM, Asynchronous Transfer Mode)数据通过PSN网络透明的传送至远端CE设备的目的。PWE3在PSN上的业务模型架构如图1所示，网络边缘的两个提供商边缘(PE, Provider Edge)节点为其所连接的客户网络的用户边缘(CE, Customer Edge)节点提供一条或多条伪线，使得CE设备之间可以在服务提供商提供的网络上通过所述伪线实现通信；在一条PSN隧道(PSN TUNNEL)上可以实现两个PE之间的PW复用，通信时CE的用户业务数据进入PE后先完成PW封装，由PE再加上一层内层标签即PW标签，再加上一层外层标签即隧道标签后，形成数据报文传送给对端的PE；对端PE对该数据报文进行解封装，取出内层标签以确定出口电路，将该数据报文中封装的用户业务数据发送至CE。

一种常用的IP-DSLAM设备的结构框架中主要包含主控板、用户板、上联板等不同单板。其中不同类型的用户板支持不同的数字用户线(DSL, Digital Subscriber Line)接入方式；主控板是该结构框架系统的核心，对所有单板进行控制与管理。目前主流的IP-DSLAM均是采用两级数据交换体系结构，即在主控板与用户板上分别存在不同的交换器件，如交换芯片、网络处理器、现场

可编程逻辑阵列(FPGA, Field Programmable Gate Array)等。用户板上的交换器件的上联口通过媒质独立接口(MII, Media Independent Interface)与主控板上交换芯片的内联口相连。用户上行数据首先通过用户板上的交换器件交换到主控板交换芯片的内联口, 在主控板交换芯片上再进行二次交换, 最终从系统中上联板上的端口发出, 下行数据报文的交换则是上述过程的逆过程。

由于在 IP-DSLAM 设备上, 目前实现的边缘到边缘伪线仿真的方法如以上所描述, 因此在 IP-DSLAM 上实现的 PWE3 功能存在以下缺陷, 首先是绝大多数主流的交换芯片不支持多协议标记交换(MPLS, Multi-Protocol Label Switching)功能, 仅能进行简单的二层/三层转发, 而且即使利用用户板上的网络处理器或 FPGA 来实现 MPLS 也将会非常复杂, 会对用户板的性能、资源使用提出难以接受的要求; 其次用户的数据报文已经丢失了用户接入电路信息, 因此交换到主控板交换芯片后, 该交换芯片从该数据报文中无法得知该报文来自于 PWE3 业务电路, 并且也无法判断该接入电路是否是 PWE3 业务电路。

发明内容

本发明的目的是提供一种实现边缘到边缘伪线仿真的方法和装置, 用于解决在 IP-DSLAM 设备上, 现有的边缘到边缘伪线仿真的方法存在的由于交换芯片不支持多协议标记交换所导致的难以实现 MPLS, 以及主控板交换芯片无法确定用户接入的电路是否是 PWE3 业务电路的缺陷。

因此本发明提供一种实现边缘到边缘伪线仿真的方法, 包括上行过程和下行过程, 在所述上行过程和下行过程的, 设置一个多协议标记交换处理卡, 并进一步包括: 所述上行过程中, 步骤一. 主控板交换芯片将接到的内部多协议标记交换报文转发给所述处理卡; 步骤二. 该处理卡将该交换报文封装为边缘到边缘伪线仿真格式的数据报文, 将该报文交换到所述交换芯片; 所述下行过程中, 步骤 A. 所述交换芯片将接到的外部多协议标记交换报文转发给所述处理卡; 步骤 B. 该处理卡将该交换报文中的数据报文封装为所述内部多协议标记交换报文, 并将封装后的该交换报文交换到所述交换芯片。

上述方法, 其中, 所述步骤一之前, 数据报文进入用户板, 该用户板的交换器件将来自边缘到边缘伪线仿真业务电路的所述数据报文封装为所述内部

多协议标记交换报文，并通过接口交换到所述主控板交换芯片；所述步骤二之后，所述主控板交换芯片将所述交换报文交换到上联板并通过该上联板的端口发出。

上述方法，其中，所述步骤 A 之前，下行的数据报文进入上联板，该上联板将该数据报文发送给所述主控板交换芯片，该交换芯片判断该报文的类型；如果是所述外部多协议标记交换报文则将该报文交换到所述处理卡，否则将该报文直接交换到用户板；步骤 B 之后，所述内部多协议标记交换报文由所述主控板交换芯片转发至所述用户板，该用户板进行解封装，取出该交换报文中的有效负荷通过边缘到边缘伪线仿真出口电路发送。

上述方法，其中，所述用户板通过所述交换器件来交换数据报文，该交换器件采用现场可编程逻辑阵列，该现场可编程逻辑阵列支持边缘到边缘伪线仿真业务电路的相关配置；且该现场可编程逻辑阵列上存有用户接入电路属性表，该表中保存用户接入电路的相关信息，该表的索引是用户接入电路标识。

上述方法，其中，在上行过程中，所述数据报文进入用户板后，该用户板识别该报文的用户接入电路，并根据该用户接入电路查询所述用户接入电路属性表；如果该接入电路是边缘到边缘伪线仿真业务电路，则将该数据报文作为有效负荷封装为所述内部多协议标记交换报文，然后交换到所述主控板交换芯片；对于非边缘到边缘伪线仿真业务电路传来的所述数据报文，所述现场可编程逻辑阵列根据该报文的目的地访问控制地址以及虚拟局域网标识的信息交换到所述主控板交换芯片。

上述方法，其中，在上行过程中，所述主控板交换芯片通过识别数据报文的类型或根据目的地访问控制地址将所述内部多协议标记交换报文交换到所述多协议标记交换处理卡；将来自非边缘到边缘伪线仿真业务电路的数据报文直接交换到上联板。

上述方法，其中，所述多协议标记交换处理卡实现虚拟电路标签表、用户接入电路属性表、多协议标记交换标签表；该虚拟电路标签表保存虚拟电路标签和对应的用户接入电路索引；该用户接入电路属性表保存用户接入电路相关信息；该多协议标记交换标签表记录虚拟电路标签的标识信息。

上述方法，其中，所述步骤二中进一步包括：所述处理卡识别所述报文的

类型为所述内部多协议标记交换报文，解析出该报文的用户接入电路信息，利用该电路信息查询位于该处理卡的所述用户接入电路属性表，获取接入电路类型、虚拟电路标签的标识，再用该虚拟电路标签的标识查询虚拟电路标签表，获取出口对端提供商边缘的内外层标签、下一跳介质访问控制信息，并根据所述接入电路类型封装为所述边缘到边缘伪线仿真格式的数据报文，发送该报文到所述主控板交换芯片，并进行服务质量映射；如果没有找到所述下一跳介质访问控制信息，则发送相应消息到所述主控板 CPU，由该 CPU 转发所述内部多协议标记交换报文或触发地址解析协议解析下一跳介质访问控制信息。

上述方法，其中，所述步骤 B 中，所述处理卡提取隧道标签和虚拟电路标签，用该虚拟电路标签查询多协议标记交换标签表，得到虚拟电路标签的标识，再用该虚拟电路标签的标识查询虚拟电路标签表，得到用户接入电路索引，然后利用该索引查询用户接入电路属性表，得到边缘到边缘伪线仿真出口电路和封装信息；重新封装该数据报文为所述内部多协议标记交换报文并发送该报文到所述主控板交换芯片，并进行服务质量映射。

上述方法，其中，在所述多协议标记交换处理卡发送该报文到所述主控板交换芯片之后，该主控板交换芯片将该报文转发至所述用户板；所述用户板的现场可编程逻辑阵列收到发来的报文，判断如果是所述内部多协议标记交换报文，则解封取出边缘到边缘伪线仿真出口电路信息、去掉该报文中的介质访问控制头、虚拟局域网信息以及类型字段，将有效负荷取出并进行相应操作后发送给边缘到边缘伪线仿真出口电路；判断如果是非边缘到边缘伪线仿真业务报文，则直接交换到用户端口。

上述方法，其中，所述步骤 B 之前，所述外部多协议标记交换报文被交换到所述处理卡之后，该处理卡识别该报文如果是控制报文，则将该报文送至主控板 CPU。

上述方法，其中，封装后的所述内部多协议标记交换报文至少包括目的介质访问控制地址、源介质访问控制地址、内部头、报文类型、有效负荷；

且该封装后的报文类型标识为内部多协议标记交换，所述内部头包括用户接入电路信息、报文长度。

一种实现边缘到边缘伪线仿真的装置，包括数字用户线路访问多路复用

器, 该多路复用器至少包括主控板、用户板、上联板, 并增加一个多协议标记交换处理卡, 该处理卡占用该复用器的一个物理槽位; 所述用户板包含交换器件, 所述主控板包含交换芯片; 所述用户板上的所述交换器件通过接口与所述交换芯片的内联口连接; 所述处理卡通过媒质独立接口与所述交换芯片的内联口连接; 所述交换芯片通过接口与所述上联板连接。

上述装置, 其中, 所述主控板进一步包括一个 CPU, 如果所述多协议标记交换处理卡接收到下行方向的多协议标记交换报文, 且判断该报文是控制报文, 则将该报文直接发送至所述 CPU。

上述装置, 其中, 所述用户板上的交换器件采用现场可编程逻辑阵列, 该现场可编程逻辑阵列通过上联口与所述主控板的交换芯片的内联口连接; 且该现场可编程逻辑阵列存有用户接入电路属性表, 该表中保存用户接入电路的相关信息, 该表的索引是用户接入电路标识。

上述装置, 其中, 所述多协议标记交换处理卡实现虚拟电路标签表、用户接入电路属性表、多协议标记交换标签表; 所述虚拟电路标签表保存多协议标记交换标签和对应的用户接入电路索引; 所述用户接入电路属性表保存用户接入电路相关信息; 所述多协议标记交换标签表记录虚拟电路标签的标识信息。

上述装置, 其中, 上行数据报文由所述用户板交换到所述主控板的交换芯片, 该交换芯片将该上行数据报文中来自边缘到边缘伪线仿真业务电路的数据报文交换到所述多协议标记交换处理卡, 该处理卡将该数据报文封装为边缘到边缘伪线仿真格式的报文, 发送该报文到所述交换芯片, 该交换芯片将该报文交换到所述上联板并通过该上联板的端口发出。

上述装置, 其中, 下行数据报文进入所述上联板, 该上联板将该报文发送给所述主控板的交换芯片, 该交换芯片将其中的外部多协议标记交换报文发送到所述多协议标记交换处理卡, 该处理卡依据该报文获取边缘到边缘伪线仿真出口电路和封装信息后将该报文封装为内部多协议标记交换报文, 并发送该报文到所述交换芯片, 由该交换芯片转发至所述用户板, 该用户板解封装该报文取出有效负荷通过边缘到边缘伪线仿真出口电路发送出去。

应用本发明的技术方案, 增加了一个 MPLS 处理卡, 该处理卡具有协议处理功能, 使得在 IP-DSLAM 上实现了 PWE3 业务; 且由于增加了用户接入

电路属性表，用户的数据报文根据该用户接入电路属性表中的信息形成内部 MPLS 报文后交换到主控板交换芯片后，该内部 MPLS 报文保证了不会丢失用户接入电路信息。

附图说明

图 1 为 PWE3 业务在 PSN 上的业务模型示意图；

图 2 为本发明实施例上行 PWE3 业务数据报文转发流程示意图；

图 3 为本发明实施例下行 PWE3 业务数据报文转发流程示意图；

图 4 为本发明实施例 FPGA 处理上行 PWE3 业务数据报文流程图；

图 5 为本发明实施例 FPGA 与 MPLS 处理卡之间封装内部 MPLS 报文示意图；

图 6 为本发明实施例 MPLS 处理卡处理 PWE3 业务数据报文流程图；

图 7 为本发明实施例实现边缘到边缘伪线仿真的装置结构示意图。

具体实施方式

为使本发明的目的、技术方案和实施效果更加清楚，下面将结合附图及具体实施例对本发明的技术方案进行详细描述。

本发明的目的是提供一种在 IP-DSLAM 上实现 PWE3 功能的方法与装置。为实现上述目的，在 IP-DSLAM 设备上增加一块 MPLS 处理卡，该卡占用 IP-DSLAM 的一个物理槽位，并通过 MII 接口与主控板交换芯片的内接口相连接，该 MPLS 处理卡具有协议处理功能，能进行 MPLS 协议处理以及数据报文的封装与转换。用户板的交换器件采用 FPGA，该 FPGA 支持 PWE3 业务电路的相关配置。

PWE3 业务的流程由用户板的 FPGA、主控板交换芯片、MPLS 处理卡共同完成；其中，主控板交换芯片完成 PWE3 业务数据在用户板与 MPLS 处理卡之间的数据交换功能，用户板的 FPGA 以及 MPLS 处理卡对 PWE3 数据报文进行修改、封装、解封装等操作，具体实现流程如下：

在用户板的 FPGA 上实现一张用户接入电路属性表，保存用户接入电路的相关信息，该表的索引是用户接入电路标识。当用户板收到来自 PWE3 业务电路的数据报文时，根据所述用户接入电路标识在该表中进行匹配查找，查询到的用户接入电路的相关信息将被封装到新构造的内部 MPLS 报文中，其中

该内部 MPLS 报文是自定义类型,用于 MPLS 处理卡识别上行方向上的 PWE3 业务报文,以便在报文交换至 MPLS 处理卡后, MPLS 处理卡可以得到用户接入电路的相关信息,从而确定 PWE3 连接并根据用户接入电路的不同类型进行不同格式的封装。

MPLS 处理卡上实现虚拟电路(VC, Virtual Circuit)标签表、用户接入电路属性表、MPLS 标签表;其中 VC 标签表保存 MPLS 标签,该 MPLS 标签包括内层标签,即 PW 标签;外层标签,即隧道标签,以及对应的用户接入电路索引,该索引即为 VC ID;用户接入电路属性表保存用户接入电路相关信息,例如电路类型、VC ID 等,索引为用户接入电路标识;MPLS 标签表包含 VC ID 等信息,索引为 VC 标签。

采用以上描述的增加了 MPLS 处理卡的 IP-DSLAM 设备,实现用户数据报文的传送,其中,用户数据报文上行方向是指该数据报文从 CE 上行到 PSN 网络,该数据报文的处理过程如图 2 所示,包含以下步骤:

步骤 201. 用户的数据报文进入用户板,用户板识别该数据报文的用户接入电路,并查询用户板上 FPGA 中的用户接入电路属性表。如果发现该接入电路是 PWE3 业务电路,则将接收到的数据报文处理后作为有效负荷封装形成内部 MPLS 报文,该内部 MPLS 报文增加了目的介质访问控制(MAC, Media Access Control)地址、源 MAC 地址、用户接入电路信息、报文长度等参数,并将该报文的类型标识为内部 MPLS 报文;对于非 PWE3 业务电路上的数据报文,所述 FPGA 根据该报文的的目的 MAC 地址以及虚拟局域网 (VLAN, Virtual Local Area Network) ID 的信息进行二层交换。

步骤 202. 用户板 FPGA 把新构造的内部 MPLS 报文发送给主控板交换芯片,该交换芯片通过识别接收的该内部 MPLS 报文的类型或根据该报文中的目的 MAC 地址将该内部 MPLS 报文交换到 MPLS 处理卡;如果是非 PWE3 业务电路的数据报文,该交换芯片将其直接交换到上联板。

步骤 203. 所述内部 MPLS 报文交换到 MPLS 处理卡后, MPLS 处理卡识别该报文类型为内部 MPLS 报文,则解析出该数据报文的原始用户接入电路的信息,利用该信息查询位于 MPLS 处理卡中的用户接入电路属性表,获取接入电路类型、VC ID 等;再用该 VC ID 查询 VC 标签表,获取出口对端 PE

的内外层标签、下一跳 MAC 等信息，根据所述接入电路类型进行数据报文的封装形成符合 PWE3 格式的报文，并进行服务质量 (QoS, Quality of Service) 映射。

步骤 204. 如果找到下一跳 MAC 地址，则将该 MAC 地址封装在报文头部，发送该报文到主控板交换芯片；如果没有找到下一跳 MAC 地址，则发送消息到主控板 CPU，由该 CPU 转发 MPLS 报文或触发地址解析协议 (ARP, Address Resolution Protocol) 解析下一跳 MAC 地址。图中的虚线表示控制信息，在 MPLS 处理卡没有找到下一跳 MAC 地址时发送控制消息给 CPU。

步骤 205. 主控板交换芯片对来自 MPLS 处理卡的符合 PWE3 格式的报文进行二层交换，发送该报文到上联板。

步骤 206. 上联板不做其它的处理，直接发送该报文。

采用描述的增加了 MPLS 处理卡的 IP-DSLAM 设备实现用户数据报文的传送，其中，用户数据报文下行方向是指该数据报文从 PSN 网络下行到 CE，是上行方向的逆过程，该数据报文的处理过程如图 3 所示，包含以下步骤：

步骤 301~302. 下行数据报文进入上联板，该上联板对该报文不作处理直接发送给主控板交换芯片。

步骤 303. 主控板交换芯片对该报文的类型进行判断，如果是外部 MPLS 报文则将报文发送到 MPLS 处理卡；否则直接进行二三层交换至用户板，即走正常的流程。

步骤 304. MPLS 处理卡识别收到的报文，如果是 MPLS 控制报文，则通过图中标识的虚线 D1 发送给主控板 CPU 处理；如果是外部 MPLS 数据报文，则提取隧道标签，即外层标签，和 VC 标签，即内层标签，用 VC 标签查询 MPLS 标签表，得到 VC ID，再用该 VC ID 查询 VC 标签表，得到用户接入电路索引，然后利用该索引查询用户接入电路属性表，得到 PWE3 出口电路和封装信息，重新封装该数据报文形成内部 MPLS 报文，并进行 QoS 映射，然后发送该报文到主控板交换芯片。

步骤 305. 主控板交换芯片进行二层数据转发至用户板。

步骤 306. 用户板 FPGA 收到交换芯片发来的报文，发现如果是内部 MPLS 报文，进行相应的解封装处理，取出 PWE3 出口电路信息、去掉报文中的 MAC

头、VLAN 信息以及类型等字段，将有效负荷取出进行相应处理后向 PWE3 出口电路发送出去；非 PWE3 业务报文通过正常的二层交换流程发往用户端口。

本发明的一种实现边缘到边缘伪线仿真业务的 IP-DSLAM 设备以及在该 IP-DSLAM 设备上实现边缘到边缘伪线仿真业务的方法，使得在 IP-DSLAM 上支持 PWE3 业务应用，将用户侧的数据透明的传送至远端 CE。通过在 IP-DSLAM 设备中增加一块 MPLS 处理卡，不仅可以很好地实现二层同样原理 (like-to-like) 的点对点 PWE3 业务应用，对于以后可能出现的三层 MPLS VPN 业务、虚拟专用局域网服务 (VPLS, Virtual Private LAN Service) 业务、PWE3 异构接入电路业务等需求具有很好的扩展性。

下面结合附图详细地描述本发明的一个较佳实施例。IP-DSLAM 设备所在的系统初始化后，配置静态路由或动态路由协议，配置标签分发协议 (LDP, Label Distribution Protocol) 或其他标签协议，这样，IP-DSLAM 将学习到网络上的所有路由信息以及对应的标签信息。配置 PWE3 业务电路以及在该业务电路上的 VC ID、远端 PE 的 IP 地址、业务电路的工作模式等参数，系统会进行 PWE3 连接的建立并设置 FPGA、MPLS 处理卡中的各个表的所有表项。当所述所有命令配置结束并且 IP-DSLAM 学习稳定后，系统就可以转发 PWE3 业务电路上的数据。如图 4 所示，是本发明实施例 FPGA 处理上行 PWE3 业务数据报文流程图：

步骤 401. 用户板收到用户接入电路发来的数据报文。

步骤 402. FPGA 查询位于用户板的用户接入电路属性表，判断该数据报文是否来自 PWE3 业务电路，如果是转步骤 404，否则转步骤 403。

步骤 403. 数据报文直接进行二层交换。

步骤 404. 判断该报文是否为 ATM 类型，如果是转步骤 406，否则转步骤 405

步骤 405. 对于以太网报文，去掉校验和字段并提取剩余部分的数据。

步骤 406. 对于 ATM 报文，则要分析接入电路的工作模式，判断是否是 ATM 适配层 5 (AAL5, ATM Adaptation Layer 5) 模式，如果是则转步骤 407，否则转步骤 408。

步骤 407. 提取 AAL5 的公共部分会聚子层(CPCS, Common Part Convergence Sublayer), 协议数据单元(PDU, Protocol Data Unit)。

步骤 408. 数据报文为信元模式, 则提取整个信元数据。

如图 5 所示, 将以上步骤中提取出的有效负荷进行以太网帧封装, 即封装为内部 MPLS 报文; 根据接入电路所在单板构造, 通常封装后的内部 MPLS 报文至少包含五个主要部份: 目的 MAC 地址 501, 该地址指向 MPLS 处理卡; 源 MAC 地址 502; 以太网类型 503, 该类型标记为内部 MPLS; 内部数据头 504, 该内部数据头包含数据类型、有效数据长度、控制字等信息; 有效负荷数据 505。

将封装好的内部 MPLS 报文从用户板的 FPGA 的上联口发送给主控板交换芯片, 该主控板交换芯片再将该内部 MPLS 报文交换至 MPLS 处理卡。

如图 6 所示, 描述了在上行或者下行过程中, 在主控板交换芯片将所述数据报文交换至 MPLS 处理卡之后, 该 MPLS 处理卡处理所接收的数据报文的步骤:

步骤 601. MPLS 处理卡接收到主控板交换芯片转发过来的数据报文。

步骤 602. 判断该数据报文是上行报文还是控制报文, 如果是上行报文, 转步骤 603, 否则转步骤 606。

步骤 603. 解析出该上行报文的原始电路信息, 利用该电路信息查询用户接入电路属性表, 获取 VC ID。

步骤 604. 再用该 VC ID 查询 VC 标签表, 获取对端 PE 的内外层标签, 以及下一跳 MAC 地址等信息。

步骤 605. 根据接入电路类型进行标准的 PWE3 数据报文的封装, 该数据报文封装完成后发送到主控板交换芯片, 主控板交换芯片接收后进行二层交换将数据从上联板发送出去。

步骤 606. MPLS 处理卡判断接收到的数据报文是否是控制报文, 如果是转步骤 607, 否则转步骤 608。

步骤 607. 直接将控制报文发送至位于主控板的 CPU 处理。

步骤 608. 取出提取隧道标签, 即外层标签, 和 VC 标签, 即内层标签, 用 VC 标签查询 MPLS 标签表, 得到 VC ID。

步骤 609. 再用 VC ID 查询 VC 标签表, 得到用户接入电路索引。

步骤 610. 利用该用户接入电路索引查询用户接入电路接口属性表, 得到出口电路和封装信息。

步骤 611. 按照图 5 的格式重新封装数据报文, 其中目的 MAC 为用户板的 MAC 地址, 源 MAC 为 MPLS 处理卡的 MAC 地址, 封装后形成内部 MPLS 报文, 并进行 QoS 映射, 然后发送该内部 MPLS 报文到主控板交换芯片, 主控板交换芯片进行二层转发发送至用户板。

用户板接收到下行方向的 PWE3 业务数据报文后, 判断该报文的的目的 MAC 地址是否是该用户板的 PWE3 业务配置的 MAC 地址, 如果不是则直接丢弃, 否则从该报文中提取出口电路信息, 去掉 MAC 头、VLAN 信息以及类型等字段, 将有效负荷取出进行相应处理向出口 PWE3 电路发送出去。

与描述的方法相对应, 本发明还提供了一种实现边缘到边缘伪线仿真的装置, 如图 7 所示, 该装置包括用户板 701、主控板 702、MPLS 处理卡 703、上联板 704, 所述上联板也可以称为上行线卡。所述处理卡 703 在数字用户线路访问多路复用器上占用一个物理槽位; 所述用户板 701 包含交换器件, 所述主控板 702 包含交换芯片; 所述用户板 701 上的交换器件通过接口与所述主控板 702 的交换芯片的内联口连接; 所述处理卡 703 通过媒质独立接口与主控板 702 的交换芯片的内联口连接; 所述主控板 702 的交换芯片与上联板 704 连接。

所述主控板 702 进一步包括一个 CPU705, 如果所述多协议标记交换处理卡 703 接收到下行方向的多协议标记交换报文, 且判断该报文是控制报文, 则将该报文直接发送至主控板 702 上的 CPU705。

所述用户板 701 上的交换器件采用现场可编程逻辑阵列, 该现场可编程逻辑阵列通过上联口与主控板 702 的交换芯片的内联口连接; 且该现场可编程逻辑阵列存有用户接入电路属性表, 该表中保存用户接入电路的相关信息, 该表的索引是用户接入电路标识。

所述多协议标记交换处理卡 703 实现虚拟电路标签表、用户接入电路属性表、多协议标记交换标签表;

其中虚拟电路标签表保存多协议标记交换标签和对应的用户接入电路索引; 用户接入电路属性表保存用户接入电路相关信息; 多协议标记交换标签表

记录虚拟电路标签的标识信息。

上行数据报文由用户板 701 交换到主控板 702 的交换芯片，该主控板 702 的交换芯片将所述上行数据报文中来自边缘到边缘伪线仿真业务电路的数据报文交换到多协议标记交换处理卡 703，该处理卡 703 对该数据报文封装为边缘到边缘伪线仿真格式的报文，然后发送该报文到主控板 702 的交换芯片，主控板 702 的交换芯片将该报文交换到上联板 704 并通过该上联板 704 的端口发出。

下行数据报文进入上联板 704，该上联板 704 将该报文发送给主控板 702 的交换芯片，该交换芯片将其中的外部多协议标记交换报文发送到多协议标记交换处理卡 703，多协议标记交换处理卡 703 依据该报文获取边缘到边缘伪线仿真出口电路和封装信息后将该报文封装为内部多协议标记交换报文，并将该报文发送该报文到主控板 702 的交换芯片，由主控板 702 的交换芯片转发至用户板 701，用户板 701 解封装该报文取出有效负荷通过边缘到边缘伪线仿真出口电路发送出去。

应当说明的是，以上实施例仅用以说明本发明的技术方案而非限制，所有的参数取值可以根据实际情况调整，且在该权利保护范围内。本领域的普通技术人员应当理解，可以对本发明的技术方案进行修改或者等同替换，而不脱离本发明技术方案的精神范围，其均应涵盖在本发明的权利要求范围当中。

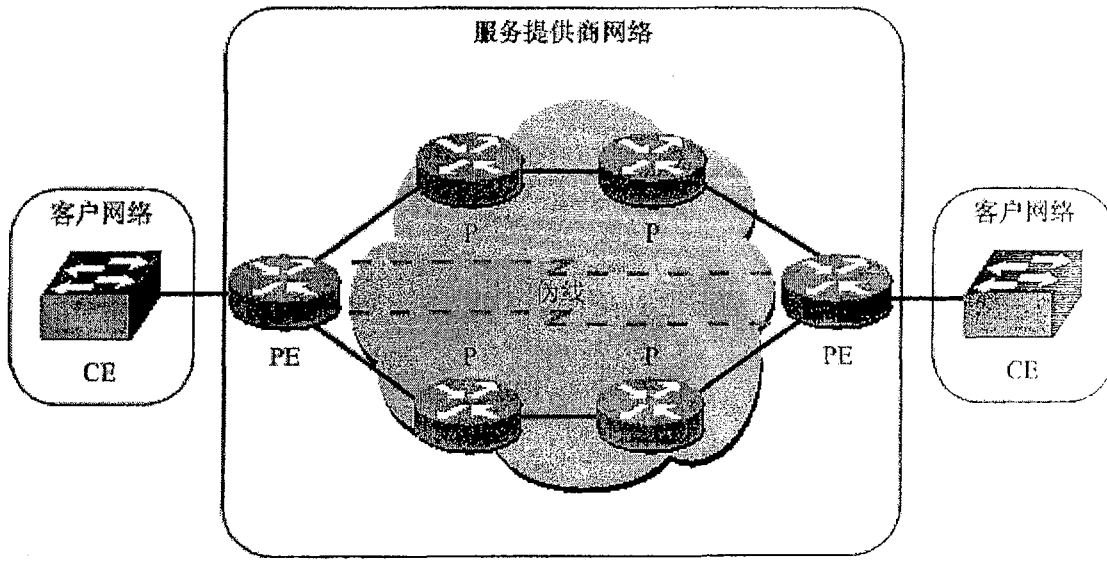


图 1

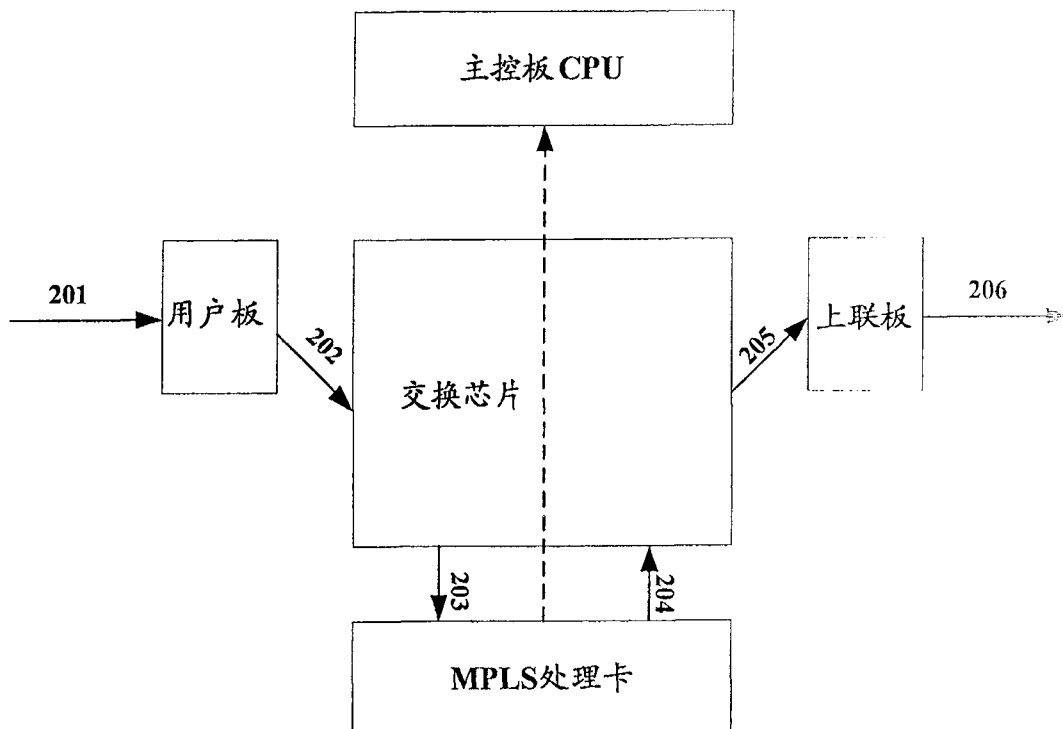


图 2

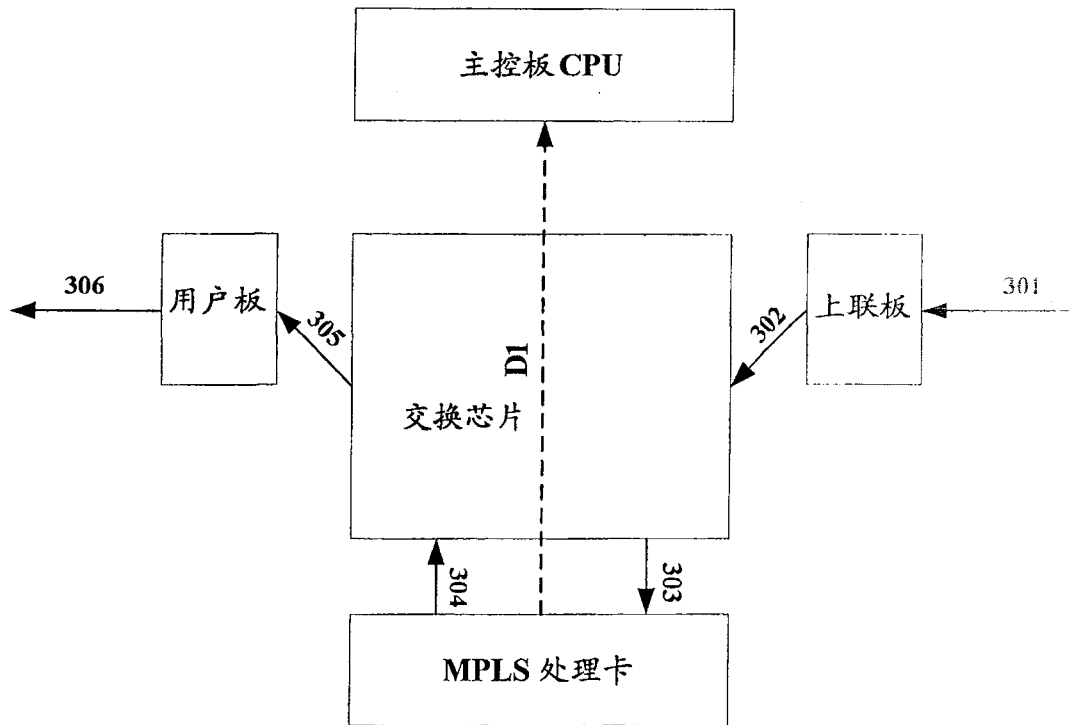


图 3

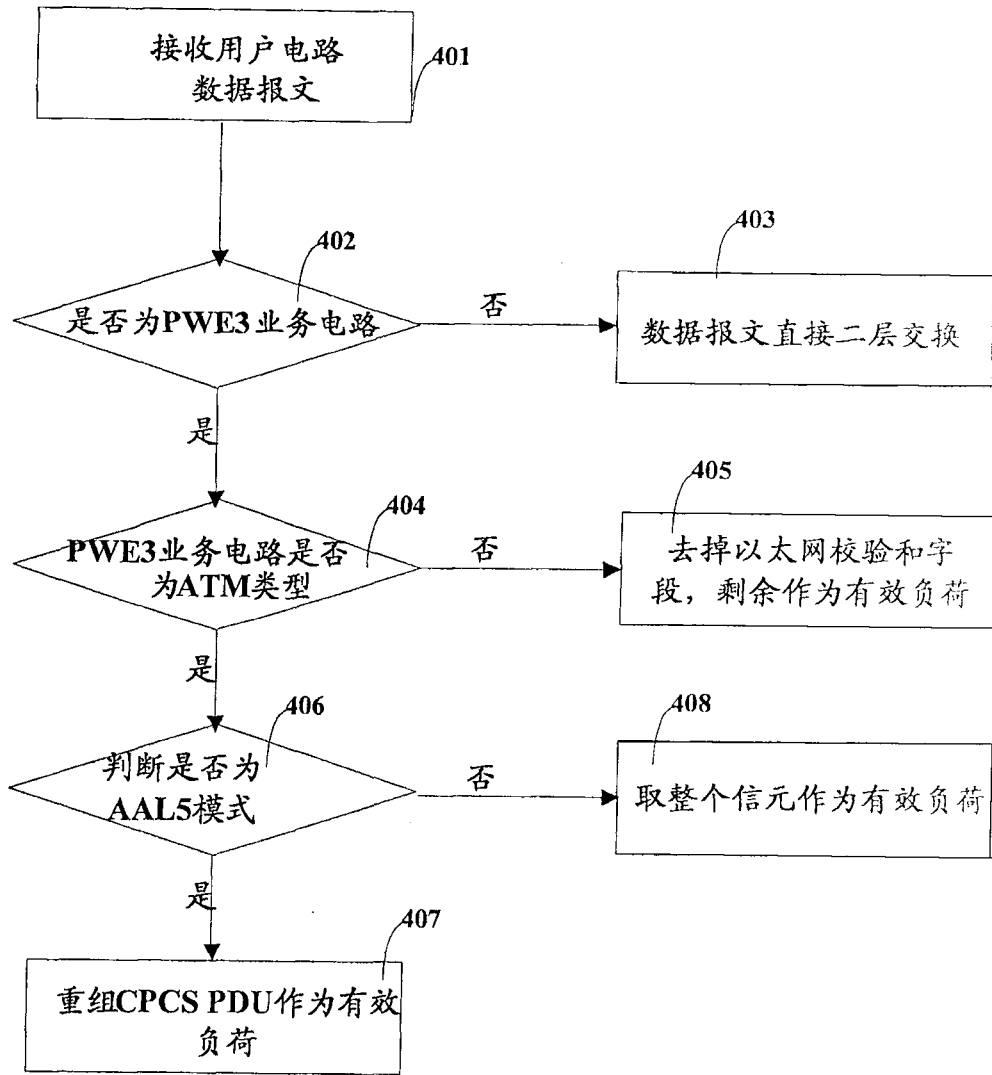


图 4

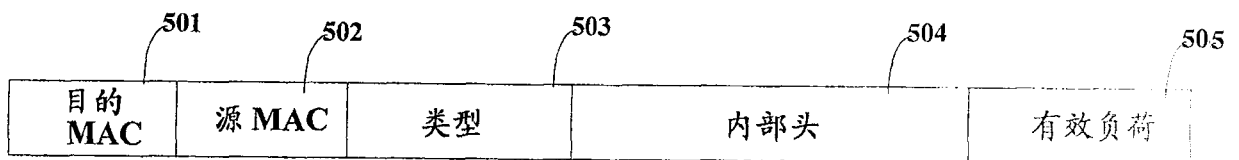


图 5

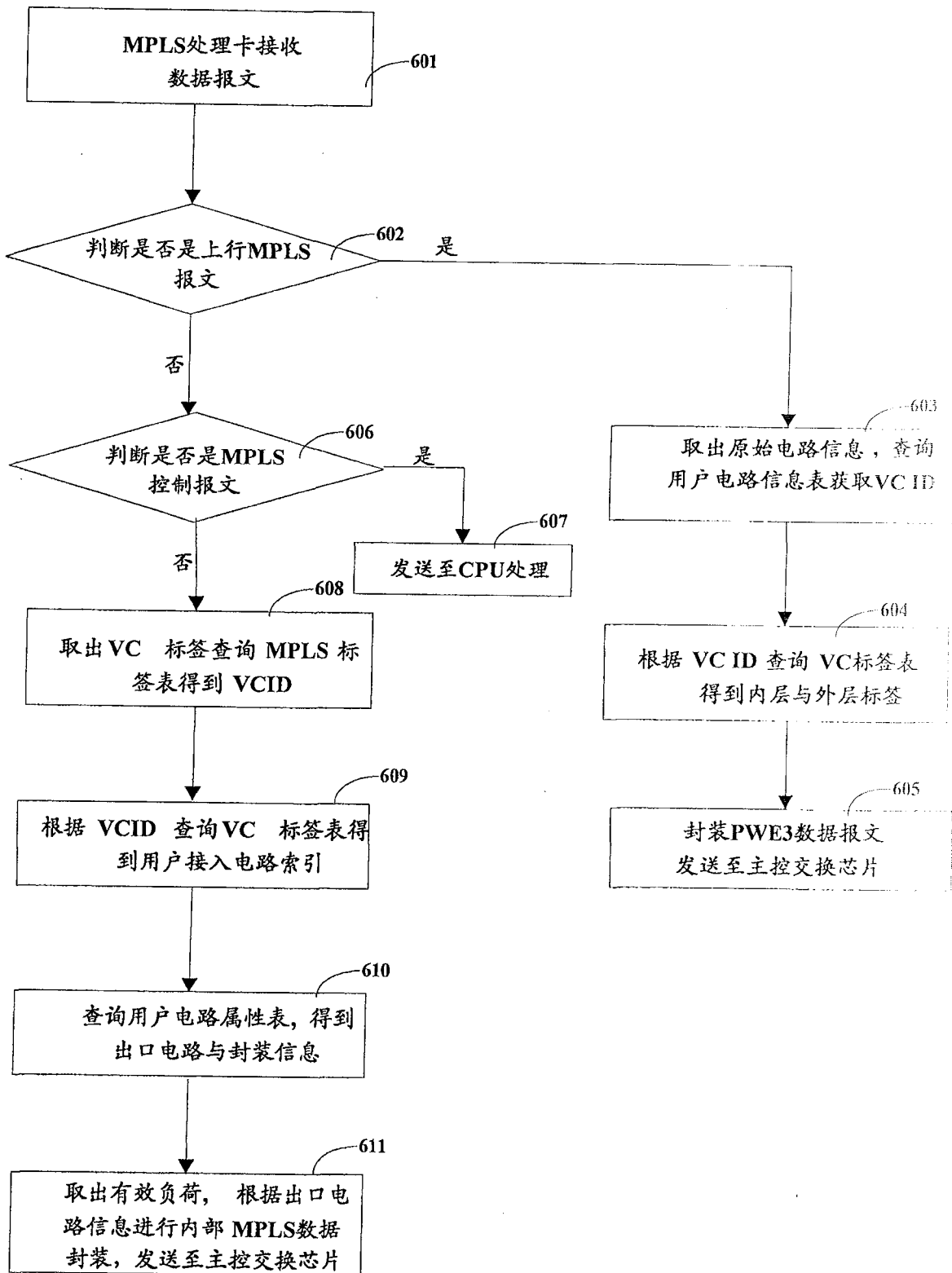


图 6

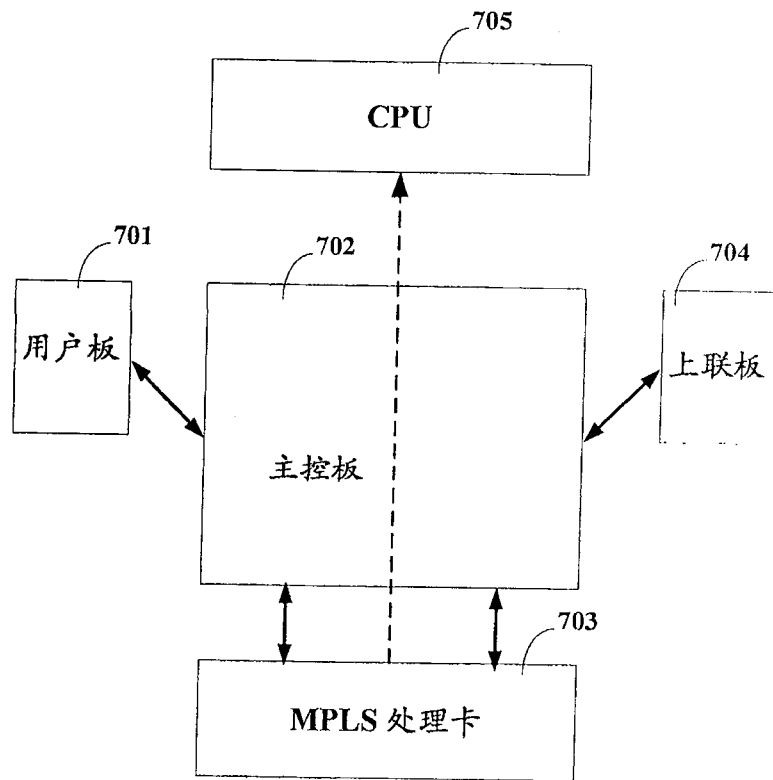


图 7