

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年12月20日(20.12.2012)



(10) 国際公開番号
WO 2012/172988 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2012/064122
- (22) 国際出願日: 2012年5月31日(31.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-131875 2011年6月14日(14.06.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 三菱電機株式会社 (Mitsubishi Electric Corporation) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人(米国についてのみ): 渡辺 友勝 (WATANABE Tomokatsu) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 三浦 成久 (MIURA Naruhisa) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 古橋 壮之 (FURUHASHI Masayuki) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 日野 史郎 (HINO Shiro)

[—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 谷岡 寿一 (TANIOKA Toshikazu) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 吉竹 英俊, 外 (YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区城見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

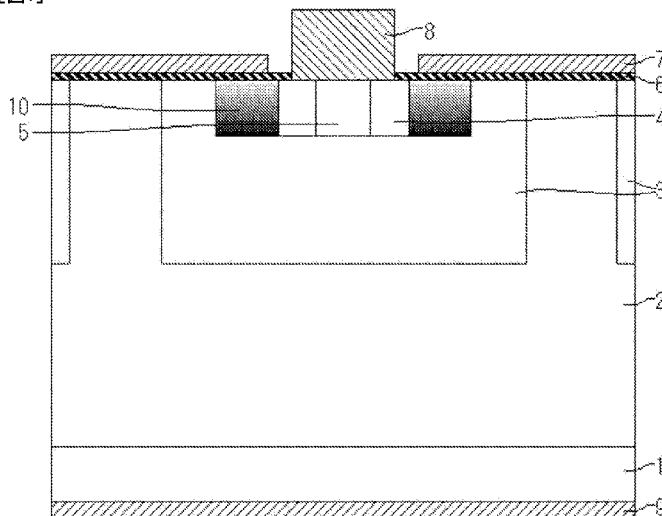
(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 炭化珪素半導体装置及び炭化珪素半導体装置の製造方法

[図1]



(57) Abstract: The purpose of the present invention is to provide: a silicon carbide semiconductor device wherein gate current is suppressed and gate reliability is improved; and a method for manufacturing the silicon carbide semiconductor device. This silicon carbide semiconductor device is provided with: a drift layer (2) that is formed of silicon carbide; a base region (3) that is selectively formed in the surface of the drift layer (2); a source region that is selectively formed in the surface of the base region (3); a source electrode (8) that is selectively formed on the source region; a gate insulating film (6) that is formed over the source region; and a gate electrode (7) that is formed on the gate insulating film (6). The source region comprises a first source region (4) that is below the source electrode (8) and a second source region (10) that surrounds the first source region (4). The doping concentration in the surface of the second source region (10) is lower than the doping concentration in the surface of the first source region (4). The doping concentration of the second source region (10) is higher in the deep portion than in the surface portion.

(57) 要約:

[続葉有]

WO 2012/172988 A1



GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

本発明は、ゲート電流を抑制しゲート信頼性を高めることができる炭化珪素半導体装置及びその製造方法の提供を目的とする。本発明にかかる炭化珪素半導体装置は、炭化珪素からなるドリフト層 2 と、ドリフト層 2 表層に選択的に形成されたベース領域 3 と、ベース領域 3 表層に選択的に形成されたソース領域と、ソース領域上に選択的に形成されたソース電極 8 と、ソース領域に跨って形成されたゲート絶縁膜 6 と、ゲート絶縁膜 6 上に形成されたゲート電極 7 とを備え、ソース領域は、ソース電極 8 下の第 1 ソース領域 4 と、第 1 ソース領域 4 を囲む第 2 ソース領域 10 とを有し、第 2 ソース領域 10 表層のドーピング濃度は、第 1 ソース領域 4 表層のドーピング濃度よりも低く、第 2 ソース領域 10 のドーピング濃度は、表層部よりも深層部が高い。

明 細 書

発明の名称：

炭化珪素半導体装置及び炭化珪素半導体装置の製造方法

技術分野

[0001] 本発明は炭化珪素半導体装置及び炭化珪素半導体装置の製造方法に関するものである。

背景技術

[0002] 珪素を用いたパワーデバイスの物性限界を打破するために、珪素の代わりに炭化珪素を用いたパワーデバイスの開発が行われており、特に炭化珪素を用いたMOSFETでのゲート信頼性向上が求められている。

[0003] 例えば特許文献1のような、炭化珪素を用いた縦型パワーMOSFETでは、ソース領域が高濃度にn型ドーピングされ、直接ゲート絶縁膜に接する構造となっている。

[0004] また特許文献2のような、ゲート絶縁膜に接しているソース領域の上面近傍のみ、n型ドーピング濃度が低く設定されている炭化珪素MOSFETの例も示されている。この場合、n型にドーピングされたソース領域と良好なオーミックコンタクトを得るために、ソース電極はトレンチが掘り込まれた部位に形成されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-192691号公報

特許文献2：特開2009-182271号公報

発明の概要

発明が解決しようとする課題

[0006] MOSFETのゲート電極に高い正電圧を印加すると、ゲート絶縁膜を貫通してゲート電流が流れてしまう場合がある。これは、半導体側の伝導電子がゲート絶縁膜との障壁をトンネルしてゲート電極側に流れ込むためである

。

[0007] さらに炭化珪素を用いたMOSFETでは、比較的低い電圧でも高密度の上記ゲート電流が流れてしまう場合がある。これは、ゲート絶縁膜の炭化珪素との間の障壁エネルギーが、珪素等との間の障壁エネルギーに比べて低いためであり、n型のソース領域においては、それはより顕著になる。結果として、ゲート信頼性の低下を引き起こしてしまうという問題があった。

[0008] 本発明は、上記のような問題を解決するためになされたものであり、ゲート電流を抑制しゲート信頼性を高めることができる炭化珪素半導体装置及び炭化珪素半導体装置の製造方法の提供を目的とする。

課題を解決するための手段

[0009] 本発明にかかる第1の炭化珪素半導体装置は、第1導電型の炭化珪素からなるドリフト層と、前記ドリフト層表層に選択的に形成された第2導電型のベース領域と、前記ベース領域表層に選択的に形成された第1導電型のソース領域と、前記ソース領域上に選択的に形成されたソース電極と、前記ドリフト層と、前記ベース領域と、前記ソース電極が形成されない前記ソース領域とに跨って形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを備え、前記ソース領域は、前記ソース電極下に配置される第1ソース領域と、前記第1ソース領域を平面視上囲んで形成され、前記ゲート電極下に配置される第2ソース領域とを有し、前記第2ソース領域表層のドーピング濃度は、前記第1ソース領域表層のドーピング濃度よりも低く、前記第2ソース領域のドーピング濃度は、表層部よりも深層部が高いことを特徴とする。

[0010] 本発明にかかる第2の炭化珪素半導体装置は、第1導電型の炭化珪素からなるドリフト層と、前記ドリフト層表層に選択的に形成された第2導電型のベース領域と、前記ベース領域表層に選択的に形成されたソース領域と、前記ソース領域上に選択的に形成されたソース電極と、前記ドリフト層と、前記ベース領域と、前記ソース電極が形成されない前記ソース領域とに跨って形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と

を備え、前記ソース領域は、表層部に形成された第2導電型の上層領域と、前記上層領域の下層に形成された第1導電型の下層領域とを有し、前記ソース電極の下端が、前記下層領域に到達するよう前記ソース領域に埋没することを特徴とする。

[0011] 本発明にかかる第1の炭化珪素半導体装置の製造方法は、(a)第1導電型の炭化珪素からなるドリフト層を形成する工程と、(b)前記ドリフト層表層に、第2導電型のベース領域を選択的に形成する工程と、(c)第1ソース領域と、前記第1ソース領域を平面視上囲んで形成される第2ソース領域とを有する、第1導電型のソース領域を前記ベース領域表層に選択的に形成する工程と、(d)前記ドリフト層と、前記ベース領域と、前記ソース領域とに跨って、ゲート絶縁膜を形成する工程と、(e)前記ゲート絶縁膜上において、前記ドリフト層表層から前記第2ソース領域表層に跨ってゲート電極を形成する工程と、(f)前記第1ソース領域に対応する位置の前記ゲート絶縁膜をエッチング除去し、前記第1ソース領域上にソース電極を形成する工程とを備え、前記第2ソース領域表層のドーピング濃度は、前記第1ソース領域表層のドーピング濃度よりも低く、前記第2ソース領域のドーピング濃度は、表層部よりも深層部が高いことを特徴とする。

[0012] 本発明にかかる第2の炭化珪素半導体装置の製造方法は、(a)第1導電型の炭化珪素からなるドリフト層を形成する工程と、(b)前記ドリフト層表層に、第2導電型のベース領域を選択的に形成する工程と、(c)表層部に形成された第2導電型の上層領域と、前記上層領域の下層に形成された第1導電型の下層領域とを有するソース領域を、前記ベース領域表層に選択的に形成する工程と、(d)前記ドリフト層と、前記ベース領域と、前記ソース領域とに跨って、ゲート絶縁膜を形成する工程と、(e)前記ゲート絶縁膜上において、前記ドリフト層表層から前記ソース領域表層内に跨ってゲート電極を形成する工程と、(f)前記ゲート電極が形成されないゲート絶縁膜表面から、前記下層領域に到達するトレンチを形成する工程と、(g)前記トレンチ内に下端を埋没させ、ソース電極を形成する工程とを備えること

を特徴とする。

発明の効果

- [0013] 本発明にかかる第1の炭化珪素半導体装置によれば、第1導電型の炭化珪素からなるドリフト層と、前記ドリフト層表層に選択的に形成された第2導電型のベース領域と、前記ベース領域表層に選択的に形成された第1導電型のソース領域と、前記ソース領域上に選択的に形成されたソース電極と、前記ドリフト層と、前記ベース領域と、前記ソース電極が形成されない前記ソース領域とに跨って形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを備え、前記ソース領域は、前記ソース電極下に配置される第1ソース領域と、前記第1ソース領域を平面視上囲んで形成され、前記ゲート電極下に配置される第2ソース領域とを有し、前記第2ソース領域表層のドーピング濃度は、前記第1ソース領域表層のドーピング濃度よりも低く、前記第2ソース領域のドーピング濃度は、表層部よりも深層部が高いことにより、ゲート電流を抑制し、ゲート信頼性を高めることができる。
- [0014] 本発明にかかる第2の炭化珪素半導体装置によれば、第1導電型の炭化珪素からなるドリフト層と、前記ドリフト層表層に選択的に形成された第2導電型のベース領域と、前記ベース領域表層に選択的に形成されたソース領域と、前記ソース領域上に選択的に形成されたソース電極と、前記ドリフト層と、前記ベース領域と、前記ソース電極が形成されない前記ソース領域とに跨って形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを備え、前記ソース領域は、表層部に形成された第2導電型の上層領域と、前記上層領域の下層に形成された第1導電型の下層領域とを有し、前記ソース電極の下端が、前記下層領域に到達するよう前記ソース領域に埋没することにより、ゲート電流を抑制し、ゲート信頼性を高めることができる。
- [0015] 本発明にかかる第1の炭化珪素半導体装置の製造方法によれば、(a)第1導電型の炭化珪素からなるドリフト層を形成する工程と、(b)前記ドリフト層表層に、第2導電型のベース領域を選択的に形成する工程と、(c)

第1ソース領域と、前記第1ソース領域を平面視上囲んで形成される第2ソース領域とを有する、第1導電型のソース領域を前記ベース領域表層に選択的に形成する工程と、(d)前記ドリフト層と、前記ベース領域と、前記ソース領域とに跨って、ゲート絶縁膜を形成する工程と、(e)前記ゲート絶縁膜上において、前記ドリフト層表層から前記第2ソース領域表層に跨ってゲート電極を形成する工程と、(f)前記第1ソース領域に対応する位置の前記ゲート絶縁膜をエッチング除去し、前記第1ソース領域上にソース電極を形成する工程とを備え、前記第2ソース領域表層のドーピング濃度は、前記第1ソース領域表層のドーピング濃度よりも低く、前記第2ソース領域のドーピング濃度は、表層部よりも深層部が高いことにより、ゲート電流を抑制し、ゲート信頼性を高めることができる。

[0016] 本発明にかかる第2の炭化珪素半導体装置の製造方法によれば、(a)第1導電型の炭化珪素からなるドリフト層を形成する工程と、(b)前記ドリフト層表層に、第2導電型のベース領域を選択的に形成する工程と、(c)表層部に形成された第2導電型の上層領域と、前記上層領域の下層に形成された第1導電型の下層領域とを有するソース領域を、前記ベース領域表層に選択的に形成する工程と、(d)前記ドリフト層と、前記ベース領域と、前記ソース領域とに跨って、ゲート絶縁膜を形成する工程と、(e)前記ゲート絶縁膜上において、前記ドリフト層表層から前記ソース領域表層内に跨ってゲート電極を形成する工程と、(f)前記ゲート電極が形成されないゲート絶縁膜表面から、前記下層領域に到達するトレンチを形成する工程と、(g)前記トレンチ内に下端を埋没させ、ソース電極を形成する工程とを備えることにより、ゲート電流を抑制し、ゲート信頼性を高めることができる。

[0017] 本発明の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

[0018] [図1]本発明の実施の形態1に係る炭化珪素半導体装置を示す断面図である。
[図2]本発明の実施の形態1に係る炭化珪素半導体装置の製造方法におけるド

リフト層を形成する工程を示す図である。

[図3]本発明の実施の形態1に係る炭化珪素半導体装置の製造方法におけるベース領域を形成する工程を示す図である。

[図4]本発明の実施の形態1に係る炭化珪素半導体装置の製造方法におけるソース領域を形成する工程を示す図である。

[図5]本発明の実施の形態1に係る炭化珪素半導体装置の製造方法におけるコンタクト領域を形成する工程を示す図である。

[図6]本発明の実施の形態1に係る炭化珪素半導体装置の製造方法におけるゲート絶縁膜を形成する工程を示す図である。

[図7]本発明の実施の形態1に係る炭化珪素半導体装置の製造方法におけるゲート電極を形成する工程を示す図である。

[図8]本発明の実施の形態1に係る炭化珪素半導体装置の製造方法におけるソース電極を形成する工程を示す図である。

[図9]本発明の実施の形態1に係る炭化珪素半導体装置の製造方法におけるドレイン電極を形成する工程を示す図である。

[図10]本発明の実施の形態1に係る炭化珪素半導体装置の製造方法における第2ソース領域のN注入プロファイルを示す図である。

[図11]本発明の実施の形態2に係る炭化珪素半導体装置を示す断面図である。

[図12]本発明の実施の形態2に係る炭化珪素半導体装置の製造方法におけるドリフト層を形成する工程を示す図である。

[図13]本発明の実施の形態2に係る炭化珪素半導体装置の製造方法におけるベース領域を形成する工程を示す図である。

[図14]本発明の実施の形態2に係る炭化珪素半導体装置の製造方法におけるソース領域を形成する工程を示す図である。

[図15]本発明の実施の形態2に係る炭化珪素半導体装置の製造方法におけるコンタクト領域を形成する工程を示す図である。

[図16]本発明の実施の形態2に係る炭化珪素半導体装置の製造方法における

ゲート絶縁膜を形成する程を示す図である。

[図17]本発明の実施の形態2に係る炭化珪素半導体装置の製造方法におけるゲート電極を形成する工程を示す図である。

[図18]本発明の実施の形態2に係る炭化珪素半導体装置の製造方法におけるソース電極を形成する工程を示す図である。

[図19]本発明の実施の形態2に係る炭化珪素半導体装置の製造方法におけるドレイン電極を形成する工程を示す図である。

[図20]本発明の実施の形態2に係る炭化珪素半導体装置の製造方法におけるソース領域及びp型領域のN及びAl注入プロファイルを示す図である。

[図21]本発明の実施の形態1に係る炭化珪素半導体装置を示す断面図である。

[図22]本発明の実施の形態1に係る炭化珪素半導体装置の、正バイアスを印加した時に流れるFN電流を示す図である。

[図23]本発明の実施の形態1に係る炭化珪素半導体装置を示す断面図である。

発明を実施するための形態

[0019] < A. 実施の形態1 >

< A-1. 構成 >

図1は、本発明の実施の形態1に係る炭化珪素半導体装置を示す断面図である。本実施の形態においては、第1導電型をn型、第2導電型をp型として説明する。

[0020] 炭化珪素半導体装置は、例えばnチャネル縦型の炭化珪素MOSFETであって、図1に示すように、主面の面方位が(0001)面であり4Hのポリタイプを有する、n型で低抵抗の炭化珪素基板1の主面上に、n型の炭化珪素からなるドリフト層2が形成されている。

[0021] ドリフト層2の表層部には、例えばAlをp型不純物として含有するp型のベース領域3が選択的に形成されている。図示するようにベース領域3は、互いに離間して複数形成することができる。このベース領域3内には、例

例えばNをn型不純物として含有するn型の第2ソース領域10が選択的に形成され、さらにその内側に、n型の第1ソース領域4が形成されている。第1ソース領域4及び第2ソース領域10を合わせて、ソース領域を形成する。

[0022] 第1ソース領域4にはボックスプロファイルでNが注入されており、第2ソース領域10には、図10に示すようなプロファイルでNが注入されている。ここで図10は、第2ソース領域10のプロファイルを示しており、横軸に深さ(nm)、縦軸に濃度(cm^{-3})をとっている。図10に示すように第2ソース領域10は、表層部よりも深層部が濃度が高まるプロファイルとなっており、深さがおよそ300nmとなる位置でピークを持つように形成されている。

[0023] 第1ソース領域4内には、例えばAlをp型不純物として含有し、ベース領域3よりも不純物濃度が高いp型のコンタクト領域5が形成されている。第1ソース領域4上及びコンタクト領域5上には、ソース電極8がオーム接触して形成されている。

[0024] 一方ドリフト層2の表面上には、ソース電極8が形成されている部分を除き、酸化珪素で構成されるゲート絶縁膜6が形成されており、このゲート絶縁膜6上において、第2ソース領域10とベース領域3との境界上に跨るようにゲート電極7が設けられている。

[0025] そして、炭化珪素基板1の主面と対向する面には、ドレイン電極9が形成されている。

[0026] <A-2. 製造方法>

次に、本実施の形態に係る炭化珪素半導体装置の製造方法の一例を図2~10を用いて説明する。

[0027] まず、主面の面方位が(0001)面であり、4Hのポリタイプを有するn型の炭化珪素基板1の表面に、図2に示すように、熱CVD (Chemical Vapor Deposition) 法により、1~100 μm の厚さの炭化珪素からなるドリフト層2をエピタキシャル成長させる。この熱

CVD法は、例えば、温度：1500～1800℃、気圧：25MPa、キャリアガス種：H₂、生成ガス種：SiH₄及びC₃H₈の条件で行う。

[0028] 次に、ドリフト層2上にレジストでマスクを形成し、マスクを介してp型の不純物である例えばAlをイオン注入することにより、図3に示すようなベース領域3を選択的に形成する。Alの注入深さは0.5～3.0μmであり、注入濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ である。

[0029] マスクを除去後、新たにドリフト層2上にレジストでマスクを形成し、マスクを介してn型の不純物であるNをイオン注入することにより、図4に示すような第1ソース領域4を形成する。このとき、第1ソース領域4がベース領域3の表層に形成されるようにする。Nの注入プロファイルはボックス型であり、注入深さは例えば0.05～1.5μmであり、注入濃度は例えば $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。

[0030] マスクを除去後、新たにドリフト層2上にレジストでマスクを形成し、マスクを介してn型の不純物であるNをイオン注入することにより、図4に示すような第2ソース領域10を形成する。このとき、第2ソース領域10が第1ソース領域4の外側で、かつ、ベース領域3内に選択的に形成されるようにする。Nの注入プロファイルは図10に示すようなものとすることができ、注入ピーク濃度は例えば $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。第2ソース領域10表層から深さ100nmまでの領域においては、ドーピング濃度が第1ソース領域4表層のドーピング濃度よりも低いことが望ましく、具体的には、ドーピング濃度が例えば $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ であることが望ましい。

[0031] マスクを除去後、新たにドリフト層2上にレジストあるいは酸化珪素でマスクを形成し、マスクを介してp型の不純物であるAlをイオン注入することにより、図5に示すようなコンタクト領域5を形成する。このとき、コンタクト領域5が第1ソース領域4内に形成されるようにする。Alの注入深さは0.05～1.5μmであり、注入濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。

- [0032] 次に、マスクを除去し、不活性ガスの雰囲気下で1300～2100℃の温度範囲において活性化アニールを行う。これにより、ドリフト層2の表層に形成されたベース領域3と、第1ソース領域4と、第2ソース領域10と、コンタクト領域5とが電氣的に活性化される。
- [0033] 次に、800～1400℃でドリフト層2の表面に熱酸化膜を形成し、それをフッ化水素酸により除去する（犠牲酸化プロセス）。
- [0034] その後、図6に示すように、ドリフト層2の表面を熱酸化して所望の厚みのゲート絶縁膜6を形成する。
- [0035] そして、図7に示すように、ゲート絶縁膜6上に、導電性を有する多結晶珪素膜を減圧CVD法によって形成し、リソグラフィ技術及びエッチング技術を用いてゲート電極7を形成する。なお、ゲート電極7の材料は多結晶珪素に限らず、ニッケル（Ni）、チタン（Ti）、アルミニウム（Al）、モリブデン（Mo）、クロム（Cr）、白金（Pt）、タングステン（W）、珪素（Si）、炭化チタン（TiC）、あるいはこれらの合金のいずれかを用いてもよい。
- [0036] 続いて、図8に示すように、リソグラフィ技術及びエッチング技術を用い、第1ソース領域4及びコンタクト領域5が形成されている領域上のゲート絶縁膜6を除去し、形成した開口内にNiを積層させることで、第1ソース領域4及びコンタクト領域5の両方に電氣的にオーミック接続するソース電極8を形成する。なお、ソース電極8の材料はNiに限らず、Ti、Al、Mo、Cr、Pt、W、Si、TiC、あるいはこれらの合金のいずれかを用いてもよい。
- [0037] 次に、図9に示すように、炭化珪素基板1の主面と対向する面の全面にドレイン電極9を形成する。このドレイン電極9の材料としては、ソース電極8の材料と同様に、Ni、Ti、Al、Mo、Cr、Pt、W、Si、TiC、あるいはこれらの合金のいずれかを用いることができる。
- [0038] 最後に、ソース電極8と、第1ソース領域4及びコンタクト領域5との接触部分、並びに、ドレイン電極9と炭化珪素基板1との接触部分を、それぞれ

れ炭化珪素と合金化させるための熱処理を行う。この熱処理は、例えば、温度：950～1000℃、処理時間：20～60秒間、昇温速度：10～25℃/秒の条件で行う。

[0039] 以上により、本実施の形態に係る炭化珪素半導体装置が完成する。

[0040] 本実施の形態に示す炭化珪素半導体装置では、第1ソース領域4の直上には、ゲート電極7を配置しないようにする。このように形成することにより、ゲート正バイアス時に、n型の第1ソース領域4の伝導電子がゲート絶縁膜6側にFN (Fowler-Nordheim) トンネルするのを抑制することができ、ゲート信頼性が向上する。

[0041] ソース電極8と接するn型の第1ソース領域4は、上面近傍も含めて一様に高濃度ドーピングされているため、良好なオーミックコンタクトを得ることができる。

[0042] ここで、n型の第1ソース領域4と第2ソース領域10の、横方向の配置位置について図21を参照しつつ説明する。図21は炭化珪素半導体装置を示す断面図である。図21に示されるように、互いに離間して形成されたゲート電極7のうち、左側に配置されたゲート電極7の右端(ソース電極8側)を横方向座標軸の原点とする。なお、この原点は、説明のための便宜上の原点である。

[0043] 上記の原点から第2ソース領域10の左端(すなわち第1ソース領域4との境界)までの距離を距離 d_x 、上記の原点からソース電極8の中心までの距離を距離 d_{GS} 、第1ソース領域4の横幅を横幅 d_{nco_n} とする。また、ゲート絶縁膜6の縦方向の厚さを厚さ d_{ox} とする。なお、図21においては、説明を簡単にするためコンタクト領域5は図示を省略している。

[0044] 距離 d_x が0 μm である場合、ゲート電極7直下に高濃度の第1ソース領域4は存在しないことになる。しかし、ゲート電極7から炭化珪素層側に向かって、ゲート絶縁膜6を介して斜め方向にも電界が分布しているため、距離 d_x は0 μm よりも大きい必要がある。

[0045] ここで図22は、第1ソース領域4または第2ソース領域10の上に、ゲ

ート絶縁膜6及びゲート電極7を設けてMOSキャパシタを作製し、炭化珪素側を接地してゲート電極7に正バイアスを印加した時に流れるFN電流をプロットしたグラフである。図22中の E_{ox} は、ゲート絶縁膜6に印加される電界を示し、 J は、電流密度を示している。

[0046] 第2ソース領域10上にゲート絶縁膜6及びゲート電極7を設けて、MOSキャパシタを作製した場合、電界約 5 MV/cm 以上でFN電流が流れる(図22のX参照)。

[0047] これに対し、第1ソース領域4上にゲート絶縁膜6及びゲート電極7を設けて、MOSキャパシタを作製した場合、電界約 3 MV/cm 以上でFN電流が流れ始める(図22のY参照)。

[0048] 上記より、第1ソース領域4上では、第2ソース領域10上における場合に比べて、 $3/5$ 倍の電界印加で電流リークが発生してしまうことがわかる。よって、同じ電圧が印加されるならば、第1ソース領域4上ではゲート絶縁膜6の厚さ D を厚さ d_{ox} の $5/3$ 倍にする必要がある。ただし、第1ソース領域4とゲート電極7との間に実質的に介在するゲート絶縁膜6の厚さ D が厚さ d_{ox} の $5/3$ 倍となればよいため、必ずしもゲート絶縁膜6の縦方向の厚さが厚さ d_{ox} の $5/3$ 倍となる必要はない。

[0049] 図23は、図21に示された炭化珪素半導体装置の断面図を一部拡大した図である。

[0050] 図23に示されるように、第1ソース領域4とゲート電極7との間に実質的に介在するゲート絶縁膜6の厚さ D を考えると、厚さ D を斜辺とする直角三角形が想定できる。当該直角三角形は、縦の辺が厚さ d_{ox} であり、横の辺が距離 d_x となる。

[0051] この直角三角形を参照すると、厚さ D が厚さ d_{ox} の $5/3$ 倍より大きくする場合、距離 d_x は少なくとも厚さ d_{ox} の $4/3$ 倍より大きくなることが分かる。

[0052] よって距離 d_x は、
$$d_x > 4 d_{ox} / 3$$

を満たす必要がある。

[0053] 他方、 n ソースのオーミックコンタクトを確実に得るために、オーミックコンタクトされる領域面積を十分に確保し、素子全体としてのコンタクト抵抗値を素子のオン抵抗値よりも小さくしておく必要がある。

[0054] 第1ソース領域4の横幅 d_{ncon} がソース電極8の横幅よりも小さい場合、第1ソース領域4の面積を d_{ncon}^2 、素子内のセル数を N 、素子の活性領域面積を S 、オーミックコンタクト抵抗率を ρ_c 、素子のオン抵抗率を R とすると、

$$\rho_c / (d_{ncon}^2 \times N) < R / S$$

を満たすことが望ましい。

[0055] この式を、図21の関係から書き換えると、 $d_{GS} + 0.5 \times d_{ncon} = d_x + d_{ncon}$ であるから、

$$d_x < d_{GS} - 0.5 \times (\rho_c S / RN)^{1/2}$$

となる。

[0056] また、コンタクト領域5の横幅を横幅 d_{pcon} とした場合、上記の式はさらに、

$$d_x < d_{GS} + d_{pcon} / 2 - 0.5 \times (\rho_c S / RN + d_{pcon}^2)^{1/2}$$

と書き換えられる。

[0057] よって d_x は、

$$4d_{ox} / 3 < d_x < d_{GS} + d_{pcon} / 2 - 0.5 \times (\rho_c S / RN + d_{pcon}^2)^{1/2}$$

であることが望ましい。

[0058] <A-3. 効果>

本発明にかかる実施の形態によれば、炭化珪素半導体装置において、第1導電型の炭化珪素からなるドリフト層2と、ドリフト層2表層に選択的に形成された第2導電型のベース領域3と、ベース領域3表層に選択的に形成された第1導電型のソース領域と、ソース領域上に選択的に形成されたソース電極8と、ドリフト層2と、ベース領域3と、ソース電極8が形成されない

ソース領域とに跨って形成されたゲート絶縁膜6と、ゲート絶縁膜6上に形成されたゲート電極7とを備え、ソース領域は、ソース電極8下に配置される第1ソース領域4と、第1ソース領域4を平面視上囲んで形成され、ゲート電極7下に配置される第2ソース領域10とを有し、第2ソース領域10表層のドーピング濃度は、第1ソース領域4表層のドーピング濃度よりも低く、第2ソース領域10のドーピング濃度は、表層部よりも深層部が高いことで、n型の第1ソース領域4の伝導電子がゲート絶縁膜6側にFNトンネルするのを抑制し、ゲート信頼性を高めることができる。

[0059] また、表層側を低濃度とし、深さが深くなるに従ってドーピング濃度を高めることにより、FNトンネルを抑制しつつも、オン抵抗の増大を防ぐことができる。

[0060] また、本発明にかかる実施の形態によれば、炭化珪素半導体装置において、第2ソース領域10表層から深さ100nmまでの領域におけるドーピング濃度が、第1ソース領域4表層のドーピング濃度よりも低いことで、ゲート絶縁膜6下に位置する第2ソース領域10の表層のドーピング濃度が低くなり、FNトンネルの発生を抑制することができる。

[0061] また、本発明にかかる実施の形態によれば、炭化珪素半導体装置において、第2ソース領域10表層から深さ100nmまでの領域におけるドーピング濃度が、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ であることで、ゲート絶縁膜6下に位置する第2ソース領域10の表層のドーピング濃度が低くなり、FNトンネルの発生を抑制することができる。

[0062] また、本発明にかかる実施の形態によれば、炭化珪素半導体装置において、第1ソース領域4表層のドーピング濃度が、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ であることで、トレンチ等を形成する必要もなく、良好なオーミックコンタクトを得ることができる。

[0063] <B. 実施の形態2>

<B-1. 構成>

図11は、本発明の実施の形態2に係る炭化珪素半導体装置を示す断面図

である。本実施の形態においては、第1導電型をn型、第2導電型をp型として説明する。

[0064] 炭化珪素半導体装置は、例えばnチャネル縦型の炭化珪素MOSFETであって、図11に示すように、主面の面方位が(0001)面であり、4Hのポリタイプを有する、n型で低抵抗の炭化珪素基板11の主面上に、n型の炭化珪素からなるドリフト層12が形成されている。

[0065] ドリフト層12の表層部には、例えばAlをp型不純物として含有するp型のベース領域13が選択的に形成されている。図示するようにベース領域13は、互いに離間して複数形成することができる。このベース領域13内には、例えばNをn型不純物として含有するn型の下層ソース領域14が選択的に形成されている。

[0066] 下層領域としての下層ソース領域14の上面近傍には、例えばAlをp型不純物として含有する上層領域としてのp型領域20が形成されている。下層ソース領域14及びp型領域20の、N及びAl注入プロファイルは図20のようになっており、下層ソース領域14とp型領域20との境界は、ソース領域表層から例えば深さ5~100nmの位置に存在する。ここで図20は、下層ソース領域14のプロファイル(丸ポイント)及びp型領域20のプロファイル(三角ポイント)を示しており、横軸に深さ(nm)、縦軸に濃度(cm^{-3})をとっている。図20に示すように下層ソース領域14は、表層部よりも深層部が濃度が高まるプロファイルとなっており、深さがおおよそ300nmとなる位置でピークを持つように形成されている。またp型領域20は、深さがおおよそ40nmとなる位置でピークを持つようなプロファイルとなっている。下層ソース領域14及びp型領域20を合わせて、ソース領域を形成する。

[0067] このように形成することにより、上面近傍のp型領域20の伝導帯を、バンドベンディングにより高エネルギー側にシフトさせることができる。

[0068] ソース領域内には、例えばAlをp型不純物として含有し、ベース領域13よりも不純物濃度が高いp型のコンタクト領域15が形成されている。ソ

ース領域及びコンタクト領域15が形成されている領域の中央部には、ドリフト層12の表面から下層ソース領域14及びコンタクト領域15に達するトレンチ100が設けられており、このトレンチ100内にソース電極18が形成されている。ソース電極18は、その下端が下層ソース領域14に達し埋没している。またソース電極18は、下層ソース領域14及びコンタクト領域15にオーミック接触して形成されている。

[0069] 一方ドリフト層12の表面上には、ソース電極18が形成されている部分を除き、酸化珪素で構成されるゲート絶縁膜16が形成されており、このゲート絶縁膜16上において、p型領域20とベース領域13との境界上に跨るようにゲート電極17が設けられている。

[0070] そして、炭化珪素基板11の主面と対向する面には、ドレイン電極19が形成されている。

[0071] < B - 2 . 製造方法 >

次に、本実施の形態に係る炭化珪素半導体装置の製造方法の一例を図12~20を用いて説明する。

[0072] まず、主面の面方位が(0001)面であり、4Hのポリタイプを有するn型の炭化珪素基板11の表面に、図12に示すように、熱CVD (Chemical Vapor Deposition) 法により、1~100 μ mの厚さの炭化珪素からなるドリフト層12をエピタキシャル成長させる。この熱CVD法は、例えば、温度：1500~1800 $^{\circ}$ C、気圧：25MPa、キャリアガス種：H₂、生成ガス種：SiH₄及びC₃H₈の条件で行う。

[0073] 次に、ドリフト層12上にレジストでマスクを形成し、マスクを介してp型の不純物である例えばAlをイオン注入することにより、図13に示すようなベース領域13を選択的に形成する。Alの注入深さは0.5~3.0 μ mであり、注入濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ である。

[0074] マスクを除去後、新たにドリフト層12上にレジストでマスクを形成し、マスクを介してn型の不純物であるNをイオン注入することにより、図14に示すような下層ソース領域14を形成する。このとき、下層ソース領域1

4がベース領域13の表層に選択的に形成されるようにする。Nの注入プロファイルは図20に示すようなものであり、注入ピーク濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。

[0075] 次に、上記と同一のマスクを介してp型の不純物である例えばAlをイオン注入することにより、図14に示すように下層ソース領域14の上層に、上層領域としてのp型領域20を形成する。Alの注入プロファイルは図20に示すようなものであり、注入濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上となるのは、ドリフト層12の最表面から深さ100nmまでの領域とする。

[0076] マスクを除去後、新たにドリフト層12上にレジストあるいは酸化珪素でマスクを形成し、マスクを介してp型の不純物であるAlをイオン注入することにより、図15に示すようなコンタクト領域15を形成する。Alの注入深さは0.05~1.5 μm であり、注入濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。

[0077] 次に、マスクを除去し、不活性ガスの雰囲気下で1300~2100 $^{\circ}\text{C}$ の温度範囲において活性化アニールを行う。これにより、ドリフト層12の表層に形成されたベース領域13と、下層ソース領域14と、p型領域20と、コンタクト領域15とが電氣的に活性化される。

[0078] 次に、800~1400 $^{\circ}\text{C}$ でドリフト層12の表面に熱酸化膜を形成し、それをフッ化水素酸により除去する（犠牲酸化プロセス）。

[0079] その後、図16に示すように、ドリフト層12の表面を熱酸化して所望の厚みのゲート絶縁膜16を形成する。

[0080] そして、図17に示すように、ゲート絶縁膜16上に、導電性を有する多結晶珪素膜を減圧CVD法によって形成し、リソグラフィ技術及びエッチング技術を用いてゲート電極17を形成する。なお、ゲート電極17の材料は多結晶珪素に限らず、ニッケル(Ni)、チタン(Ti)、アルミニウム(Al)、モリブデン(Mo)、クロム(Cr)、白金(Pt)、タングステン(W)、珪素(Si)、炭化チタン(TiC)、あるいはこれらの合金のいずれかを用いてもよい。

- [0081] 続いて、図18に示すように、リソグラフィ技術及びエッチング技術を用い、ソース領域及びコンタクト領域15が形成されている領域上のゲート絶縁膜16を除去し、更に表面に下層ソース領域14が露出するまでドリフト層12表層をエッチングしてトレンチ100を形成した後、トレンチ100内にNiを積層させることで、下層ソース領域14及びコンタクト領域15の両方に電氣的にオーミック接続するソース電極18を形成する。
- [0082] なお、ソース電極18の材料はNiに限らず、Ti、Al、Mo、Cr、Pt、W、Si、TiC、あるいはこれらの合金のいずれかを用いてもよい。
- [0083] 次に、図19に示すように、炭化珪素基板11の主面と対向する面の全面にドレイン電極19を形成する。このドレイン電極19の材料としては、ソース電極18の材料と同様に、Ni、Ti、Al、Mo、Cr、Pt、W、Si、TiC、あるいはこれらの合金のいずれかを用いることができる。
- [0084] 最後に、ソース電極18と、下層ソース領域14及びコンタクト領域15との接触部分、並びに、ドレイン電極19と炭化珪素基板11との接触部分を、それぞれ炭化珪素と合金化させるための熱処理を行う。この熱処理は、例えば、温度：950～1000℃、処理時間：20～60秒間、昇温速度：10～25℃/秒の条件で行う。
- [0085] 以上により、本実施の形態に係る炭化珪素半導体装置が完成する。
- [0086] 本実施の形態に示す炭化珪素半導体装置では、p型領域20の伝導帯をバンドベンディングにより高エネルギー側にシフトさせ、ゲート正バイアス時に、n型の下層ソース領域14の伝導電子がゲート絶縁膜16側にFNトンネルすることを抑制することができ、ゲート信頼性が向上する。
- [0087] また、下層ソース領域14と良好なオーミックコンタクトを得るために、ソース電極18はトレンチ100が掘り込まれた部位に形成されている。
- [0088] MOSFETのチャネル形成部のp型ドーピング濃度は十分低い値に設定し、チャネルが深い位置まで形成されるようにしておく。これにより、MOSFETのオン動作時に、下層ソース領域14からチャネル、さらにドリフト

ト層 12 (ドレイン側) へ伝導電子をスムーズに流すことができる。

[0089] なお、上記各実施の形態では、炭化珪素基板として、主面の面方位が (0001) 面であり、4Hのポリタイプを有するものを用いたが、面方位はこれに限定されず、(000-1) 面や (11-20) 面等でもよく、これらの面方位においてオフ角を有するものでもよい。また、ポリタイプは3Cや6H等であってもよい。

[0090] また上記各実施の形態では、n型を第1導電型、p型を第2導電型としてn型チャネルの炭化珪素MOSFETについて説明したが、p型を第1導電型、n型を第2導電型としたp型チャネルの炭化珪素MOSFETにおいても、本発明は同様に効果を発揮することができる。

[0091] また、p型不純物としてAlを用いて説明したが、これはホウ素(B)やガリウム(Ga)等であってもよい。また、n型不純物としてNを用いて説明したが、これはヒ素(As)やリン(P)等であってもよい。

[0092] <B-3. 効果>

本発明にかかる実施の形態によれば、炭化珪素半導体装置において、第1導電型の炭化珪素からなるドリフト層12と、ドリフト層12表層に選択的に形成された第2導電型のベース領域13と、ベース領域13表層に選択的に形成されたソース領域と、ソース領域上に選択的に形成されたソース電極18と、ドリフト層12と、ベース領域13と、ソース電極18が形成されないソース領域とに跨って形成されたゲート絶縁膜16と、ゲート絶縁膜16上に形成されたゲート電極17とを備え、ソース領域は、表層部に形成された第2導電型の上層領域としてのp型領域20と、p型領域20の下層に形成された第1導電型の下層領域としての下層ソース領域14とを有し、ソース電極18の下端が、下層ソース領域14に到達するようソース領域に埋没することで、p型領域20の伝導帯をバンドベンディングにより高エネルギー側にシフトさせ、ゲート正バイアス時に、n型の下層ソース領域14の伝導電子がゲート絶縁膜16側にFNトンネルすることを抑制することができる。ゲート信頼性を高めることができる。

[0093] また、ソース電極 18 がトレンチ 100 上に形成されるので、下層ソース領域 14 との良好なオーミックコンタクトを得ることができる。

[0094] また、本発明にかかる実施の形態によれば、炭化珪素半導体装置において、上層領域としての p 型領域 20 と下層領域としての下層ソース領域 14 との境界が、p 型領域 20 表層から深さ 5 ~ 100 nm に位置することで、FN トンネルを抑制しつつ、オン抵抗の増大を防ぐことができる。

[0095] また、本発明にかかる実施の形態によれば、炭化珪素半導体装置の製造方法において、(a) 第 1 導電型の炭化珪素からなるドリフト層 12 を形成する工程と、(b) ドリフト層 12 表層に、第 2 導電型のベース領域 13 を選択的に形成する工程と、(c) 表層部に形成された第 2 導電型の上層領域としての p 型領域 20 と、p 型領域 20 の下層に形成された第 1 導電型の下層領域としての下層ソース領域 14 とを有するソース領域を、ベース領域 13 表層に選択的に形成する工程と、(d) ドリフト層 12 と、ベース領域 13 と、ソース領域に跨って、ゲート絶縁膜 16 を形成する工程と、(e) ゲート絶縁膜 16 上において、ドリフト層 12 表層からソース領域表層内に跨ってゲート電極 17 を形成する工程と、(f) ゲート電極 17 が形成されないゲート絶縁膜 16 表面から、下層ソース領域 14 に到達するトレンチ 100 を形成する工程と、(g) トレンチ 100 内に下端を埋没させ、ソース電極 18 を形成する工程とを備えることで、n 型の下層ソース領域 14 の伝導電子がゲート絶縁膜 16 側に FN トンネルすることを抑制することができ、ゲート信頼性を高めることができる。

[0096] 本発明は詳細に説明されたが、上記した説明は、すべての局面において、例示であって、本発明がそれに限定されるものではない。例示されていない無数の変形例が、本発明の範囲から外れることなく想定され得るものと解される。

符号の説明

[0097] 1, 11 炭化珪素基板、2, 12 ドリフト層、3, 13 ベース領域、4 第 1 ソース領域、10 第 2 ソース領域、14 下層ソース領域、5

、 15 コンタクト領域、 6, 16 ゲート絶縁膜、 7, 17 ゲート電極
、 8, 18 ソース電極、 9, 19 ドレイン電極、 20 p型領域、 10
0 トレンチ。

請求の範囲

[請求項1]

第1導電型の炭化珪素からなるドリフト層(2)と、
前記ドリフト層(2)表層に選択的に形成された第2導電型のベース領域(3)と、
前記ベース領域(3)表層に選択的に形成された第1導電型のソース領域(4、10)と、
前記ソース領域(4、10)上に選択的に形成されたソース電極(8)と、
前記ドリフト層(2)と、前記ベース領域(3)と、前記ソース電極(8)が形成されない前記ソース領域(4、10)とに跨って形成されたゲート絶縁膜(6)と、
前記ゲート絶縁膜(6)上に形成されたゲート電極(7)とを備え、
前記ソース領域(4、10)は、前記ソース電極(8)下に配置される第1ソース領域(4)と、前記第1ソース領域(4)を平面視上囲んで形成され、前記ゲート電極(7)下に配置される第2ソース領域(10)とを有し、
前記第2ソース領域(10)表層のドーピング濃度は、前記第1ソース領域(4)表層のドーピング濃度よりも低く、
前記第2ソース領域(10)のドーピング濃度は、表層部よりも深層部が高いことを特徴とする、
炭化珪素半導体装置。

[請求項2]

前記第2ソース領域(10)表層から深さ100nmまでの領域におけるドーピング濃度が、前記第1ソース領域(4)表層のドーピング濃度よりも低いことを特徴とする、
請求項1に記載の炭化珪素半導体装置。

[請求項3]

前記第2ソース領域(10)表層から深さ100nmまでの領域におけるドーピング濃度が、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ であるこ

とを特徴とする、

請求項 1 又は 2 に記載の炭化珪素半導体装置。

[請求項4] 前記第 1 ソース領域 (4) 表層のドーピング濃度が、 1×10^{19}
 $\sim 1 \times 10^{21} \text{ cm}^{-3}$ であることを特徴とする、
 請求項 1 又は 2 に記載の炭化珪素半導体装置。

[請求項5] 前記ゲート電極 (7) の前記ソース電極側 (8) の端部を横方向座
 標軸の原点とし、

前記原点から前記第 2 ソース領域 (10) までの距離を d_x 、

前記原点から前記ソース電極 (8) の中心までの距離を d_{GS} 、

前記第 1 ソース領域 (4) の横幅を d_{ncon} 、

前記ゲート絶縁膜 (6) の縦方向の厚さを d_{ox} 、

前記第 1 ソース領域 (4) の面積を d_{ncon}^2 、

素子内のセル数を N 、

素子の活性領域の面積を S 、

オーミックコンタクト抵抗率を ρ_c 、

素子のオン抵抗率を R 、

前記第 1 ソース領域 (4) 内において形成された、前記ベース領域
 (3) よりも不純物濃度が高い第 2 導電型のコンタクト領域 (5) の
 横幅を d_{pcon} とするとき、

$$4 d_{ox} / 3 < d_x < d_{GS} + d_{pcon} / 2 - 0.5 \times (\rho_c S / RN + d_{pcon}^2)^{1/2}$$

を満たすことを特徴とする、

請求項 1 に記載の炭化珪素半導体装置。

[請求項6] 第 1 導電型の炭化珪素からなるドリフト層 (12) と、
 前記ドリフト層 (12) 表層に選択的に形成された第 2 導電型のベ
 ース領域 (13) と、
 前記ベース領域 (13) 表層に選択的に形成されたソース領域 (2
 0、14) と、

前記ソース領域（20、14）上に選択的に形成されたソース電極（18）と、

前記ドリフト層（12）と、前記ベース領域（13）と、前記ソース電極（18）が形成されない前記ソース領域（20、14）とに跨って形成されたゲート絶縁膜（16）と、

前記ゲート絶縁膜（16）上に形成されたゲート電極（17）とを備え、

前記ソース領域（20、14）は、表層部に形成された第2導電型の上層領域（20）と、前記上層領域（20）の下層に形成された第1導電型の下層領域（14）とを有し、

前記ソース電極（18）の下端が、前記下層領域（14）に到達するように前記ソース領域（20、14）に埋没することを特徴とする、炭化珪素半導体装置。

[請求項7] 前記上層領域（20）と前記下層領域（14）との境界が、前記上層領域（20）表層から深さ5～100nmに位置することを特徴とする、請求項6に記載の炭化珪素半導体装置。

[請求項8] (a) 第1導電型の炭化珪素からなるドリフト層（2）を形成する工程と、
(b) 前記ドリフト層（2）表層に、第2導電型のベース領域（3）を選択的に形成する工程と、
(c) 第1ソース領域（4）と、前記第1ソース領域（4）を平面視上囲んで形成される第2ソース領域（10）とを有する、第1導電型のソース領域（4、10）を前記ベース領域（3）表層に選択的に形成する工程と、
(d) 前記ドリフト層（2）と、前記ベース領域（3）と、前記ソース領域（4、10）とに跨って、ゲート絶縁膜（6）を形成する工程と、

(e) 前記ゲート絶縁膜 (6) 上において、前記ドリフト層 (2) 表層から前記第2ソース領域 (10) 表層に跨ってゲート電極 (7) を形成する工程と、

(f) 前記第1ソース領域 (4) に対応する位置の前記ゲート絶縁膜 (6) をエッチング除去し、前記第1ソース領域 (4) 上にソース電極 (8) を形成する工程とを備え、

前記第2ソース領域 (10) 表層のドーピング濃度は、前記第1ソース領域 (4) 表層のドーピング濃度よりも低く、

前記第2ソース領域 (10) のドーピング濃度は、表層部よりも深層部が高いことを特徴とする、
炭化珪素半導体装置の製造方法。

[請求項9]

(a) 第1導電型の炭化珪素からなるドリフト層 (12) を形成する工程と、

(b) 前記ドリフト層 (12) 表層に、第2導電型のベース領域 (13) を選択的に形成する工程と、

(c) 表層部に形成された第2導電型の上層領域 (20) と、前記上層領域 (20) の下層に形成された第1導電型の下層領域 (14) とを有するソース領域 (20、14) を、前記ベース領域 (13) 表層に選択的に形成する工程と、

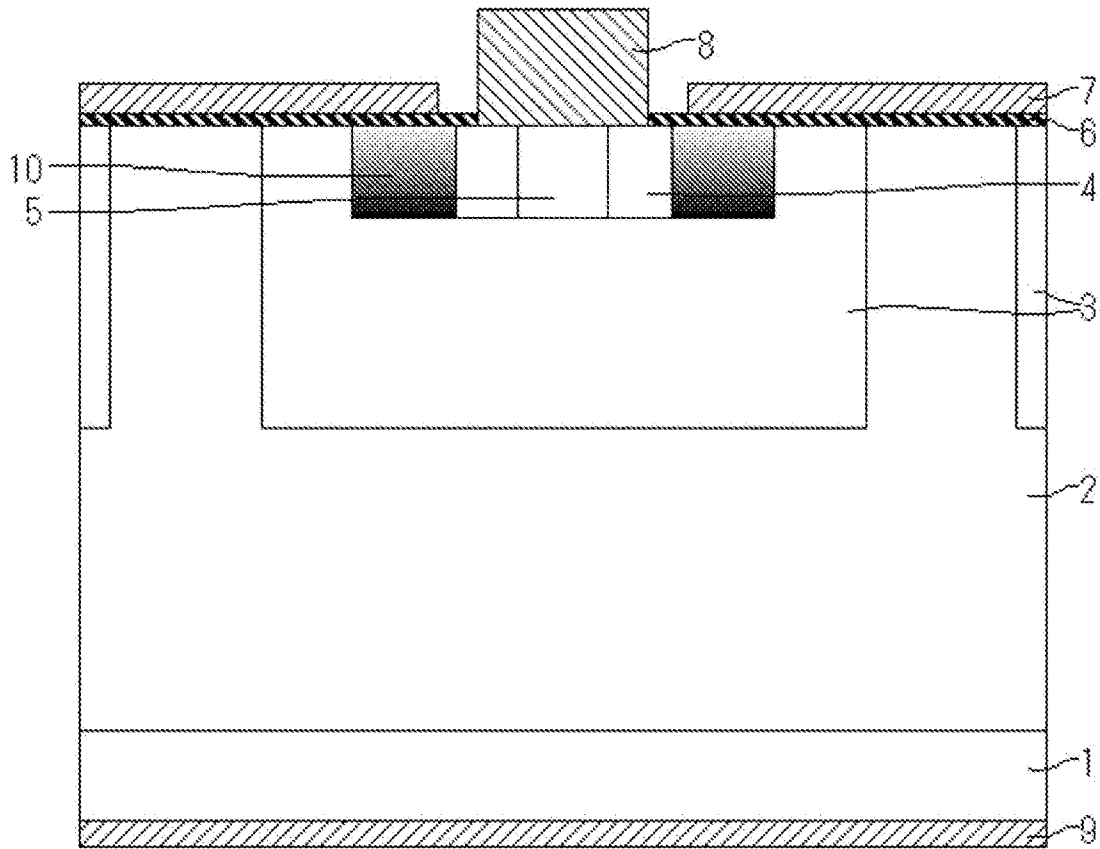
(d) 前記ドリフト層 (12) と、前記ベース領域 (13) と、前記ソース領域 (20、14) とに跨って、ゲート絶縁膜 (16) を形成する工程と、

(e) 前記ゲート絶縁膜 (16) 上において、前記ドリフト層 (12) 表層から前記ソース領域 (20、14) 表層内に跨ってゲート電極 (17) を形成する工程と、

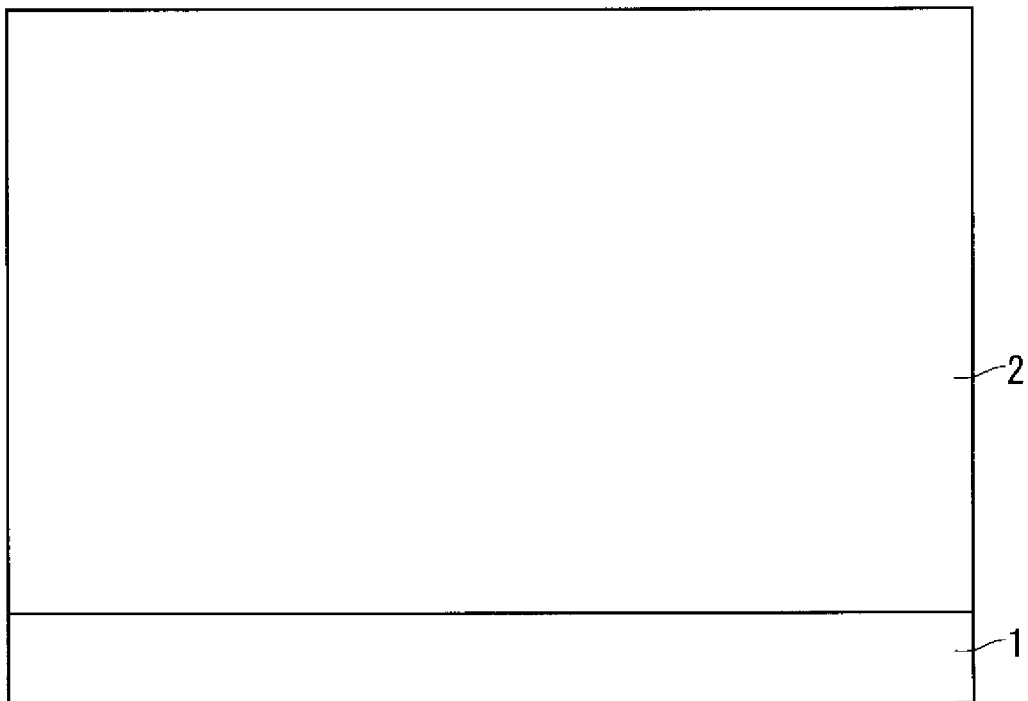
(f) 前記ゲート電極 (17) が形成されないゲート絶縁膜 (16) 表面から、前記下層領域 (14) に到達するトレンチ (100) を形成する工程と、

(g) 前記トレンチ（100）内に下端を埋没させ、ソース電極（18）を形成する工程とを備えることを特徴とする、炭化珪素半導体装置の製造方法。

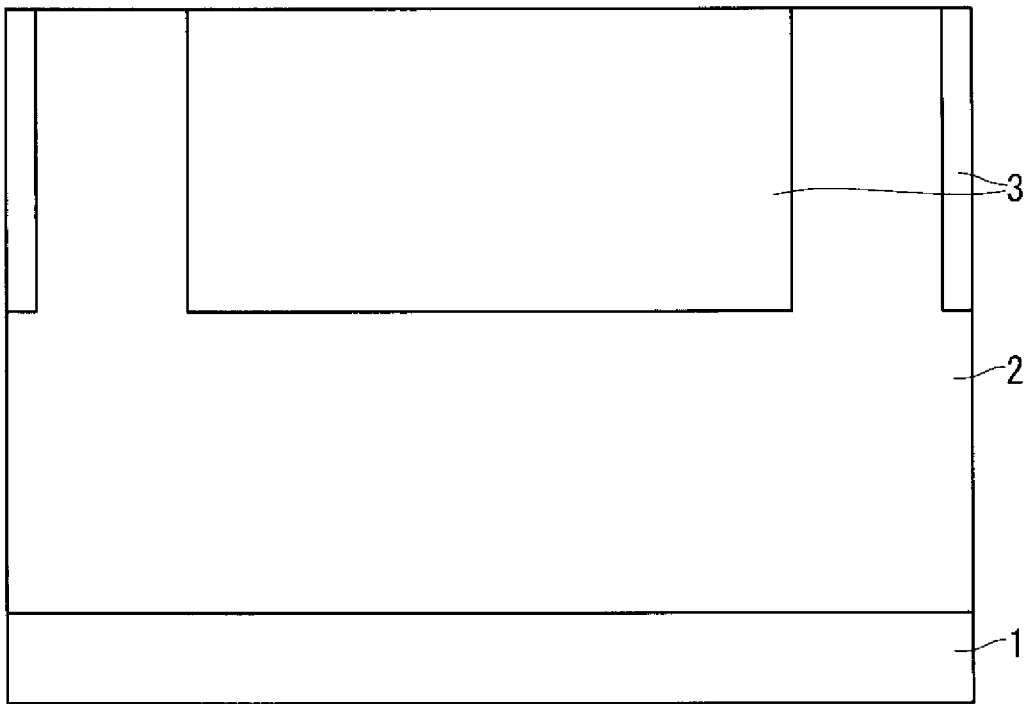
[図1]



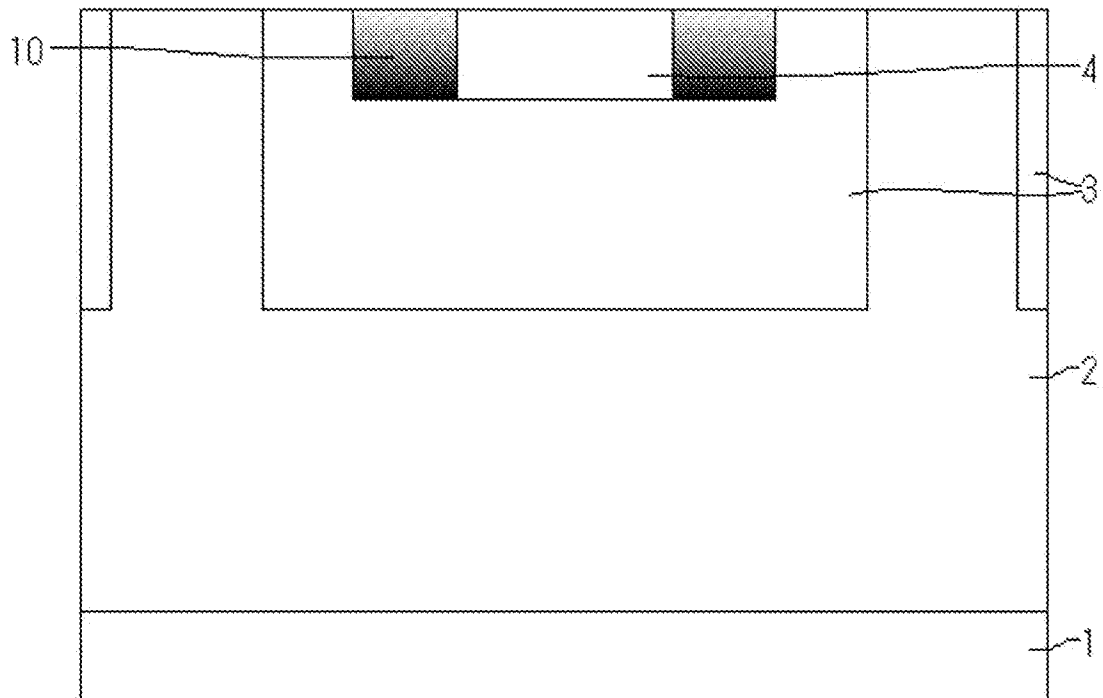
[図2]



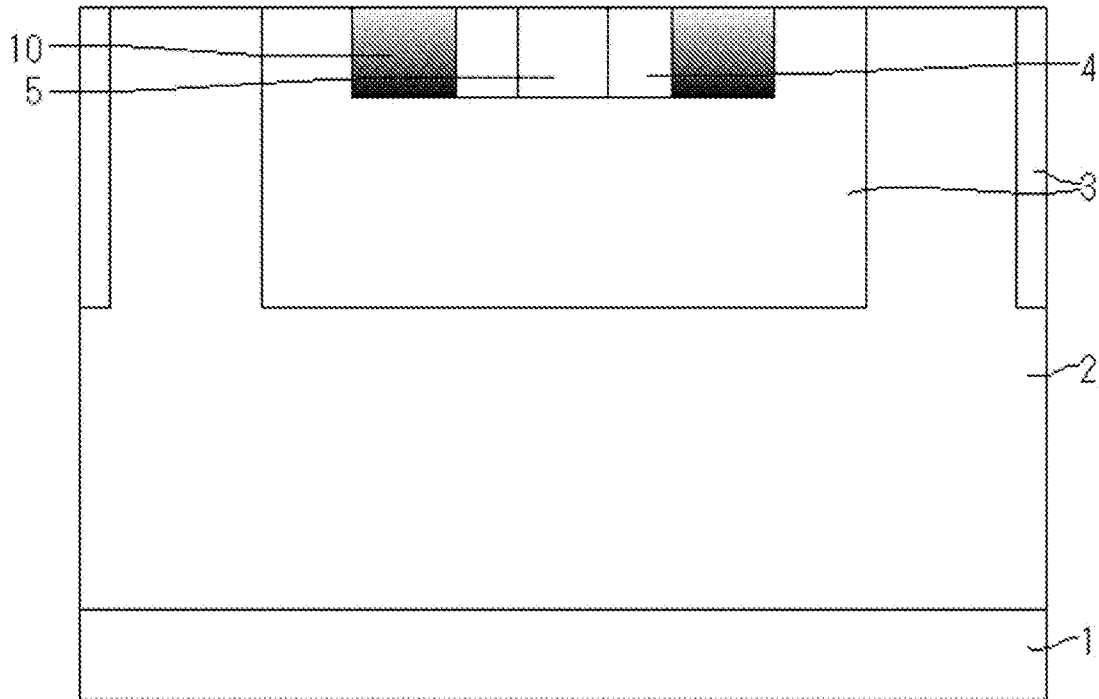
[図3]



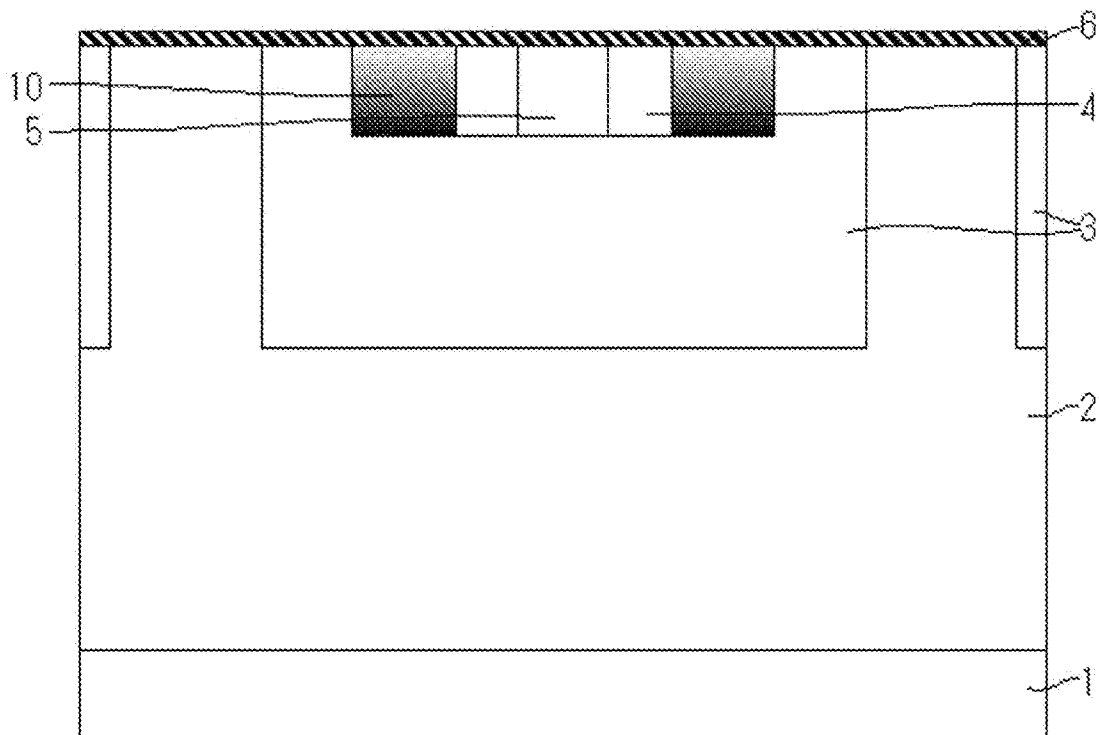
[図4]



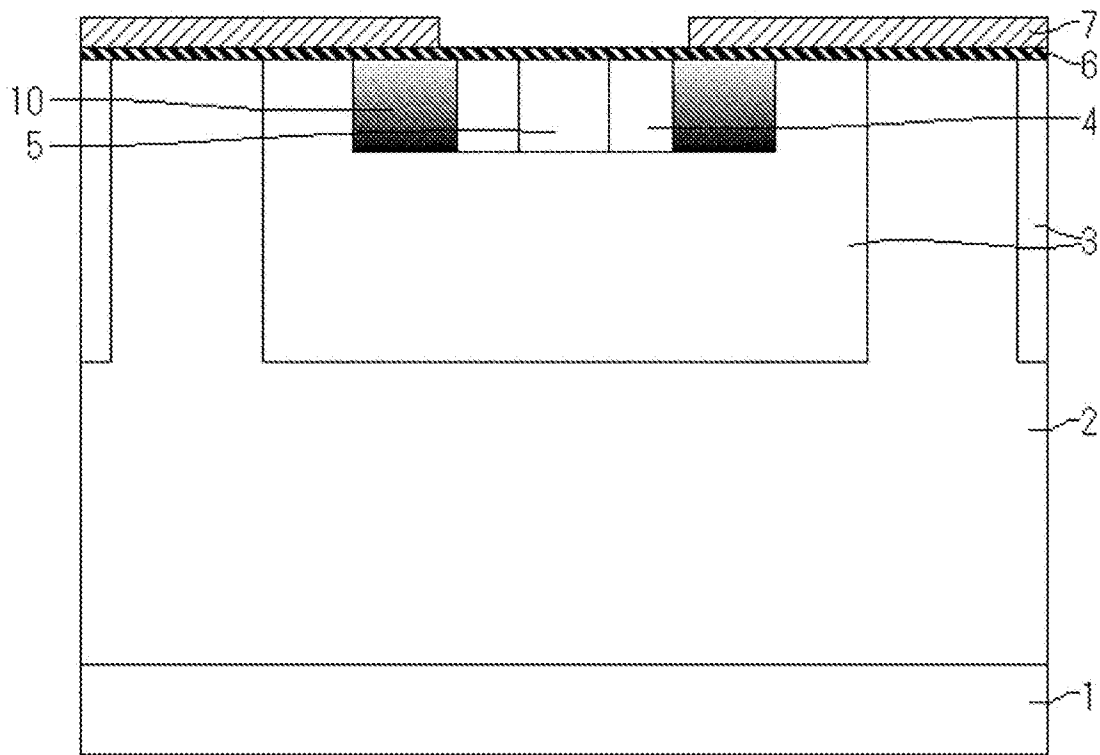
[図5]



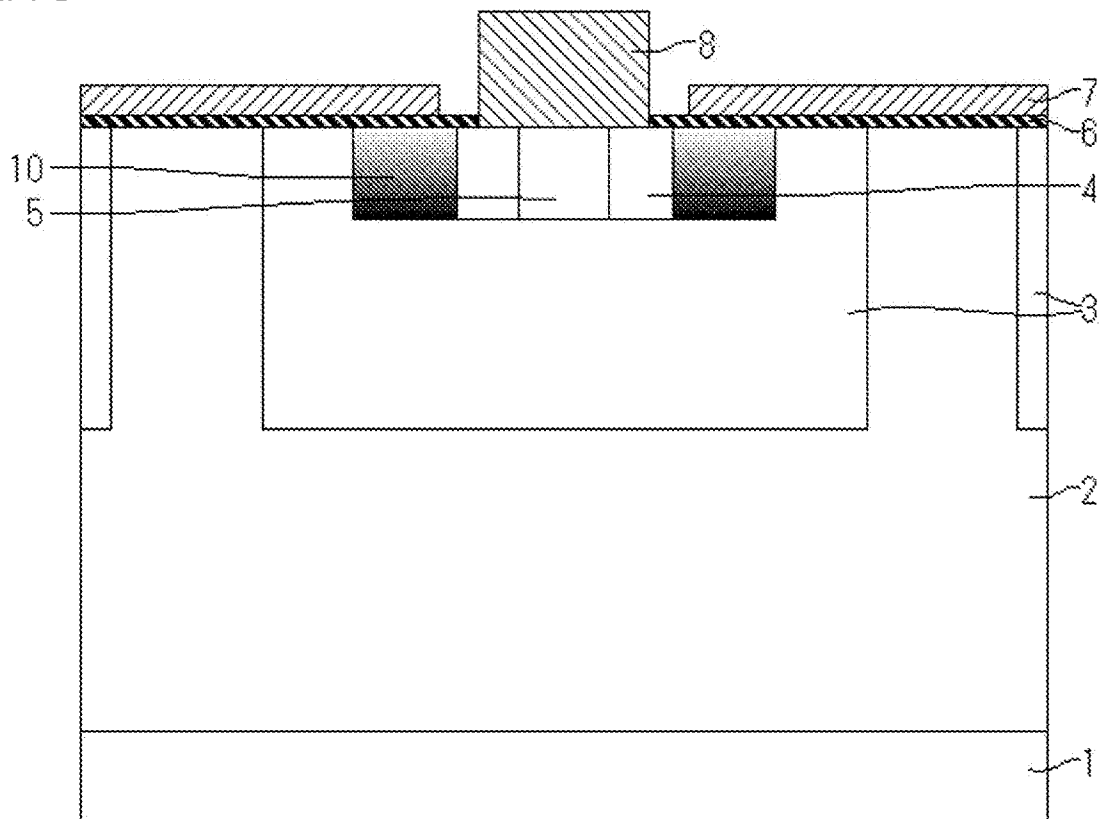
[図6]



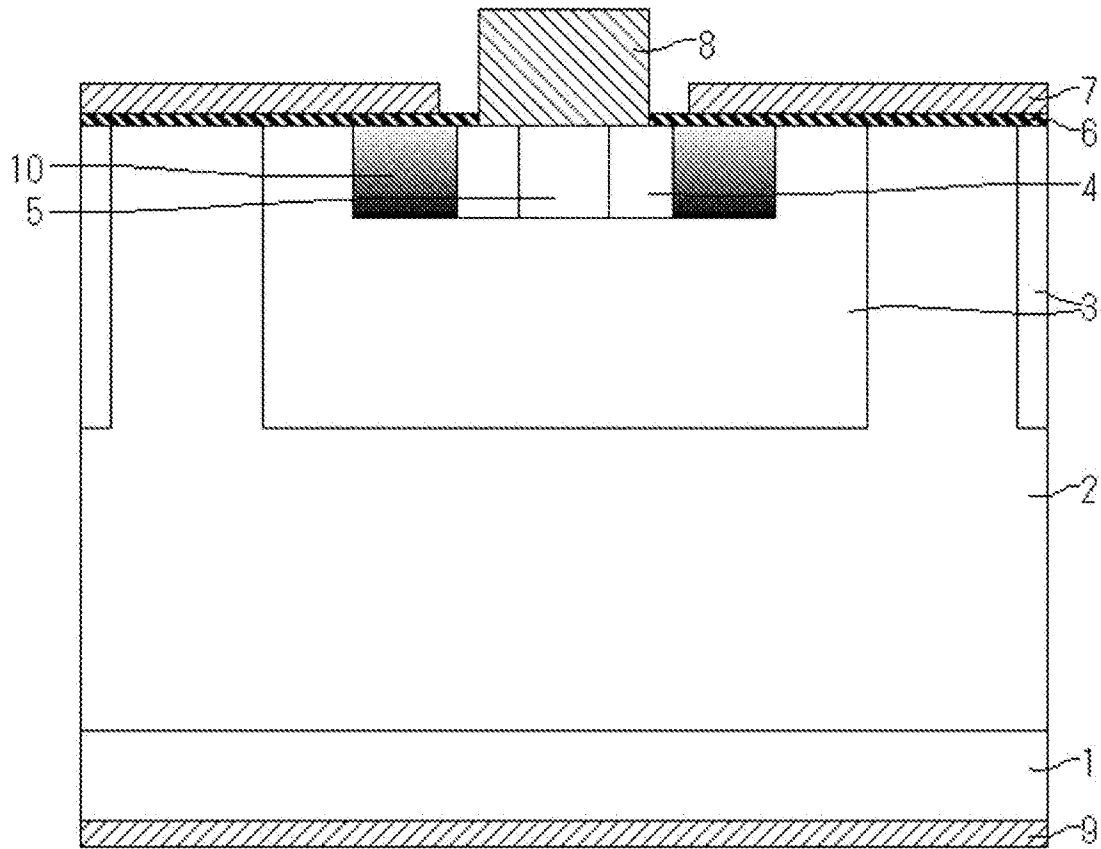
[図7]



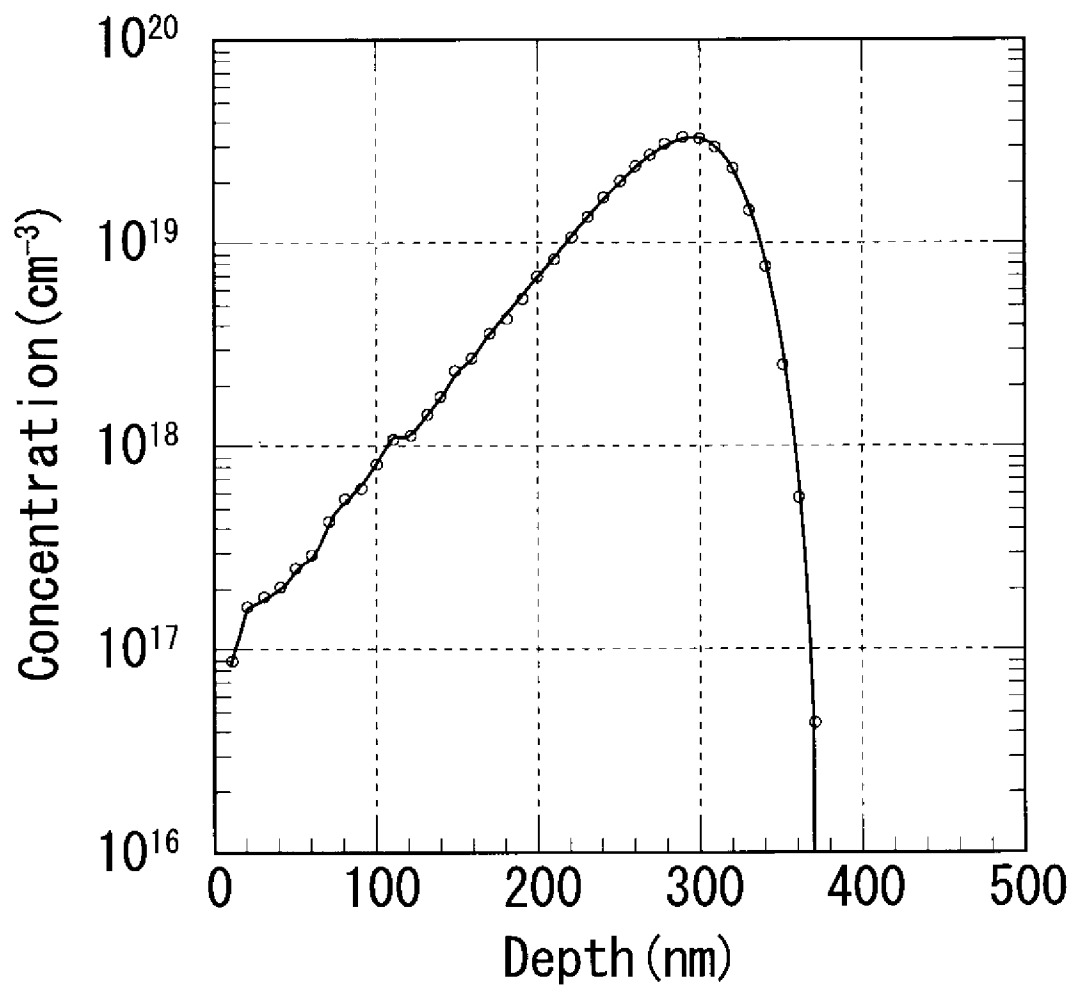
[図8]



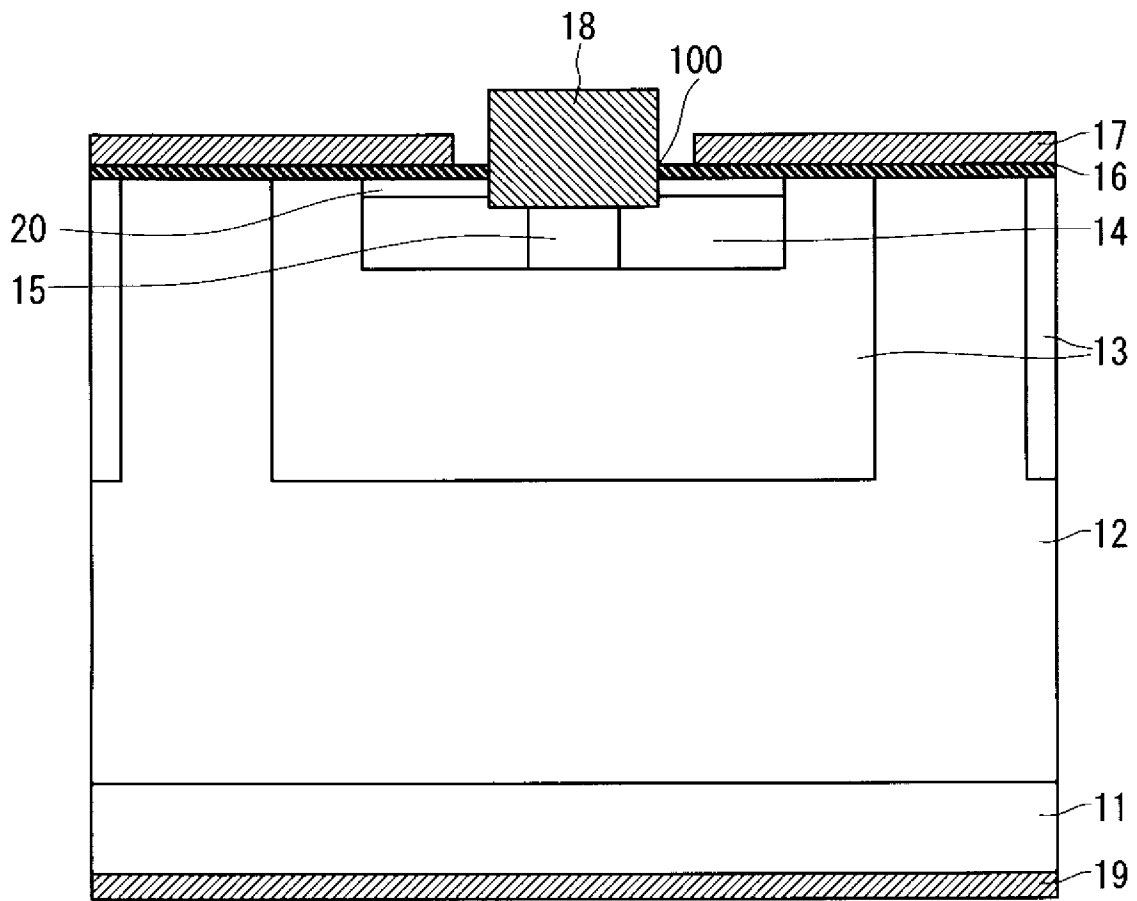
[図9]



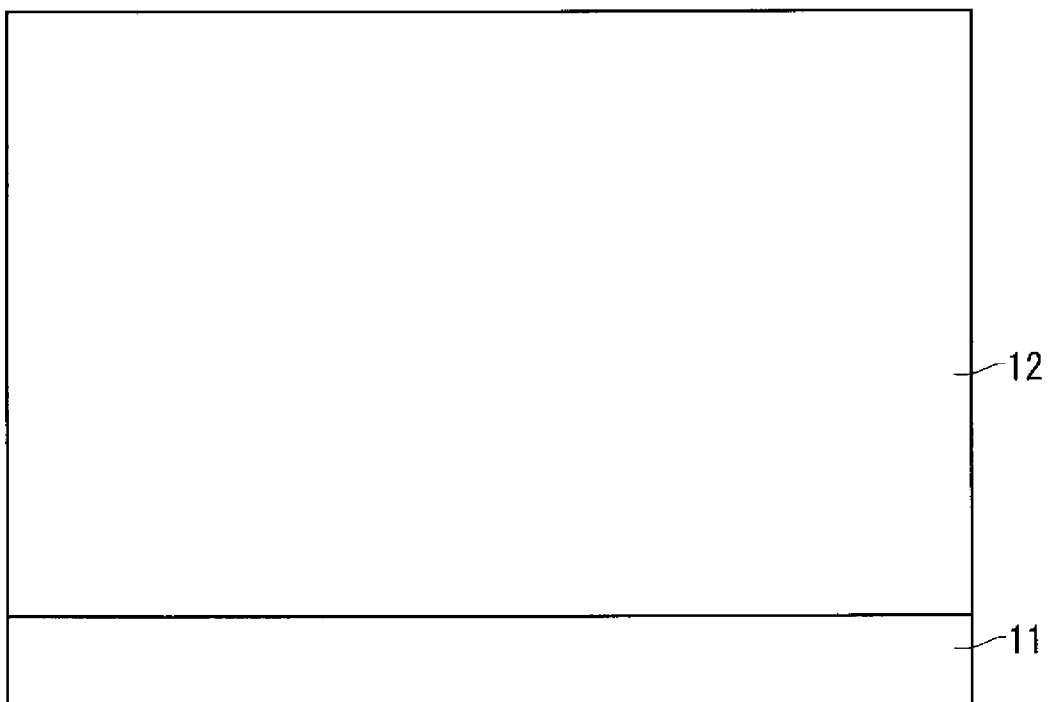
[図10]



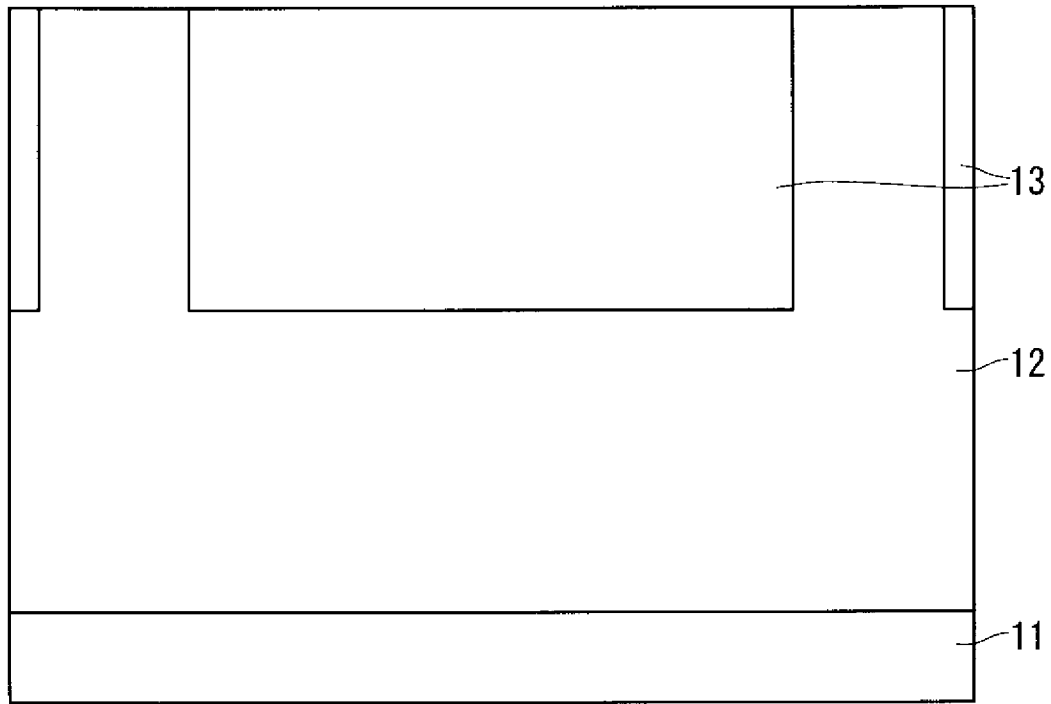
[図11]



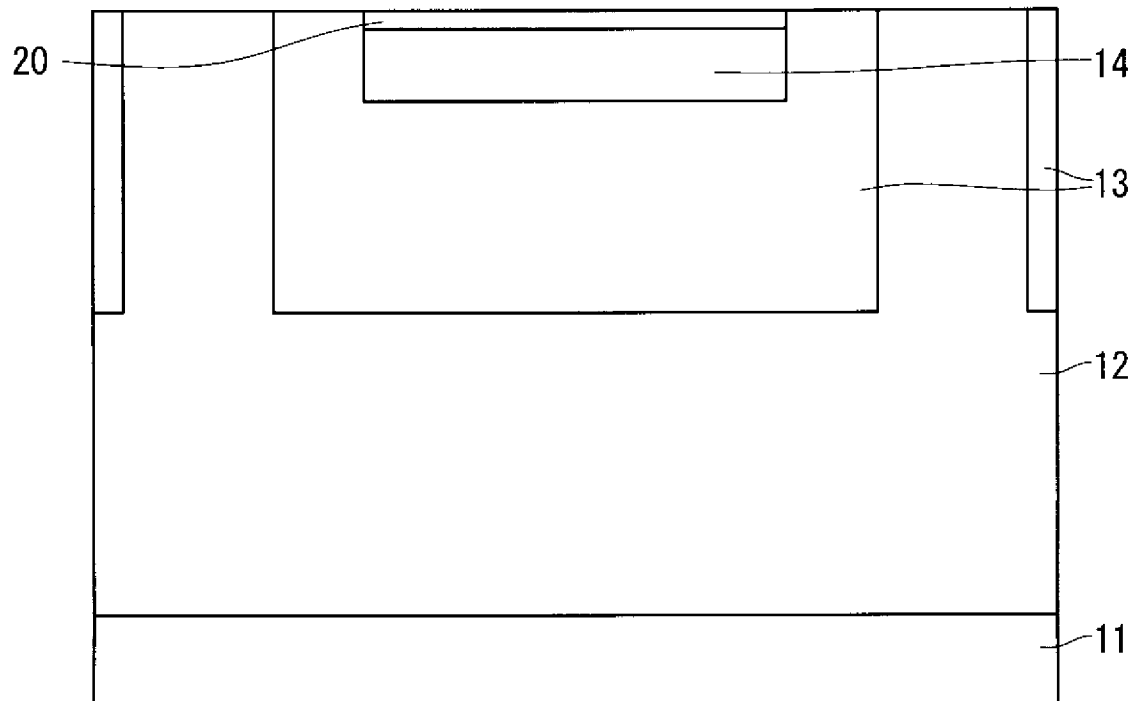
[図12]



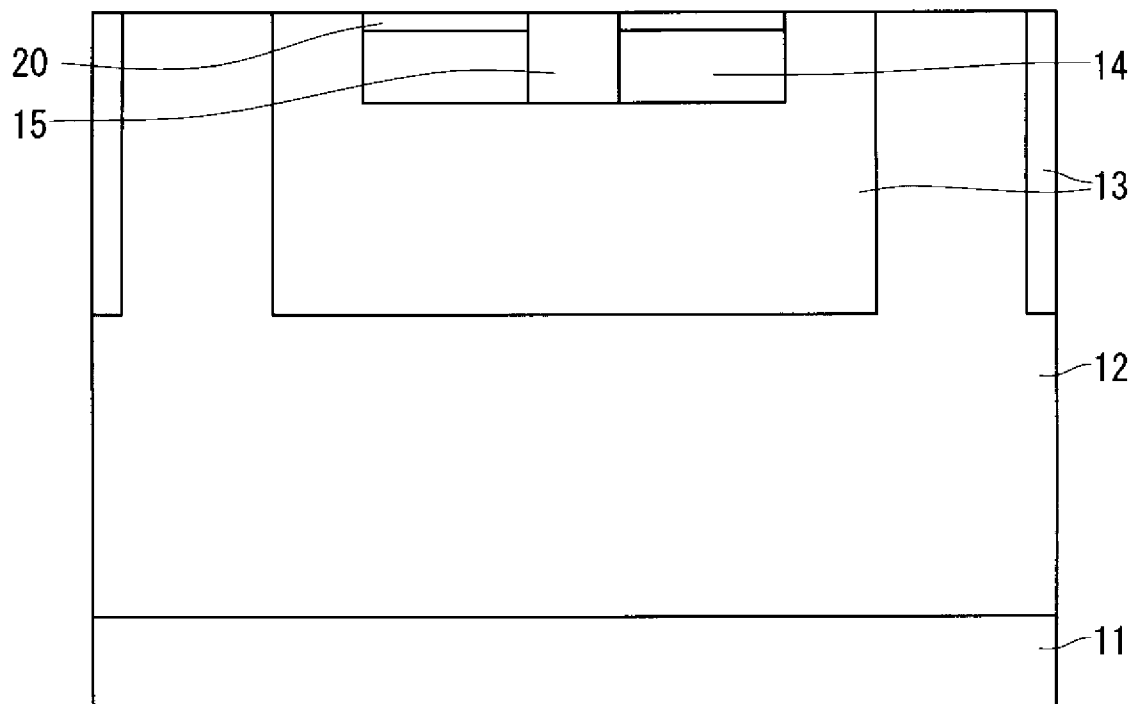
[図13]



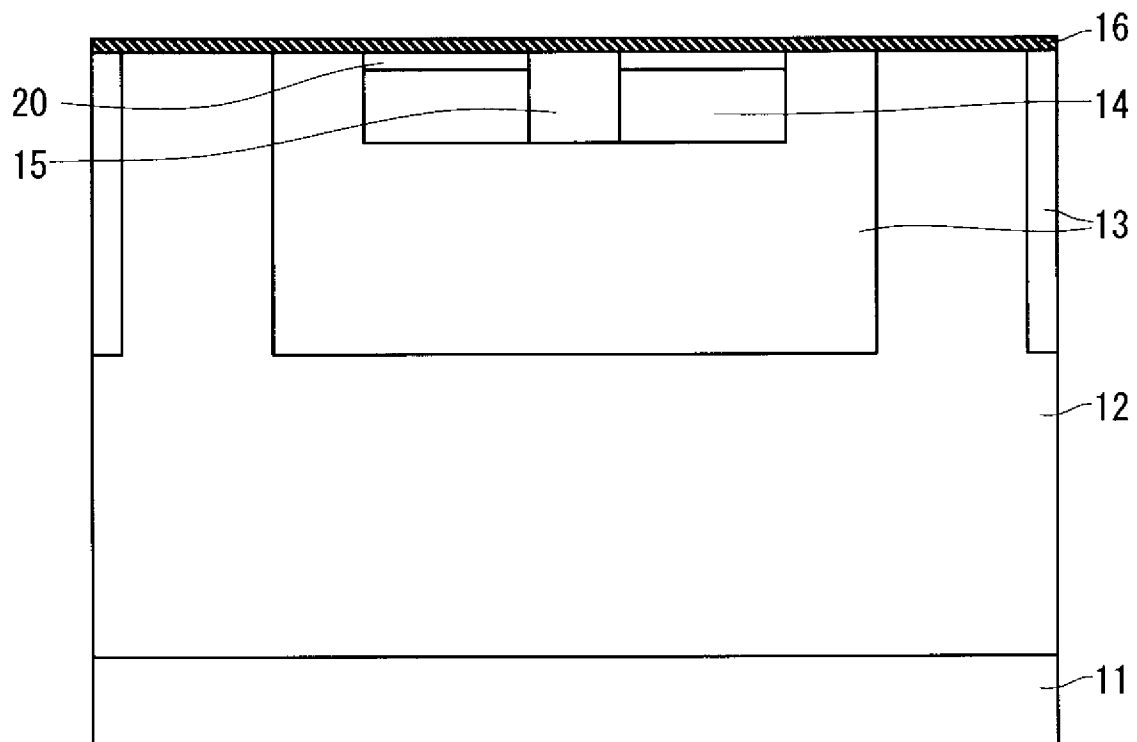
[図14]



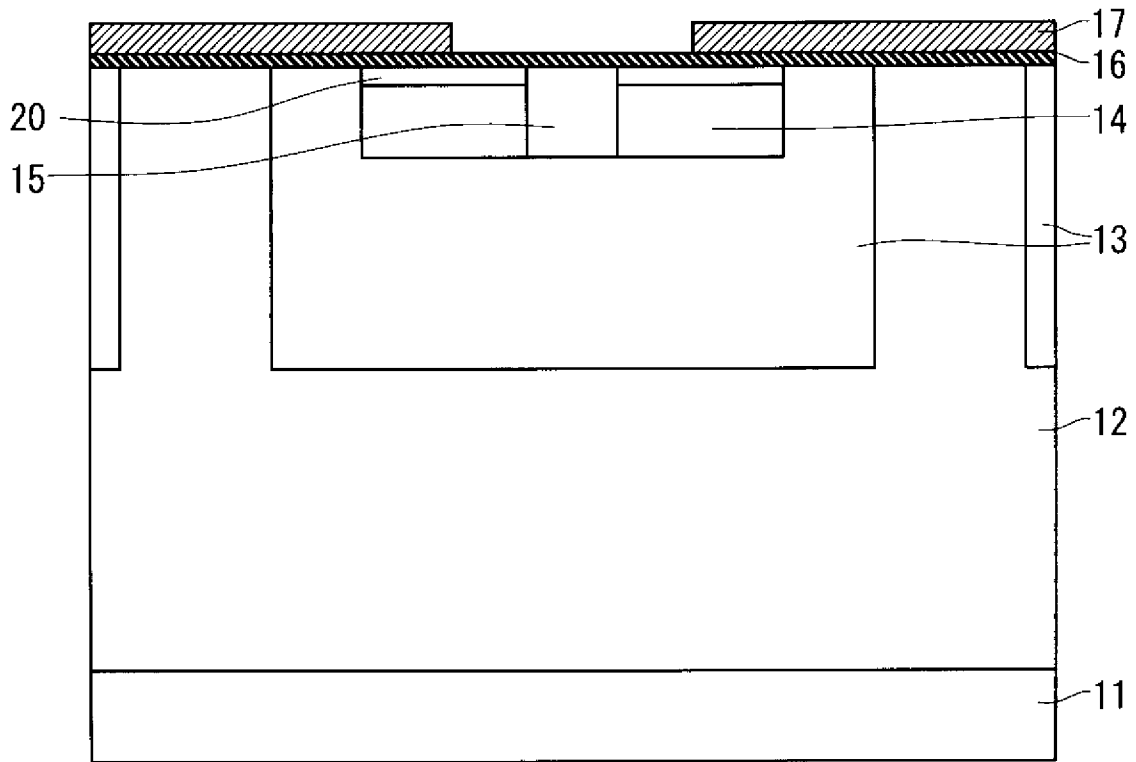
[図15]



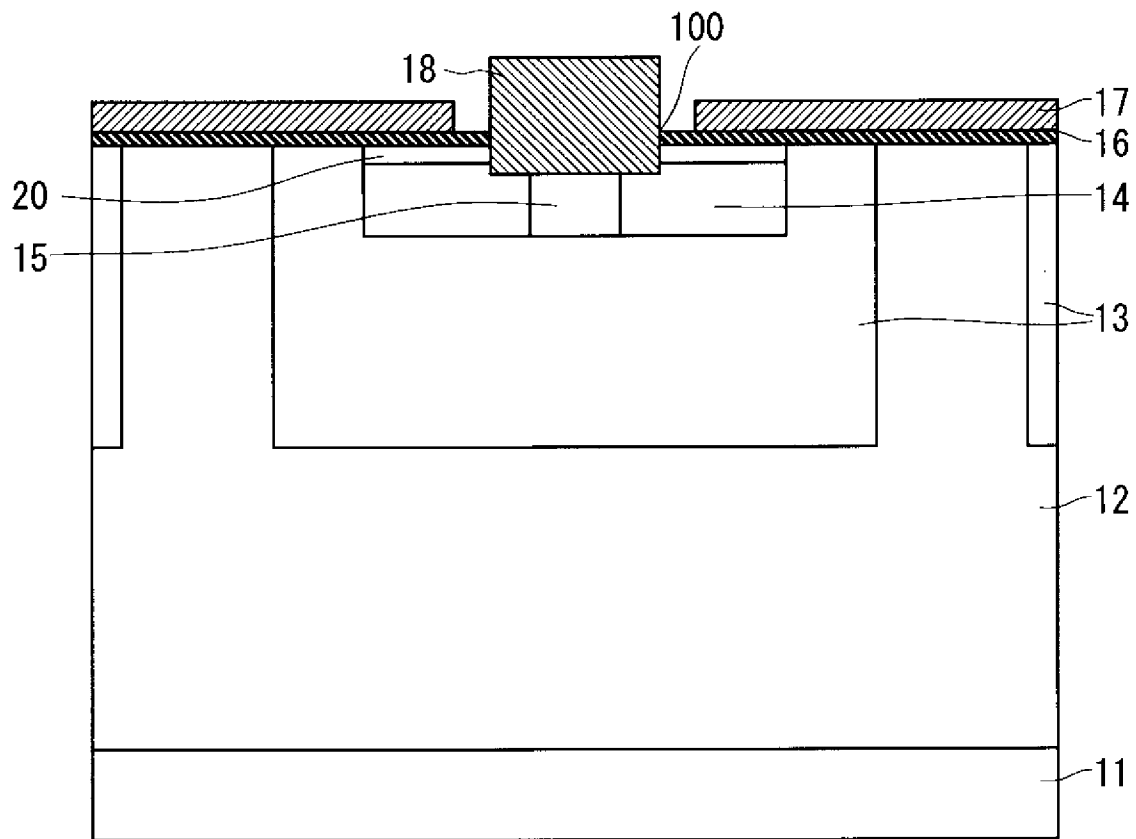
[図16]



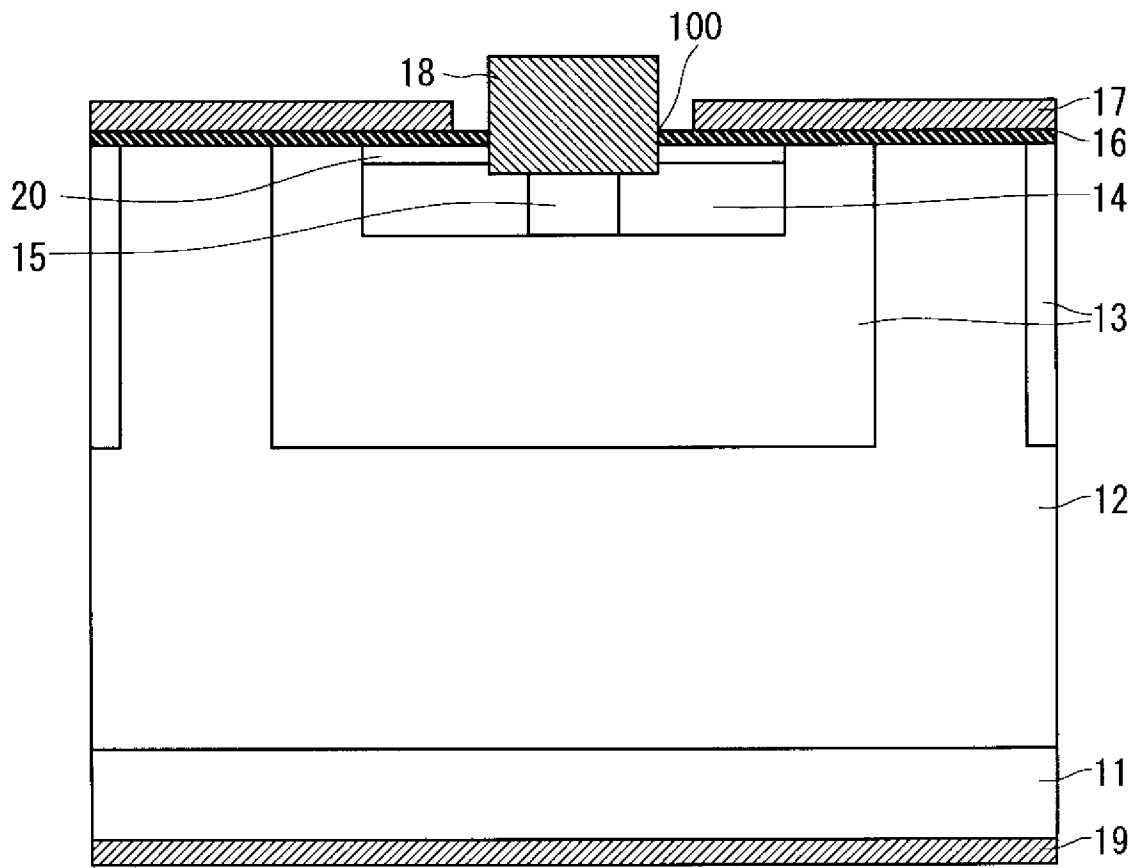
[図17]



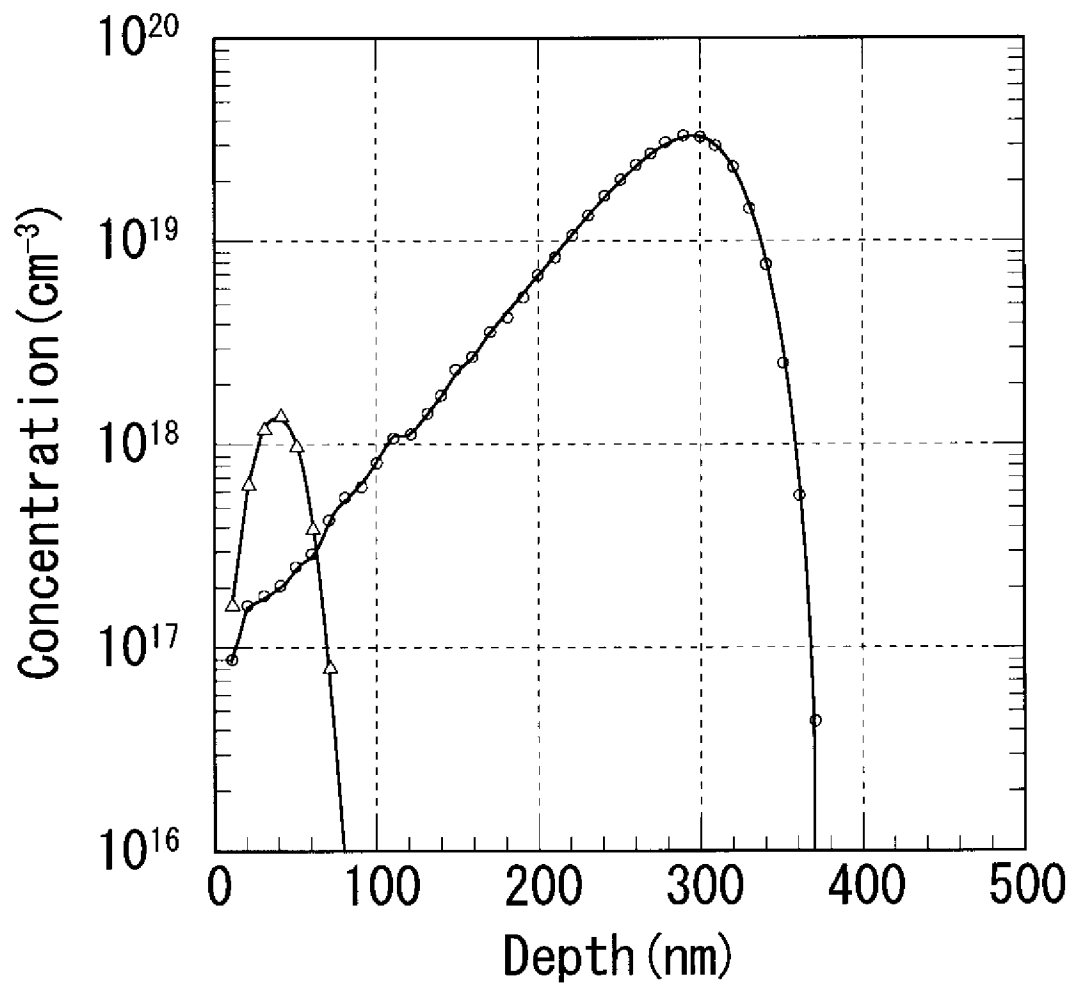
[図18]



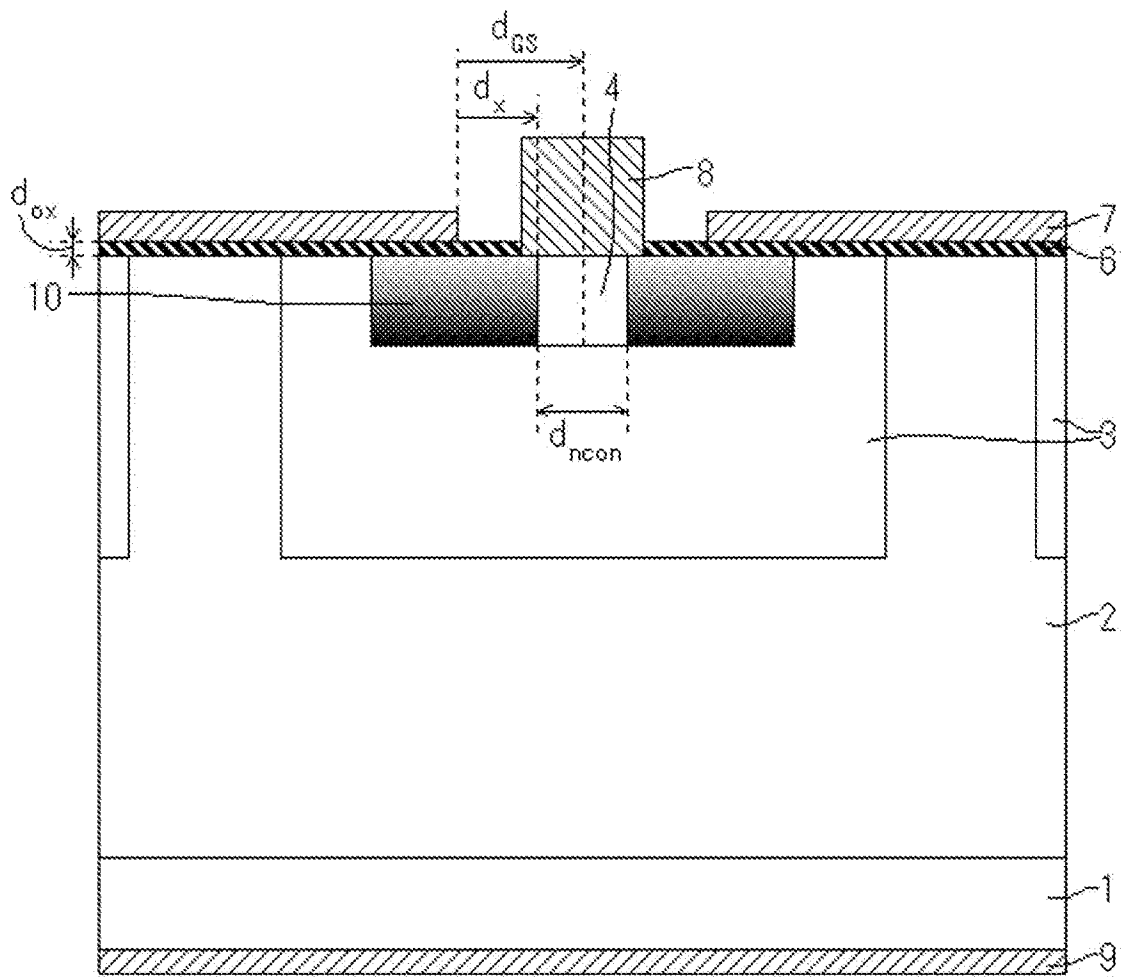
[図19]



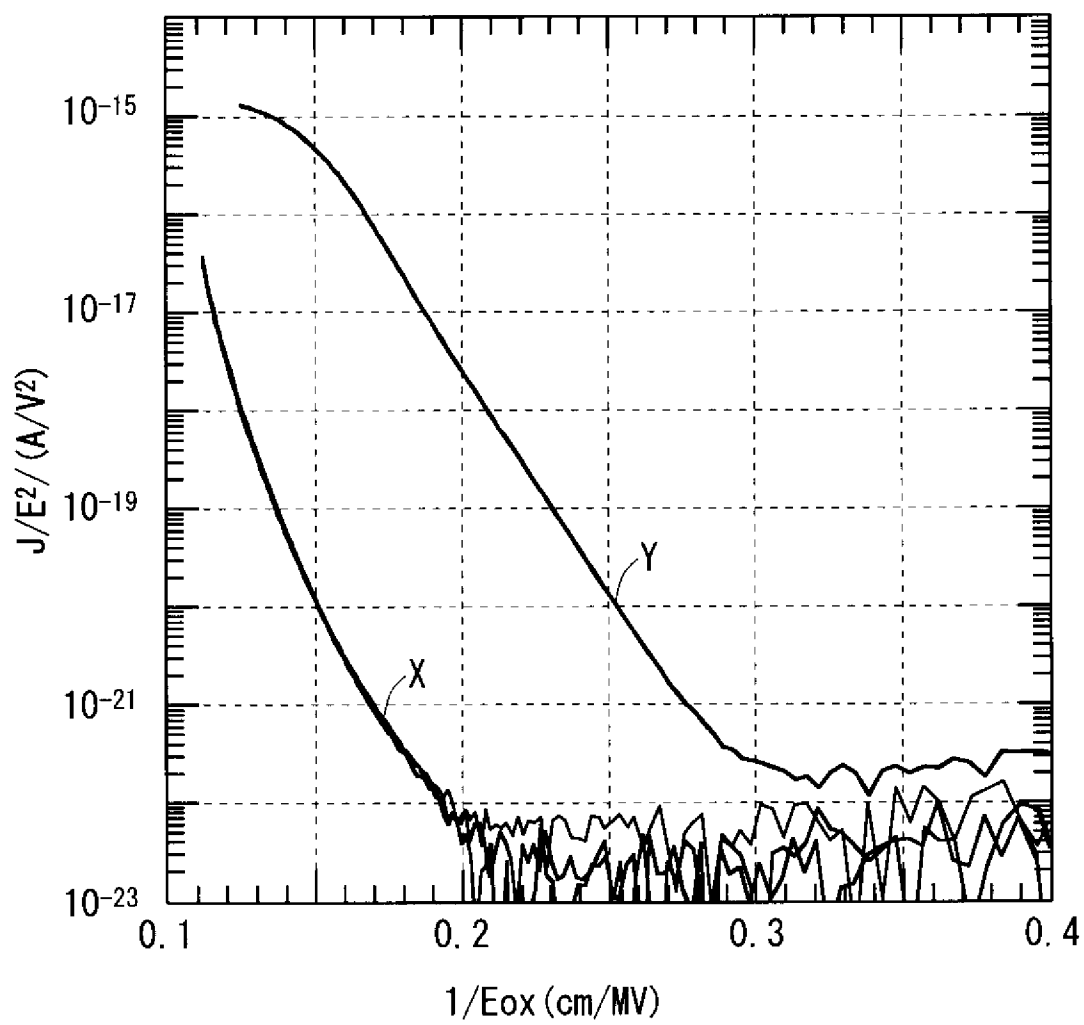
[図20]



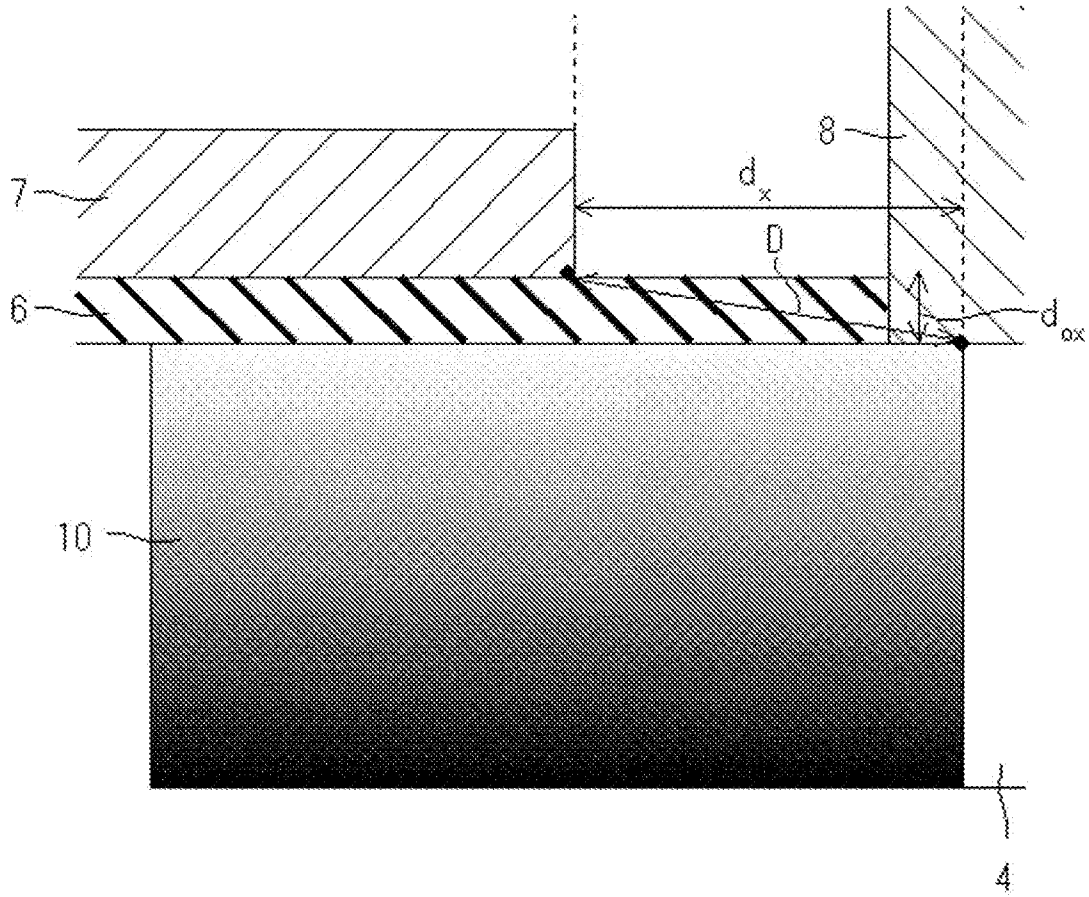
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064122

A. CLASSIFICATION OF SUBJECT MATTER <i>H01L29/78(2006.01) i, H01L21/336(2006.01) i, H01L29/12(2006.01) i</i>										
According to International Patent Classification (IPC) or to both national classification and IPC										
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) <i>H01L29/78, H01L21/336, H01L29/12</i>										
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <table border="0"> <tr> <td><i>Jitsuyo Shinan Koho</i></td> <td><i>1922-1996</i></td> <td><i>Jitsuyo Shinan Toroku Koho</i></td> <td><i>1996-2012</i></td> </tr> <tr> <td><i>Kokai Jitsuyo Shinan Koho</i></td> <td><i>1971-2012</i></td> <td><i>Toroku Jitsuyo Shinan Koho</i></td> <td><i>1994-2012</i></td> </tr> </table>			<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2012</i>	<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2012</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2012</i>
<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2012</i>							
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2012</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2012</i>							
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)										
C. DOCUMENTS CONSIDERED TO BE RELEVANT										
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.								
A	WO 2011/010608 A1 (Mitsubishi Electric Corp.), 27 January 2011 (27.01.2011), entire text; all drawings & US 2012/0058617 A1	1-9								
A	JP 2006-237116 A (Matsushita Electric Industrial Co., Ltd.), 07 September 2006 (07.09.2006), entire text; all drawings (Family: none)	1-9								
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.										
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family										
Date of the actual completion of the international search 27 July, 2012 (27.07.12)		Date of mailing of the international search report 07 August, 2012 (07.08.12)								
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer								
Facsimile No.		Telephone No.								

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i										
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/78, H01L21/336, H01L29/12										
最小限資料以外の資料で調査を行った分野に含まれるもの <table style="width:100%; border:none;"> <tr> <td style="width:30%;">日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2012年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2012年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2012年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2012年	日本国実用新案登録公報	1996-2012年	日本国登録実用新案公報	1994-2012年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2012年									
日本国実用新案登録公報	1996-2012年									
日本国登録実用新案公報	1994-2012年									
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	WO 2011/010608 A1 (三菱電機株式会社) 2011.01.27、全文全図 & US 2012/0058617 A1	1-9								
A	JP 2006-237116 A (松下電器産業株式会社) 2006.09.07、全文全図 (ファミリーなし)	1-9								
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。										
<table style="width:100%; border:none;"> <tr> <td style="width:50%; vertical-align: top;"> * 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td style="width:50%; vertical-align: top;"> の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献									
国際調査を完了した日 27.07.2012	国際調査報告の発送日 07.08.2012									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 工藤 一光 電話番号 03-3581-1101 内線 3516	5 F 9 2 7 4								