

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2015-532732
(P2015-532732A)

(43) 公表日 平成27年11月12日(2015.11.12)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/34 (2006.01)	G09G 3/34 D	2H141
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G02B 26/02 (2006.01)	G09G 3/20 624D	
	G09G 3/20 623C	
	G09G 3/20 623D	
審査請求 未請求 予備審査請求 有 (全 30 頁) 最終頁に続く		

(21) 出願番号 特願2015-530056 (P2015-530056)
 (86) (22) 出願日 平成25年8月29日 (2013. 8. 29)
 (85) 翻訳文提出日 平成27年4月23日 (2015. 4. 23)
 (86) 国際出願番号 PCT/US2013/057361
 (87) 国際公開番号 W02014/036303
 (87) 国際公開日 平成26年3月6日 (2014. 3. 6)
 (31) 優先権主張番号 61/696, 065
 (32) 優先日 平成24年8月31日 (2012. 8. 31)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 14/012, 687
 (32) 優先日 平成25年8月28日 (2013. 8. 28)
 (33) 優先権主張国 米国 (US)

(71) 出願人 506109856
 クアアルコム・メモス・テクノロジーズ・
 インコーポレイテッド
 QUALCOMM MEMS Techn
 ologies, Inc.
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サン・ディエゴ、モア
 ハウス・ドライブ 5775
 5775 Morehouse Driv
 e, San Diego, CA 92
 121-1714, U. S. A.

(74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 アナログ干渉変調器を駆動するためのシステム、デバイス、および方法

(57) 【要約】

ディスプレイレイのディスプレイ素子は、少なくとも1つの固定された層および可動層を含む。可動層は、可動層上に電荷を置き、少なくとも1つの固定された層に電圧を印加することによって、少なくとも1つの固定された層に対して位置付けられる。少なくとも1つの固定された層は、可動層のどちらかの面に位置付けられた2つの層でありうる。可動層は、リセット段階、帯電段階、およびバイアス段階を実行することによってディスプレイ素子のアレイを駆動するとき、に所望の位置に位置付けられうる。

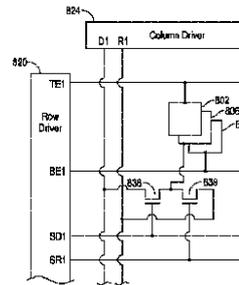


FIG. 9A

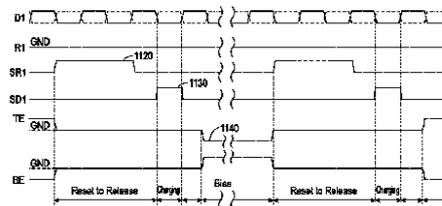


FIG. 10A

【特許請求の範囲】**【請求項 1】**

電子機械ディスプレイ素子を定められたディスプレイ状態に置くために前記電子機械ディスプレイ素子に画像データを書き込む方法であって、前記ディスプレイ素子は、少なくとも1つの静止電極および可動電極を含み、前記方法は、

リセット期間中に、前記少なくとも1つの静止電極に第1の電圧を印加することと、
前記リセット期間に続く帯電期間中に、前記少なくとも1つの静止電極に第2の電圧を印加することと、

少なくとも部分的に第3の電圧によって定められた電荷Qで前記可動電極を帯電させるために、前記帯電期間中に前記可動電極に前記第3の電圧を印加することと、

前記帯電期間に続くバイアス期間中に、前記少なくとも1つの静止電極に前記第2の電圧とは異なる第4の電圧を印加することと、

前記バイアス期間中に、前記可動電極を電氣的に絶縁することと、
を備える、方法。

【請求項 2】

前記第2の電圧は実質的に0であり、前記第4の電圧は、非0である請求項1に記載の方法。

【請求項 3】

前記リセット期間の少なくとも一部中に、前記可動電極に第5の電圧を印加することをさらに備える、請求項1に記載の方法。

【請求項 4】

前記第1の電圧は実質的に0である、請求項3に記載の方法。

【請求項 5】

前記第5の電圧は実質的に0である、請求項4に記載の方法。

【請求項 6】

前記第1、第2、および第5の電圧は実質的に0であり、前記第3および第4の電圧は、非0である請求項3に記載の方法。

【請求項 7】

前記電気機械ディスプレイ素子は第1および第2の静止電極を含み、前記可動電極は、前記第1および第2の静止電極の間に位置付けられ、前記第1の電圧、第2の電圧、および第4の電圧は、前記第1の静止電極および前記第2の静止電極をわたって印加された第1の電圧差、第2の電圧差および第4の電圧差である、請求項1に記載の方法。

【請求項 8】

前記第1の電圧差は実質的に0である、請求項7に記載の方法。

【請求項 9】

前記リセット期間の少なくとも一部中に、前記可動電極に第5の電圧を印加することをさらに備える、請求項7に記載の方法。

【請求項 10】

前記第5の電圧は実質的に0である、請求項9に記載の方法。

【請求項 11】

前記可動電極は、前記リセット期間中に電氣的に絶縁される、請求項8に記載の方法。

【請求項 12】

前記リセット期間中に、前記電気機械ディスプレイ素子は、前記第1の静止電極と前記第2の静止電極との間でおおよそ中央に設置されるリセット状態に置かれる、請求項10に記載の方法。

【請求項 13】

前記リセット期間中に、前記電気機械ディスプレイ素子は、前記第1の静止電極と前記第2の静止電極との間でおおよそ中央に設置されるリセット状態に置かれる、請求項11に記載の方法。

【請求項 14】

10

20

30

40

50

前記第 1 の電圧差は非 0 である、請求項 10 に記載の方法。

【請求項 15】

前記リセット期間中に、前記電気機械ディスプレイ素子は、前記第 2 の静止電極よりも前記第 1 の静止電極に近いリセット位置に置かれる、請求項 14 に記載の方法。

【請求項 16】

前記第 2 の電圧差が前記第 1 および第 2 の静止電極に印加される前記バイアス期間に先立つ、かつ前記帯電期間に続くホールド期間中に、前記可動電極を電氣的に絶縁することをさらに備える、請求項 7 に記載の方法。

【請求項 17】

電気機械ディスプレイ素子のアレイと、各電気機械ディスプレイ素子は、少なくとも 1 つの静止電極および可動電極を含む、

前記アレイに結合されたドライバ回路と、
を備え、前記ドライバ回路は、

リセット期間中に、前記少なくとも 1 つの静止電極に第 1 の電圧を印加し、

前記リセット期間に続く帯電期間中に、前記少なくとも 1 つの静止電極に第 2 の電圧を印加し、

少なくとも部分的に第 3 の電圧によって定められた電荷 Q で前記可動電極を帯電させるために、前記帯電期間中に前記可動電極に前記第 3 の電圧を印加し、

前記帯電期間に続くバイアス期間中に、前記少なくとも 1 つの静止電極に前記第 2 の電圧とは異なる第 4 の電圧を印加し、

前記バイアス期間中に、前記可動電極を電氣的に絶縁する、
ように構成される、ディスプレイ装置。

【請求項 18】

前記電気機械ディスプレイ素子は第 1 および第 2 の静止電極を含み、前記可動電極は、前記第 1 および第 2 の静止電極の間に位置付けられ、前記第 1 の電圧、第 2 の電圧、および第 4 の電圧は、前記第 1 の静止電極および前記第 2 の静止電極をわたって印加された第 1 の電圧差、第 2 の電圧差および第 4 の電圧差である、請求項 17 に記載のディスプレイ装置。

【請求項 19】

前記第 1 および第 2 の静止電極は、前記ドライバ回路に接続された導電性材料の平行ストリップとして形成される、請求項 18 に記載のディスプレイ装置。

【請求項 20】

前記可動電極は、基板に取り付けられた導電性支持アーム上で、前記導電性材料の平行ストリップ間で支持される、請求項 19 に記載のディスプレイ装置。

【請求項 21】

前記支持アームは、1 以上の駆動トランジスタと前記可動電極との間に導電性接続を提供する、請求項 20 に記載のディスプレイ装置。

【請求項 22】

前記ドライバ回路と通信するように構成されるプロセッサと、前記プロセッサは画像データを処理するように構成される、

前記プロセッサと通信するように構成されるメモリデバイスと、
をさらに備える、請求項 17 に記載のディスプレイ装置。

【請求項 23】

前記ドライバ回路に前記画像データの少なくとも一部を送るように構成されたコントローラ、

をさらに備える、請求項 22 に記載のディスプレイ装置。

【請求項 24】

前記プロセッサに前記画像データを送るように構成された画像ソースモジュールをさらに備え、前記画像ソースモジュールは、受信機、トランシーバ、および送信機のうちの少なくとも 1 つを備える、請求項 22 に記載のディスプレイ装置。

10

20

30

40

50

【請求項 25】

入力データを受信し、前記プロセッサに前記入力データを通信するように構成された入力デバイスをさらに備える、請求項 22 に記載のディスプレイ装置。

【請求項 26】

電気機械ディスプレイ素子のアレイと、各電気機械ディスプレイ素子は、少なくとも 1 つの静止電極および可動電極を含む、

前記アレイのディスプレイ素子をリセットするために、少なくとも、前記少なくとも 1 つの静止電極にリセットする電圧を印加するための手段と、

前記アレイの前記ディスプレイ素子の前記可動電極を帯電させるために、前記少なくとも 1 つの静止電極および可動電極に帯電させる電圧を印加するための手段と、

10

定められたディスプレイ状態に前記アレイのディスプレイ素子を設定するために、前記少なくとも 1 つの静止電極に印加された前記帯電させる電圧とは異なるバイアスする電圧を、少なくとも、前記少なくとも 1 つの静止電極に印加するための手段と、

を備える、ディスプレイ装置。

【請求項 27】

リセットする電圧、帯電させる電圧、およびバイアスする電圧を印加するための前記手段は、ドライバ回路を含む、請求項 26 に記載のディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

[0001] 本開示は、アナログ干渉変調器および他のディスプレイシステムのためのデバイスおよび駆動スキームに関する。

【関連技術の説明】

【0002】

[0002] 電気機械システム (EMS) は、電気および機械素子、アクチュエータ、トランスデューサ、センサ、ミラーおよび光膜 (optical film) のような光構成要素、および電子機器を有するデバイスを含む。EMS デバイスまたは素子は、限定されないがマイクロスケールおよびナノスケールを含む、様々なスケールで製造されうる。例えば、微小電気機械システム (MEMS: microelectromechanical systems) デバイスは、約 1 ミクロンから数百ミクロンまたはそれ以上に及ぶサイズを有する構造を含むことができる。ナノ電気機械システム (NEMS: nanoelectromechanical systems) デバイスは、例えば数百ナノメートルよりも小さいサイズを含む、1 ミクロンよりも小さいサイズを有する構造を含むことができる。電気機械素子は、堆積、エッチング、リソグラフィ、ならびに / あるいは、基板および / または堆積された材料層 (disposed material layer) の一部をエッチング除去する、もしくは電気的および電気機械デバイスを形成するために層を追加する他の微細加工プロセスを使用して作り出されうる。

30

【0003】

[0003] EMS デバイスの 1 つのタイプは、干渉変調器 (IMOD: interferometric modulator) と呼ばれる。IMOD または干渉光変調器という用語は、光学干渉の原理を使用して光を選択的に吸収および / または反射するデバイスを指す。いくつかの実装では、IMOD ディスプレイ素子は、一对の導電性プレートを含むことができ、一对の導電性プレートの一方または双方が、全体的または部分的に、透明および / または反射性であることができ、ならびに適切な電気信号の印加時の相対運動 (relative motion) が可能でありうる。例えば、1 つのプレートは、基板をわたって堆積された、基板上に堆積された、または基板によって支持された静止層を含むことができ、もう一方のプレートは、空隙によって静止層から離隔された反射膜を含むことができる。別のプレートに対する 1 つのプレートの位置は、IMOD ディスプレイ素子に入射する光の光学干渉を変化させることができる。IMOD ベースのディスプレイデバイスは、幅広い範囲の適用を有し、特にディスプレイ能力を有するものに関して、既存の製品を改良し、新たな製品を作り出す際に使用されることが予想されている。

40

50

【発明の概要】

【0004】

[0004] 本開示のシステム、方法、デバイスは各々、いくつかの革新的な態様を有し、それらのいずれも、単独で本明細書で開示されている所望の属性に対して責任を負うわけではない。

【0005】

[0005] 本開示で説明されている主題の1つの革新的な態様は、電気機械ディスプレイ素子を定められたディスプレイ状態におくために、電子機械ディスプレイ素子に画像データを書き込む方法において実行されうる。ディスプレイ素子は、少なくとも1つの静止電極および可動電極を含むことができる。その方法は、リセット期間中に少なくとも1つの静止電極に第1の電圧を印加することと、リセット期間に続く帯電期間(charging period)中に少なくとも1つの静止電極に第2の電圧を印加することと、少なくとも部分的に第3の電圧によって定められた電荷Qで可動電極を帯電させるために、帯電期間中に可動電極に第3の電圧を印加することと、帯電期間に続くバイアス期間中に少なくとも1つの静止電極に、第2の電圧とは異なる第4の電圧を印加することと、バイアス期間中に可動電極を電氣的に絶縁することと、を含むことができる。これらの実行のいくつかでは、電気機械ディスプレイ素子は、第1および第2の静止電極を含み、可動電極は、第1と第2の静止電極の間に位置付けられる。これらの実装では、第1の電圧、第2の電圧、および第4の電圧は、第1の静止電極および第2の静止電極の両端に(across)印加される第1の電圧差、第2の電圧差、および第4の電圧差でありうる。

10

20

【0006】

[0006] 本開示で説明されている主題の別の革新的な態様は、ディスプレイ装置において実行されうる。ディスプレイ装置は、電気機械ディスプレイ素子のアレイを含むことができ、各電気機械ディスプレイ素子は、少なくとも1つの静止電極および可動電極を含む。ドライバ回路は、アレイに結合され、またリセット期間中に少なくとも1つの静止電極に第1の電圧を印加し、リセット期間に続く帯電期間中に少なくとも1つの静止電極に第2の電圧を印加し、少なくとも部分的に第3の電圧によって定められた電荷Qで可動電極を帯電させるために、帯電期間中に可動電極に第3の電圧を印加し、帯電期間に続くバイアス期間中に少なくとも1つの静止電極に、第2の電圧とは異なる第4の電圧を印加し、バイアス期間中に可動電極を電氣的に絶縁するように構成されうる。いくつかの実装では、第1および第2の静止電極は、ドライバ回路に接続された導電性材料の平行ストリップとして形成される。いくつかの実装では、可動電極は、基板に取り付けられた導電性支持アーム上の導電性材料の平行ストリップの間で支持される。いくつかの実装では、支持アームは駆動トランジスタと可動電極との間の導電性接続を提供しうる。

30

【0007】

[0007] 本開示で説明されている主題の別の革新的な態様はまた、ディスプレイ装置において実行されうる。ディスプレイ装置は、電気機械ディスプレイ素子のアレイを含むことができ、各電気機械ディスプレイ素子は、少なくとも1つの静止電極および可動電極を含む。ディスプレイ装置はまた、アレイのディスプレイ素子をリセットするために、少なくとも、その少なくとも1つの静止電極にリセットする電圧(resetting voltage)を印加するための手段と、アレイのディスプレイ素子の可動電極を帯電させるために、少なくとも1つの静止電極および可動電極に帯電させる電圧(charging voltage)を印加するための手段と、定められたディスプレイ状態にアレイのディスプレイ素子を設定するために、少なくとも1つの静止電極に印加された帯電させる電圧とは異なるバイアスする電圧(biasing voltage)を、少なくとも、その少なくとも1つの静止電極に印加するための手段と、を含むことができる。

40

【0008】

[0008] 本開示で記述されている主題の1以上の実装の詳細は、付随の図面および以下の説明において述べられている。本開示で提供されている例は、EMSおよびMEMSベースのディスプレイの観点から主に説明されているけれども、本明細書で提供されている概

50

念は、液晶ディスプレイ、有機発光ダイオード（「OLED」）ディスプレイ、および電界放出ディスプレイのような他のタイプのディスプレイに適用することができる。他の特徴、態様、および利点は、説明、図面、および請求項から明らかになる。以下の図の相対的な寸法は原寸通りに描かれていないことがあることに留意されたい。

【図面の簡単な説明】

【0009】

【図1A】2つの異なる状態にある干渉変調器（IMOD）ディスプレイデバイスの画素を描いている等角図（isometric views）の例を図示している。

【図1B】2つの異なる状態にある干渉変調器（IMOD）ディスプレイデバイスの画素を描いている等角図（isometric views）の例を図示している。

【図2】光MEMSディスプレイデバイスのための駆動する回路アレイを例示している概略的な回路図の例を図示している。

【図3】2つの固定された層および可動の第3の層を有するアナログ干渉変調器の実装の断面図を図示している。

【図4】図3の構造を有するディスプレイデバイスのための駆動する回路アレイを例示している概略的な回路図の例を図示している。

【図5】1つの実装にしたがった、干渉変調器のアレイの2つの行の等角図を図示している。

【図6】図5の電極に結合された駆動する回路アレイを図示している。

【図7A】平面図において、干渉変調器、ブラックマスク（black mask）、走査線（scan line）、データ線（data line）、および出力ピアのロケーションのレイアウトを例示しているディスプレイ素子アレイの例を図示している。

【図7B】ディスプレイ素子アレイにおいて使用するポストおよび干渉変調器の等角図および頭上図（overhead）を図示している。

【図8】干渉変調器のアレイのための駆動する回路を例示している概略的な回路図の例を図示している。

【図9A】干渉変調器のアレイのための駆動する回路を例示している概略的な回路図の例を図示している。

【図9B】図9Aの実装にしたがった、ブラックマスク行の断面図を図示している。

【図10A】図9Aの実装でディスプレイ素子にデータを書き込むように使用されうる上部および下部電極電圧、ならびにデータおよび走査線信号を例示しているタイミング図である。

【図10B】図9Aの実装でディスプレイ素子にデータを書き込むように使用されうる上部および下部電極電圧、ならびにデータおよび走査線信号を例示しているタイミング図である。

【図10C】図6および8の実装でディスプレイ素子にデータを書き込むように使用されうる上部および下部電極電圧、ならびにデータおよび走査線信号を例示しているタイミング図である。

【図11A】複数のIMODディスプレイ素子を含むディスプレイデバイスを例示しているシステムブロック図である。

【図11B】複数のIMODディスプレイ素子を含むディスプレイデバイスを例示しているシステムブロック図である。

【0010】

[0023] 様々な図面における同様の参照番号および呼称は、同様の要素を示す。

【詳細な説明】

【0011】

[0024] 以下の説明は、本発明の革新的な態様を説明する目的のためのある特定の実装を対象としている。しかしながら、当業者は、本明細書における教示が多数の異なる方法で適用されうることを容易に認識するだろう。説明されている実装は、動いていようと（例えば、ビデオ）、静止していようと（例えば、静止画像）、ならびにテキスト、グラフィ

10

20

30

40

50

ック、または絵であろうと、画像を表示するように構成されうるあらゆるデバイス、装置、またはシステムにおいて実行されることができ。より具体的には、説明されている実装は、限定はされないが、モバイル電話、マルチメディアインターネット対応セルラ電話、モバイルテレビジョン受信機、ワイヤレスデバイス、スマートフォン、Bluetooth（登録商標）デバイス、携帯情報端末（PDA）、ワイヤレス電子メール受信機、ハンドヘルドまたはポータブルコンピュータ、ネットブック、ノートブック、スマートブック、タブレット、プリンタ、コピー機、スキャナ、ファクシミリデバイス、全世界測位システム（GPS）受信機/ナビゲータ、カメラ、デジタルメディアプレーヤ（例えば、MP3プレーヤ）、カムコーダ、ゲーム機、腕時計、クロック、計算器、テレビジョンモニタ、フラットパネルディスプレイ、電子リーディングデバイス（例えば、電子書籍リーダー）、コンピュータモニタ、自動車ディスプレイ（オドメータおよびスピードメータディスプレイ等を含む）、コックピットコントロールおよび/またはディスプレイ、カメラビューディスプレイ（例えば、車両における後部ビューカメラのディスプレイ）、電子写真、電子ビルボードまたは標示、プロジェクト、アーキテクチャ構造、電子レンジ、冷蔵庫、ステレオシステム、カセットレコーダまたはプレーヤ、DVDプレーヤ、CDプレーヤ、VCR、ラジオ、ポータブルメモリチップ、洗濯機、乾燥機、洗濯機/乾燥機、パーキングメータ、パッケージング（例えば、微小電気機械システム（MEMS）アプリケーションを含む電気機械システム（EMS）アプリケーション、ならびに非EMSアプリケーションにおける）、審美構造（例えば、一点の宝飾品または服飾品上の画像のディスプレイ）、ならびに様々なEMSデバイス、等の様々な電子デバイスに関連付けられうる、あるいはそれらに含まれうる。本明細書における教示はまた、限定はされないが、電子切り替えデバイス、無線周波数フィルタ、センサ、加速度計、ジャイロスコープ、動き感知デバイス、磁力計、コンシューマエレクトロニクスのための慣性構成要素、コンシューマエレクトロニクス製品の部品、バラクタ、液晶デバイス、電気泳動デバイス、駆動スキーム、製造プロセスおよび電子テスト機器、等の非ディスプレイアプリケーションにおいて使用されうる。したがって、その教示は、図で単独に描かれている実装に限定されるように意図されていないけれども、その代わりに当業者に容易に明らかになるような幅広い適用性を有する。

【0012】

[0025] アクティブマトリクスディスプレイ装置は、ディスプレイアレイの各画素においてディスプレイ素子に加えてスイッチ回路を含むことができる。本明細書で説明されている実装では、スイッチ設計およびレイアウトは、干渉変調器を使用するディスプレイアレイのためのアクティブマトリクスシステムを実装しうる。そのレイアウトは、フィルファクタ（fill factor）に対する影響を低減するために各ディスプレイ素子に回路を堅く設置しうる。ブラックマスクは、各ディスプレイ素子における回路の視覚検出をブロックするように使用されうる。

【0013】

[0026] 本開示で説明されている主題の特定の实装は、以下の潜在的な利点の1つ以上を実現するように実装されうる。本明細書で説明されている実装は、ディスプレイ素子への、およびディスプレイ素子からの比較的高速の電荷転送を使用する、電気機械ディスプレイ素子の精密なアナログ制御のための駆動スキームを提供する。より高速な画像フレーム書き込みは、ディスプレイ素子の機械的な安定化のためのどの書き込みも必要とされないため、電圧制御された駆動スキーム以上にそのような電荷制御された駆動スキームにより可能である。その実装は、電荷転送中に、ディスプレイ素子位置における不確実性のような電極設置の誤りの共通の原因（source）の影響を低減する間、堆積された電荷へのディスプレイ素子の略線形（nearly linear response）の応答を生成しうる。この誤りの低減は、既知のキャパシタンスを有する既知の状態にディスプレイ素子をリセットすることによって達成されうる。駆動スキーム実装はまた、ディスプレイ素子毎に1つまたは2つだけの駆動トランジスタが多くの実装で十分である状態の、少数の駆動トランジスタの使用を可能にする。いくつかの実装では、高キャパシタンス位置にディスプレイ素子をリセッ

10

20

30

40

50

トすることは、電荷を転送するための駆動電圧を低下させることによって電力消費を低減する。さらに、固定された電荷がディスプレイ素子上でトラップされるとき、スティクション (stiction) 制御が、ディスプレイ素子の部分間に静電気反発力を生成ことによって実行されうる。

【 0 0 1 4 】

[0027] 説明されている実装が適用しうる適した E M S または M E M S デバイスあるいは装置の例は、反射型ディスプレイデバイスである。反射型ディスプレイデバイスは、光学干渉の原理を使用して、そこに入射する光を選択的に吸収および/または反射するように実装されうる干渉変調器 (I M O D) デ스플레이素子を組み込むことができる。 I M O D デ스플레이素子は、部分的な光吸収体 (absorber)、吸収体を基準として (with respect to) 可動である反射体、および吸収体と反射体との間に定められた光共振キャビティを含むことができる。いくつかの実装では、反射体は、2 以上の異なる位置に移動されることができ、これは、光共振キャビティのサイズを変化させ、それにより I M O D の反射率に影響を及ぼす。 I M O D デ스플레이素子の反射スペクトルは、異なる色を生み出すために可視波長にわたってシフトされうるかなり広いスペクトル帯域を作り出すことができる。スペクトル帯域の位置は、光共振キャビティの厚さを変化させることによって調整されうる。光共振キャビティを変化させる 1 つの方法は、吸収体に対する反射体の位置を変化させることによるものである。

10

【 0 0 1 5 】

[0028] 図 1 A および 1 B は、2 つの異なる状態にある干渉変調器 (I M O D) デ스플레이デバイスの画素を描いている等角図の例を図示している。 I M O D デ스플레이デバイスは、1 以上の干渉計測 (interferometric) M E M S デ스플레이素子を含む。これらのデバイスでは、 M E M S デ스플레이素子の画素は、明状態または暗状態のどちらかでありうる。明 (「緩和」、 「開」 または 「オン」) 状態では、ディスプレイ素子は、例えばユーザに、入射可視光の大部分を反射する。逆に、暗 (「作動」、 「閉」 または 「オフ」) 状態では、ディスプレイ素子はほとんど入射可視光を反射しない。いくつかの実装では、オンおよびオフ状態の光反射特性は逆にされうる。 M E M S 画素は、圧倒的に、黒および白に加えてカラーディスプレイを許容する特定の波長で反射するように構成されうる。

20

【 0 0 1 6 】

[0029] I M O D デ스플레이デバイスは、 I M O D の行 / 列アレイを含むことができる。各 I M O D は、 (光ギャップまたはキャビティとも称される) 空隙を形成するように互いから可変かつ制御可能な距離に位置付けられた一対の反射層、すなわち、可動反射層と固定された部分反射層とを含むことができる。可動反射層は、少なくとも 2 つの位置の間を移動されうる。第 1 の位置、すなわち緩和位置では、可動反射層は、固定された部分反射層から比較的長い距離に位置付けられうる。第 2 位置、すなわち作動位置では、可動反射層は、部分反射層に対してより近く位置付けられうる。2 つの層から反射する入射光は、可動反射層の位置に依存して、強め合うようにまたは弱め合うように (constructively or destructively) 干渉し、各画素に対して全反射状態または無反射 (non-reflective) 状態のいずれかを生成しうる。いくつかの実装では、 I M O D は、作動されていないときに反射状態にあることができ、可視スペクトル内の光を反射し、ならびに作動されていないときに暗状態にあることができ、可視範囲外の光 (例えば、赤外光) を反射しうる。しかしながらいくつかの他の実装では、 I M O D は、作動されていないときに暗状態にあり、作動されているときに反射状態にあることがある。いくつかの実装では、印加された電圧の導入は、状態を変化させるために画素を駆動させることができる。いくつかの他の実装では、印加された電荷は、状態を変化させるために画素を駆動させることができる。

30

40

【 0 0 1 7 】

[0030] 図 1 A および 1 B における描かれた画素は、 I M O D 1 2 の 2 つの異なる状態を描いている。図 1 A における I M O D 1 2 では、可動反射層 1 4 は、部分反射層を含む、光スタック 1 6 から所定の (例えば、設計された) 距離にある緩和位置に例示されている

50

。どの電圧も、図 1 A における I M O D 1 2 をわたって印加されないので、可動反射層 1 4 は緩和、すなわち作動されていない状態に留まる。図 1 B における I M O D 1 2 では、可動反射層 1 4 は、光スタック 1 6 に隣接する、またはほぼ隣接して、作動される位置に例示されている。図 1 B における I M O D 1 2 をわたって印加される電圧 V_{actuat} は、作動された位置に可動反射層 1 4 を作動させるのに十分である。

【 0 0 1 8 】

[0031] 図 1 A および 1 B では、画素 1 2 の反射特性は、概して、画素 1 2 上に入射する光を示す矢印 1 3、および左側の画素 1 2 から反射する光 1 5 で例示されている。詳細に例示されていないけれども、画素 1 2 上に入射する光 1 3 のほとんどが、光スタック 1 6 に向けて透明基盤 2 0 を通って透過される (transmit) ことになることは当業者によって理解されるだろう。その光スタック 1 6 上に入射する光の一部は、光スタック 1 6 の部分反射層を通して透過されることになり、一部は透明基盤 2 0 を通って戻るように反射される (reflect back) ことになる。光スタック 1 6 を通って透過される光 1 3 の一部は、透明基盤 2 0 に向けて (および通って) 戻るように可動反射層 1 4 で反射されることになる。光スタック 1 6 の部分反射層から反射される光と可動反射層 1 4 から反射される光との間の (強め合うまたは弱め合う) 干渉は、画素 1 2 から反射される光 1 5 の (1 以上の) 波長を決定することになる。

【 0 0 1 9 】

[0032] 光スタック 1 6 は、単一の層またはいくつかの層を含むことができる。(1 以上の) 層は、電極層、部分反射および部分透過層、ならびに透明な誘電体層のうちの 1 以上を含むことができる。いくつかの実装では、光スタック 1 6 は、電気導電性であり、部分的に透明であり、および部分的に反射性であり、例えば、透明基盤 2 0 上に上記の層の 1 以上を堆積することによって作製 (fabricate) されることことができる。電極層は、様々な金属、例えば酸化インジウムスズ (ITO) 等、様々な材料から形成されうる。部分反射層は、例えばクロム (Cr)、半導体、および誘電体等、の様々な金属のような、部分的に反射性である様々な材料から形成されうる。部分反射層は、材料の 1 以上の層から形成され、それらの層の各々は、単一の材料または材料の組み合わせから形成されうる。いくつかの実装では、光スタック 1 6 は、光吸収体と導体の両方としての役割をする、金属または半導体の単一の半透明の膜 (thickness) を含むことができる一方で、(例えば、光スタック 1 6 の、または I M O D の他の構造の) 異なる、より導電性の高い層または部分が、I M O D 画素間で信号をバスで運ぶ (bus) 役割をする。光スタック 1 6 はまた、1 以上の導電性層または導電性 / 吸収層をカバーする、1 以上の絶縁または誘電体層も含むことができる。

【 0 0 2 0 】

[0033] いくつかの実装では、アルミニウム (Al) のような高導電性および反射性材料は、可動反射層 1 4 のために使用されうる。可動反射層 1 4 は、ポスト 1 8 の上面、およびポスト 1 8 間に堆積された介在する犠牲材料の上面に堆積された 1 以上の金属層として形成されうる。犠牲材料がエッチング除去される時、定められたギャップ 1 9、すなわち光キャビティが可動反射層 1 4 と光スタック 1 6 との間に形成されうる。いくつかの実装では、ポスト 1 8 間の間隔は約 1 1000 μm であり、一方でギャップ 1 9 は約 1000 \AA () 未満でありうる。

【 0 0 2 1 】

[0034] いくつかの実装では、I M O D の各画素は、作動状態にあると緩和状態にあると、原則的に、固定されたおよび可動反射層によって形成されるキャパシタである。どの電圧も印加されないとき、可動反射層 1 4 a は、図 1 A における画素 1 2 によって例示されるように、可動反射層 1 4 と光スタック 1 6 との間にギャップ 1 9 を伴う、機械的に緩和した状態に留まる。しかしながら、電位差、例えば電圧が、可動反射層 1 4 および光スタック 1 6 のうちの少なくとも 1 つに印加されるとき、対応する画素で形成されるキャパシタは帯電し、静電力がそれらの電極を引き合わせる。印加された電圧がしきい値を超える場合、可動反射層 1 4 は、光スタック 1 6 を変形し、光スタック 1 6 の近くにまたは

10

20

30

40

50

それに逆らって移動することができる。光スタック 16 内の誘電体層（図示せず）は、図 1 B における作動された画素 12 によって例示されているように、短絡を防ぎ、層 14 と層 16 との間の離隔距離を制御することができる。その挙動は、印加された電位差の極性にかかわらず同じである。アレイにおける一連の画素がいくつかの事例では「行」または「列」と称されることがあるけれども、ある方向を「行」と称し、別の方向を「列」と称することは恣意的であることを、当業者は容易に理解するだろう。言い換えれば、いくつかの配向では、行は列と見なされ、列は行であると見なされうる。さらに、ディスプレイ素子は、直交する行および列に一樣に配置されるか（「アレイ」）、または、例えば、互いに対して一定の位置オフセットを有する、非線形構成で配置されるか（「モザイク」）でありうる。「アレイ」および「モザイク」という用語は、いずれかの構成を指しうる。したがって、ディスプレイは、「アレイ」または「モザイク」を含むものとして称されるけれども、その素子自体は、いかなる事例においても、互いに直交して配置される必要がなく、または一樣な分布で配設される必要がないけれども、非対称形状および不均等に分布された素子を有する配置を含むことができる。

10

【0022】

[0035] いくつかの実装では、一連の I M O D または I M O D のアレイ等において、光スタック 16 は、I M O D の一方の面に共通電圧を与える共通電極としての役割をしうる。可動反射層 14 は、例えばマトリクス形式に配置された別個のプレートのアレイとして形成されうる。別個のプレートは、I M O D 12 を駆動するための電圧信号を供給されうる。

20

【0023】

[0036] 図 1 A から 1 B で図示されているもののような実装では、I M O D は、画像が透明基板 20 の正面、すなわち、変調器が配置されている面の反対の面から閲覧される、直視型デバイス（direct-view devices）として機能する。これらの実装では、デバイスの背面部分は、反射層 14 がデバイスのそれらの部分を光学的に遮蔽するので、ディスプレイデバイスの画質に影響を与えることまたは悪影響を及ぼすことなしに、構成および作用されうる。

【0024】

[0037] 図 2 は、光 M E M S ディスプレイデバイスのための駆動する回路 200 を例示している概略的な回路図の例を図示している。駆動する回路アレイ 200 は、ディスプレイアレイアセンブリ（assembly）のディスプレイ素子 $D_{11} \sim D_{mn}$ に画像データを提供するためのアクティブマトリクスアドレッシングスキームを実行するために使用されうる。

30

【0025】

[0038] 駆動する回路アレイ 200 は、列ドライバ 210、行ドライバ 220、第 1 ~ 第 m のデータ線 $D_1 \sim D_m$ 、第 1 ~ 第 n の走査線 $S_1 \sim S_n$ 、およびスイッチまたは切り替え回路 $S_{11} \sim S_{mn}$ のアレイを含む。データ線 $D_1 \sim D_m$ の各々は、列ドライバ（column driver）210 から延在し、スイッチ $S_{11} \sim S_{1n}$ 、 $S_{21} \sim S_{2n}$ 、 \dots 、 $S_{m1} \sim S_{mn}$ のそれぞれの列に電氣的に接続される。走査線 $S_1 \sim S_n$ の各々は、行ドライバ（row driver）220 から延在し、スイッチ $S_{11} \sim S_{m1}$ 、 $S_{12} \sim S_{m2}$ 、 \dots 、 $S_{1n} \sim S_{mn}$ のそれぞれの行に電氣的に接続される。スイッチ $S_{11} \sim S_{mn}$ は、データ線 $D_1 \sim D_m$ のうちの 1 つと、ディスプレイ素子 $D_{11} \sim D_{mn}$ のうちのそれぞれの 1 つとの間に電氣的に結合され、行ドライバ 220 から走査線 $S_1 \sim S_n$ のうちの 1 つを介して切り替え制御信号を受信する。

40

【0026】

[0039] 列ドライバ 210 は、ディスプレイの外部から画像データを受信することができ、画像データをデータ線 $D_1 \sim D_m$ を介してスイッチ $S_{11} \sim S_{mn}$ に、行ごとの基準で電圧信号の形式において提供することができる。ゲートドライバ 220 は、ディスプレイ素子 $D_{11} \sim D_{m1}$ 、 $D_{12} \sim D_{m2}$ 、 \dots 、 $D_{1n} \sim D_{mn}$ の選択された行に関連付けられたスイッチ $S_{11} \sim S_{m1}$ 、 $S_{12} \sim S_{m2}$ 、 \dots 、 $S_{1n} \sim S_{mn}$ をオンにすることによって、ディスプレイ素子 $D_{11} \sim D_{m1}$ 、 $D_{12} \sim D_{m2}$ 、 \dots 、 $D_{1n} \sim$

50

$D_{m n}$ の特定の行を選択することができる。選択された行におけるスイッチ $S_{1 1} \sim S_{m 1}$ 、 $S_{1 2} \sim S_{m 2}$ 、 \dots 、 $S_{1 n} \sim S_{m n}$ が、オンにされているとき、列ドライバ 210 からの画像データは、ディスプレイ素子 $D_{1 1} \sim D_{m 1}$ 、 $D_{1 2} \sim D_{m 2}$ 、 \dots 、 $D_{1 n} \sim D_{m n}$ の選択された行に渡される。

【0027】

[0040] 動作中に、行ドライバ 220 は、走査線 $S_1 \sim S_n$ のうちの 1 つを介して、選択された行におけるスイッチ $S_{1 1} \sim S_{m n}$ のゲートに電圧信号を提供することができ、それによりスイッチ $S_{1 1} \sim S_{m n}$ をオンにする。列ドライバ 210 がデータ線 $D_1 \sim D_m$ のすべてに画像データを提供した後、選択された行のスイッチ $S_{1 1} \sim S_{m n}$ は、ディスプレイ素子 $D_{1 1} \sim D_{m 1}$ 、 $D_{1 2} \sim D_{m 2}$ 、 \dots 、 $D_{1 n} \sim D_{m n}$ の選択された行に画像データを提供するために、オンにされ、それにより画像の一部を表示する。例えば、行において作動されるべきディスプレイ素子に関連付けられるデータ線は、例えば、 ± 10 ボルト（正または負でありうる）に設定され、行において解放されるべき画素に関連付けられるデータ線は、例えば、0 ボルトに設定されうる。次に、所与の行に関する走査線が、その行におけるスイッチをオンにし、選択されたデータ線電圧をその行の各ディスプレイ素子に印加して、アサートされる。これは、印加された ± 10 ボルトを有する画素を帯電および作動させ、印加された 0 ボルトを有する画素を放電および解放する。次に、スイッチ $S_{1 1} \sim S_{m n}$ は、オフにされうる。スイッチがオフにされるとき、作動された画素上の電荷は、絶縁体およびオフ状態のスイッチを介するいくつかの漏れを除いて、保持されることになるので、ディスプレイ素子 $D_{1 1} \sim D_{m 1}$ 、 $D_{1 2} \sim D_{m 2}$ 、 \dots 、 $D_{1 n} \sim D_{m n}$ は、画像データをホールドすることができる。概して、この漏れは、データの別のセットが行に書き込まれるまで、ディスプレイ素子上に画像データを保持するのに十分なほど少ない。これらのステップは、行のすべてが選択され、画像データがそこに提供されるまで、各後続の行に対して繰り返されうる。図 2 の実装では、他の電圧レベルが光スタック 16 上で利用されることができるとしても、光スタック 16 は各画素で接地される。いくつかの実装では、このことは、基板上に連続的な光スタック 16 を堆積させ、堆積された層の外周で全体のシートを接地すること（または何らかの他の電圧レベルに全体のシートを接合する（tying）こと）によって達成されうる。

【0028】

[0041] 図 3 は、2 つの固定された層および可動の第 3 の層を有する干渉変調器の実装の断面図を図示している。特に図 3 は、固定された第 1 の層 802（代わりとして、静止電極、固定された導電性層、または上部電極と称される）、固定された第 2 の層 804（代わりとして、静止電極、固定された導電性層、または下部電極と称される）、および固定された第 1 および第 2 の層 802 と 804 との間に位置付けられた可動の第 3 の層 806（代わりとして、画像入力電極、可動導電性層、または可動電極と称される）を有するアナログ干渉変調器の実装を図示している。層 802、804、および 806 の各々は、電極または他の導電性材料を含むことができる。例えば、固定された第 1 の層 802 は、金属製のプレートを含むことができる。層 802、804、および 806 の各々は、それぞれの層上に形成された、または堆積された硬化層を使用して硬化されうる。1 つの実装では、硬化層は、誘電体を含む。硬化層は、それが取り付けられる層を強固にかつ実質的に平坦に維持するために使用されうる。干渉変調器のいくつかの実装は、三端子干渉変調器と称されうる。本明細書で説明されているある特定の実装は、上部または下部電極（例えば、固定された第 1 の層 802 または固定された第 2 の層 804）のうちの 1 つを省略することによって実装されうる。

【0029】

[0042] 図 3 の実装では、3 つの層 802、804、および 806 は、絶縁ポスト 810 によって電気的に絶縁される。可動の第 3 の層 806 は、絶縁ポスト 810 から吊るされる。可動の第 3 の層 806 は、可動の第 3 の層 806 が固定された第 1 の層 802 に向かって概して上向き方向に変位（displace）されうるよう、または、固定された第 2 の層 804 に向かって概して下向き方向に変位されうるよう、変形するように構成される。いく

つかの実装では、固定された第1の層802はまた、上部層または上部電極とも称されうる。いくつかの実装では、固定された第2の層804はまた、下部層または下部電極とも称されうる。干渉変調器800は、基板820によって支持されうる。

【0030】

[0043] 図3では、可動の第3の層806は、均衡位置にあるものとして実線を用いて例示されている。均衡位置は、可動層が、どの電荷も可動層上に存在せず、どの電圧も上部および下部電極に印加されないときに停止するようになる位置である。図3で例示されている指定の実装では、中間層の均衡位置は、上部電極と下部電極との間に原則的に中心に置かれるけれども、このことは必ずしも真実ではない。次に図3で例示されているように、 d_0 は、均衡状態にある可動の第3の層806と各固定された層802、804との間の名目上の距離に対応する。固定された第1の層802と固定された第2の層806との間の均衡位置からの可動の第3の層806の位置は、値 x によって示されうる、ここにおいて、 x の正の値は、固定された第1の層802に近い位置に対応し、 x の負の値は、固定された第1の層802から遠い距離に対応する。固定された第1の層802と固定された第2の層804との間の実質的な中間点に位置付けられるとき、可動の第3の層806の位置は、名目上の位置 x_0 に対応しうる。いくつかの実装では、デバイスは、静電力が均衡位置から電極806を引き離し、機械回復力が均衡位置に向かって電極806を引き寄せることになるように構成されうる。中央層806の位置 x は、いずれかの所与の時間におけるこれらの力のバランスによって決定されることになる。

10

【0031】

[0044] 図3で例示されているように、電圧差は、固定された第1の層802と固定された第2の層804との間で印加されうる。図3の実装では、 V_0 の電圧差は、固定された層の両端に印加され、それは、1つの指定の例では、固定された第1の層802に印加された $-V_0/2$ の電圧および固定された第2の層804に印加された電圧 $+V_0/2$ として印加されうる。固定された電荷 Q が可動の第3の層806上に存在する場合、その電荷 Q が負であれば可動の第3の層806は、固定された第2の層804に向かって静電的に引き寄せられることになる。その電荷 Q が正であれば、可動の第3の層806は、固定された第1の層802に静電的に引き寄せられることになる。その電荷 Q が0であれば、可動層806は、 V_0 の大きさに関わらず、均衡位置に移動することになる。電荷 Q が「臨界電荷(critical charge)」 Q_{cr} よりも大きければ、可動層806は不安定になり、 V_0 の大きさに関わらず、0ボルトですら、 $+d_0$ または $-d_0$ に移動することになる。臨界電荷 Q_{cr} はデバイスの構造パラメータに依存し、各固定された層から等距離の均衡位置である可動層では、 $2C_0(d_0)^2k$ の平方根に等しい、ここにおいて、可動層が均衡位置にあるとき、 C_0 は、固定された層802、804のうちの1つおよび可動層806によって定められたキャパシタのキャパシタンスであり、 k は機械回復力のばね定数である。固定された第1および第2の層802と804上の電圧間にある可変電荷を可動の第3の層806に印加することによって、可動の第3の層806は、固定された第1および第2の層802と804との間の所望のロケーションに位置付けられ、所望の光応答を生成しうる。 Q_{cr} よりも小さい電荷では、可動層806の位置 x は、

20

30

[0045]

【数1】

$$x = QV_0C_0d_0[Q_{cr}^2 - Q^2]^{-1} \quad \text{式1}$$

40

【0032】

であることになる。

【0033】

[0046] デバイスが、 Q_{cr} よりもずっと小さい電荷 Q で駆動される場合、可動層806

50

の偏光 x は、固定された電圧 V_0 に関する電荷 Q と原則的に線形になる。 V_0 の大きさが十分に大きい場合、 0 から $\pm d_0$ への完全な偏光が、 Q_{cr} よりも多大に小さい電荷レベル $\pm Q$ で得られうる。これは、可動層 806 の動きの全体の範囲にわたって十分に制御された偏光を生成する。式 1 からも見られうるように、 Q が Q_{cr} よりも小さい場合、可動層上に電荷 Q が存在している場合 (in the presence of) でさえ、 V_0 が 0 にされれば、可動層は均衡位置に移動することになる。

【0034】

[0047] 固定された第 1 および第 2 の層 802 と 804 との間の電圧差 V_0 は、デバイスの材料および構造に広く依存して変動することができ、多くの実装では約 5 10 ボルトの範囲にありうる。図 1 A および 1 B を参照して上記で説明されている 2 つの層デバイスと同様に、可動の第 3 の層 806 は、基板 820 を通って干渉変調器に入る光を反射するミラーを含むことができる。ミラーは、金属材料を含むことができる。固定された第 2 の層 804 は、固定された第 2 の層 804 が吸収層として働くように部分吸収材料を含むことができる。可動の第 3 の層 806 から反射された光が基板 820 の面から閲覧されるとき、閲覧者は、中央のカラーとして反射された光を知覚することができる。可動の第 3 の層 806 の位置を調整することによって、光のある特定の波長は、選択的に反射されうる。

10

【0035】

[0048] 図 4 は、図 3 の構造を有するディスプレイデバイスのための駆動する回路アレイを例示している概略的な回路図の例を図示している。全体的な装置は、図 2 の構造との多くの類似点を共有する。しかしながら図 4 で図示されているように、固定された第 1 の層 802 に対応する追加の上側層は各ディスプレイ素子に提供されている。固定された第 1 の層 802 は、バックプレートの下面上に堆積され、図 3 に関して説明されたように、それに印加される電圧 $+V_0/2$ を有することができる。固定された第 2 の層 804 は、図 3 に関して説明されたように、それに印加される電圧 $-V_0/2$ を有することができる。これらの実装は、データ線 $D_1 \dots D_m$ 上で与えられた電圧が、ただ 2 つの異なる電圧のうちの一つよりもむしろ、可変電荷 Q を生成するための電圧の範囲に置かれることを除いて、図 2 に関して上記で説明されたことと同様の方法で駆動されうる。このように、ある行に沿ったディスプレイ素子の可動の第 3 の層 806 は、各々、その行がその特定の行の走査線をアサートすることによって書き込まれるとき、上側および下側層 (例えば、固定された第 1 の層 802 と固定された第 2 の層 804 と) の間のあらゆる特定の所望の位置に独立して置かれうる。アレイの各可動層上に所望の電荷 Q を確実に置くための様々な駆動スキームが、図 10 A 10 C を参照して以下でさらに説明される。

20

30

【0036】

[0049] 図 5 は、1 つの実装にしたがった、干渉変調器のアレイの 2 つの行の等角図を図示している。図 5 にしたがった実装では、上部電極 802 および下部電極 804 は、それぞれがドライバ回路の出力に結合される各行に沿った電氣的導電性ストリップとして形成されうる。これらの実装では、行に沿った上部および下部電極 802 と 804 に印加された電圧は、可動電極 806 に印加された電圧と共にドライバによって制御されうる。

【0037】

[0050] 図 6 は、図 5 の電極に結合された駆動する回路アレイを例示している。図 6 は、単一の駆動トランジスタを伴う実装である。図 6 は、ディスプレイアレイにおける 4 つのディスプレイ素子を図示している。各ディスプレイ素子は、2 つの静止電極、例えば (例示の明確性のために切り取られている) 上部電極 802 および下部電極 804、および可動電極 806 を含む。上部電極は、ドライバ回路と通信することができ、ここにおいてその通信は、TE1 または TE2 への回路における電気接続によって表される。下部電極は、ドライバ回路と通信することができる。下部電極は、ドライバ回路と通信することができ、ここにおいてその通信は、BE1 または BE2 への回路における電気接続によって表される。N 行のアレイでは、TE1 から TEN が、および BE1 から BEN が存在することになる。これらの駆動線は、各行に関して独立して、上部電極 802 および下部電極 8

40

50

04に印加される電圧を制御するように使用されうる。

【0038】

[0051] 各ディスプレイ素子は、関連付けられた駆動トランジスタをさらに含む。駆動トランジスタのソース電極は、データ線、例えばS1またはS2に接続されうる。駆動トランジスタのゲート電極は、走査線（代わりとしてゲート線として称される）、例えばD1またはD2に接続されうる。ドレイン電極は、可動電極806に接続されうる。

【0039】

[0052] 図6のディスプレイアレイは、様々な方法で構築されうる。1つの実装では、データ線、走査線および駆動トランジスタは、材料スタックの異なる層上の透明基盤（例えば図1で20で指し示されている）上に堆積される。いくつかの実装では、リセット線のような追加の線および1つ以上のトランジスタが、例えば図9Aの回路が利用されるときに、同様に堆積されうる。下部電極804は、これらの上部に堆積されうる。可動層806および上部電極802は、電極間にある犠牲材料を有するさらなる層に堆積され、犠牲材料はその後、可動電極806と上部および下部電極802、804との間の空隙を形成するためにエッチング除去される。いくつかの実装では、上部電極は、その基板上のディスプレイ素子の行に沿って位置合わせされる（aligned with）方式で、可動電極806を伴う作製基板をわたって配置されたバックプレート上に堆積され、かつその間に空隙を維持する。ディスプレイアレイを作り出すとき、ディスプレイ素子の光部分のために基板の表面領域のほとんど（as much of）を利用することが望ましい。アクティブマトリクスディスプレイでは、駆動線および駆動トランジスタは、多大な量のスペースを使い果たし、基板を通してユーザに可視でありうる。図7Aで例示されているように、ブラックマスクパターンもまた、ディスプレイ素子に一体化された駆動回路をユーザの視界から覆い隠すために、基板の上に堆積されうる。このブラックマスクパターンが可能な限り小さい領域を有することが望ましく、したがって駆動回路のためのレイアウトは、ディスプレイ素子の光部分のために基板表面の大部分を利用するように、駆動回路のフットプリントを最小化するように以下で表されている。

【0040】

[0053] 図7Aは、平面図において、干渉変調器、ブラックマスク、走査線、データ線、および出力ビアのロケーションのレイアウトを例示しているディスプレイ素子アレイの例を図示している。図7Aで例示されているように、ブラックマスクグリッド830は、基板820上に堆積されうる。このグリッドは、表示エリア（viewing area）834を定める。ブラックマスクは、行線および直交列線を用いたグリッドにおいて堆積されうる。他の実装では、行および列線は実質的に直交でありうる、または直交でないこともあり、例えば、列線が行線からのある角度、例えば垂線から30度でありうる。ブラックマスクは、薄誘電体によって離隔されたより厚い完全な反射層（a thicker fully reflective layer）および薄い部分反射金属層から形成されうる。これは、図1Bに関して上記で説明された同じ原理にしたがって反射された光の弱まった干渉を生成し、基盤を閲覧するときブラックマスクが堆積される暗視覚領域（dark visual area）を生成することができる。このブラックマスク830は、ブラックマスク830の上部上に堆積されたデータ線および走査線、ならびに絶縁体でカバーされうる。ブラックマスク830の上部上にはまた、各ディスプレイ素子の中央層806に接続する出力ビア840を有しうる（以下でさらに例示されている）駆動するトランジスタがある。下部電極804は、表示領域834の行に沿ったストリップにおけるブラックマスク830、データ線、走査線、および薄膜トランジスタをわたって堆積されうる。

【0041】

[0054] 図7Bは、ディスプレイ素子アレイにおいて使用するポストおよび干渉変調器の等角図および頭上図を図示している。可動電極806は、アーム844にくっついて（on）基板820および静止電極を覆って（over）機械的に吊るされうる。可動電極806は、1つよりも多いアーム、例えば図7Bで図示されているように4つのアーム、に結合されうる。4つのアーム844を使用する機械的サスペンション（suspension）またはアー

10

20

30

40

50

ム 8 4 4 の対称的レイアウトは、可動電極 8 0 6 の安定性を増大させうる。図 7 B の実装では、アームは、ブラックマスク 8 3 0 の列線と行線との間の交差点でまたはその交差点の近くで、ブラックマスク 8 3 0 をわたって出力ビア 8 4 0 に接続される。アーム 8 4 4 は、z 軸に沿った出力ビア 8 4 0 を直接わたっていないロケーションで可動電極 8 0 6 に接続されうる。したがってアーム 8 4 4 は、z 軸と基板 8 2 0 のプレーンとの間のアングルにありうる。

【 0 0 4 2 】

[0055] 図 7 A および 7 B にしたがった実装では、アーム 8 4 4 およびビア 8 4 0 は、表示領域 8 3 4 の角で接続しうる。異なるディスプレイ素子の中央層 8 0 6 に接続された複数のアーム 8 4 4 はすべて、所与の出力ビア 8 4 0 で機械的に結合されうるけれども、アームのうちただ 1 つが、各出力ビア 8 4 0 に電氣的に接続されることになる。上部電極材料 8 0 2 のストリップ（図示せず）は、基板上で堆積されている下部電極 8 0 4 と同様の、および下部電極 8 0 4 に位置合わせされる行に沿って伸びている中央電極層 8 0 6 より上のポスト（これもまた図示せず）上に吊るされうるけれども、上部電極が下部電極 8 0 2 のように部分反射性である必要はなく、代わりにアルミニウムまたは他の金属のより厚い金属層でありうることは認識されるだろう。

10

【 0 0 4 3 】

[0056] 図 7 A のアレイでは、ブラックマスクは第 1 に基板上に堆積され、次に駆動線およびトランジスタが続き、MEMSディスプレイ素子層が続く。ブラックマスク 8 3 0 は、ブラックまたは不透明コーティングであることができ、堆積、エッチング、リソグラフィ、ならびに / あるいは他の微細加工プロセスによって適用されうる。ブラックマスク 8 3 0 層は、全ての光をブロックするように、またはある特定の方向における光のある特定の波長をブロックするように形成またはパターンングされうる。ブラックマスクおよび回路層を形成するための他の実装が可能である。例えば、薄膜トランジスタおよび駆動線は、MEMSディスプレイ素子層の上部上に、最後に堆積されうる。別の実装では、薄膜トランジスタは、MEMSディスプレイ素子層よりも上に位置付けられるバックプレートの下面上に堆積されうる。また別の代替の実装では、薄膜トランジスタおよび駆動線は、ブラックマスクおよびMEMSディスプレイ素子の下で、第 1 に基板上に形成され、デバイスは、堆積されたMEMSディスプレイ素子層よりも上に提供される透明バックプレートを通して閲覧されうる。

20

30

【 0 0 4 4 】

[0057] 図 8 は、図 4 および 6 でも例示されているものと同じ回路である、干渉変調器のアレイのための駆動する回路を例示している概略的な回路図の例を図示している。ディスプレイ素子は、2つの静止電極、例えば上部電極 8 0 2 および下部電極 8 0 4、および可動電極 8 0 6 を含む。上部電極は、行ドライバ回路 8 1 2 と通信することができ、ここにおいてその通信は、TEへの回路における電気接続によって表される。下部電極は、行ドライバ回路 8 1 2 と通信することができ、ここにおいてその通信は、BEへの回路における電気接続によって表される。駆動トランジスタのソース電極は、列ドライバ 8 1 6 によって駆動されるデータ線 D 1 に接続されうる。駆動トランジスタのゲート電極は、行ドライバ 8 1 2 によって駆動される走査線 S 1 に接続されうる。ドレイン電極は、可動電極 8 0 6 に接続されうる。駆動トランジスタ 8 3 8 は、走査線 S 1 が書き込み段階中にアサートされるとき、データ線 D 1 に印加されたデータ書き込み電圧を中央電極 8 0 6 に接続するように使用されうる。書き込みデータ電圧は、可変電荷 Q をこの電極 8 0 6 に印加することができる。図 8 は、ディスプレイアレイにおける1つのディスプレイ素子を図示しているけれども、データ線 D 1 がディスプレイ素子の列における各ディスプレイ素子に関連付けられたトランジスタの各ソース電極に接続し、走査線 S 1 がディスプレイ素子の行における各ディスプレイ素子と関連付けられた各トランジスタのゲートに接続することは認識されるだろう。これは、以下で説明される他の図で例示されているアレイの個々のディスプレイ素子の概略的な回路にも同様に当てはまる。

40

【 0 0 4 5 】

50

[0058] 図9Aは、干渉変調器のアレイのための駆動する回路を例示している概略的な回路図の例を図示している。図9Aの回路は、ディスプレイ素子毎に2つのトランジスタを含む。図9Aは、ディスプレイアレイにおける1つのディスプレイ素子を図示している。ディスプレイ素子は、2つの静止電極、例えば上部電極802および下部電極804、ならびに画像入力電極、例えば可動電極806を含む。上部電極802は、行ドライバ回路820と通信することができ、ここにおいてその通信は、TE1への回路における電気接続によって表される。下部電極804は、行ドライバ回路820と通信することができ、ここにおいてその通信は、BE1への回路における電気接続によって表される。この実装におけるディスプレイ素子は、2つの関連付けられた駆動トランジスタをさらに含む。第1の駆動トランジスタ838、すなわち書き込み駆動トランジスタ、のソース電極、は、列ドライバ824によって駆動されるデータ線D1に接続されうる。第1の駆動トランジスタ838のゲート電極は、行ドライバ820によって駆動される走査線S1に接続されうる。第1の駆動トランジスタ838のドレイン電極は、可動電極806に接続されうる。第2の駆動トランジスタ839、すなわちリセット駆動トランジスタ、のソース電極、は、列ドライバ824によって駆動されるリセット線R1に接続されうる。第2の駆動トランジスタ839のゲート電極は、行ドライバ820によって駆動される走査リセット線SR1に接続されうる。第2の駆動トランジスタ839のドレイン電極は、可動電極806に接続されうる。

10

【0046】

[0059] 駆動トランジスタ838は、走査線SD1が書き込み段階中にアサートされるとき、データ線D1に印加されたデータ書き込み電圧を可動電極806に接続するように使用されうる。書き込みデータ電圧は、可変電荷Qを可動電極806に印加することができる。駆動トランジスタ839は、走査線SR1がリセット段階中にアサートされるとき、リセット線R1に印加されたリセット電圧を中央電極806に接続するように使用されうる。いくつかの実装では、アレイの全ての列に対するリセット線は、一緒にまとめられ (ganged together)、接地または別の適した電圧レベルに結び付けられうる。電圧 V_0 は、バイアス段階中に上部電極802と下部電極804との間で印加されうる。

20

【0047】

[0060] 図9Bは、トランジスタ838および839の構成要素を例示している図9Aのディスプレイアレイの一部の断面図を図示している。これは、トップゲートポリシリコン薄膜トランジスタで実装されるディスプレイアレイの1つの例である。図9Bの実装では、2つのデータ線D1およびR1は、(図9Bのページ中に (into the page of Figure 9B)) 1つの方向に走っており、2つの走査線SD1およびSR1はこれらに直交して走っている。線形ポリシリコンストリップ846は、走査線の間で平行して (parallel to in between the scan lines) 走っている。ストリップ846は、駆動トランジスタ838と839の両方のためのチャンネルを形成する。データ線D1は、D1をポリシリコンチャンネル846に、その片方の端、例えば書き込み駆動トランジスタ838のソース電極、の近くで結合するビア860に接続される。データ線R1は、R1をポリシリコンチャンネル846に、そのもう一方の端、例えばリセット駆動トランジスタ839のソース電極、の近くで結合するビア862に接続される。出力ビア840は、ポリシリコンストリップ846の中央近くでディスプレイ素子の面に位置付けられうる。走査線SD1は、出力ビア840とビア860との間のポリシリコン層846を覆うようにSD1から伸びる走査線SD1の短い直交伸張 (shortorthogonal extention) によってゲート850aおよび850bに接続される。走査線SR1は、ビア840とビア862との間のポリシリコン層846を覆うようにSR1から伸びる走査線SR1の短い直交伸張によってゲート852aおよび852bに接続される。出力ビア840は、画像入力電極の入力、例えば可動電極806のアーム844、に接続されうる。この2ゲート構造 (双方のゲートが1つの共通の入力信号に接続された状態にある) は、いくつかのケースで漏れ電流低減の利益を有する薄膜トランジスタ構成の1つの例である。

30

40

【0048】

50

[0061] 図 10 A および 10 B は、図 9 A の 2 トランジスタ実装でディスプレイ素子にデータを書き込むように使用されうる上部および下部電極電圧、ならびにデータおよび走査線信号を例示しているタイミング図である。

【 0049 】

[0062] 次に図 10 A を参照すると、これらの実装では、ディスプレイ素子の行に画像データを書き込むプロセスは、3つの基本となる局面を含みうる。「リセット段階」中、接地電圧（あるいは他の適した電圧レベル）は、リセット線 R 1 に印加され（線 R 1 は全ての段階において接地されうる）、電圧はリセット駆動トランジスタ 839 をオンに切り替える時間期間 1120 において走査線 S R に印加されうる。接地電圧は、可動電極 806 に印加されうる。このリセット局面の初めに、上部電極 802 および下部電極 804 上の電圧もまた、接地するように運ばれうる。これは、行に沿ったディスプレイ素子の全ての電極から全ての電荷を取り除き、行に沿った可動電極 806 はその後、上部電極 802 と下部電極 804 との間の中央に置かれた、均衡状態にリセットしうる。その後、走査線 S R 上の電圧は、接地電圧でありうるゲートオフ電圧に戻されることができ、リセット駆動トランジスタ 839 をオフに切り替える。

10

【 0050 】

[0063] 帯電段階時間期間 1130 中、画像データ電圧は、データ線 D 1 に印加されることができ、電圧は、書き込み駆動トランジスタ 838 をオンに切り替えるように走査線 S 1 に印加されうる。画像データ電圧は、可動電極 806 に印加されることができ、電荷 Q が可動電極 806 上で蓄積することを引き起こす。行に沿った各ディスプレイ素子のための電荷 Q は、書き込み手順が完了した後に可動電極 806 の所望の最終状態に基づいて選択される。データ線 D 1 に印加された電圧は、 V_{D1} が印加されるときに可動電極 806 と接地された電極 T E / B E との間に接続された既知のキャパシタンス C_0 の 2 つのキャパシタが存在するため、公式 $V_{D1} = Q / 2 C_0$ にしたがってこの電荷を可動電極に置くために選択される。この帯電段階は、この帯電時間が限定されている場合に可動電極 806 に対するあらゆる位置変化もまたこの電荷が印加されると限定されうるように、可動層 806 の機械応答時間と比較して相対的に速くありうる。さらに上記で留意されたように、印加された電荷 Q が Q_{cr} より小さい限り、機械回復力は、0 ボルトが上部電極 802 および下部電極 804 上に存在している間、中央位置に可動電極を維持することになる。このことは、上部電極および下部電極でのそれらのバイアス電圧における帯電を実行することよりもむしろ、これらの電極が 0 ボルトにホールドされている間に帯電段階を実行することの 1 つの利点である。電荷 Q が印加された後、走査線 S 1 上の電圧はゲートオフ電圧に戻されることができ、駆動トランジスタ 838 をオフに切り替える。

20

30

【 0051 】

[0064] バイアス段階時間期間 1140 中、電圧 V_0 は、上部電極線 T E および下部電極線 B E の両端に印加されうる。図 10 A の波形では、これは、上部電極 802 に $-V_0 / 2$ を印加し、下部電極 804 に $+V_0 / 2$ を印加することによってなされる。上記で留意されたように、帯電段階中の可動電極 806 のあらゆる早計な動きを最小化するために、帯電段階が完了した後にこの電圧を印加することは有利である。上部および下部電極をバイアス電圧で維持することよりもむしろ帯電段階中、0 電圧でそれらを維持することに関する別の利点は、それが、どの静止電極がより高い相対的電力にあるのか（例えば、どれが $+V_0 / 2$ にあるのか、およびどれが $+V_0 / 2$ にあるのか）を入れ替えるとき、ゼロを通った段階的な移行を提供することである。図 10 A で例示されているような書き込みサイクル間でのこの極性切り替えは、デバイス上の帯電立ち上がり（charge buildup）を低減することに有利である。帯電段階期間 1130 中に可動電極に置かれた電荷 Q に依存して、ディスプレイ素子はその後、式 1 の公式にしたがって最後の位置 x に移動し、画像情報にしたがって光応答を生成することになる。

40

【 0052 】

[0065] リセット段階期間 1120 は、この現在の例において書き込み期間 1130 よりも長いことは留意されうる。ディスプレイ素子の電気応答は高速であるけれども、リセッ

50

ト段階のより長い時間期間は、ディスプレイ素子が（以前のフレームからの画像データにしたがってそこに設定された）その前の位置からリセット均衡位置に機械的に移動することを可能にし、これは、電極への印加された電圧により生じる実際の電荷転送よりも長い時間がかかる。この実装では、任意の所与の行に関するリセット局面が、1つの行がリセットされているときに他の行が帯電およびバイアスされうるように他の行の帯電およびバイアス段階でパイプライン（pipeline）されうる。

【0053】

[0066] 図10Bは、可動電極806が中央均衡状態以外の状態にリセットされる代わりにの実装を例示しているタイミング図である。この実装では、リセット段階中に接地電圧は、データ線R1に印加されることができ、電圧は、リセット駆動トランジスタ839をオンに切り替えるように走査線SRに印加されうる。したがってR1上の接地電圧は、可動電極806に印加されうる。上記で留意されたように、データ線D1に印加された電圧は、書き込み駆動トランジスタ838をオンに切り替えるのに十分などの電圧も走査線S1に印加されない場合に電荷が画像入力電極に搬送されることを引き起こすことなく、リセット段階中に（例えば、ディスプレイレイの他の行を帯電させるために）非0電圧に変化することができる。加えて、接地電圧は、下部電極に印加され、非0電圧は、上部電極に印加されることができ、これは、可動電極806が上部電極802に向かって引き寄せられる、および上部電極802に逆らって引き離されることを引き起こす（絶縁層があらゆる短絡回路を阻むためにその間に提供されている）。

10

20

【0054】

[0067] 帯電段階中に上部電極802上の電圧は0に戻され、上記で説明されたような画像データ電圧はデータ線D1に印加されることができ、電圧は、書き込み駆動トランジスタ838をオンに切り替えるように走査線SD1に印加されうる。画像電圧は、可動電極806に印加されることができ、電荷Qが画像入力電極上で蓄積することを引き起こす。電荷Qが印加された後、走査線SD1上の電圧は接地電圧に戻されることができ、駆動トランジスタをオフに切り替える。このケースでは、印加された電圧 V_{D1} は、 $V_{D1} = Q / (C_1 + C_2)$ にしたがって計算され、ここにおいて C_1 は可動電極806および上部電極802によって形成されたキャパシタのキャパシタンスであり、 C_2 は、可動電極806および下部電極804によって形成されたキャパシタのキャパシタンスであり、それらの双方ともディスプレイ素子の既知の構造および規模（dimension）から知られている。可動電極806が上部電極802または下部電極804に押されるとき、 $C_1 + C_2$ の値は概して、 $2C_0$ よりもずっと大きくなり、より低いデータ電圧 V_{D1} が、中央均衡位置におけるリセット状態と比べて同じ電荷Qを印加するために使用されることを可能にする。

30

40

【0055】

[0068] バイアス段階中に電圧 V_0 は、上部電極線TEおよび下部電極線BEの両端に印加されうる。図10Bの波形では、これは、上部電極に $-V_0/2$ の電圧を印加し、下部電極に $+V_0/2$ の電圧を印加することによってなされる。上記にあるように、時間1130中の帯電段階中に可動電極に置かれた電荷Qに依存して、ディスプレイ素子はその後、式1の公式にしたがって最後の位置xに移動し、画像情報にしたがって光応答を生成することになる。

【0056】

[0069] 図10Cは、図6および8の単一の駆動トランジスタ実装でディスプレイ素子にデータを書き込むように使用されうる上部および下部電極電圧、ならびにデータおよび走査線信号を例示しているタイミング図である。図10Cの実装では、行のディスプレイ素子は、可動電極806にリセット電圧を印加することなく、均衡状態にリセットされる。この実装では、リセット段階中、接地電圧は、リセット時間期間1220中に上部電極802および下部電極804に印加されうる。上記で留意されたように、ディスプレイ素子が Q_{cr} よりも小さい電荷Qを使用して位置付けられる場合、以前のフレームに関するデータからのディスプレイ素子上に残されたあらゆる電荷Qがそこに留まり、上部および下

50

部電極間のあらゆる電圧差を取り除くことは、依然として可動電極 806 が機械回復力の影響の下で中央均衡位置に移動することを引き起こすことになる。このリセット期間 1220 中に、接地電圧は、駆動トランジスタ 838 のオフに切り替えられた状態を維持するために走査線 SD1 に印加されうる。上記の実装に関して、この行に関するこの解放段階は、この行に関するトランジスタ 838 がオフであるため、他の行に関する書き込み段階でパイプラインされうる。時間期間 1230 における帯電段階中に、ならびに上部電極 802 および下部電極 804 が 0 ボルトで依然としてホールドされている状態で、画像データ電圧はデータ線 D1 に印加され、電圧は、駆動トランジスタ 838 をオンに切り替えるように走査線 SD1 に印加されうる。画像データ電圧は、その後、可動電極 806 に印加され、電荷 Q がそこに蓄積することを引き起こす。電荷 Q が印加された後、走査線 S1 上の電圧は接地電圧に戻されることができ、駆動トランジスタ 838 をオフに切り替える。

10

【0057】

[0070] 時間期間 1240 におけるバイアス段階は上記で説明されたものと同じであり、ここにおいて電圧 V_0 は上部電極線 TE および下部電極線 BE をわたって印加され、行に沿ったディスプレイ素子は、所望の位置に移動する。

【0058】

[0071] 所望の場合、図 6 および 8 にあるような 1 つのトランジスタ 838 を用いて図 10A および 10B で図示されているものと原則的に同一のリセット段階を実装することは可能である。1 つのそのような実装では、各行に関して、データ線 D1 は、最初のリセット局面中にリセット電圧（例えば、接地）に向かうことができ、すぐに帯電局面が続き、ここにおいて一度ディスプレイ素子が（例えば、図 10A にあるような中央均衡位置、または図 10B の変位された位置にある）所望の位置にリセットされると D1 上の電圧は、所望の電荷 Q をインストールするために要求される電圧に移行する。しかしながら、これは、リセット位置への機械的移動のための長い待機時間が書き込まれる全ての行でもたらされるような欠点を有する。この不利益（penalty）は様々な方法で低減されうる。例えば、D1 電圧出力は、短い持続時間リセット電圧と書き込み電圧との間で、各々の持続時間が機械応答時間よりむしろディスプレイ素子の電気応答時間に基づいて、入れ替わりうる。この実装では、リセット電圧が D1 に印加される 1 以上の回数中、書き込まれている現在の線のいくつかの行分、先立った行は、そのトランジスタがオンにされ、その上部電極および下部電極が 0 ボルトにされる。これは、この行に沿った可動電極 806 から電荷を取り除くことになり、この行に関するトランジスタは迅速にオフにされうる。データ線 D1 上の電圧はその後、現在の行を帯電させるように使用されうる。フレーム書き込み手順が以前に非荷電された（uncharged）行に達する時間までに、それは所望のリセット状態に移動してしまっていることになり、帯電サイクルはその行に適用されうる。したがってリセットサイクルは帯電サイクルに先立ってアレイを下に移動する（move down）。別の実装では、リセット電圧と帯電させる電圧との間で D1 を入れ替えるよりむしろ、D1 は、5 または 10 帯電サイクル毎のように周期的にリセット電圧に向かうことができる。これらのリセットサイクルの各々の間に、現在書き込まれている行にいくつかの行分先立った行のグループの可動電極 806 はリセット電圧によって同時に非荷電され、フレーム書き込み手順がそれらの行に達したときに、連続して帯電する準備ができてい

20

30

40

【0059】

[0072] 図 11A および 11B は、複数の IMOD ディスプレイ素子を含むディスプレイデバイス 40 を例示しているシステムブロック図である。ディスプレイデバイス 40 は、例えば、スマートフォン、セルラまたはモバイル電話でありうる。しかしながら、ディスプレイデバイス 40、またはこれの僅かなばらつきのあるもの（slight variation）の同じ構成要素はまた、テレビ、コンピュータ、タブレット、電子書籍リーダー、ハンドヘルドデバイス、およびポータブルメディアデバイスのような様々なタイプのディスプレイデバイスを例示している。

【0060】

[0073] ディスプレイデバイス 40 は、ハウジング 41、ディスプレイ 30、アンテナ 4

50

3、スピーカ45、入力デバイス48、およびマイクロフォン46を含む。ハウジング41は、射出成形および真空成形を含む様々な製造プロセスのうちのいずれかから形成される。加えて、ハウジング41は、限定はしないが、プラスチック、金属、ガラス、ゴム、およびセラミック、またはそれらの組み合わせを含む、様々な材料のいずれかから作られる。ハウジング41は、異なる色の、または異なるロゴ、ピクチャ、もしくはシンボルを含んでいる、他の取外し可能な部分と交換される、取外し可能な部分（図示せず）を含むことができる。

【0061】

[0074] ディスプレイ30は、本明細書で説明されている、双安定またはアナログディスプレイを含む様々なディスプレイのいずれかでありうる。ディスプレイ30はまた、プラズマ、EL、OLED、STN LCD、またはTFT LCD等のフラットパネルディスプレイ、あるいはCRTまたは他の管デバイス等の非フラットパネルディスプレイを含むように構成される。加えて、ディスプレイ30は、本明細書で説明されているIMODベースディスプレイを含むことができる。

10

【0062】

[0075] ディスプレイデバイス40の構成要素は、図11Aで概略的に例示されている。ディスプレイデバイス40は、ハウジング41を含み、その中に少なくとも部分的に密閉された追加の構成要素を含むことができる。例えば、ディスプレイデバイス40は、トランシーバ47に結合されるアンテナ43を含む、ネットワークインタフェース27を含む。ネットワークインタフェース27は、ディスプレイデバイス40上で表示される画像データのためのソースでありうる。したがって、ネットワークインタフェース27は、画像ソースモジュールの1つの例であるけれども、プロセッサ21および入力デバイス48もまた、画像ソースモジュールとしての役割をしよう。トランシーバ47は、調整ハードウェア52に接続されるプロセッサ21に接続される。調整ハードウェア52は、信号を調整（信号をフィルタまたは別の方法で操作）するように構成される。調整ハードウェア52は、スピーカ45およびマイクロフォン46に接続される。プロセッサ21はまた、入力デバイス48およびドライバコントローラ29に接続される。ドライバコントローラ29は、フレームバッファ28およびアレイドライバ22に結合され、アレイドライバ22は同様にディスプレイレイ30に結合される。図11Aに特に描かれていない素子を含むディスプレイデバイス40における1以上の素子は、メモリデバイスとして機能するように構成され、プロセッサ21と通信するように構成される。いくつかの実装では、電源50は、特定のディスプレイデバイス40の設計における実質的にすべての構成要素に電力を供給することができる。

20

30

【0063】

[0076] ネットワークインタフェース27は、ディスプレイデバイス40がネットワークをわたって1以上のデバイスと通信することができるように、アンテナ43およびトランシーバ47を含む。ネットワークインタフェース27はまた、例えばプロセッサ21のデータ処理要件を軽減するいくつかの処理能力を有することができる。アンテナ43は、信号を送信および受信することができる。いくつかの実装では、アンテナ43は、IEEE 16.11(a)、(b)、または(g)を含むIEEE 16.11規格、あるいはIEEE 802.11a、b、g、n、およびそれらのさらなる実装を含むIEEE 802.11規格にしたがって、RF信号を送信および受信する。いくつかの他の実装では、アンテナ43は、Bluetooth規格にしたがってRF信号を送信および受信する。セルラ電話のケースでは、アンテナ43は、符号分割多元接続(CDMA)、周波数分割多元接続(FDMA)、時分割多元接続(TDMA)、グローバル移動体通信システム(GSM(登録商標))、GSM(登録商標)/ジェネラルパケットラジオサービス(GPRS: General Packet Radio Service)、エンハンスドデータGSM(登録商標)環境(EDGE: Enhanced Data GSM Environment)、地上基盤無線(TETRA: Terrestrial Trunked Radio)、広帯域CDMA(WCDMA(登録商標))、エボリューションデータオプティマイズド(EVDO: Evolution Data Optimized)、1xEVDO、EV

40

50

DO Rev A、EV DO Rev B、高速パケットアクセス（HSPA）、高速ダウンロードパケットアクセス（HSDPA）、高速アップリンクパケットアクセス（HSUPA）、発展型高速パケットアクセス（HSPA+）、ロングタームエボリューション（LTE）、AMPS、あるいは3G、4G、または5Gの技術を利用するシステムのようなワイヤレスネットワーク内で通信するために使用される他の既知信号を受信するように設計されうる。トランシーバ47は、アンテナ43から受信される信号を、それらがプロセッサ21によって受信され、さらにプロセッサ21によって操作されうるように予め処理することができる。トランシーバ47はまた、プロセッサ21から受信される信号を、それらがアンテナ43を介してディスプレイデバイス40から送信されうるように処理することもできる。

10

【0064】

[0077] いくつかの実装では、トランシーバ47は受信機によって置き換えられうる。加えていくつかの実装では、ネットワークインタフェース27は画像ソースによって置き換えられ、画像ソースは、プロセッサ21に送られる画像データを記憶する、または生み出すことができる。プロセッサ21は、ディスプレイデバイス40の全体の動作を制御することができる。プロセッサ21は、ネットワークインタフェース27または画像ソースから、圧縮された画像データのようなデータを受信し、生画像データに、または生画像データに容易に処理されうるフォーマットに、データを処理する。プロセッサ21は、記憶のためにフレームバッファ28に、またはドライバコントローラ29に、処理されたデータを送ることができる。生データは通常、画像内の各ロケーションにおける画像特性を識別する情報を指す。例えば、そのような画像特性は、色、飽和、およびグレースケールレベルを含むことができる。

20

【0065】

[0078] プロセッサ21は、ディスプレイデバイス40の動作を制御するために、マイクロコントローラ、CPU、または論理ユニットを含むことができる。調整ハードウェア52は、スピーカ45に信号を送信するための、ならびにマイクロフォン46から信号を受信するための増幅器およびフィルタを含むことができる。調整ハードウェア52は、ディスプレイデバイス40内の個別の構成要素であることができる、あるいはプロセッサ21または他の構成要素内に組み込まれうる。

【0066】

[0079] ドライバコントローラ29は、直接プロセッサ21、またはフレームバッファ28のどちらかからプロセッサ21によって生成された生画像データを取ることができ、アレイドライバ22への高速送信のために適切に生画像データを再フォーマットすることができる。いくつかの実装では、ドライバコントローラ29は、生画像データを、ディスプレイレイ30にわたって走査するのに適した時間順序を有するようなラスタ様フォーマットを有するデータフローに、再フォーマットすることができる。その後、ドライバコントローラ29は、アレイドライバ22にフォーマットされた情報を送る。LCDコントローラのようなドライバコントローラ29はしばしば、スタンドアロン集積回路（IC）としてシステムプロセッサ21と関連付けられるけれども、そのようなコントローラは多くの方法で実装されうる。例えば、コントローラは、ハードウェアとしてプロセッサ21に埋め込まれるか、ソフトウェアとしてプロセッサ21に埋め込まれるか、またはハードウェアにおいてアレイドライバ22と完全に一体化されるか、でありうる。

30

40

【0067】

[0080] アレイドライバ22は、ドライバコントローラ29からフォーマットされた情報を受信することができ、ビデオデータを、ディスプレイ素子のディスプレイのx yマトリクスから来る、数百の、および時には数千の（またはそれより多くの）リード線に毎秒何回も適用される波形の並列セットに再フォーマットすることができる。

【0068】

[0081] いくつかの実装では、ドライバコントローラ29、アレイドライバ22、およびディスプレイレイ30は、本明細書で説明されているディスプレイのタイプのうちのい

50

ずれにも適している。例えば、ドライバコントローラ 29 は、従来のディスプレイコントローラ、または双安定ディスプレイコントローラ (IMODディスプレイ素子コントローラ等) でありうる。加えて、アレイドライバ 22 は、従来のドライバ、または双安定ディスプレイドライバ (IMODディスプレイ素子ドライバ等) でありうる。さらに、ディスプレイアレイ 30 は、従来のディスプレイアレイ、または双安定ディスプレイアレイ (IMODディスプレイ素子のアレイを含むディスプレイ等) でありうる。いくつかの実装では、ドライバコントローラ 29 は、アレイドライバ 22 と一体化されうる。そのような実装は、高集積システム、例えば、モバイル電話、ポータブル電子デバイス、ウォッチまたは小面積ディスプレイ、において有用でありうる。

【0069】

[0082] いくつかの実装では、入力デバイス 48 は、例えば、ユーザがディスプレイデバイス 40 の動作を制御することを可能にするように構成されうる。入力デバイス 48 は、QWERTYキーボードもしくは電話キーパッド等のキーパッド、ボタン、スイッチ、ロッカ (rocker)、接触感知スクリーン (touch-sensitive screen)、ディスプレイアレイ 30 と一体化された接触感知スクリーン、または圧力もしくは熱感知膜を含むことができる。マイクロフォン 46 は、ディスプレイデバイス 40 のための入力デバイスとして構成されうる。いくつかの実装では、マイクロフォン 46 を通じたボイスコマンドは、ディスプレイデバイス 40 の動作を制御するために使用されうる。

【0070】

[0083] 電源 50 は、様々なエネルギー貯蔵デバイスを含むことができる。例えば、電源 50 は、ニッケルカドミウムバッテリーまたはリチウムイオンバッテリー等の再充電式バッテリーでありうる。再充電可能なバッテリーを使用する実装では、再充電式バッテリーは、例えば、壁面ソケットまたは光起電デバイスもしくはアレイから来る電力を使用して、充電可能でありうる。代わりとして、再充電式バッテリーは、ワイヤレスに充電可能でありうる。電源 50 はまた、再生可能エネルギーソース、キャパシタ、あるいはプラスチック太陽電池または太陽電池塗料を含む太陽電池でありうる。電源 50 は、壁コンセントから電力を受け取るように構成されうる。

【0071】

[0084] いくつかの実装では、制御プログラマビリティは、電子ディスプレイシステムにおけるいくつかの場所に設置されうるドライバコントローラ 29 に存在する。いくつかの他の実装では、制御プログラマビリティは、アレイドライバ 22 に存在する。上記で説明された最適化は、任意の数のハードウェアおよび/またはソフトウェア構成要素で、かつ様々な構成で実行されうる。

【0072】

[0085] 本明細書で使用されているように、項目のリスト「のうちの少なくとも1つ」を指す表現は、単一のメンバを含む、それらの項目のあらゆる組み合わせを指す。例として、「a、b、またはcのうちの少なくとも1つ」は、a、b、c、a b、a c、b c、および a b c をカバーすることが意図される。

【0073】

[0086] 本明細書で開示された実装と関連して説明される様々な実例となる論理、論理ブロック、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェア、または両方の組み合わせとして実装されうる。ハードウェアおよびソフトウェアの互換性は、概して機能性の点から説明され、様々な実例となる構成要素、ブロック、モジュール、回路、および上記で説明されたステップで例示されている。このような機能が、ハードウェアで実装されるか、ソフトウェアで実装されるかは、特定のアプリケーションおよびシステム全体に課せられる設計制約に依存する。

【0074】

[0087] 本明細書で開示された態様に関連して説明された様々な実例となる論理、論理ブロック、モジュール、および回路を実装するために使用されるハードウェアならびにデータ処理装置は、汎用単一チップのプロセッサまたは汎用マルチチップのプロセッサ、デジ

10

20

30

40

50

タルシグナルプロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)、あるいは他のプログラマブル論理デバイス、ディスクリットゲートまたはトランジスタ論理、ディスクリットハードウェア構成要素、または本明細書で説明された機能を実行するために設計された、それらの任意の組合せで実装または実行されうる。汎用プロセッサは、マイクロプロセッサ、または、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、またはステートマシン(state machine)でありうる。プロセッサはまた、例えば、DSPとマイクロプロセッサの組み合わせ、複数のマイクロプロセッサ、DSPコアと連携した1以上のマイクロプロセッサ、あるいはあらゆる他のこのような構成である、コンピューティングデバイスの組み合わせとして実装されうる。いくつかの実装では、特定のステップおよび方法は、所与の機能に特有である回路によって実行されうる。

10

【0075】

[0088] 1以上の様態では、説明されている機能は、本明細書で開示される構造、およびこれらの構造的均等物を含む、ハードウェア、デジタル電子回路、コンピュータソフトウェア、ファームウェアまたはこれらのあらゆる組み合わせで実装されうる。本明細書で説明されている主題の実装はまた、データ処理装置による実行のための、またはデータ処理装置の動作を制御するためのコンピュータ記憶媒体上で符号化される、1以上のコンピュータプログラム、すなわちコンピュータプログラムの命令の1以上のモジュール、として実装されることができる。

20

【0076】

[0089] 本開示で説明される実装への様々な変更は、当業者にとって容易に明らかであり、および、本明細書で定められる一般的な原理は、本開示の趣旨または範囲から逸脱することなく他の実装に適用されうる。したがって、本願の請求項は、本明細書で図示された実装に限定されることを意図されないけれども、本明細書で開示されたこの開示、原理、および新規な特徴と合致する最も広い範囲が与えられるべきである。加えて、「上側」および「下側」という用語が図を説明しやすくするために時折使用されており、適切に方向付けされたページ上の図の方向付けに対応する相対的な位置を示し、例えば実装されているようなIMODディスプレイ素子の適切な方向付けを反映しているわけではないことを当業者は容易に認識するだろう。

30

【0077】

[0090] 別個の実装のコンテキストで本明細書で説明されている、ある特定の特徴もまた、単一の実装で組み合わせで実装されることができる。反対に、単一の実装のコンテキストで説明されている様々な特徴もまた、複数の実装で別個に、または任意の適したサブコンビネーションで実装されうる。さらに、特徴はある特定の組み合わせで作用するように上記で説明され、最初のうちからでさえそのように請求されうるけれども、特許請求される組み合わせからの1以上の特徴は、いくつかのケースでは、その組み合わせから削除されることができ、請求される組み合わせは、サブコンビネーション、またはサブコンビネーションのバリエーションを対象にしうる。

40

【0078】

[0091] 同様に、動作は、特定の順序で図面に描かれているけれども、所望の結果を得るために、そのような動作が図示された特定の順序で、または連続した順序で実行される必要がなく、または、すべての例示された動作が実行される必要がないことを当業者は容易に認識するだろう。さらに、図面はフロー図の形式で1つ多い例示的なプロセスを概略的に描きうる。しかしながら、描かれていない他の動作が、概略的に例示されている例示的なプロセスに組み込まれうる。例えば、1以上の追加の動作が、例示された動作のいずれの前でも、後でも、同時でも、またはいずれの間でも実行されうる。ある特定の環境では、マルチタスクおよび平行処理は利点がある場合がある。さらに、上記で説明された実装における様々なシステム構成要素の分離が、すべての実装においてそのような分離を要求するように理解されるべきではなく、説明されているプログラム構成要素およびシステムは、概して、単一のソフトウェア製品に共に一体化される、または複数のソフトウェア

50

製品にパッケージされることができると理解されるべきである。加えて、他の実装は、以下の請求項の範囲内にある。いくつかのケースでは、請求項に記載される動作は、異なる順序で実行されることができ、それでもなお所望の結果を得ることができる。

【 図 1 A 】

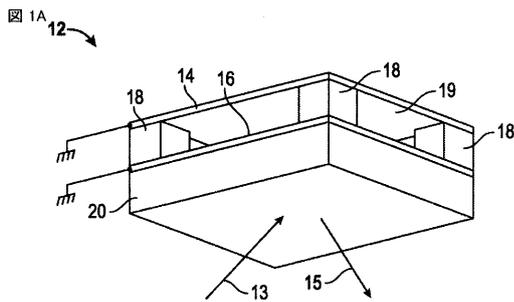


FIG. 1A

【 図 1 B 】

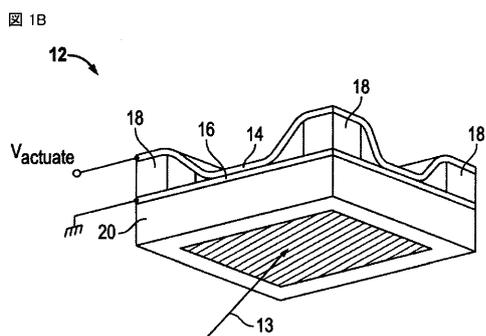


FIG. 1B

【 図 2 】

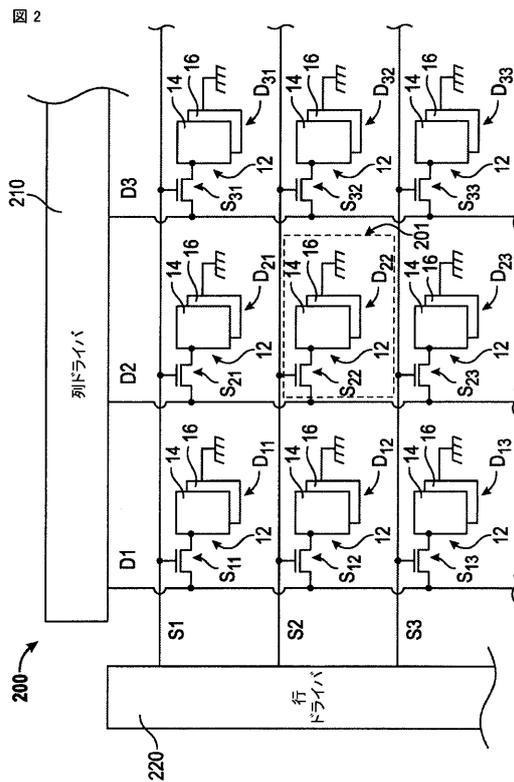


FIG. 2

【 図 3 】

図 3

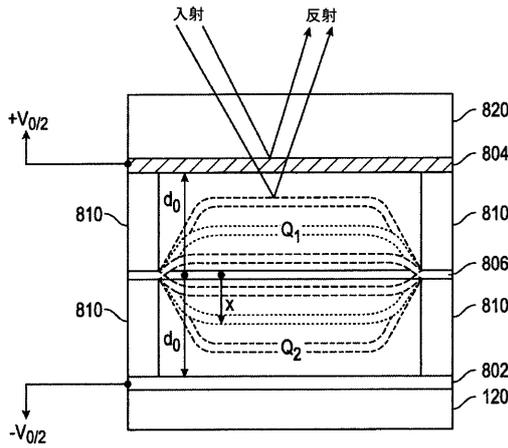


FIG. 3

【 図 4 】

図 4

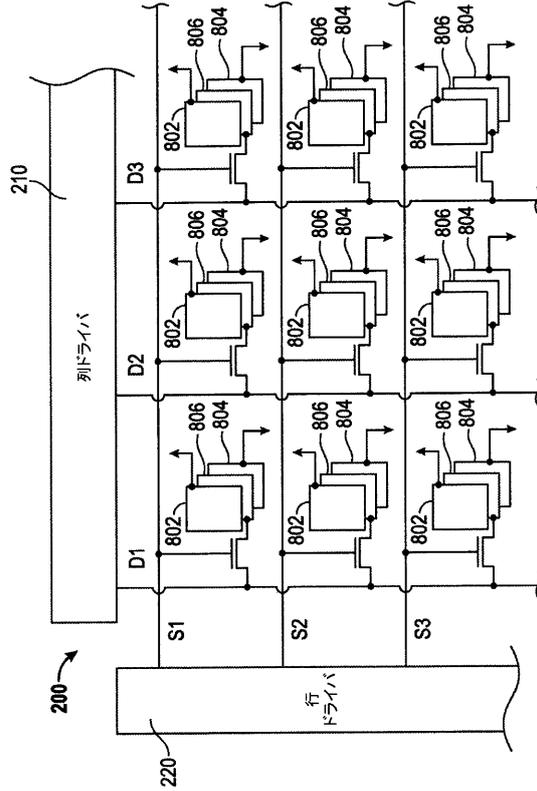


FIG. 4

【 図 5 】

図 5

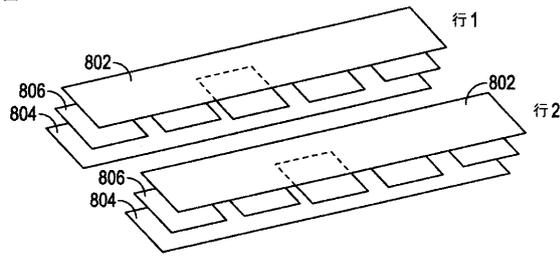


FIG. 5

【 図 7 A 】

図 7A

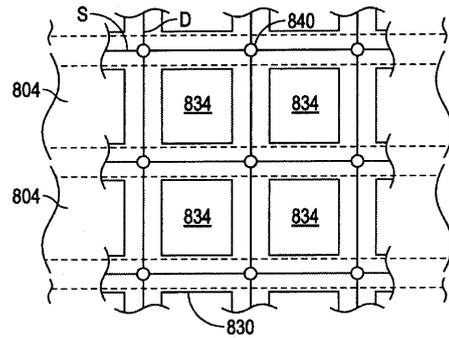


FIG. 7A

【 図 6 】

図 6

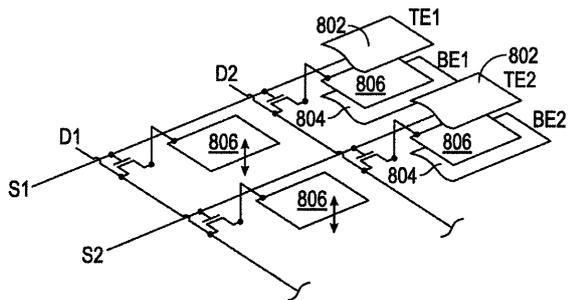


FIG. 6

【 図 7 B 】

図 7B

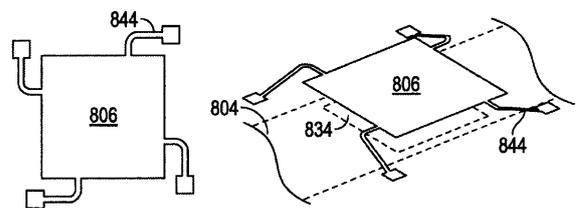


FIG. 7B

【図 8】

図 8

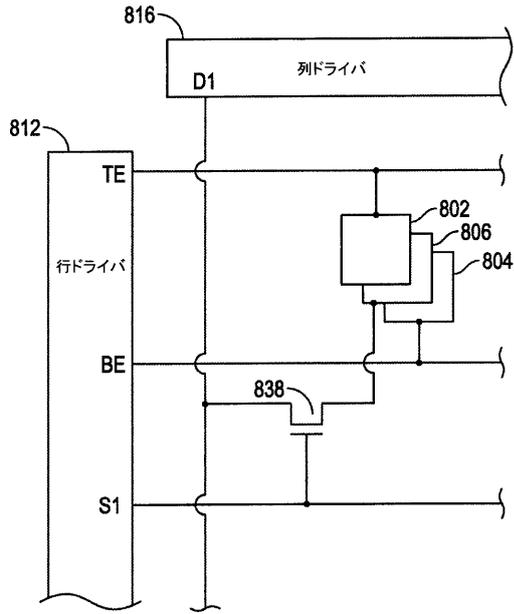


FIG. 8

【図 9 A】

図 9A

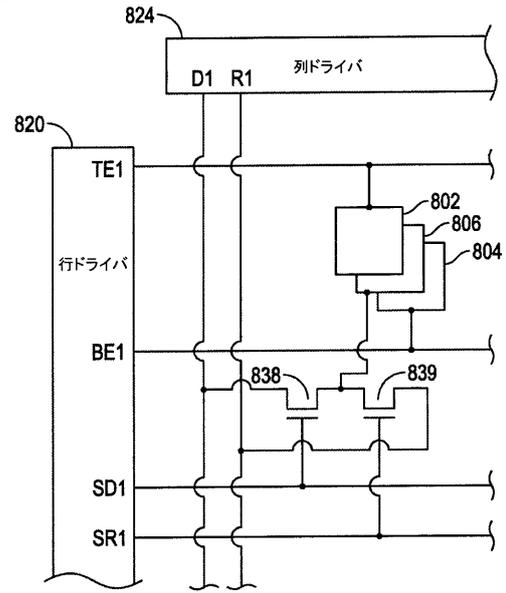


FIG. 9A

【図 9 B】

図 9B

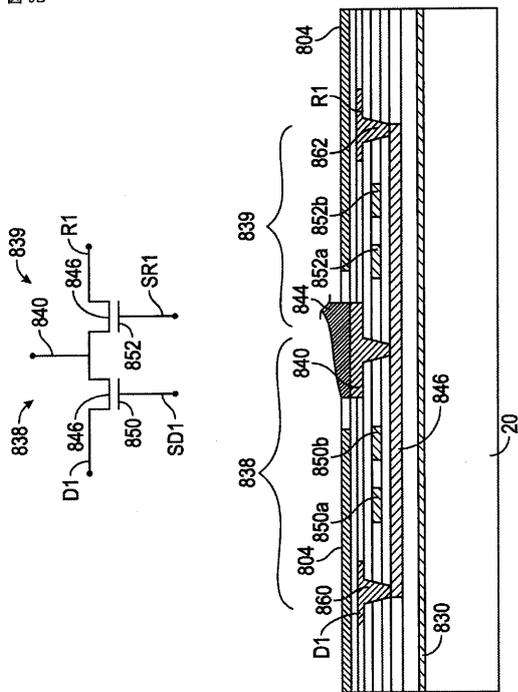


FIG. 9B

【図 10 A】

図 10A

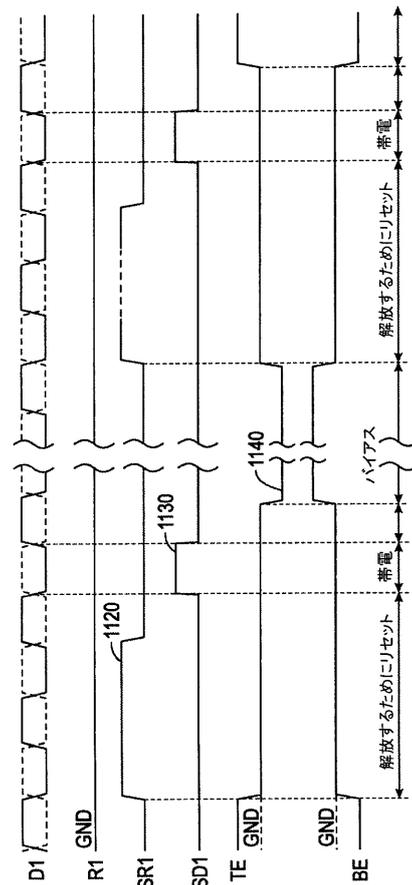


FIG. 10A

【図 10B】

図 10B

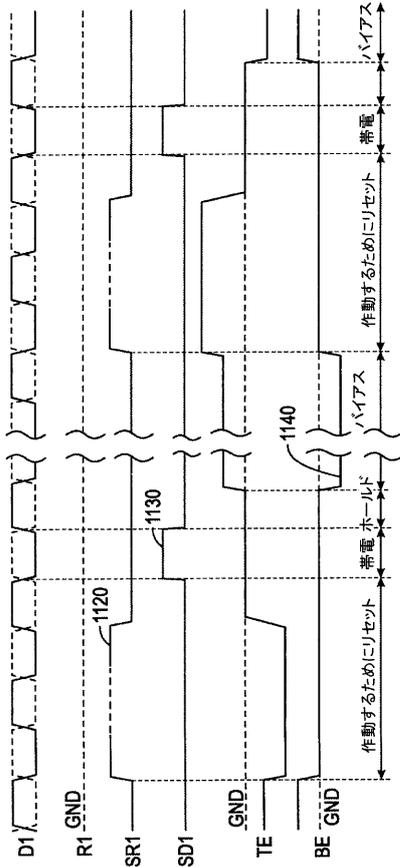


FIG. 10B

【図 10C】

図 10C

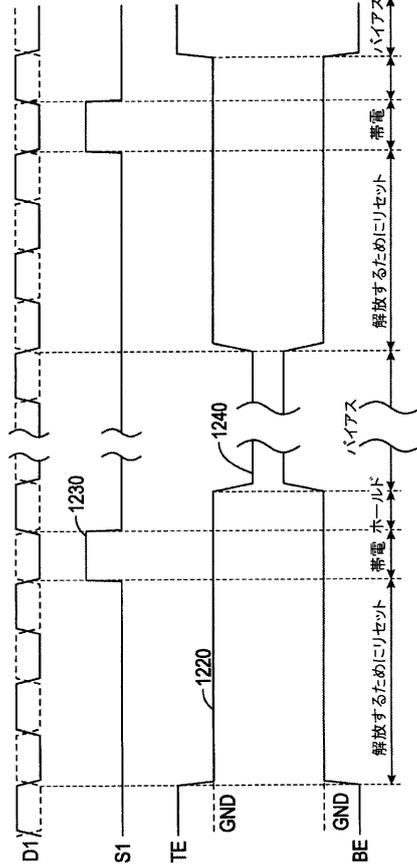


FIG. 10C

【図 11A】

図 11A

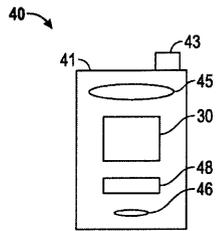


FIG. 11A

【図 11B】

図 11B

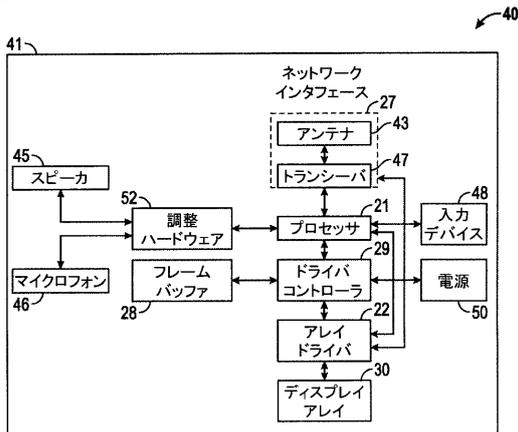


FIG. 11B

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No PCT/US2013/057361

A. CLASSIFICATION OF SUBJECT MATTER INV. G09G3/34 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012/044237 A1 (HONG JOHN H [US] ET AL) 23 February 2012 (2012-02-23)	1-10,12, 17-19, 22-27
Y	paragraphs [0103], [0111] - [0114]; figures 11A,11B,42B	20,21
Y	US 2002/015215 A1 (MILES MARK W [US]) 7 February 2002 (2002-02-07) paragraphs [0049], [0052]; figures 3A,3B,4C	20,21
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
29 October 2013		07/11/2013
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Giancane, Iacopo

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2013/057361

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2012044237 A1	23-02-2012	CN 103109315 A	15-05-2013
		EP 2606485 A1	26-06-2013
		KR 20130091763 A	19-08-2013
		TW 201214002 A	01-04-2012
		US 2012044237 A1	23-02-2012
		WO 2012024238 A1	23-02-2012

US 2002015215 A1	07-02-2002	US 6674562 B1	06-01-2004
		US 2002015215 A1	07-02-2002
		US 2004240032 A1	02-12-2004
		US 2005231790 A1	20-10-2005
		US 2005244949 A1	03-11-2005
		US 2006028708 A1	09-02-2006
		US 2006262279 A1	23-11-2006
		US 2007121205 A1	31-05-2007
		US 2007132843 A1	14-06-2007
		US 2007229936 A1	04-10-2007
		US 2007253054 A1	01-11-2007
		US 2008084601 A1	10-04-2008
		US 2008130089 A1	05-06-2008
		US 2010309540 A1	09-12-2010

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
 G 0 9 G 3/20 6 2 4 E
 G 0 2 B 26/02 E

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, T M), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, R S, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, H R, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI , NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ

(74)代理人 100158805
 弁理士 井関 守三

(74)代理人 100194814
 弁理士 奥村 元宏

(72)発明者 セオ、ジェ・ヒエオン
 アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドラ
 イブ 5 7 7 5

(72)発明者 ゴビル、アロク
 アメリカ合衆国、カリフォルニア州 9 4 5 3 9、フレモント、ストッカー・コート 3 2 2

(72)発明者 トウン、ミン・ハウ
 アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドラ
 イブ 5 7 7 5

(72)発明者 マーティン、ラッセル・エー .
 アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドラ
 イブ 5 7 7 5

F ターム(参考) 2H141 MA04 MA05 MB28 MB52 MB56 MB63 MC06 MD02 MD31 MD38
 MZ03 MZ16
 5C080 AA18 BB05 DD01 DD08 DD26 FF11 FF12 JJ02 JJ04 JJ06
 KK07 KK47