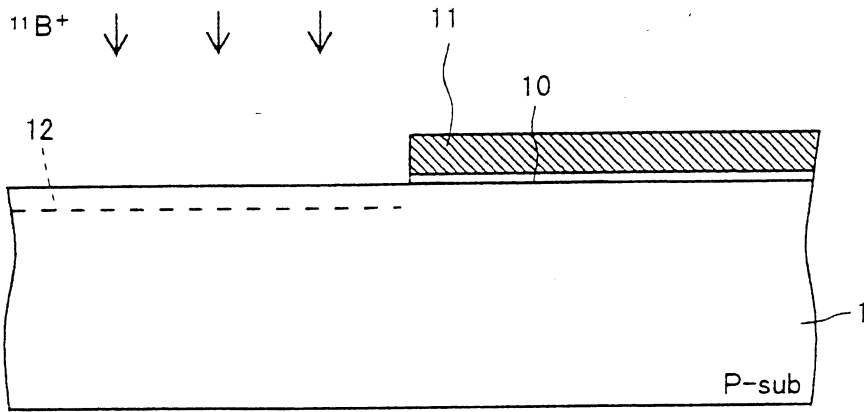
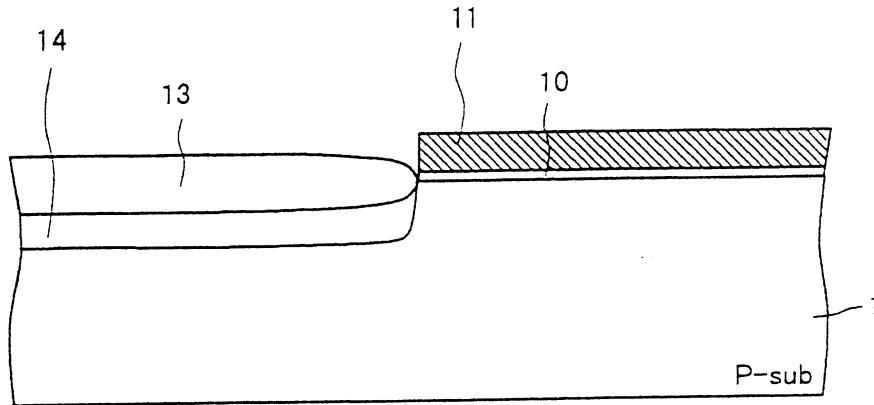


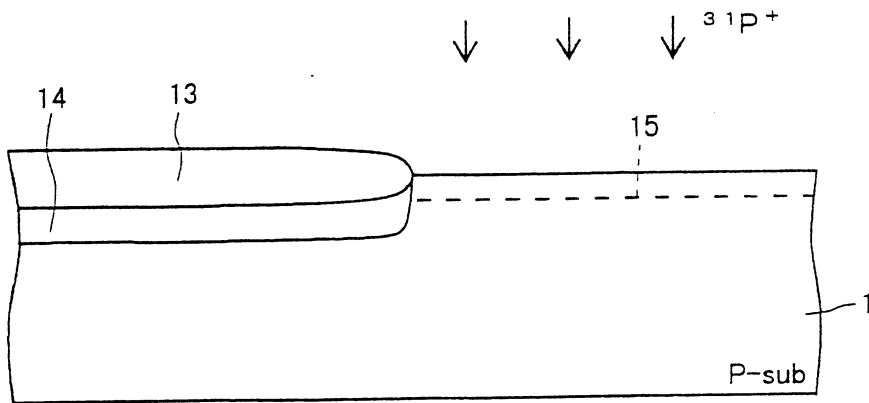
第 1 圖



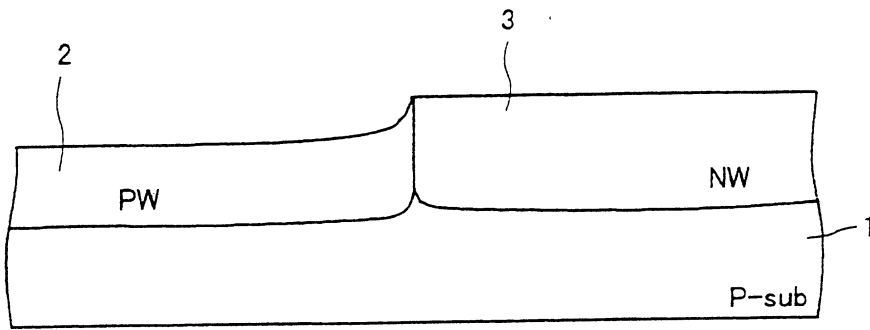
第 2 圖



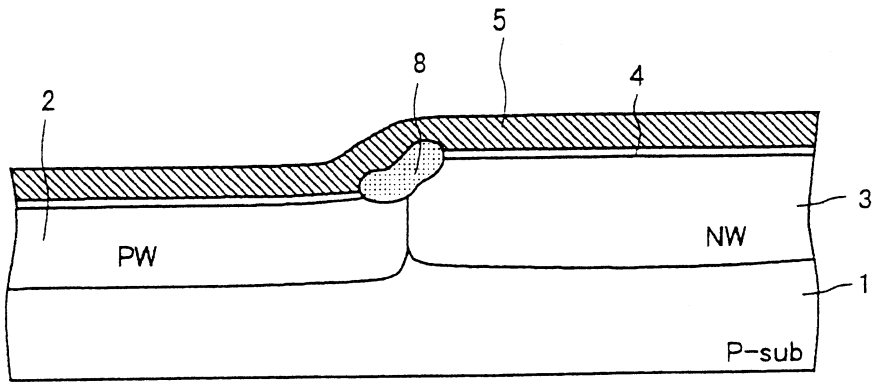
第 3 圖



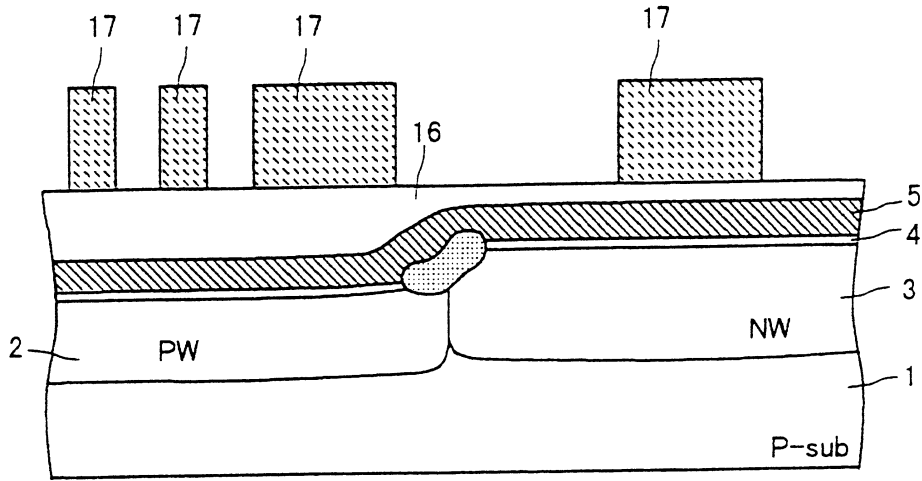
第 4 圖



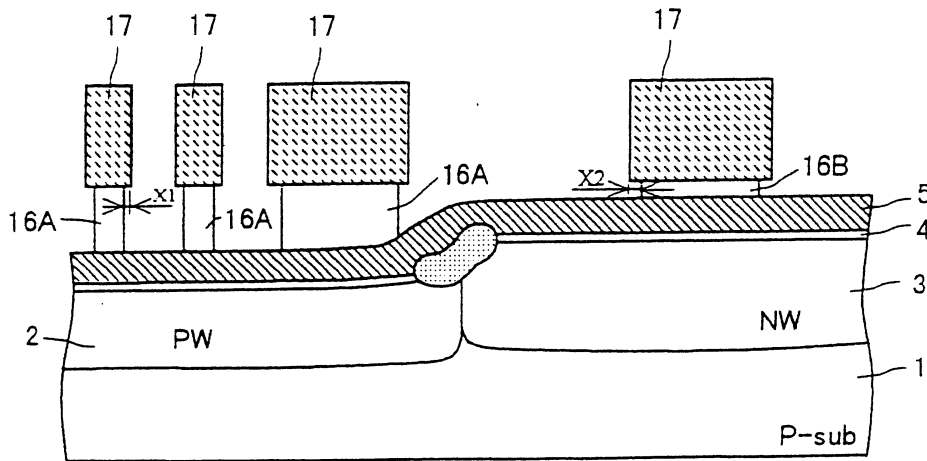
第 5 圖



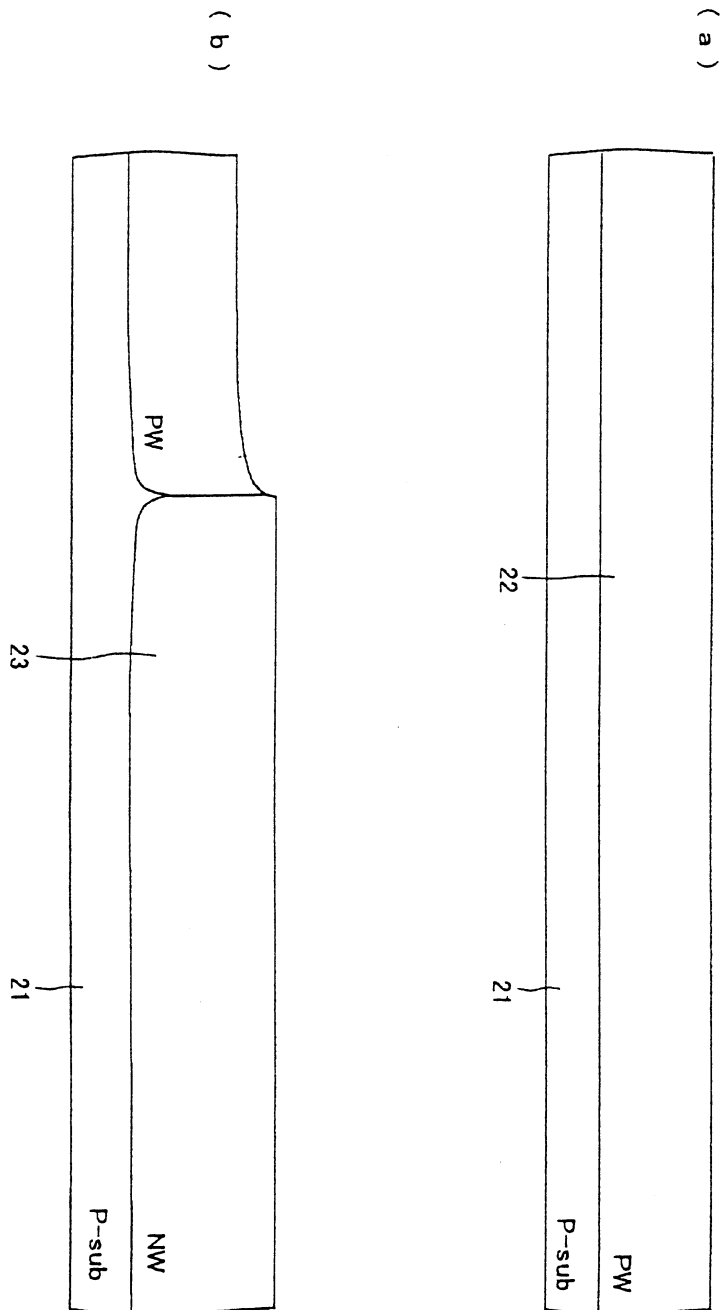
第 6 圖



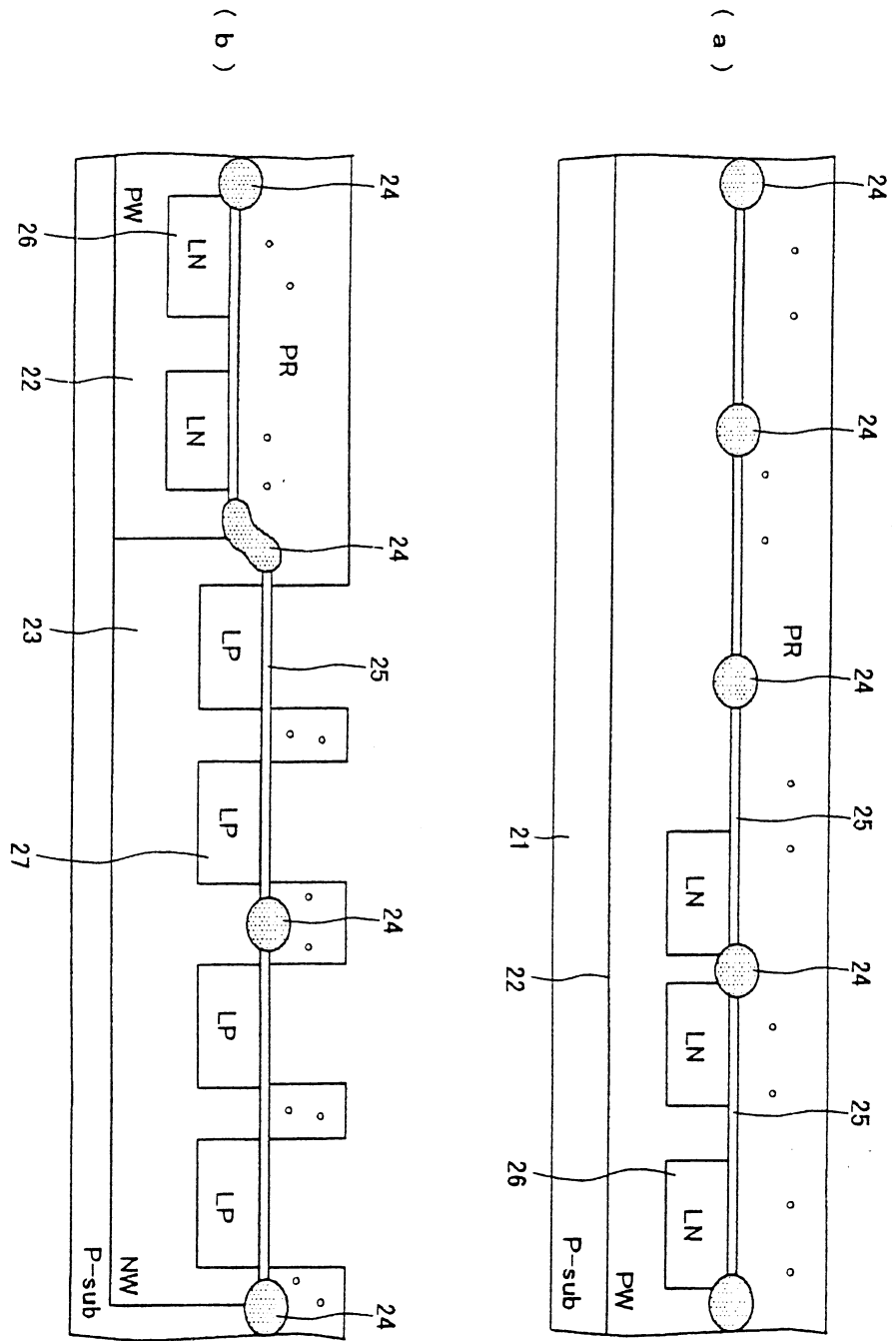
第 7 圖



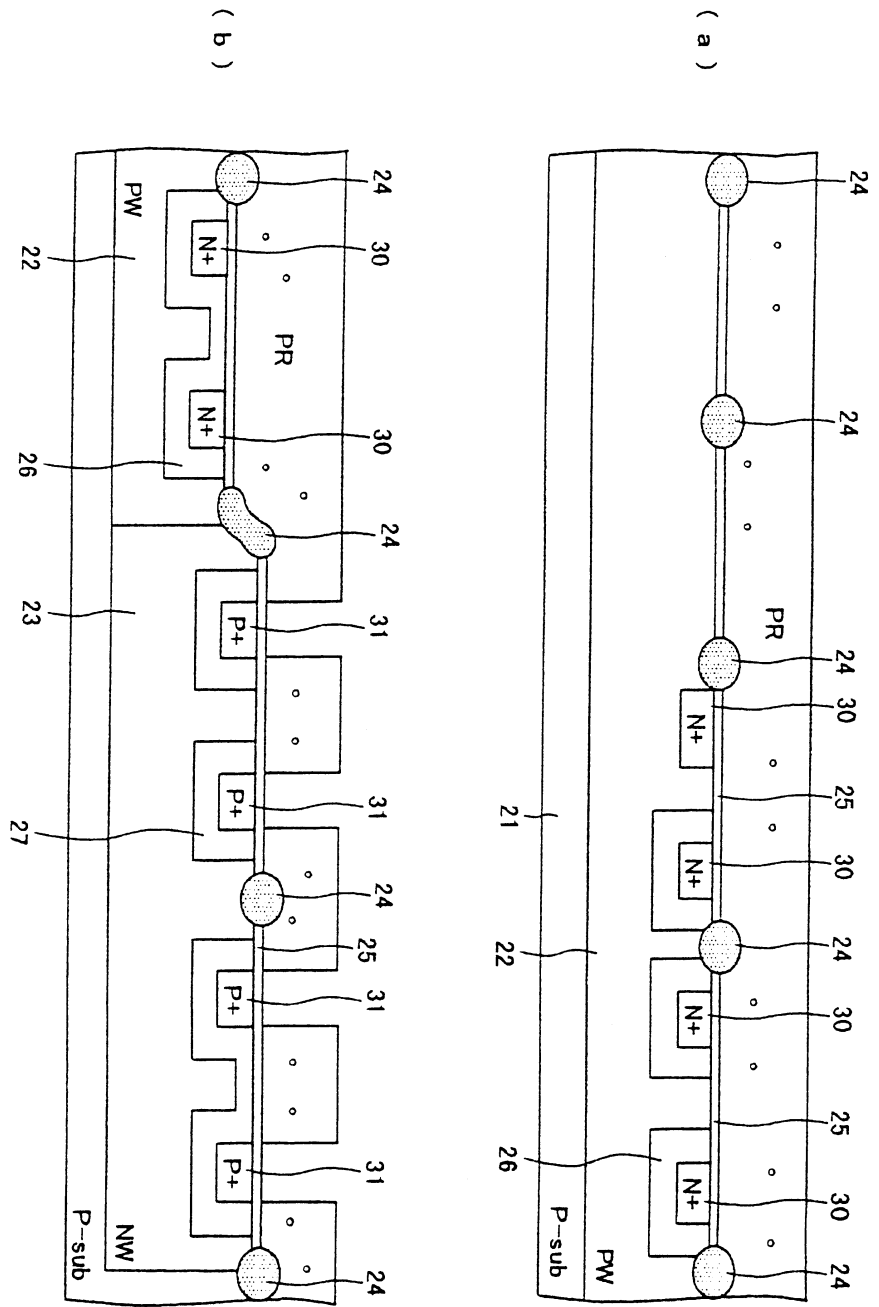
第 8 圖



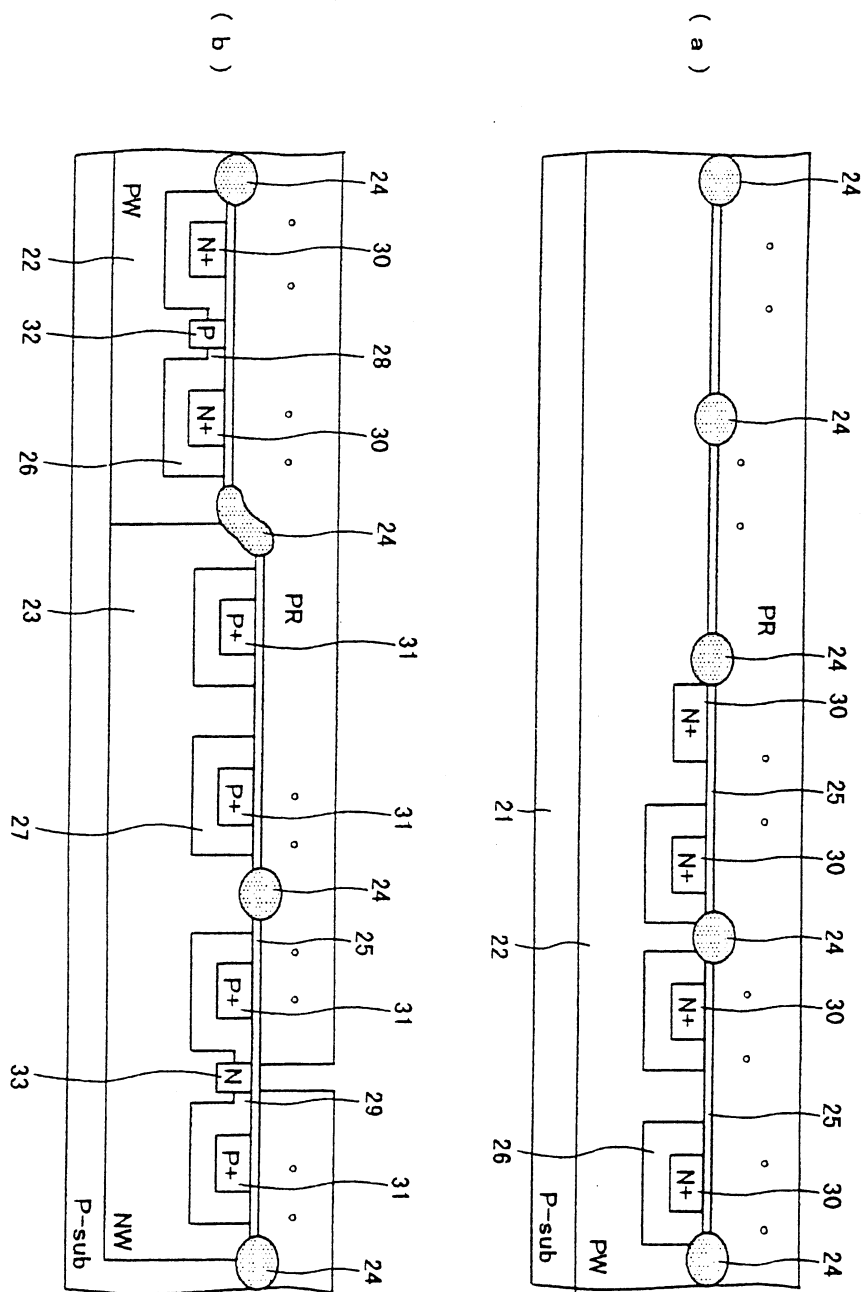
第 9 圖



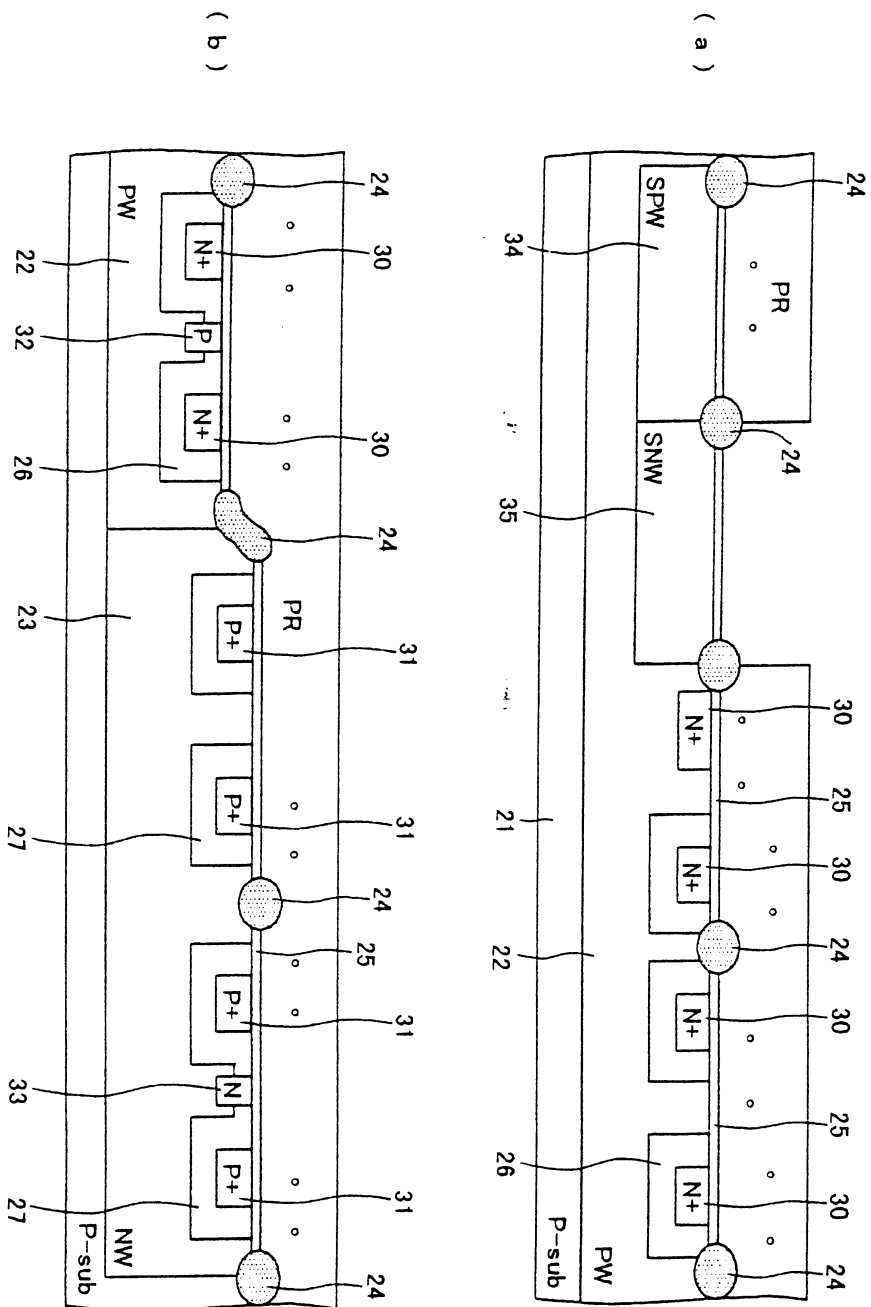
第 10 圖



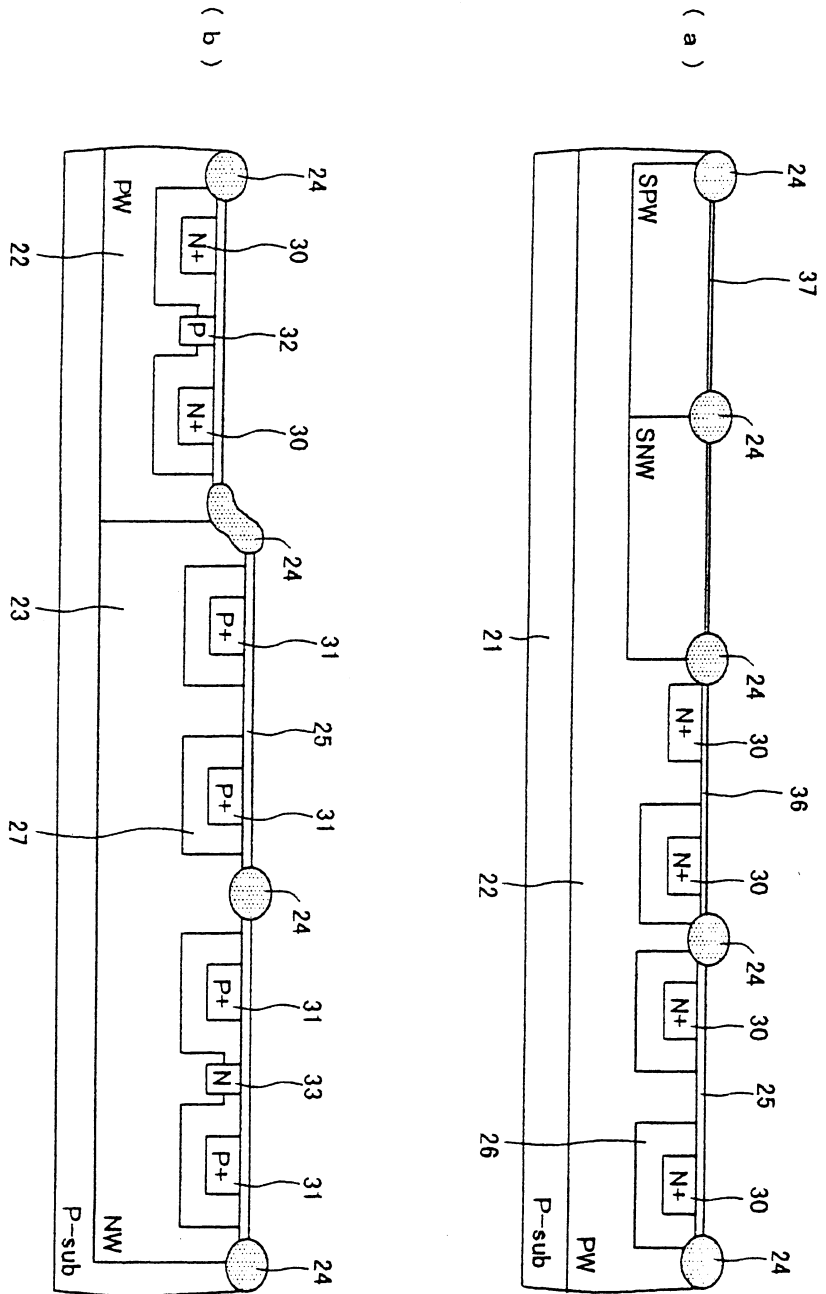
第 12 圖



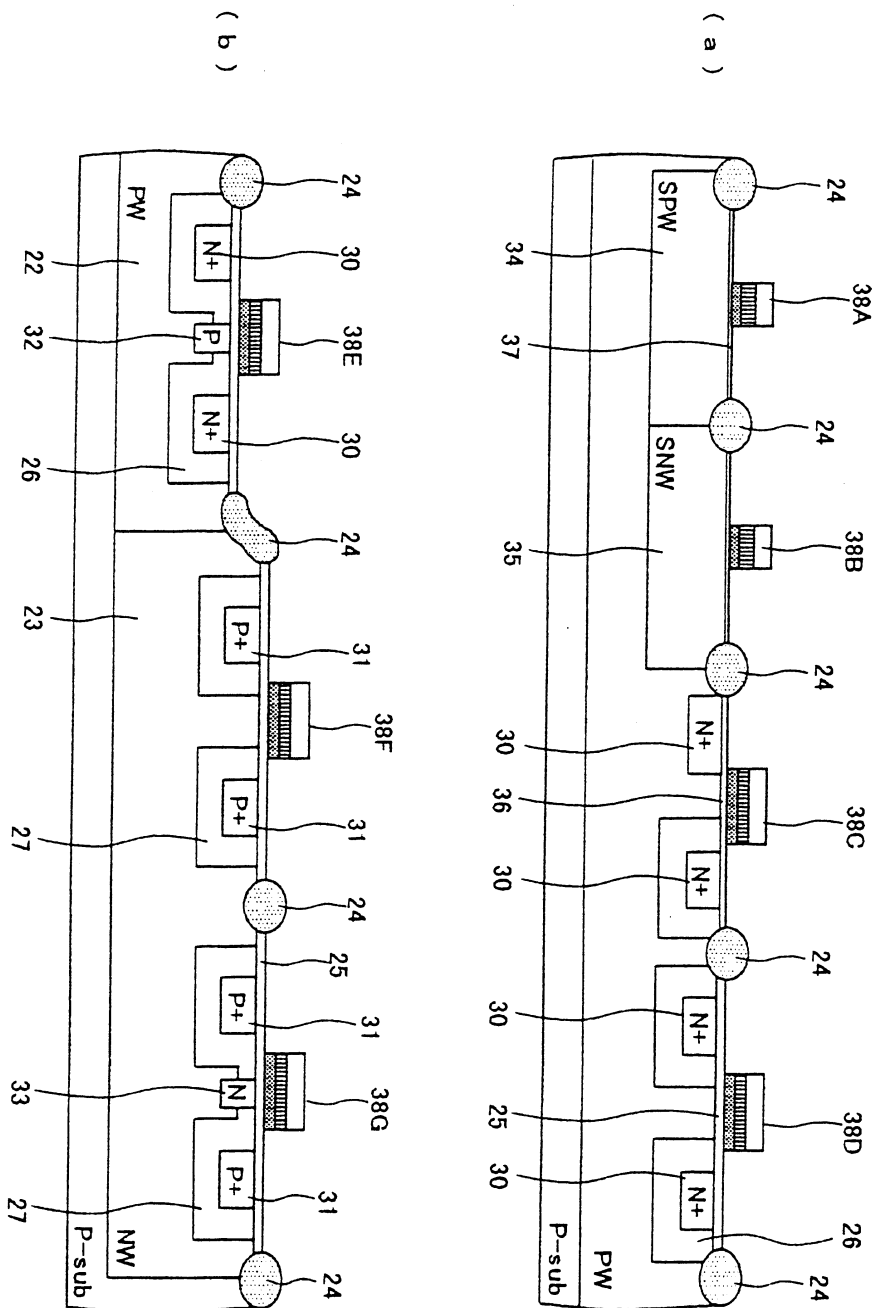
第 13 圖



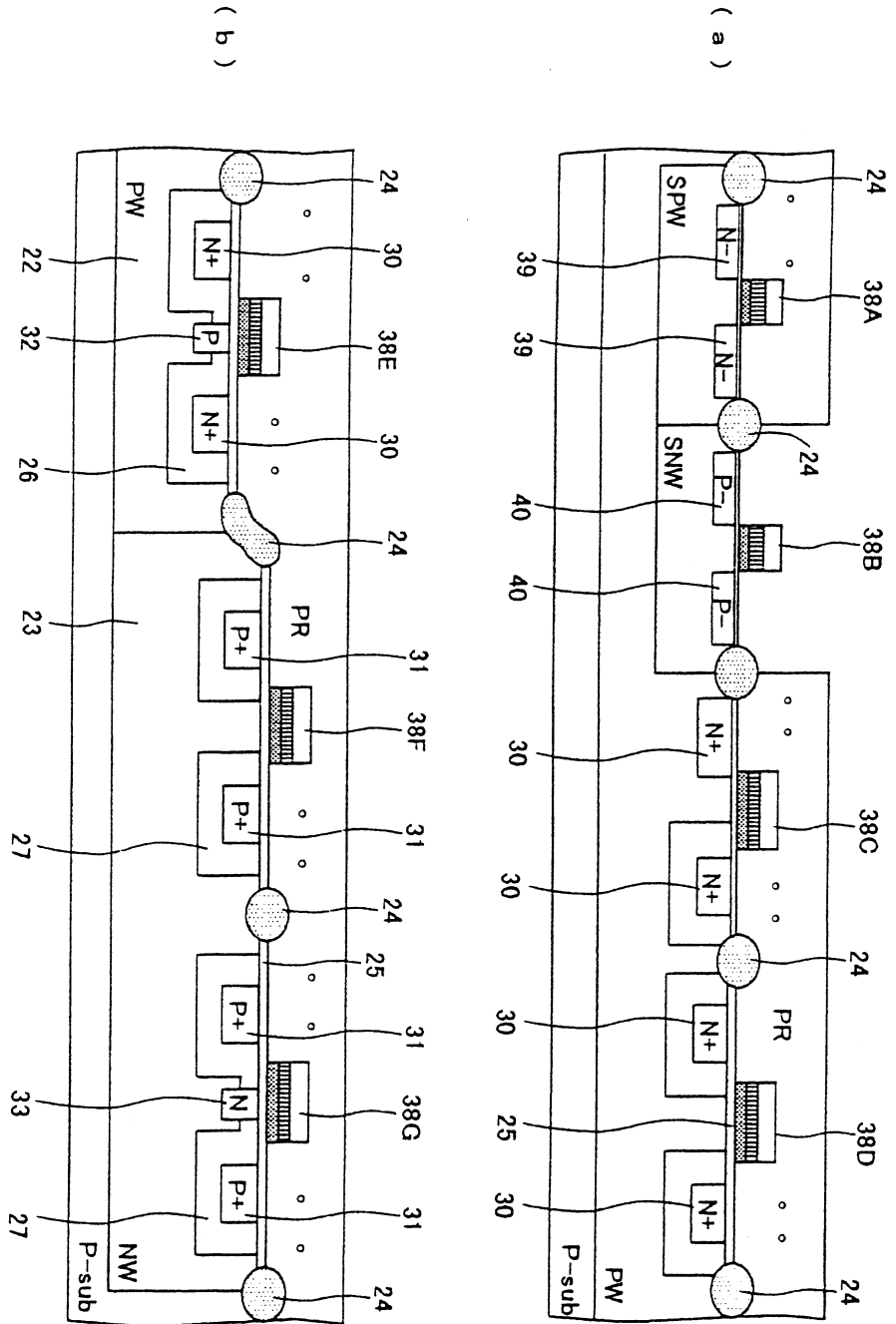
第14圖



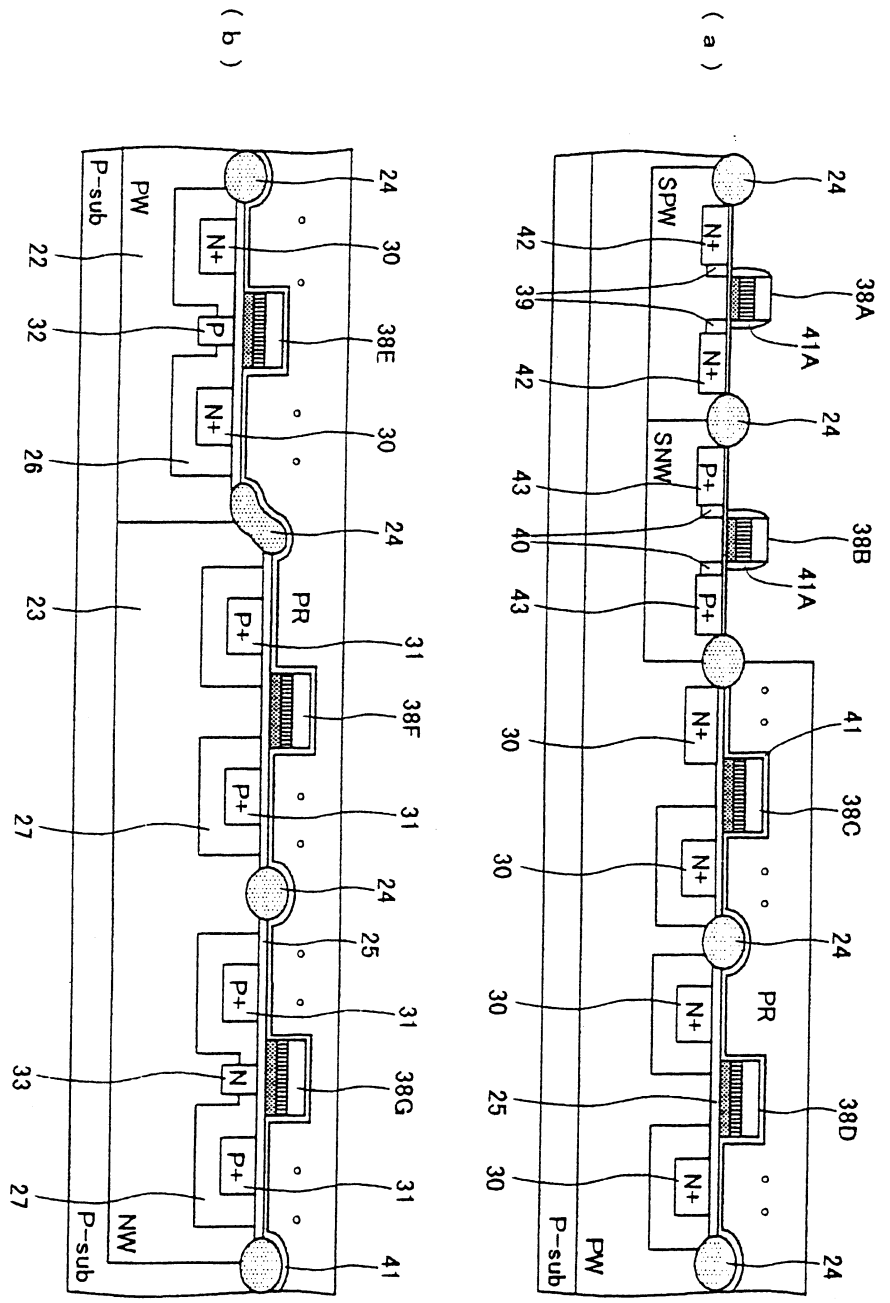
第15圖



第16圖

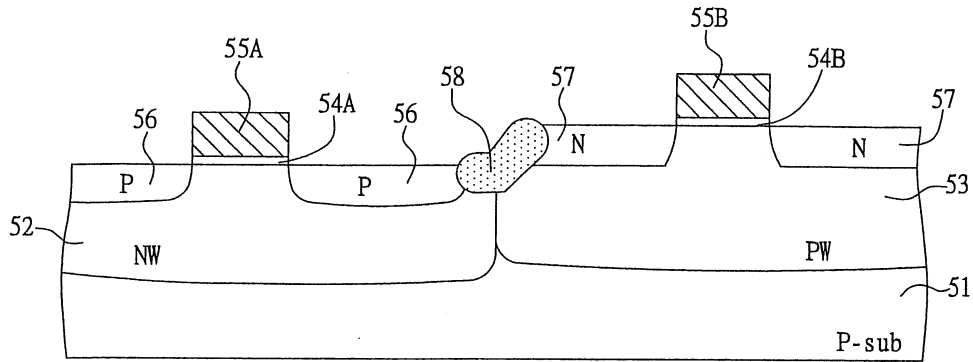


第17圖

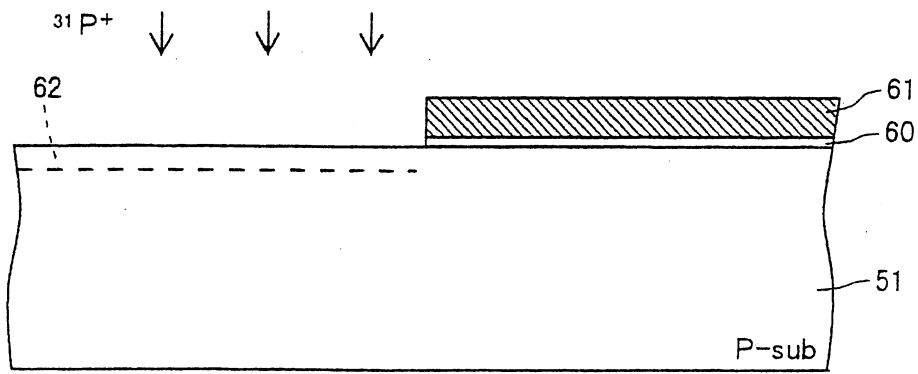


第 18 圖

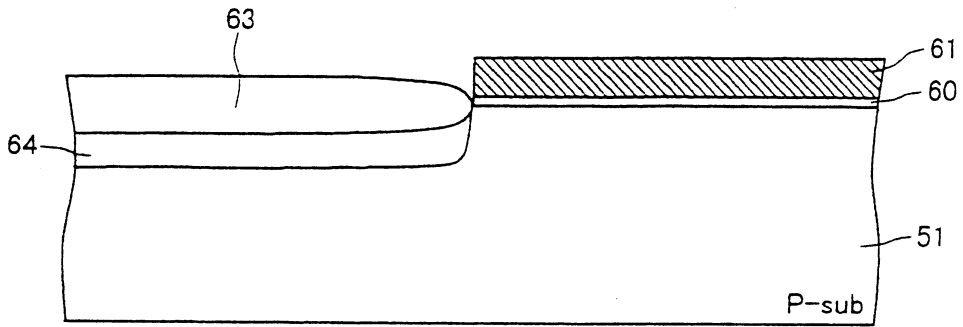
8 年 2 月 11 日 修正 / 更正 / 補充



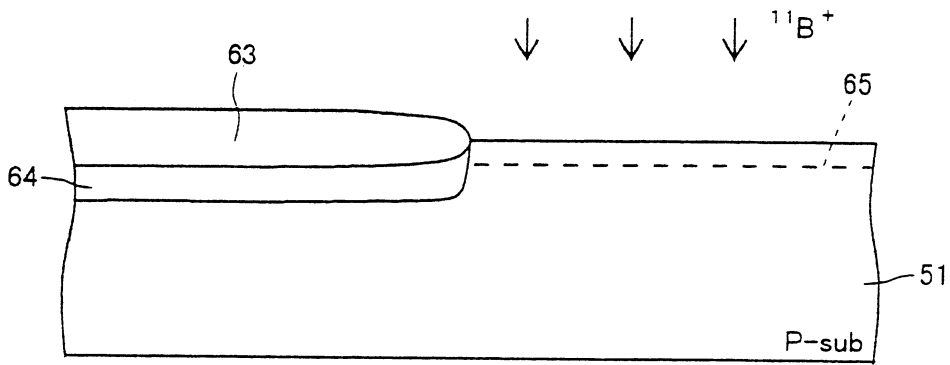
第 19 圖



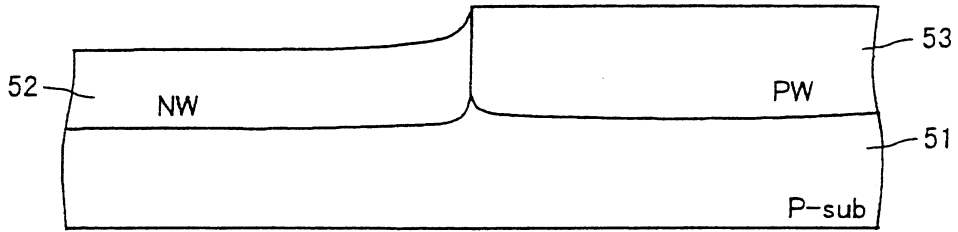
第 20 圖



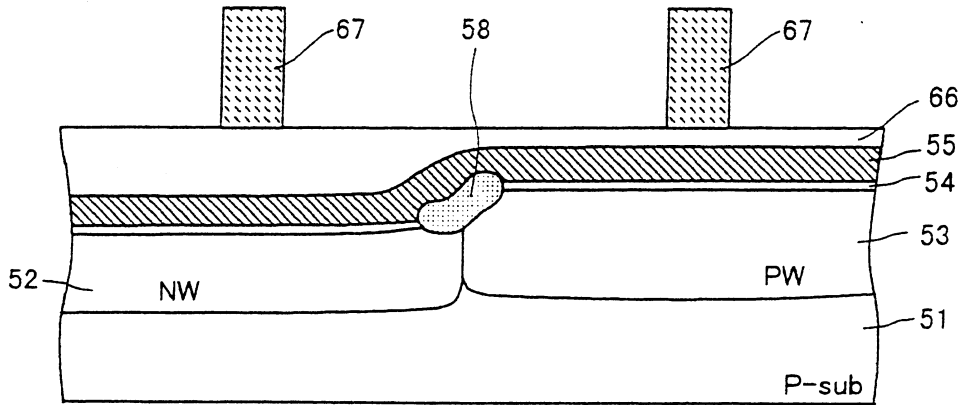
第21圖



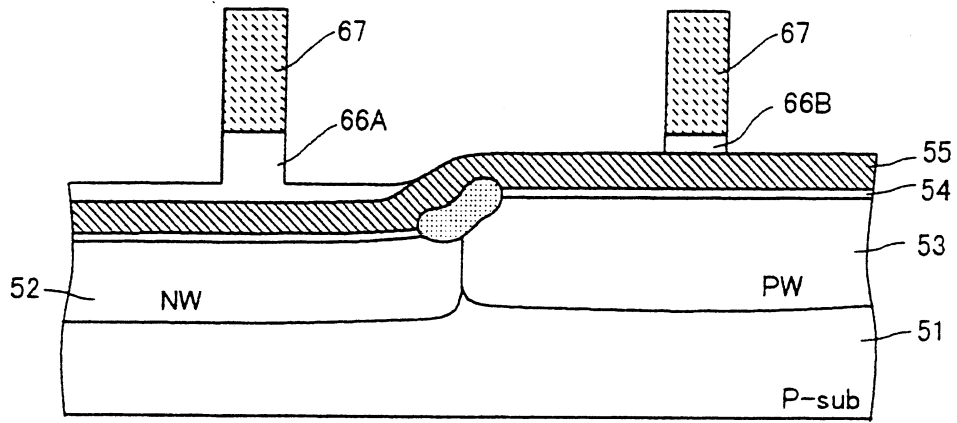
第22圖



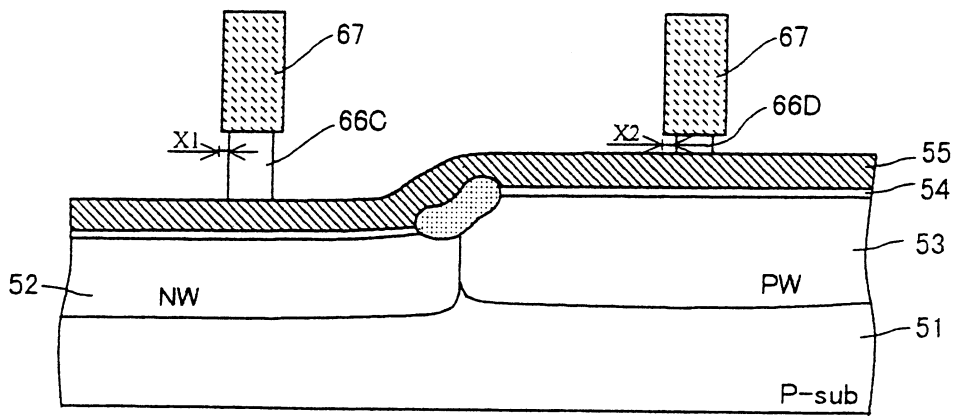
第23圖



第24圖



第25圖



第26圖

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

- | | | | |
|----|--------------|----|--------------|
| 1 | 基板 | 2 | P型阱 |
| 3 | N型阱 | 4 | 閘極氧化膜 |
| 4A | 第一閘極氧化膜 | 4B | 第二閘極氧化膜 |
| 5A | 第一閘極電極 | 5B | 第二閘極電極 |
| 6 | 第一(N型)源極/汲極層 | 7 | 第二(P型)源極/汲極層 |
| 8 | 元件分離膜 | | |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：90/33/50.

※申請日期：90.12.31.

※IPC 分類：H01L 29/18.

一、發明名稱：(中文/英文)

半導體裝置及其製法

SEMICONDUCTOR DEVICE AND MANUFACTURE METHOD

THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德/ KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通2丁目5番5號

5-5, Keihan-Hondori, 2-Chome, Moriguchi-City, Osaka, Japan

國籍：(中文/英文) 日本國/JAPAN

三、發明人：(共 4 人)

姓名：(中文/英文)

1. 谷口敏光/TOSHIMITSU TANIGUCHI

2. 森真也/SHINYA MORI

3. 石部真三/SHINZO ISIBE

4. 鈴木彰/AKIRA SUZUKI

國籍：(中文/英文) 1. 至 4. 日本國/JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本國 2001 年 1 月 30 日 特願 2001-021222 （主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關半導體裝置及其製法，更進一步的說，乃有關採用 LOCOS(local oxidation of silicon; 矽局部氧化)法之 CMOS 製程中的 CMOS 電晶體構造及其製法。

【先前技術】

以下參照圖式說明習知半導體裝置及其製法。

在第 19 圖中，51 係指半導體基板(P-sub)，於該基板 51 內形成 N 型阱(NW)52 與 P 型阱(PW)53，在該 N 型阱 52 上隔著第一閘極氧化膜 54A 形成有第一閘極電極 55A，並在該第一閘極電極 55A 附近形成第一(P 型)源極/汲極層 56，而構成第一(P 通道型)MOS 電晶體；在該 P 型阱 53 上隔著第二閘極氧化膜 54B 形成有第二閘極電極 55B，並在該第二閘極電極 55B 附近形成第二(N 型)源極/汲極層 57，而構成第二(N 通道型)MOS 電晶體。此外，58 係元件分離膜。

以下，針對上述半導體裝置之製法進行說明。首先，如第 20 圖所示，在上述基板 51 的特定區域(P 型阱 53 形成區域)中，形成鉍墊氧化膜 60 與氮化矽膜 61 之後，再以該鉍墊氧化膜 60 與氮化矽膜 61 為遮罩，對基板表面離子植入磷離子($^{31}\text{P}^+$)而形成離子植入層 62。

接著，如第 21 圖所示，以該氮化矽膜 61 為遮罩，利用 LOCOS 法對基板表面施行場氧化而形成 LOCOS 膜(矽局部氧化膜)63。此時，在 LOCOS 膜 63 形成區域下，經

離子植入的磷離子將擴散於基板內部並形成 N 型層 64。

其次，如第 22 圖所示，在去除上述鐳墊氧化膜 60 與氮化矽膜 61 之後，再以上述 LOCOS 膜 63 為遮罩，對基板表面施行硼離子 ($^{11}\text{B}^+$) 的離子植入，而形成離子植入層 65。

然後，如第 23 圖所示，在去除上述 LOCOS 膜 63 之後，使已植入於上述基板 51 中的各雜質離子進行熱擴散，而形成 N 型阱 52 與 P 型阱 53。

接著，如第 24 圖所示，在上述 N 型阱 52 與 P 型阱 53 的邊界線上形成元件分離膜 58 之後，於該元件分離膜 58 以外的區域形成閘極氧化膜 54，然後再於其上形成導電膜 55。之後，再對該導電膜 55 施行圖案化處理，而在上述 N 型阱 52 上，隔著第一閘極氧化膜 54A 形成第一閘極電極 55A，且以同樣方式在上述 P 型阱 53 上隔著第二閘極氧化膜 54B 形成第二閘極電極 55B。

然後，於上述第二 MOS 電晶體形成區域上形成光阻膜的狀態下，以上述第一閘極電極 55A 為遮罩施行離子植入，藉此在該第一閘極電極 55A 附近形成 P 型源極/汲極層 56，而構成第一 MOS 電晶體，並在上述第二閘極電極 55B 附近形成 N 型源極/汲極層 57，而構成第二 MOS 電晶體。

【發明內容】

(發明欲解決之課題)

在此，在上述 CMOS 構造中，為了分開製作 N 型阱

52 與 P 型阱 53 而利用 LOCOS 法，因此形成於經去除 LOCOS 膜 63 之區域的 N 型阱 52，將會低於 P 型阱 53 的位置(請參照第 23 圖)。

因此，如第 24 圖所示，在發生此種段差的區域中，在對閘極氧化膜 54 上的導電膜 55 施行圖案化處理而形成閘極電極之際，為防止駐波造成之線寬誤差，且為防止在段差部的光暈(halation)現象，而在光阻膜 67 下方塗布作為抗反射膜的有機薄膜 66(BARC: Bottom Anti Refraction Coating)。

惟，上述有機 BARC 因為利用旋塗機進行塗布，因此在段差低部會較厚，而在段差高部則較薄(請參照第 24 圖)。因此，當利用細微(如 $0.35 \mu\text{m}$)BARC 進行乾式蝕刻加工時，因為在段差低部與段差高部的 BARC 厚度有所不同，因此將造成段差低部的閘極電極與段差高部的閘極電極之線寬尺寸產生差異。另，第 25 圖係顯示由於 BARC 蝕刻量的不足，而在段差低部殘餘 BARC 的狀態(有機薄膜 66A 與有機薄膜 66B 的寬度尺寸相同)，而在第 26 圖中則顯示因為在 RARC 蝕刻量上存在差異[有機薄膜 66D 的寬度尺寸較有機薄膜 66C 為細(有機薄膜 66 之切削量 $X1 < X2$)]，因此導致在閘極電極的線寬上產生差異(段差高部的線寬較細)。

(解決課題之手段)

因此，本發明之半導體裝置乃有鑑於上述課題而研創者，其係為形成於表面具有段差之半導體基板上之半導體

裝置，而其特徵為具備：第一電晶體，係由隔著第一閘極氧化膜而形成於段差低部之第一閘極電極、及形成於前述第一閘極電極附近之第一源極／汲極層所構成；以及第二電晶體，係由隔著第二閘極氧化膜而形成於段差高部之線寬較前述第一閘極電極寬的第二閘極電極、及形成於前述第二閘極電極附近之第二源極／汲極層所構成。

再者，本發明之半導體裝置之製法係於表面具有段差之半導體基板上形成第一及第二電晶體之半導體裝置之製法，其特徵為具備：於段差低部形成第一閘極氧化膜之步驟；於段差高部形成第二閘極氧化膜之步驟；於前述第一及第二閘極氧化膜上形成導電膜之後，以有機膜及光阻膜作為遮罩將該導電膜施行圖案化處理而形成第一閘極電極及線寬較該第一閘極電極寬的第二閘極電極之步驟；於前述第一閘極電極附近形成第一源極／汲極層而形成第一電晶體之步驟；以及於前述第二閘極電極附近形成第二源極／汲極層而形成第二電晶體之步驟。

然後，上述之半導體裝置中，係具備有：一導電型及反導電型半導體層，係以前述半導體基板上的段差部為邊境而形成；以及元件分離膜，係形成於段差低部與段差高部的邊界線上。

再者，前述第一電晶體係構成普通耐壓的 MOS 電晶體，而前述第二電晶體則構成高耐壓 MOS 電晶體。

再者，於上述之半導體裝置之製法中，係具備有：以前述半導體基板上之段差部為邊境而形成一導電型半導體

層及反導電型半導體層之步驟；以及於段差低部與段差高部之邊界線上形成元件分離膜之步驟。

再者，係利用 LOCOS 法而於前述基板上形成段差部。

藉此，當在該基板上存在有段差時，利用在段差低部形成較在段差高部所形成之第二閘極電極之線寬尺寸更細微的第一閘極電極，而可對應加工邊界較少的細微閘極電極。

【實施方式】

以下參照圖式說明本發明半導體裝置及其製法的第一實施態樣。

其中，本發明之特徵在於：於當半導體基板上存在有段差時，在段差低部係配置較在段差高部所形成之第二閘極電極的線寬尺寸更細微的第一閘極電極。換句話說，可抑制為了防止因駐波而造成之線寬誤差、或為防止在段差部產生光暈現象，而所塗布有機 BARC 的厚度差，因而在形成於段差低部之閘極電極，與形成於段差高部之閘極電極間產生線寬誤差。因此，在本實施態樣中，係將形成於段差低部的閘極電極，配置呈較形成於段差高部的閘極電極線寬更細微。

以下，以本發明之在段差低部形成線寬較細之第一閘極電極(如 3V 邏輯用：0.35 μm)，並在段差高部形成線寬較寬之第二閘極電極(如具有 30V 耐壓之高電源用：5 μm)的情況為例進行說明。

在第 1 圖中，1 係指一導電型，譬如在 P 型半導體基

板(P-sub)，於該基板 1 內形成 P 型阱(PW)2 與 N 型阱(NW)3，並在該 P 型阱 2 上隔著第一閘極氧化膜 4A 而形成第一閘極電極 5A，且在該第一閘極電極 5A 附近形成第一(N 型)源極/汲極層 6，而構成第一(N 通道型)MOS 電晶體；在該 N 型阱 3 上隔著第二閘極氧化膜 4B 而形成第二閘極電極 5B，且在該第二閘極電極 5B 附近形成第二(P 型)源極/汲極層 7，而構成第二(P 通道型)MOS 電晶體。另，8 係指元件分離膜。

在第 2 圖中，於半導體基板 1(P-sub)之特定區域(N 型阱 3 形成區域)形成鉬墊氧化膜 10 與氮化矽膜 11 之後，再以該鉬墊氧化膜 10 與氮化矽膜 11 為遮罩，對基板表面，將如硼離子($^{11}\text{B}^+$)依約 80KeV 的加速電壓且 $8 \times 10^{12}/\text{cm}^2$ 的植入條件，施行離子植入而形成離子植入層 12。

然後，如第 3 圖所示，以上述氮化矽膜 11 為遮罩，利用 LOCOS 法對基板表面施行場氧化而形成 LOCOS 膜 13。此時，在 LOCOS 膜 13 形成區域下，經離子植入的硼離子將擴散於基板內部而形成 P 型層 14。

其次，如第 4 圖所示，在去除上述鉬墊氧化膜 10 與氮化矽膜 11 之後，再以上述 LOCOS 膜 13 為遮罩，對基板表面，將磷離子($^{31}\text{P}^+$)依約 80KeV 的加速電壓且 $9 \times 10^{12}/\text{cm}^2$ 的植入條件，施行離子植入而形成離子植入層 15。

然後，如第 5 圖所示，在去除上述 LOCOS 膜 13 之後，使已植入於上述基板 1 中的各雜質離子進行熱擴散，而形成 P 型阱 2 與 N 型阱 3。

接著，如第 6 圖所示，在上述 P 型阱 2 與 N 型阱 3 的邊界線上形成元件分離膜 8 之後，於該元件分離膜 8 以外的區域形成閘極氧化膜 4，且於其上形成導電膜 5[譬如疊層有多晶矽膜、或多晶矽膜與矽化鎢膜(WSi_x 膜)之複晶矽膜等]。

之後，如第 7 圖所示，在上述導電膜 5 上塗布有機 BARC 而形成有機薄膜 16，然後再於其上形成光阻膜 17。此時，因為有機 BARC 乃屬旋塗塗布，因此有機薄膜 16 的膜厚便形成段差低部側的厚度較段差高部的厚度為厚。

然後，如第 8 圖所示，以上述光阻膜 17 為遮罩，對上述導電膜 5 施行圖案化處理，而形成第一閘極電極 5A 與第二閘極電極 5B。

亦即，首先，對光阻膜 17 下方之有機薄膜 16 施行圖案化處理之後，以該光阻膜 17 及有機薄膜 16 為遮罩，將前述導電膜 5 施行圖案化處理而形成第 1 閘極電極 5A 及第 2 閘極電極 5B (參照第 1 圖)。此時，由於有機薄膜 16 厚度的差異而使得段差高部的有機薄膜 16B 相較於段差低部的有機薄膜 16A 被切削較多而使線寬較細。然而，例如，即使段差低部的有機薄膜 16A 之切削量 $X1$ 為 $0.02 \mu m$ ，段差高部的有機薄膜 16B 的切削量 $X2$ 為 $0.05 \mu m$ ，形成於段差高部之第 1 閘極電極 5B 之線寬尺寸在設計上，由於為 $5 \mu m$ 之較寬的線寬，因此此種線寬誤差所產生的影響可減至最低。

因此，藉由將前述光阻膜 17 及有機薄膜 16A、16B 作

為遮罩而對前述導電膜 5 施行圖案化處理，即可形成經降低線寬誤差影響的第 1 閘極電極 5A 及第 2 閘極電極 5B。

以下，如第 1 圖所示，在上述第一閘極電極 5A 附近施行 N 型雜質(如磷離子)的離子植入，而形成 N 型源極/汲極層 6，且以同樣方式在上述第二閘極電極 5B 附近施行 P 型雜質(如硼離子)的離子植入，而形成 P 型源極/汲極層 7。雖省略圖示說明，但利用在整面上形成層間絕緣層，且形成接觸於各源極/汲極層 6,7 的金屬配線，而完成混載有細微之(如 3V 邏輯用： $0.35\ \mu\text{m}$)普通耐壓 MOS 電晶體，與高耐壓(如高電源： $5\ \mu\text{m}$)MOS 電晶體的半導體裝置。

再者，配合說明上的方便，在上述說明中，雖採用普通耐壓 MOS 電晶體與高耐壓 MOS 電晶體均形成相同膜厚之閘極氧化膜 4A,4B 進行說明，但以實際上的閘極氧化膜 4A,4B 膜厚而言，譬如 3V 左右之普通耐壓 MOS 電晶體端的閘極氧化膜 4A 膜厚約需 7nm，而譬如 30V 左右之高耐壓 MOS 電晶體端的閘極氧化膜 4B 膜厚便需約 80nm，且分別於其他步驟形成。再者，同樣的，實際上的各源極/汲極層 6,7 構造，亦配合各種電晶體特性，而可為如所謂的 LDD 構造、DDD 構造、或如圖示之單一構造或各種不同的構造。

在以上所說明的本發明中，即便在半導體基板上具有段差部，亦可降低閘極電極線寬誤差。

再者，具有提昇閘極電極線寬調整的自由度之優點。甚至可更容易的混載細微之 MOS 電晶體與高電源 MOS 電

晶體。

然後，針對將本發明應用於混載有構成液晶驅動用驅動器及 EL(Electro Luminescence)驅動用驅動器等各種顯示裝置驅動用驅動器之各種 MOS 電晶體而成的半導體裝置之第二實施態樣，請參照圖式進行說明。

上述液晶驅動用驅動器係由從第 18(a)圖左側起的邏輯系(如 3V)N 通道型 MOS 電晶體及 P 通道型 MOS 電晶體、位準移位器用(如 30V)N 通道型 MOS 電晶體、高耐壓系(如 30V)N 通道型 MOS 電晶體、從第 18(b)圖左側起達到低導通電阻化之高耐壓系(如 30V)N 通道型 MOS 電晶體、高耐壓系(如 30V)P 通道型 MOS 電晶體、以及達到低導通電阻化之高耐壓系(如 30V)P 通道型 MOS 電晶體所構成。另，配合說明上的方便，為將上述高耐壓系 MOS 電晶體與達到低導通電阻化之高耐壓系 MOS 電晶體予以差別化，在下述說明中，係將達到低導通電阻化之高耐壓系 MOS 電晶體稱為 SLED(Slit channel counter doping with extended shallow drain)MOS 電晶體。

在此種混載有構成顯示裝置驅動用驅動器之各種 MOS 電晶體而所構成的半導體裝置中，如第 18 圖所示，上述高耐壓系 P 通道型 MOS 電晶體、與構成達到上述低導通電阻化之高耐壓系的 P 通道型 SLED MOS 電晶體的 N 型阱 23，將形成段差高部，而構成其他各種 MOS 電晶體的 P 型阱 22 則構成段差低部。換言之，形成將細微邏輯系(如 3V)N 通道型 MOS 電晶體及 P 通道型 MOS 電晶體，

配置於段差低部之構成。

即便此情況下，在半導體基板上，藉由在段差低部至少配置細微邏輯系(如 3V: 0.35 μ m)N 通道型 MOS 電晶體與 P 通道型 MOS 電晶體的構造，便可降低上述閘極電極的線寬誤差。

以下，針對上述半導體裝置之製法進行說明。另，為避免重複說明，請參照在第一實施態樣說明中所採用的圖式進行說明。

首先，在第 9 圖中，為區劃出供構成各種 MOS 電晶體的區域，譬如在 P 型半導體基板(P-sub)21 內，形成 P 型阱(PW)22 及 N 型阱(NW)23(以下請參照第 2 圖至第 5 圖)。

首先，如第 2 圖所示，在上述基板 21 之 N 型阱形成區域上，形成銲墊氧化膜 10 與氮化矽膜 11，然後再以該銲墊氧化膜 10 及氮化矽膜 11 為遮罩，將譬如硼離子依約 80KeV 的加速電壓且 $8 \times 10^{12}/\text{cm}^2$ 的植入條件，施行離子植入而形成離子植入層 12。然後，如第 3 圖所示，以該氮化矽膜 11 為遮罩，利用 LOCOS 法對基板表面施行場氧化處理而形成 LOCOS 膜 13。此時，在已離子植入於 LOCOS 膜 13 形成區域下的硼離子，將擴散於基板內部而形成 P 型層 14。

其次，如第 4 圖所示，在去除上述銲墊氧化膜 10 及氮化矽膜 11 之後，再以上述 LOCOS 膜 13 為遮罩，對基板表面將磷離子依約 80KeV 的加速電壓且 $9 \times 10^{12}/\text{cm}^2$ 的植入條件，施行離子植入而形成離子植入層 15。

然後，如第 5 圖所示，在去除上述 LOCOS 膜 13 之後，使已植入於上述基板 1 中的各雜質離子進行熱擴散，而形成 P 型阱與 N 型阱，藉此如第 9 圖所示，形成於上述基板 21 內的 P 型阱 22 即配置於段差低部，而 N 型阱(NW)23 則配置於段差高部。

其次，在第 10 圖中，因為依每個 MOS 電晶體而元件分離，因此利用 LOCOS 法而形成約 500nm 左右的元件分離膜 24，並在除此元件分離膜 24 之外的活性區域上，利用熱氧化法形成約 80nm 左右的高耐壓用較厚閘極氧化膜 25。

接著，以光阻膜為遮罩，形成第一低濃度的 N 型及 P 型源極/汲極層(以下稱「LN 層 26」、「LP 層 27」)。換句話說，首先，在以光阻膜覆蓋 LN 層形成區域以外之區域的狀態下，對基板表層將譬如磷離子依約 120KeV 的加速電壓且 $8 \times 10^{12}/\text{cm}^2$ 的植入條件，施行離子植入而形成 LN 層 26。然後，再以光阻膜(PR)覆蓋除 LP 層形成區域以外之區域的狀態下，對基板表層將譬如硼離子依約 120KeV 的加速電壓且 $8.5 \times 10^{12}/\text{cm}^2$ 的植入條件，施行離子植入而形成 LP 層 27。另，實際上，經由後續步驟的退火步驟(如在 1100°C 之 N_2 環境下，施行 2 小時)，使已植入上述離子的各離子種進行熱擴散而形成 LN 層 26 與 LP 層 27。

接著，在第 11 圖中，在已形成 P 通道型與 N 通道型 SLED MOS 電晶體形成區域之上述 LN 層 26 間及 LP 層 27

間，以光阻膜為遮罩，分別形成第二低濃度之 N 型與 P 型源極/汲極層(以下稱「SLN 層 28」、「SLP 層 29」)。換句話說，首先，在以未圖示的光阻膜覆蓋 SLN 層形成區域上以外之區域的狀態下，對基板表層將譬如磷離子依約 120KeV 的加速電壓且 $1.5 \times 10^{12}/\text{cm}^2$ 的植入條件，施行離子植入而形成連接於上述 LN 層 26 的 SLN 層 28。然後，再以光阻膜(PR)覆蓋除 SLP 層形成區域以外之區域的狀態下，對基板表層將譬如二氟化硼離子($^{49}\text{BF}_2^+$)依約 140KeV 的加速電壓且 $2.5 \times 10^{12}/\text{cm}^2$ 的植入條件，施行離子植入而形成連接於上述 LP 層 27 之 SLP 層 29。另，上述 LN 層 26 與上述 SLN 層 28、或上述 LP 層 27 與上述 SLP 層 29 之雜質濃度，可設定為約略相同，亦可設定為其中任一者較高。

再者，在第 12 圖中，以光阻膜為遮罩，形成高濃度之 N 型與 P 型源極/汲極層(以下稱「N+層 30」、「P+層 31」)。換句話說，首先，在以未圖示的光阻膜覆蓋 N+層形成區域上以外之區域的狀態下，對基板表層將譬如磷離子依約 80KeV 的加速電壓且 $2 \times 10^{15}/\text{cm}^2$ 的植入條件，施行離子植入而形成 N+層 30。然後，再以光阻膜(PR)覆蓋除 P+層形成區域上以外之區域的狀態下，對基板表層將譬如二氟化硼離子依約 140KeV 的加速電壓且 $2 \times 10^{15}/\text{cm}^2$ 的植入條件，施行離子植入而形成 P+層 31。

其次，在第 13 圖中，以具有開口徑小於上述 SLN 層 28 與 SLP 層 29 形成用遮罩之開口徑(請參照第 11 圖)的光

阻膜為遮罩，對連接於上述 LN 層 26 之 SLN 層 28 中央部，與連接於上述 LP 層 27 之 SLP 層 29 中央部，分別離子植入反導電型雜質，而形成將該 SLN 層 28 與 SLP 層 29 予以分割的 P 型主體層 32 與 N 型主體層 33。換句話說，首先，在以未圖示的光阻膜覆蓋 P 型層形成區域上以外之區域的狀態下，對基板表層將譬如二氟化硼離子依約 120KeV 的加速電壓且 $5 \times 10^{12}/\text{cm}^2$ 的植入條件，施行離子植入而形成 P 型主體層 32。然後，再以光阻膜(PR)覆蓋 N 型層形成區域上以外之區域的狀態下，對基板表層將譬如磷離子依約 190KeV 的加速電壓且 $5 \times 10^{12}/\text{cm}^2$ 的植入條件，施行離子植入而形成 N 型主體層 33。另，相關上述第 11 圖至第 13 圖所示離子植入步驟的作業步驟順序，可進行適當的改變，而在上述 P 型主體層 32 與 N 型主體層 33 表層上構成通道。

再者，在第 14 圖中，在上述普通耐壓用細微化 N 通道型及 P 通道型 MOS 電晶體形成區域的基板(P 型阱 22)內，形成第二 P 型阱(SPW)34 及第二 N 型阱(SNW)35。

換句話說，以在上述普通耐壓 N 通道型 MOS 電晶體形成區域上之具開口的未圖示光阻膜為遮罩，對上述 P 型阱 22 內，將譬如硼離子依約 190KeV 的加速電壓且 $1.5 \times 10^{13}/\text{cm}^2$ 的第一植入條件，施行離子植入後，再同樣的將硼離子依約 50KeV 的加速電壓且 $2.6 \times 10^{12}/\text{cm}^2$ 的第二植入條件，施行離子植入，而形成第二 P 型阱 34。另，以在上述普通耐壓用之 P 通道型 MOS 電晶體形成區域上之具

開口的光阻膜(PR)為遮罩，對上述 P 型阱 22 內，將譬如磷離子依約 380KeV 的加速電壓且 $1.5 \times 10^{13}/\text{cm}^2$ 的植入條件，施行離子植入後，而形成第二 N 型阱 35。此外，當無 380KeV 左右之高加速電壓產生裝置時，亦可採取將二價的磷離子依約 190KeV 的加速電壓且 $1.5 \times 10^{13}/\text{cm}^2$ 的植入條件，施行離子植入的雙電荷方式。接著，再將磷離子依約 140KeV 的加速電壓且 $4.0 \times 10^{12}/\text{cm}^2$ 的植入條件，施行離子植入。

其次，在去除普通耐壓用 N 通道型與 P 通道型 MOS 電晶體形成區域上，及位準移位器用 N 通道型 MOS 電晶體形成區域上的上述閘極氧化膜 25 之後，如第 15 圖所示，在此區域上形成新的所需膜厚之閘極氧化膜。

換句話說，首先，利用熱氧化法，在位準移位器用 N 通道型 MOS 電晶體用的整面上，形成約 14nm 左右(在此階段下雖為約 7nm 左右，但在後述普通耐壓用閘極氧化膜形成時則增加膜厚)的閘極氧化膜 36。接著，在去除形成於普通耐壓用 N 通道型及 P 通道型 MOS 電晶體形成區域上之上述位準移位器用 N 通道型 MOS 電晶體的閘極氧化膜 36 之後，再於此區域中利用熱氧化法，形成普通耐壓用較薄的閘極氧化膜 37(約 7nm 左右)。

接著，在第 16 圖中，整面上形成約 100nm 左右的多晶矽膜，並對此多晶矽膜，以 POCl_3 為熱擴散源進行熱擴散而導電化之後，再於此多晶矽膜上疊層約 100nm 左右的矽化鎢膜，更疊層約 150nm 的 SiO_2 膜，然後採用未圖示

的光阻膜施行圖案化處理，而形成各 MOS 電晶體用閘極電極 38A,38B,38C,38D,38E,38F,38G。另，上述 SiO₂ 膜在圖案化處理時具有硬遮罩的作用。

其中，當對上述閘極電極施行圖案化形成之際，隔著各閘極氧化膜 25,36,37 而在整面形成導電膜 5 之後，再於其上塗布有機 BARC 而形成有機薄膜 16。此時，因為有機 BARC 屬旋塗塗布，因此有機薄膜 16 的膜厚將形成在段差低部側的厚度，較在段差高部的厚度為厚(請參照第 7 圖)。

然後，以形成於上述有機薄膜 16 上的光阻膜 17 為遮罩，對上述導電膜 5 施行圖案化處理，而形成各閘極電極(38A,38B,38C,38D,38E,38F,38G)(請參照第 8 圖)。

此時，因為有機薄膜 16 的厚度不同，因此相較於段差低部的有機薄膜 16，段差高部的有機薄膜 16 被切削較多，而使線寬較細。惟在本實施態樣中，在段差高部係使高耐壓 P 通道型 MOS 電晶體與達到低導通電阻化的高耐壓 P 通道型 SLED MOS 電晶體用之線寬尺寸在設計上，形成為 5 μ m 較寬的各閘極電極 38E,38G，因此可減小線寬誤差的影響。

故，以上述光阻膜 17 與有機薄膜 16 為遮罩，而對上述導電膜 5 施行圖案化處理時，即可形成經降低線寬誤差影響的閘極電極 38A,38B,38C,38D,38E,38F,38G。

接著，在第 17 圖中，於上述普通耐壓用 N 通道型及 P 通道型 MOS 電晶體用上，形成低濃度源極/汲極層。

換句話說，首先，在以覆蓋著普通耐壓用 N 通道型

MOS 電晶體用的低濃度源極/汲極層形成區域上以外區域的光阻膜為遮罩，將譬如磷離子依約 20KeV 的加速電壓且 $6.2 \times 10^{13}/\text{cm}^2$ 的植入條件，施行離子植入而形成低濃度 N-型源極/汲極層 39。此外，並以覆蓋著普通耐壓用 P 通道型 MOS 電晶體用的低濃度源極/汲極層形成區域上以外區域的未圖示光阻膜(PR)為遮罩，將譬如二氟化硼離子依約 20KeV 的加速電壓且 $2 \times 10^{13}/\text{cm}^2$ 的植入條件，施行離子植入而形成低濃度 P-型源極/汲極層 40。

再者，於第 18 圖中，利用 LPCVD 法形成約 250nm 左右的 TEOS 膜 41，俾使整面覆蓋上述閘極電極 38A,38B,38C,38D,38E,38F,38G 並以在上述普通耐壓用 N 通道型與 P 通道型 MOS 電晶體形成區域上具有開口的光阻膜(PR)為遮罩，對上述 TEOS 膜 41 施行非等向性蝕刻。藉此便如第 18 圖所示，在上述閘極電極 38A,38B 的二側壁部形成側壁間隙壁膜 41A，而於被上述光阻膜(PR)所覆蓋的區域上則仍然保留著 TEOS 膜 41。

然後，以上述閘極電極 38A 與側壁間隙壁膜 41A，及上述閘極電極 38B 與側壁間隙壁膜 41A 為遮罩，而在上述普通耐壓用 N 通道型與 P 通道型 MOS 電晶體用上形成高濃度源極/汲極層。

換句話說，在以覆蓋著普通耐壓用 N 通道型 MOS 電晶體用的高濃度源極/汲極層形成區域上以外區域的未圖示光阻膜為遮罩，將譬如砷離子依約 100KeV 的加速電壓且 $5 \times 10^{15}/\text{cm}^2$ 的植入條件，施行離子植入而形成高濃度

N+型源極/汲極層 42。此外，並以覆蓋著普通耐壓用 P 通道型 MOS 電晶體用的高濃度源極/汲極層形成區域上以外區域的未圖示光阻膜為遮罩，將譬如二氟化硼離子依約 40KeV 的加速電壓且 $2 \times 10^{15}/\text{cm}^2$ 的植入條件，施行離子植入而形成高濃度 P+型源極/汲極層 43。

以下，雖省略圖示說明，但於整面形成由 TEOS 膜及 BPSG 膜等所構成的約 600nm 左右的層間絕緣膜之後，利用形成接觸於上述各高濃度源極/汲極層 30,31,42,43 的金屬配線層，完成構成上述液晶驅動用驅動器及 EL 驅動用驅動器等各種顯示裝置驅動用驅動器的普通耐壓用 M 通道型 MOS 電晶體與 P 通道型 MOS 電晶體、位準移位器用 N 通道型 MOS 電晶體、高耐壓用 N 通道型 MOS 電晶體及 P 通道型 MOS 電晶體、達到低導通電阻化之高耐壓用 N 通道型 DMOS 電晶體與 P 通道型 DMOS 電晶體。

再者，在上述說明中，雖針對上述 P 型阱 2,22 側形成於段差低部的實施態樣進行說明，但此乃因為細微 MOS 電晶體形成 P 型阱 2,22 上的緣故所致。惟本發明並不僅限於此，當在 N 型阱 3,23 上形成細微 MOS 電晶體時，該 N 型阱 3,23 便形成於段差低部。

再者，本發明亦可採用譬如根據段差高低差的數據，而調整形成於各段差部的閘極電極之線寬尺寸。

再者，本發明並未僅限定於將閘極電極施行圖案化處理，亦可在表面上具有段差之半導體基板上，譬如構成配線等圖案時，利用使段差低部較在段差高部形成的圖案更

細微，而降低線寬誤差的影響。

(發明之功效)

依照本發明，在表面上具有段差之半導體基板上構成圖案時，利用使段差低部所形成的圖案較在段差高部所形成的圖案更細微，可降低線寬誤差的影響。

故，在此種譬如表面上具有段差之半導體基板上，構成第一與第二電晶體時，利用於段差低部配置較細微的電晶體，而於段差高部配置線寬尺寸比較寬的電晶體，即可降低線寬誤差的影響，而較容易混載細微化製程。

【圖式簡單說明】

第 1 圖係本發明第一實施態樣之半導體裝置之製造方法的剖面示意圖。

第 2 圖係本發明第一實施態樣之半導體裝置之製造方法的剖面示意圖。

第 3 圖係本發明第一實施態樣之半導體裝置之製造方法的剖面示意圖。

第 4 圖係本發明第一實施態樣之半導體裝置之製造方法的剖面示意圖。

第 5 圖係本發明第一實施態樣之半導體裝置之製造方法的剖面示意圖。

第 6 圖係本發明第一實施態樣之半導體裝置之製造方法的剖面示意圖。

第 7 圖係本發明第一實施態樣之半導體裝置之製造方法的剖面示意圖。

第 8 圖係本發明第一實施態樣之半導體裝置之製造方法的剖面示意圖。

第 9(a)及(b)圖係本發明第二實施態樣之半導體裝置之製造方法的剖面示意圖。

第 10(a)及(b)圖係本發明第二實施態樣之半導體裝置之製造方法的剖面示意圖。

第 11(a)及(b)圖係本發明第二實施態樣之半導體裝置之製造方法的剖面示意圖。

第 12(a)及(b)圖係本發明第二實施態樣之半導體裝置之製造方法的剖面示意圖。

第 13(a)及(b)圖係本發明第二實施態樣之半導體裝置之製造方法的剖面示意圖。

第 14(a)及(b)圖係本發明第二實施態樣之半導體裝置之製造方法的剖面示意圖。

第 15(a)及(b)圖係本發明第二實施態樣之半導體裝置之製造方法的剖面示意圖。

第 16(a)及(b)圖係本發明第二實施態樣之半導體裝置之製造方法的剖面示意圖。

第 17(a)及(b)圖係本發明第二實施態樣之半導體裝置之製造方法的剖面示意圖。

第 18(a)及(b)圖係本發明第二實施態樣之半導體裝置之製造方法的剖面示意圖。

第 19 圖係習知半導體裝置之製造方法的剖面示意圖。

第 20 圖係習知半導體裝置之製造方法的剖面示意圖。

- 第 21 圖係習知半導體裝置之製造方法的剖面示意圖。
 第 22 圖係習知半導體裝置之製造方法的剖面示意圖。
 第 23 圖係習知半導體裝置之製造方法的剖面示意圖。
 第 24 圖係習知半導體裝置之製造方法的剖面示意圖。
 第 25 圖係習知半導體裝置之製造方法的剖面示意圖。
 第 26 圖係習知半導體裝置之製造方法的剖面示意圖。

【圖示編號說明】

- | | | | |
|----|---------------|----|---------------|
| 1 | 基板 | 2 | P 型阱 |
| 3 | N 型阱 | 4 | 閘極氧化膜 |
| 4A | 第一閘極氧化膜 | 4B | 第二閘極氧化膜 |
| 5 | 導電膜 | 5A | 第一閘極電極 |
| 5B | 第二閘極電極 | 6 | 第一(N 型)源極/汲極層 |
| 7 | 第二(P 型)源極/汲極層 | 8 | 元件分離膜 |
| 10 | 鍍墊氧化膜 | 11 | 氮化矽膜 |
| 12 | 離子植入層 | 13 | LOCOS 膜 |
| 14 | P 型層 | 15 | 離子植入層 |
| 16 | 有機薄膜 | 17 | 光阻膜 |
| 21 | 基板 | 22 | P 型阱 |
| 23 | N 型阱(NW) | 24 | 元件分離膜 |
| 25 | 閘極氧化膜 | 26 | LN 層 |
| 27 | LP 層 | 28 | SLN 層 |
| 29 | SLP 層 | 30 | N+層 |
| 31 | P+層 | 32 | P 型主體層 |
| 33 | N 型主體層 | 34 | 第二 P 型阱 |

I269442

35	第二 N 型阱	36	閘極氧化膜
37	閘極氧化膜		
38A,38B,38C,38D,38E,38F,38G	閘極電極		
39	N-型源極/汲極層	40	P-型源極/汲極層
41	TEOS 膜	41A	側壁間隙壁膜
42	N+型源極/汲極層	51	基板
52	N 型阱	53	P 型阱
54	閘極氧化膜	54A	第一閘極氧化膜
54B	第二閘極氧化膜	55	導電膜
55A	第一閘極電極	55B	第二閘極電極
56	第一(P 型)源極/汲極層	57	第二(N 型)源極/汲極層
58	元件分離膜	60	鍍墊氧化膜
61	氮化矽膜	62	離子植入層
63	LOCOS 膜	64	N 型層
65	離子植入層	66	有機薄膜
66A 至 66D	有機薄膜	67	光阻膜

五、中文發明摘要：

本發明之課題在於降低微電晶體與高耐壓電晶體的線寬誤差。

其中，以 P 型半導體基板 1 上之段差部為邊界，而形成 P 型阱 2 與 N 型阱 3 者；其特徵為，在形成段差低部之該 P 型阱 2 上，形成具有第一線寬之第一電晶體(微電晶體)，而在形成於段差高部之該 N 型阱 3 上，形成具有線寬較第一電晶體者為寬之第二線寬的第二電晶體(高耐壓電晶體)。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置，係形成於表面具有段差之半導體基板上者，其特徵為具備：

第一電晶體，係由隔著第一閘極氧化膜而形成於段差低部之第一閘極電極、及形成於前述第一閘極電極附近之第一源極／汲極層所構成；以及

第二電晶體，係由隔著第二閘極氧化膜而形成於段差高部之線寬較前述第一閘極電極寬的第二閘極電極、及形成於前述第二閘極電極附近之第二源極／汲極層所構成。

2. 如申請專利範圍第 1 項之半導體裝置，其中，係具備有：

一導電型及反導電型半導體層，係以前述半導體基板上之段差部為邊境而形成；以及

元件分離膜，係形成於段差低部與段差高部的邊界線上。

3. 如申請專利範圍第 1 項或第 2 項之半導體裝置，其中，前述第一電晶體係構成普通耐壓的 MOS 電晶體，而前述第二電晶體則構成高耐壓 MOS 電晶體。

4. 一種半導體裝置之製法，係於表面具有段差之半導體基板上形成第一及第二電晶體者，其特徵為具備：

於段差低部形成第一閘極氧化膜之步驟；

於段差高部形成第二閘極氧化膜之步驟；

於前述第一及第二閘極氧化膜上形成導電膜之後，以有機膜及光阻膜作為遮罩將該導電膜施行圖案化

處理而形成第一閘極電極及線寬較該第一閘極電極寬的第二閘極電極之步驟；

於前述第一閘極電極附近形成第一源極／汲極層而形成第一電晶體之步驟；以及

於前述第二閘極電極附近形成第二源極／汲極層而形成第二電晶體之步驟。

5. 如申請專利範圍第 4 項之半導體裝置之製法，其中，係具備有：

以前述半導體基板上之段差部為邊境而形成一導電型半導體層及反導電型半導體層之步驟；以及

於段差低部與段差高部之邊界線上形成元件分離膜之步驟。

6. 如申請專利範圍第 5 項之半導體裝置之製法，其中，係利用 LOCOS 法而於前述基板上形成段差部。