



(12) 发明专利

(10) 授权公告号 CN 101997005 B

(45) 授权公告日 2015. 11. 25

(21) 申请号 201010248853. 9

(22) 申请日 2010. 08. 06

(30) 优先权数据

2009-185315 2009. 08. 07 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 山崎舜平 坂田淳一郎 细羽幸

西田惠里子

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 刘偶

(51) Int. Cl.

H01L 27/12(2006. 01)

H01L 23/52(2006. 01)

H01L 29/43(2006. 01)

H01L 21/77(2006. 01)

(56) 对比文件

CN 101057333 A , 2007. 10. 17, 全文.

CN 101335274 A , 2008. 12. 31, 说明书第 9 页第 12 行至第 28 页第 10 行、附图 4A-15.

CN 101526709 A , 2009. 09. 09, 说明书第 2 页第 10 行至第 8 页第 30 行、附图 1.

CN 1399161 A , 2003. 02. 26, 说明书第 9 页第 3 行至第 16 页第 12 行、附图 7-8.

CN 1892387 A , 2007. 01. 10, 说明书第 3 页第 23 行至第 20 页第 22 行、附图 1-5.

US 2008057631 A1 , 2008. 03. 06, 说明书第 [0024]-[0032] 段、附图 3.

US 2008246033 A1 , 2008. 10. 09, 说明书第 [0047]-[0083] 段、附图 3.

审查员 廖艳围

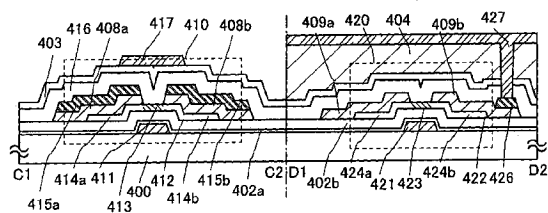
权利要求书3页 说明书64页 附图49页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明涉及半导体器件及其制造方法。本发明的一个目的是增加半导体器件的孔径比。在一个衬底上提供像素部分和驱动器电路。像素部分中的第一薄膜晶体管 (TFT) 包括:衬底上的栅极电极层;栅极电极层上的栅极绝缘层;栅极绝缘层上的氧化物半导体层;氧化物半导体层上的源极和漏极电极层;在栅极绝缘层、氧化物半导体层、源极和漏极电极层上的、与氧化物半导体层的一部分接触的保护性绝缘层;以及在保护性绝缘层上的像素电极层。所述像素部分具有光透射性质。此外,驱动器电路中的第二 TFT 的源极和漏极电极层的材料不同于第一 TFT 的源极和漏极电极层的材料。



1. 一种半导体器件,包括:

在衬底上形成的像素部分,该像素部分包括第一晶体管;以及
在所述衬底上形成的驱动器电路部分,该驱动器电路部分包括第二晶体管,
其中,所述第一晶体管包括:

在所述衬底上的第一栅极电极层;

在所述第一栅极电极层上的栅极绝缘层;

在所述栅极绝缘层上的第一氧化物半导体层;

在所述第一氧化物半导体层上的第一源极电极层和第一漏极电极层;

在所述第一源极电极层的一部分或所述第一漏极电极层的一部分上并与之接触的第一导电层;

在所述栅极绝缘层、第一氧化物半导体层、第一源极电极层、第一漏极电极层和第一导电层上的第一氧化物绝缘层,所述第一氧化物绝缘层至少与在所述第一源极电极层和所述第一漏极电极层之间的所述第一氧化物半导体层的一部分接触,以及

所述第一氧化物绝缘层上的像素电极层,所述像素电极层被电连接到所述第一导电层,

其中,所述第二晶体管包括:

在所述衬底上的第二栅极电极层;

在所述第二栅极电极层上的所述栅极绝缘层;

在所述栅极绝缘层上的第二氧化物半导体;

在所述第二氧化物半导体层上的第二源极电极层和第二漏极电极层;以及

在所述第二氧化物半导体层、第二源极电极层和第二漏极电极层上的第二氧化物绝缘层,所述第二氧化物绝缘层与所述第二氧化物半导体层接触,

其中,所述第一栅极电极层、所述栅极绝缘层、所述第一氧化物半导体层、所述第一源极电极层、所述第一漏极电极层、所述第一氧化物绝缘层、和所述像素电极层中的每一个具有光透射性质,

其中,所述第二源极电极层和所述第二漏极电极层是由与所述第一导电层的相同的层形成的,

其中,所述第二源极电极层和所述第二漏极电极层的材料不同于所述第一源极电极层和所述第一漏极电极层的材料,以及其中,所述第二源极电极层和所述第二漏极电极层的材料是电阻比所述第一源极电极层和所述第一漏极电极层的材料低的导电材料。

2. 根据权利要求 1 所述的半导体器件,其中,所述第二源极电极层和所述第二漏极电极层包括包含选自 Al、Cr、Cu、Ta、Ti、Mo、和 W 的元素的金属膜,或包括包含任何以上元素的合金膜的堆叠体。

3. 根据权利要求 1 所述的半导体器件,其中,所述第一导电层包括包含选自 Al、Cr、Cu、Ta、Ti、Mo、和 W 的元素的合金膜的材料,或包括包含任何以上元素的合金膜的堆叠体。

4. 根据权利要求 1 所述的半导体器件,其中,所述第一源极电极层、所述第一漏极电极层、和所述像素电极层包括氧化铟、氧化铟-氧化锡合金、氧化铟-氧化锌合金、或氧化锌。

5. 根据权利要求 1 所述的半导体器件,还包括:

在所述衬底上的电容器部分,

其中,所述电容器部分包括电容器布线和与所述电容器布线重叠的电容器电极层,以及

其中,所述电容器布线和所述电容器电极层中的每一个具有光透射性质。

6. 根据权利要求 1 所述的半导体器件,还包括:

在所述第二氧化物绝缘层上的与所述第二栅极电极层重叠的第二导电层。

7. 根据权利要求 6 所述的半导体器件,其中,所述第二导电层包括与所述像素电极层相同的材料。

8. 根据权利要求 7 所述的半导体器件,还包括:

在所述第二氧化物半导体层与所述第二源极电极层之间和在所述第二氧化物半导体层与所述第二漏极电极层之间的氧化物导电层,

其中,所述氧化物导电层包括与所述第一晶体管的所述第一源极电极层和所述第一漏极电极层相同的材料。

9. 一种制造半导体器件的方法,所述半导体器件包括具有第一晶体管的像素部分和具有第二晶体管的驱动器电路,所述方法包括步骤:

通过在衬底上形成第一导电膜并选择性地去除所述第一导电膜,在所述衬底上形成所述第一晶体管的第一栅极电极层和所述第二晶体管的第二栅极电极层;

在所述第一栅极电极层和所述第二栅极电极层上形成栅极绝缘层;

在所述栅极绝缘层上形成氧化物半导体膜,

通过选择性地去除所述氧化物半导体膜,形成在所述第一栅极电极层和所述栅极绝缘层上的第一氧化物半导体层,和在所述第二栅极电极层和所述栅极绝缘层上的第二氧化物半导体层;

至少加热所述第一氧化物半导体层和所述第二氧化物半导体层,以降低所述第一氧化物半导体层和所述第二氧化物半导体层中的氢浓度,

在所述第一氧化物半导体层和所述第二氧化物半导体层上依次形成氧化物导电膜和第二导电膜,

通过选择性地去除所述氧化物导电膜和所述第二导电膜,形成在所述第一氧化物半导体层上的第一源极电极层和第一漏极电极层、在所述第二氧化物半导体层上的一对低电阻漏极区、和在该对低电阻漏极区上的第二源极电极层和第二漏极电极层,

形成与所述第一漏极电极层或所述第一源极电极层的一部分接触的导电层,

形成在所述栅极绝缘层、所述第一氧化物半导体层、所述第二氧化物半导体层、所述第一源极电极层、所述第一漏极电极层、所述导电层、所述第二源极电极层和所述第二漏极电极层上的、与所述第一氧化物半导体层的一部分和所述第二氧化物半导体层的一部分接触的保护性绝缘层;以及

在所述保护性绝缘层上形成像素电极层,所述像素电极层被电连接到所述导电层,

其中,所述第一氧化物半导体层和所述第二氧化物半导体层是岛状氧化物半导体层。

10. 根据权利要求 9 所述的制造半导体器件的方法,其中,在所述像素部分中,所述栅极绝缘层、所述第一氧化物半导体层、所述第一源极电极层、所述第一漏极电极层、和所述导电层中的每一个具有光透射性质。

11. 一种制造半导体器件的方法,所述半导体器件包括具有第一晶体管的像素部分和

具有第二晶体管的驱动器电路,所述方法包括步骤:

通过在衬底上形成第一导电膜并选择性地去除所述第一导电膜,在所述衬底上形成所述第一晶体管的第一栅极电极层和所述第二晶体管的第二栅极电极层;

在所述第一栅极电极层和所述第二栅极电极层上形成栅极绝缘层;

在所述栅极绝缘层上形成氧化物半导体膜,

至少加热所述氧化物半导体膜,以降低所述氧化物半导体膜中的氢浓度;

通过选择性地去除所述氧化物半导体层,形成在所述第一栅极电极层和所述栅极绝缘层上的第一氧化物半导体层以及在所述第二栅极电极层和所述栅极绝缘层上的第二氧化物半导体层;

在所述第一氧化物半导体层和所述第二氧化物半导体层上依次形成氧化物导电膜和第二导电膜;

通过选择性地去除所述氧化物导电膜和所述第二导电膜,形成在所述第一氧化物半导体层上的第一源极电极层和第一漏极电极层、在所述第二氧化物半导体层上的一对低电阻漏极区、和在该对低电阻漏极区上的第二源极电极层和第二漏极电极层,

形成与所述第一漏极电极层或所述第一源极电极层的一部分接触的导电层;

形成在所述栅极绝缘层、所述第一氧化物半导体层、所述第二氧化物半导体层、所述第一源极电极层、所述第一漏极电极层、所述导电层、所述第二源极电极层和所述第二漏极电极层上的、与所述第一氧化物半导体层的一部分和所述第二氧化物半导体层的一部分接触的保护性绝缘层;以及

在所述保护性绝缘层上形成像素电极层,所述像素电极层被电连接到所述导电层,

其中,所述第一氧化物半导体层和所述第二氧化物半导体层是岛状氧化物半导体层。

12. 根据权利要求 11 所述的制造半导体器件的方法,其中,在所述像素部分中,所述栅极绝缘层、所述第一氧化物半导体层、所述第一源极电极层、所述第一漏极电极层、和所述导电层中的每一个具有光透射性质。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及包括氧化物半导体的半导体器件及其制造方法。

[0002] 注意,在本说明书中,半导体器件指的是能够通过利用半导体性质运行的所有器件,并且诸如显示器件的光电器件、半导体电路、和电子设备全部是半导体器件。

背景技术

[0003] 在半导体器件中使用光透射金属氧化物。例如,使用诸如铟锡氧化物(ITO)的导电金属氧化物(在下文中称为氧化物导体)作为在诸如液晶显示器的显示器件中需要的透明电极材料。

[0004] 另外,光透射金属氧化物作为具有半导体性质的材料已经引起注意。例如,期望使用基于In-Ga-Zn-O的氧化物等作为在诸如液晶显示器的显示器件中需要的半导体材料。特别是,期望将其用于薄膜晶体管(在下文中也称为TFT)的沟道层。

[0005] 可以通过低温工艺来形成包括具有半导体性质的金属氧化物(在下文中称为氧化物半导体)的TFT。因此,对氧化物半导体作为取代或超越在显示器件中使用的非晶硅的材料的期望已经提高。

[0006] 此外,氧化物导体和氧化物半导体两者具有光透射性质。因此,当使用氧化物导体和氧化物半导体来制造TFT时,TFT可以具有光透射性质(例如,参见非专利文献1)。

[0007] 此外,其中使用氧化物半导体的TFT具有高的场效应迁移率。因此,可以使用TFT来形成显示器件等中的驱动器电路(例如,参见非专利文献2)

[0008] 【参考文献】

[0009] 非专利文献1:T.Nozawa. “Transparent Circuitry”, Nikkei Electronics No. 959, August 27, 2007, pp. 39-52.

[0010] 非专利文献2:T.Osada et al., “Development of Driver-Integrated Panel using Amorphous In-Ga-Zn-Oxide TFT, Proc. SID’ 09 Digest, 2009, pp. 184-187.

发明内容

[0011] 本发明一个实施例的目的是降低半导体器件的制造成本。

[0012] 本发明一个实施例的目的是增加半导体器件的孔径比。

[0013] 本发明一个实施例的目的是提高在半导体器件的显示部分上显示的图像分辨率。

[0014] 本发明一个实施例的目的是提供一种能够高速操作的半导体器件。

[0015] 本发明一个实施例是一种半导体器件,其包括在一个衬底上的驱动器电路部分和显示部分(也称为像素部分)。所述驱动器电路部分包括驱动器电路薄膜晶体管和驱动器电路布线。使用金属形成驱动器电路薄膜晶体管的源极电极(也称为源极电极层)和漏极电极(也称为漏极电极层),并使用氧化物半导体形成驱动器电路薄膜晶体管的沟道层。使用金属形成驱动器电路布线。所述显示部分包括像素薄膜晶体管和显示部分布线。使用氧化物导体形成像素薄膜晶体管的源极电极层和漏极电极层,并使用氧化物半导体形成像素

薄膜晶体管的半导体层。使用氧化物导体形成所述显示部分布线。

[0016] 使用具有底栅结构的反交错型薄膜晶体管作为所述像素薄膜晶体管和所述驱动器电路薄膜晶体管中的每一个。所述像素薄膜晶体管和所述驱动器电路薄膜晶体管每个是其中氧化物绝缘膜与在源极电极层与漏极电极层之间露出的半导体层的部分接触的薄膜晶体管。

[0017] 注意,在非专利文献 1 中未公开 TFT 的具体制造工艺、包括在半导体器件中的另一元件(例如,电容器)的具体结构等。另外,未对在一个衬底上形成驱动器电路和光透射 TFT 的制造进行说明。

[0018] 在根据本发明一个实施例的半导体器件中,在一个衬底上形成包括驱动器电路 TFT 的驱动器电路部分和包括像素 TFT 的显示部分。因此,可以降低半导体器件的制造成本。

[0019] 在根据本发明一个实施例的半导体器件中,显示部分包括像素 TFT 和显示部分布线。使用氧化物导体来形成像素 TFT 的源极电极和漏极电极。使用氧化物半导体来形成像素 TFT 的半导体层。使用氧化物导体形成所述显示部分布线。换言之,在所述半导体器件中,形成像素 TFT 和像素布线的区域可以是开口。因此,可以增加半导体器件的孔径比。

[0020] 在根据本发明一个实施例的半导体器件中,显示部分包括像素 TFT 和显示部分布线。使用氧化物导体形成像素 TFT 的源极电极和漏极电极,并使用氧化物半导体形成像素 TFT 的半导体层。使用氧化物导体形成所述显示部分布线。换言之,在所述半导体器件中,可以在不受像素 TFT 的尺寸限制的情况下确定像素大小。因此,可以提高在该半导体器件的显示部分上显示的图像的分辨率。

[0021] 在根据本发明一个实施例的半导体器件中,驱动器电路部分包括驱动器电路 TFT 和驱动器电路布线。使用金属形成驱动器电路 TFT 的源极电极和漏极电极,并使用氧化物半导体形成驱动器电路 TFT 的沟道层。使用金属形成驱动器电路布线。换言之,在所述半导体器件中,驱动器电路包括具有高的场效应迁移率的 TFT 和具有低电阻的布线。因此,所述半导体器件能够高速操作。

[0022] 作为在本说明书中使用的氧化物半导体,形成由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的材料的薄膜,并制造包括该薄膜作为氧化物半导体层的薄膜晶体管。注意, M 表示选自 Ga、Fe、Ni、Mn、和 Co 中的一种或多种金属元素。例如, M 可以是 Ga, 或者可以是 Ga 和除 Ga 之外的上述金属元素,例如, M 可以是 Ga 和 Ni 或者 Ga 和 Fe。此外,在氧化物半导体中,在某些情况下,除被包含作为 M 的金属元素之外,还包含诸如 Fe 或 Ni 的过渡金属元素或该过渡金属的氧化物作为杂质元素。在本说明书中,在由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 来表示其组成分子式的氧化物半导体层当中,将包含 Ga 作为 M 的氧化物半导体称为基于 In-Ga-Zn-O 的氧化物半导体,并将基于 In-Ga-Zn-O 的氧化物半导体的薄膜称为基于 In-Ga-Zn-O 的非单晶膜。

[0023] 作为用于氧化物半导体层的金属氧化物,除上述的之外,还可以使用任何以下金属氧化物:基于 In-Sn-Zn-O 的金属氧化物;基于 In-Al-Zn-O 的金属氧化物;基于 Sn-Ga-Zn-O 的金属氧化物;基于 Al-Ga-Zn-O 的金属氧化物;基于 Sn-Al-Zn-O 的金属氧化物;基于 In-Zn-O 的金属氧化物;基于 Sn-Zn-O 的金属氧化物;基于 Al-Zn-O 的金属氧化物;基于 In-O 的金属氧化物;基于 Sn-O 的金属氧化物;以及基于 Zn-O 的金属氧化物。在使用以上金属氧化物形成的氧化物半导体层中可以包含硅的氧化物。

[0024] 当在诸如氮气或稀有气体（例如，氩气或氦气）的惰性气体气氛中执行热处理的情况下，通过热处理将氧化物半导体层变成贫氧氧化物半导体层，以使其成为低电阻氧化物半导体层，即，n 型（例如，n 型）氧化物半导体层。然后，通过形成将与该氧化物半导体层接触的氧化物绝缘膜，来使该氧化物半导体层处于氧过剩状态。因此，将氧化物半导体层的一部分变成高电阻氧化物半导体层，即，i 型氧化物半导体层。因此，可以制造并提供包括具有良好电特性的高度可靠的薄膜晶体管的半导体器件。

[0025] 当在诸如氮气或稀有气体（例如，氩气或氦气）的惰性气体气氛中执行热处理的情况下，通过热处理将氧化物半导体层变成贫氧氧化物半导体层，以使其成为低电阻氧化物半导体层，即，n 型（例如，n 型或 n⁺型）氧化物半导体层。然后，通过形成将与该氧化物半导体层接触的氧化物绝缘膜，来使该氧化物半导体层处于氧过剩状态。因此，将氧化物半导体层的一部分变成高电阻氧化物半导体层，即，i 型氧化物半导体层。因此，可以制造并提供包括具有良好电特性的高度可靠的薄膜晶体管的半导体器件。

[0026] 为了脱水或脱氢，在高于或等于 350℃，优选地高于或等于 400℃，且低于衬底的应变点的温度下，在诸如氮气或稀有气体（例如，氩气或氦气）的惰性气体气氛中，执行热处理，由此可以减少杂质，所述杂质诸如包含在氧化物半导体层中的水分。

[0027] 在如下的热处理条件下对氧化物半导体层进行脱水或脱氢：即使在直至 450℃ 对经受了脱水或脱氢的氧化物半导体层执行 TDS（热脱附谱检测）也未检测到在 300℃ 左右的水的两个峰或水的至少一个峰。因此，即使在直至 450℃ 对包括经受了脱水或脱氢的氧化物半导体层的薄膜晶体管执行 TDS，也至少未检测到在 300℃ 左右的水的峰。

[0028] 另外，重要的是，在半导体器件的制造工艺过程中不使氧化物半导体层暴露于空气，且不使水和氢混合到氧化物半导体层中。当使用通过如下获得的氧化物半导体层来形成薄膜晶体管时，薄膜晶体管的阈值电压可以是正电压，由此可以实现所谓的常闭（normally-off）开关元件：通过经由脱水或脱氢将氧化物半导体层变成低电阻氧化物半导体层（即，n 型（例如 n 型或 n⁺型）氧化物半导体层，并随后通过向该低电阻氧化物半导体层供应氧以便将该层变成高电阻氧化物半导体层而成为 i 型氧化物半导体层，获得该氧化物半导体层。优选的是，显示器件中的沟道被形成有正阈值电压，在薄膜晶体管中该正阈值电压尽可能接近于 0V。注意，如果薄膜晶体管的阈值电压是负的，则薄膜晶体管趋向于常开（normally-on）；换言之，即使当栅极电压是 0V 时，电流也在源极电极与漏极电极之间流动。在有源矩阵显示器件中，电路中所包括的薄膜晶体管的电特性是重要的，并影响显示器件的性能。在薄膜晶体管的电特性当中，阈值电压（ V_{th} ）特别重要。当阈值电压即使在场效应迁移率是高的时候也是高的或负的时，难以控制电路。在薄膜晶体管具有高阈值电压及其阈值电压的大的绝对值时，薄膜晶体管不能执行作为 TFT 的开关功能，并且当在低压下驱动 TFT 时可能作为负载。在 n 沟道薄膜晶体管的情况下，优选的是只在施加正电压作为栅极电压之后才形成沟道且漏极电流流动。其中除非驱动电压升高否则不形成沟道的晶体管和其中即使当施加负电压时也形成沟道且漏极电流流动的晶体管不适合作为在电路中使用的薄膜晶体管。

[0029] 另外，可以将其中温度从加热温度 T 降低的气氛切换到不同于该气氛的其中温度升高至加热温度 T 的气氛。例如，在炉中执行脱水或脱氢之后，在充满高纯度氧气或高纯度 N₂O 气的炉中执行冷却而没有暴露于空气。

[0030] 使用在通过用于脱水或脱氢的热处理减少膜中包含的水分之后在不包含水分的气氛（具有 -40°C 或以下优选 -60°C 或以下的露点）中缓慢地冷却（或冷却）的氧化物半导体膜，改善了薄膜晶体管的电特性，并实现了可以大规模生产的高性能薄膜晶体管。

[0031] 在本说明书中，将在诸如氮气或稀有气体（例如，氩气或氦气）的惰性气体气氛中执行的热处理称为“用于脱水或脱氢的热处理”。在本说明书中，“脱氢”并不表示只有 H_2 被此热处理消除。为方便起见，将 H 、 OH 等的消除称为“脱水或脱氢”。

[0032] 在诸如氮气或稀有气体（例如，氩气或氦气）的惰性气体气氛中执行热处理的情况下，通过热处理将最初为 i 型的氧化物半导体层变成贫氧氧化物半导体层，以使其成为低电阻氧化物半导体层，即， n 型（例如， n 型或 n^+ 型）氧化物半导体层。然后，与漏极电极层重叠的区域被形成作为高电阻漏极区（也称为 HRD 区），其为贫氧区。

[0033] 具体而言，高电阻漏极区的载流子浓度高于或等于 $1 \times 10^{17}/\text{cm}^3$ ，且至少高于沟道形成区的载流子浓度（低于 $1 \times 10^{17}/\text{cm}^3$ ）。注意，本说明书中的载流子浓度是在室温下通过霍尔效应测量获得的载流子浓度。

[0034] 可以在氧化物半导体层与使用金属材料形成的漏极电极层之间形成低电阻漏极区（也称为 LRN 区）。具体而言，低电阻漏极区的载流子浓度高于高电阻漏极区（HRD 区）的载流子浓度；例如，其高于或等于 $1 \times 10^{20}/\text{cm}^3$ 且低于或等于 $1 \times 10^{21}/\text{cm}^3$ 。

[0035] 然后，使经受了脱水或脱氢的氧化物半导体层的至少一部分处于氧过剩状态，从而成为高电阻氧化物半导体层，即， i 型氧化物半导体层，由此形成沟道形成区。注意，作为用于使经受了脱水或脱氢的氧化物半导体层处于氧过剩状态的处理，执行以下：通过溅射法沉积与经受了脱水或脱氢的氧化物半导体层接触的氧化物绝缘膜；氧化物绝缘膜的沉积之后的热处理；氧气气氛中的热处理；或惰性气体气氛中的热处理之后的氧气气氛或极端干燥的空气（具有 -40°C 或以下优选 -60°C 或以下的露点）中的冷却处理等等。

[0036] 此外，为了使经受了脱水或脱氢的氧化物半导体层的至少一部分（与栅极电极（也称为栅极电极层）重叠的一部分）充当沟道形成区，选择性地使氧化物半导体层处于氧过剩状态，从而成为高电阻氧化物半导体层，即， i 型氧化物半导体层。可以以这样的方式来形成沟道形成区，即：使用 Ti 等的金属电极形成的源极电极层和漏极电极层被形成在经受了脱水或脱氢的氧化物半导体层上并与之接触，并且选择性地使未与源极电极层和漏极电极层重叠的暴露区域处于氧过剩状态。在选择性地使所述暴露区域处于氧过剩状态的情况下，形成与源极电极层重叠的第一高电阻漏极区和与漏极电极层重叠的第二高电阻漏极区，并且在第一高电阻漏极区与第二高电阻漏极区之间形成沟道形成区。换言之，以自对准方式在源极电极层与漏极电极层之间形成沟道形成区。

[0037] 因此，可以制造并提供包括具有良好电特性的高度可靠的薄膜晶体管的半导体器件。

[0038] 注意，通过在氧化物半导体层的一部分中形成与漏极电极层（和源极电极层）重叠的高电阻漏极区，可以改善形成驱动器电路时的可靠性。具体而言，通过形成高电阻漏极区，可以获得其中导电性可以从漏极电极层到沟道形成区经由高电阻漏极区而改变的结构。因此，在用连接到用于供应高电源电位 VDD 的布线的漏极电极层来执行操作的情况下，高电阻漏极区充当缓冲器，因此，即使当在栅极电极层与漏极电极层之间施加高电场时，也不在局部施加高电场，这引起晶体管的耐受电压的增加。

[0039] 另外,通过在氧化物半导体层的一部分中形成与漏极电极层(和源极电极层)重叠的高电阻漏极区,可以减少形成驱动器电路时沟道形成区中的泄漏电流的量。具体而言,通过形成高电阻漏极区,在漏极电极层与源极电极层之间流动的晶体管的泄漏电流从漏极电极层通过漏极电极层侧上的高电阻漏极区、沟道形成区、和源极电极层侧上的高电阻漏极区流到源极电极层。在这种情况下,在沟道形成区中,从漏极电极层侧上的高电阻漏极区流到沟道形成区的泄漏电流可以集中于沟道形成区与栅极绝缘层之间的界面附近,其在晶体管关断时具有高电阻。因此,可以减少背沟道部分(沟道形成区的表面的一部分,其远离栅极电极层)中的泄漏电流的量。

[0040] 此外,与源极电极层重叠的高电阻漏极区和与漏极电极层重叠的高电阻漏极区根据栅极电极层的宽度与栅极电极层的一部分重叠,而栅极绝缘层在它们之间,并且可以更有效地降低漏极电极层的边缘部分附近的电场的强度。

[0041] 本发明一个实施例是一种半导体器件,其在一个衬底上包括具有第一薄膜晶体管的像素部分和具有第二薄膜晶体管的驱动器电路。所述第一薄膜晶体管包括:在所述衬底上的栅极电极层;在所述栅极电极层上的栅极绝缘层;在所述栅极绝缘层上的氧化物半导体层;在所述氧化物半导体层上的第一源极电极层和第一漏极电极层;导电层,其在第一源极电极层的一部分或第一漏极电极层的一部分上并与之接触;在所述栅极绝缘层、所述氧化物半导体层、所述第一源极电极层、和所述漏极电极层上与所述氧化物半导体层的一部分的保护性绝缘层;以及在所述保护性绝缘层上的像素电极层,其被电连接到所述导电层。所述第一薄膜晶体管的所述栅极电极层、所述栅极绝缘层、所述氧化物半导体层、所述第一源极电极层、所述第一漏极电极层、所述保护性绝缘层、和所述像素电极层具有光透射性质。此外,第二薄膜晶体管的第二源极电极层和第二漏极电极层的材料不同于第一薄膜晶体管的第一源极电极层和第一漏极电极层的材料,且是具有比第一薄膜晶体管的第一源极电极层和第一漏极电极层低的电阻的导电材料。

[0042] 注意,在上述结构中,第二薄膜晶体管的源极电极层和漏极电极层中的每一个包括包含选自 Al、Cr、Cu、Ta、Ti、Mo、和 W 的元素作为其主要组分的材料,或由包含上述元素的合金形成的堆叠膜。此外,第一薄膜晶体管的导电层包括包含选自 Al、Cr、Cu、Ta、Ti、Mo、和 W 的元素作为其主要组分的材料,或由包含上述元素的合金形成的堆叠膜。

[0043] 此外,在上述结构中,第一薄膜晶体管的源极电极层、漏极电极层、和像素电极层中的每一个可以包含氧化铟、氧化铟-氧化锡合金、氧化铟-氧化锌合金、或氧化锌。

[0044] 在以上结构中,所述半导体器件还可以在同一衬底上包括电容器部分。另外,所述电容器部分可以具有电容器布线和与电容器布线重叠的电容器电极层,并且所述电容器布线和所述电容器电极层可以具有光透射性质。

[0045] 另外,所述半导体器件还可以在第二薄膜晶体管的保护性绝缘层上包括与所述栅极电极层重叠的导电层。

[0046] 在上述结构中,可以在第二薄膜晶体管的氧化物半导体层与源极电极层之间和在氧化物半导体层与漏极电极层之间提供低电阻漏极区,并且该低电阻漏极区可以包含与第一薄膜晶体管的源极电极层和漏极电极层相同的材料。

[0047] 在上述结构中,与第二薄膜晶体管的源极电极层或漏极电极层重叠的氧化物半导体层的低电阻漏极区可以具有比第二薄膜晶体管的氧化物半导体层的沟道形成区低的电

阻。

[0048] 本发明的另一实施例是一种半导体器件的制造方法,该半导体器件在一个衬底上包括具有第一薄膜晶体管的像素部分和具有第二薄膜晶体管的驱动器电路。所述制造方法包括如下步骤:通过在衬底上形成光透射导电膜并在第一光刻步骤中选择性地去除该光透射导电膜,来形成作为第一薄膜晶体管的栅极电极层的第一栅极电极层和作为第二薄膜晶体管的栅极电极层的第二栅极电极层;在第一栅极电极层和第二栅极电极层上形成栅极绝缘层;通过在所述栅极绝缘层上形成氧化物半导体膜并在第二光刻步骤中选择性地去除氧化物半导体膜,来形成作为岛状氧化物半导体层的第一氧化物半导体层和第二氧化物半导体;对第一氧化物半导体层和第二氧化物半导体层进行脱水或脱氢;通过在经受了脱水或脱氢的第一氧化物半导体层和经受了脱水或脱氢的第二氧化物半导体层上依次形成氧化物导电膜和导电膜,并在第三光刻步骤和第四光刻步骤中选择性地去除所述氧化物导电膜和所述导电膜,而在第一氧化物半导体层上形成作为第一薄膜晶体管的源极电极层和漏极电极层的第一源极电极层和第一漏极电极层;通过形成与第一源极电极层的一部分或第一漏极电极层的一部分接触的导电层、在第二氧化物半导体层上的一对低电阻漏极区、和在该对低电阻漏极区上的一对导电层,来形成作为第二薄膜晶体管的源极电极层和漏极电极层的第二源极电极层和第二漏极电极层;在所述栅极绝缘层、第一氧化物半导体层、第二氧化物半导体层、第一源极电极层、第一漏极电极层、与第一源极电极层的一部分或第一漏极电极层的一部分接触的所述导电层、第二源极电极层、和第二漏极电极层上形成与第一氧化物半导体层的一部分和第二氧化物半导体层的一部分接触的保护性绝缘层;以及在所述保护性绝缘层上形成像素电极层。

[0049] 本发明的另一实施例是一种半导体器件的制造方法,该半导体器件在一个衬底上包括具有第一薄膜晶体管的像素部分和具有第二薄膜晶体管的驱动器电路。所述制造方法包括如下步骤:通过在衬底上形成光透射导电膜并在第一光刻步骤中选择性地去除该光透射导电膜,来形成作为第一薄膜晶体管的栅极电极层的第一栅极电极层和作为第二薄膜晶体管的栅极电极层的第二栅极电极层;在第一栅极电极层和第二栅极电极层上形成栅极绝缘层;在所述栅极绝缘层上形成氧化物半导体膜;对所述氧化物半导体膜进行脱水或脱氢;通过在经受了脱水或脱氢的所述氧化物半导体膜上依次形成氧化物导电膜和导电膜,并在第二光刻步骤和第三光刻步骤中选择性地去除所述氧化物半导体膜、所述氧化物导电膜和所述导电膜,而在第一氧化物半导体层上形成作为第一薄膜晶体管的源极电极层和漏极电极层的第一源极电极层和第一漏极电极层,其;通过形成与第一源极电极层的一部分或第一漏极电极层的一部分接触的导电层、在第二氧化物半导体层上的一对低电阻漏极区、和在该对低电阻漏极区上的一对导电层,来形成作为第二薄膜晶体管的源极电极层和漏极电极层的第二源极电极层和第二漏极电极层;在所述栅极绝缘层、第一氧化物半导体层、第二氧化物半导体层、第一源极电极层、第一漏极电极层、与第一源极电极层的一部分或第一漏极电极层的一部分接触的所述导电层、第二源极电极层、和第二漏极电极层上,形成与第一氧化物半导体层的一部分和第二氧化物半导体层的一部分接触的保护性绝缘层;以及在所述保护性绝缘层上形成像素电极层。

[0050] 在本发明一个实施例中,可以在第三光刻步骤中使用多色调掩模。

[0051] 在本说明书中,“膜”意味着指其被形成在整个表面上且未被图案化。另外,“层”

意味着指其被利用抗蚀剂掩模等图案化成期望形状。注意，“膜”与“层”之间的此区别是为方便起见，并且在某些情况下可以无任何差别地使用它们。并且，至于堆叠膜的每层，在某些情况下可以无任何差别地使用膜和层。

[0052] 注意，在本说明书中为方便起见使用诸如第一和第二的序数，并且其不表示步骤的顺序和层的堆叠顺序。另外，本说明书中的序数并不表示描述本发明的特定名称。

[0053] 作为包括驱动器电路的显示器件，除液晶显示器件之外，还给出其中使用发光元件的发光显示器件和其中使用电泳显示元件的显示器件（其也称为“电子纸”）。

[0054] 在其中使用发光元件的发光显示器件中，像素部分包括多个薄膜晶体管。像素部分包括这样的区域，在该区域中一个薄膜晶体管的栅极电极被连接到另一薄膜晶体管的源极布线（也称为源极布线层）或漏极布线（也称为漏极布线层）。另外，在其中使用发光元件的发光显示器件的驱动器电路中，存在这样的区域，在该区域中薄膜晶体管的栅极电极被连接到该薄膜晶体管的源极布线或漏极布线。

[0055] 可以制造并提供具有稳定电特性的薄膜晶体管。因此，可以提供包括具有良好电特性的高度可靠的薄膜晶体管的半导体器件。

附图说明

[0056] 在附图中：

[0057] 图 1A1、1A2、1B1、1B2、1C1、和 1C2 示出半导体器件；

[0058] 图 2A 至 2E 示出用于制造半导体器件的方法；

[0059] 图 3A 至 3E 示出用于制造半导体器件的方法；

[0060] 图 4A 至 4C 示出用于制造半导体器件的方法；

[0061] 图 5A 至 5E 示出用于制造半导体器件的方法；

[0062] 图 6A1、6A2、6B1、6B2、6C1、和 6C2 示出半导体器件；

[0063] 图 7A 和 7B 每个都示出半导体器件；

[0064] 图 8A 和 8B 每个都示出半导体件；

[0065] 图 9A 和 9B 每个都示出半导体件；

[0066] 图 10A1、10A2、和 10B 示出半导体器件；

[0067] 图 11A 和 11B 示出半导体器件；

[0068] 图 12 示出半导体器件的像素等效电路；

[0069] 图 13A 至 13C 每个都示出半导体器件；

[0070] 图 14A 和 14B 是每个都示出半导体器件的框图；

[0071] 图 15A 和 15B 分别是信号线驱动器电路的电路图和时序图；

[0072] 图 16A 至 16C 每个都示出移位寄存器的配置；

[0073] 图 17A 和 17B 分别是移位寄存器的电路图和时序图；

[0074] 图 18 示出半导体器件；

[0075] 图 19 示出半导体器件；

[0076] 图 20 是示出电子书阅读器的实例的外部视图；

[0077] 图 21A 和 21B 分别是示出电视设备和数字相框的示例的外部视图；

[0078] 图 22A 和 22B 是每个都示出游戏机的示例的外部视图；

- [0079] 图 23A 和 23B 分别是示出便携式计算机和移动电话的示例的外部视图；
- [0080] 图 24 示出半导体器件；
- [0081] 图 25 示出半导体器件；
- [0082] 图 26 示出半导体器件；
- [0083] 图 27 示出半导体器件；
- [0084] 图 28 示出半导体器件；
- [0085] 图 29 示出半导体器件；
- [0086] 图 30 示出半导体器件；
- [0087] 图 31 示出半导体器件；
- [0088] 图 32 示出半导体器件；
- [0089] 图 33 示出半导体器件；
- [0090] 图 34 示出半导体器件；
- [0091] 图 35 示出半导体器件；
- [0092] 图 36 示出半导体器件；
- [0093] 图 37 示出半导体器件；
- [0094] 图 38A 至 38E 示出用于制造半导体器件的方法；
- [0095] 图 39A 至 39E 示出用于制造半导体器件的方法；
- [0096] 图 40A 至 40C 示出用于制造半导体器件的方法；
- [0097] 图 41A 和 41B 每个都示出半导体件；
- [0098] 图 42A 和 42B 每个都示出半导体器件；
- [0099] 图 43A 和 43B 每个都示出半导体器件；
- [0100] 图 44A 和 44B 每个都示出半导体器件；以及
- [0101] 图 45 示出半导体器件。

具体实施方式

[0102] 将参照附图来详细描述诸实施例。注意，本发明不限于以下说明，本领域的技术人员可以很容易理解，可以进行方式和细节的多种修改而不脱离本发明的精神和范围。因此，不应将本发明理解为限于以下实施例的说明。在下文将给出的结构中，在不同的图中用相同的附图标记来表示相同部分或具有类似功能的部分，并将不重复对其说明。

[0103] （实施例 1）

[0104] 在本实施例中，将参照图 1A1 至 1C2、图 2A 至 2E、图 3A 至 3E、和图 41A 和 41B 来描述半导体器件和用于制造半导体器件的方法。在图 1B1 和 1B2 中，示出在一个衬底上形成的两个薄膜晶体管的横截面结构作为示例。在图 1B1 和 1B2 中示出的薄膜晶体管 410 和薄膜晶体管 420 每个是一种底栅晶体管。

[0105] 图 1A1 是在驱动器电路中提供的薄膜晶体管 410 的平面图，而图 1B1 是沿着图 1A1 中的线 C1-C2 截取的横截面图。此外，图 1C1 是沿图 1A1 中的线 C3-C4 截取的横截面图。

[0106] 在具有绝缘表面的衬底 400 上，在驱动器电路中提供的薄膜晶体管 410 包括：栅极电极层 411；第一栅极绝缘层 402a；第二栅极绝缘层 402b；具有至少沟道形成区 413、高电阻漏极区 414a 和高电阻漏极区 414b 的氧化物半导体层 412；低电阻漏极区 408a 和低电阻

漏极区 408b ;源极电极层 415a ;以及漏极电极层 415b。此外,提供了覆盖薄膜晶体管 410 并与沟道形成区 413 接触的氧化物绝缘膜 416。

[0107] 注意,高电阻漏极区具有比沟道形成区小的电阻值,并且低电阻漏极区具有比高电阻漏极区小的电阻值。高电阻漏极区 414a 被以自对准方式形成为与低电阻漏极区 408a 的底表面接触。高电阻漏极区 414b 被以自对准方式形成为与低电阻漏极区 408b 的底表面接触。此外,沟道形成区 413 与氧化物绝缘膜 416 接触,并具有比高电阻漏极区 414a 和高电阻漏极区 414b 高的电阻 ;亦即,沟道形成区 413 是 i 型区。

[0108] 优选的是,将金属材料用于源极电极层 415a 和漏极电极层 415b,以使得薄膜晶体管 410 的布线具有减小的电阻。

[0109] 薄膜晶体管 410 的栅极电极层 411 可形成为具有光透射导电膜的单层结构或叠层结构,或者具有光透射导电层和包含金属材料的导电层的叠层结构。

[0110] 另外,当在液晶显示器件中在一个衬底上形成像素和驱动器电路时,在驱动器电路中,仅在用于构成诸如反相器 (inverter) 电路、与非 (NAND) 电路、或非 (NOR) 电路、或锁存器电路的逻辑门的薄膜晶体管或用于构成诸如读出放大器 (sense amplifier)、恒压生成电路、或者 VCO 的模拟电路的薄膜晶体管中的源极与漏极电极之间施加正极性或负极性。因此,可以将高电阻漏极区 414a 和 414b 之一 (其要求高耐受电压) 设计为具有比另一个大的宽度。替代地,可以增加高电阻漏极区 414a 和 414b 的与栅极电极层 411 重叠的部分的宽度。

[0111] 注意,虽然描述了具有单栅极结构的薄膜晶体管作为在驱动器电路中提供的薄膜晶体管 410,但必要时,可以替代地形成具有其中包括多个沟道形成区的多栅极结构的薄膜晶体管。

[0112] 通过提供低电阻漏极区 408a 和低电阻漏极区 408b,薄膜晶体管 410 还可以在热量方面比具有肖特基结的薄膜晶体管更稳定地工作。以这种方式,通过有意提供具有比氧化物半导体层高的载流子浓度的低电阻漏极区来形成欧姆接触。

[0113] 导电层 417 被形成在沟道形成区 413 上,以便与沟道形成区 413 重叠。当导电层 417 和栅极电极层 411 被电连接并被设置为相同电位时,可以从氧化物半导体层 412 之上和之下的栅极电极层 411 和导电层 417 两者向氧化物半导体层 412 施加栅极电压。在栅极电极层 411 和导电层 417 具有不同电位的情况下,例如,其中之一具有固定电位、GND 电位、或 0V,则可以控制 TFT 的电特性,诸如阈值电压。

[0114] 此外,在导电层 417 与氧化物绝缘膜 416 之间提供保护性绝缘层 403。

[0115] 此外,保护性绝缘层 403 优选与设置在保护性绝缘层 403 下面的第一栅极绝缘层 402a 或充当基底 (base) 的绝缘膜接触,并阻挡诸如水分、氢离子、OH 的杂质从衬底的侧表面进入。以上结构在将氮化硅膜用于与保护性绝缘层 403 接触的第一栅极绝缘层 402a 或充当基底的绝缘膜时特别有效。

[0116] 图 1A2 是设置在像素中的薄膜晶体管 420 的平面图,并且图 1B2 是沿着图 1A2 中的线 D1-D2 截取的横截面图。图 1C2 是沿图 1A2 中的线 D3-D4 截取的横截面图。

[0117] 在具有绝缘表面的衬底 400 上,设置在像素中的薄膜晶体管 420 包括 :栅极电极层 421 ;第一栅极绝缘层 402a ;第二栅极绝缘层 402b ;具有至少沟道形成区 423、高电阻漏极区 424a 和高电阻漏极区 424b 的氧化物半导体层 422 ;源极电极层 409a ;以及漏极电极层

409b。提供了覆盖薄膜晶体管 420 并与氧化物半导体层 422 的上表面接触的氧化物绝缘膜 416。

[0118] 注意,在液晶显示器件中执行 AC 驱动以防止液晶的劣化。通过 AC 驱动,以一定的时间间隔使施加于像素电极层的信号电位的极性反转为负的或正的。在连接到像素层的薄膜晶体管中,一对电极之一依次充当源极电极层和漏极电极层。在本说明书中,为方便起见,将像素中的薄膜晶体管的一对电极之一称为源极电极层并将另一个称为漏极电极层;然而,实际上,通过 AC 驱动所述电极中的一个依次充当源极电极层和漏极电极层。此外,设置在像素中的薄膜晶体管 420 的栅极电极层可以具有比在驱动器电路中提供的薄膜晶体管 420 的小的宽度,以使得可以减小漏电流。另外,可以将设置在像素中的薄膜晶体管 420 的栅极电极层设计为不与源极电极层或漏极电极层重叠,以使得可以减小泄漏电流。

[0119] 在漏极电极层 409b 的一部分上提供导电层 426,以使得像素电极层 427 经由导电层 426 电连接到漏极电极层 409b。通过在漏极电极层上提供导电层 426,可以减小接触电阻。

[0120] 以自对准方式形成高电阻漏极区 424a,其与源极电极层 409a 的底表面接触。以自对准方式形成高电阻漏极区 424b,其与漏极电极层 409b 的底表面接触。此外,沟道形成区 423 与氧化物绝缘膜 416 接触,并具有高于高电阻漏极区 424a 和高电阻漏极区 424b 的电阻;亦即,沟道形成区 423 是 i 型区。

[0121] 在形成氧化物半导体膜之后,执行用于减少作为杂质的水分等的热处理(用于脱水或脱氢的热处理)。当在用于脱水或脱氢的热处理之后形成与氧化物半导体层接触的氧化物绝缘膜,并执行缓慢冷却时,氧化物半导体层的载流子浓度降低,这引起薄膜晶体管 420 的电特性和可靠性的改善。

[0122] 注意,氧化物半导体层 412 形成在源极电极层 415a 和漏极电极层 415b 下面并部分地与之重叠。氧化物半导体层 412 与栅极电极层 411 重叠,而第一栅极绝缘层 402a 和第二栅极绝缘层 402b 在其之间。还注意,氧化物半导体层 422 形成在源极电极层 409a 和漏极电极层 409b 下面并部分地与之重叠。此外,氧化物半导体层 422 与栅极电极层 421 重叠,而第一栅极绝缘层 402a 和第二栅极绝缘层 402b 在其之间。

[0123] 为了实现具有高孔径比的显示器件,使用光透射导电膜来形成源极电极层 409a 和漏极电极层 409b,以使得薄膜晶体管 420 可以充当光透射晶体管。此外,还使用光透射导电膜形成薄膜晶体管 420 的栅极电极层 421。

[0124] 在提供了薄膜晶体管 420 的像素中,将透射可见光的导电膜用于像素电极层 427、另一电极层(诸如电容器电极层)、或另一布线层(诸如电容器布线层),由此实现具有高孔径比的显示器件。当然,优选的是,还将透射可见光的膜用于第一栅极绝缘层 402a、第二栅极绝缘层 402b、或氧化物绝缘膜 416。

[0125] 另外,保护性绝缘层 403 和平坦化绝缘层 404 被堆叠在像素电极层 427 与氧化物绝缘膜 416 之间。

[0126] 在本说明书中,透射可见光的膜指的是具有实现 75%至 100%可见光透射率的厚度的膜。当该膜具有导电性时,也将其称为透明导电膜。对于用于栅极电极层、源极电极层、漏极电极层、像素电极层、另一电极层、或另一布线层的金属氧化物,可以使得对于可见光是半透明的导电膜。当导电膜对于可见光是半透明时,其具有 50%至 75%的可见光透射

率。

[0127] 在下文中,参照图 2A 至 2E 和图 3A 至 3E 来描述在一个衬底上制造薄膜晶体管 410 和薄膜晶体管 420 的工艺过程。

[0128] 首先,在具有绝缘表面的衬底 400 上形成光透射导电膜,并随后在第一光刻步骤中形成栅极电极层 411 和 421。此外,在像素部分中,使用与栅极电极层 411 和 421 相同的材料在同一第一光刻步骤中形成电容器布线(也称为电容器布线层)。不仅在像素部分中而且在驱动器电路中也需电容器的情况下,在驱动器电路中也形成电容器布线。注意,可以通过喷墨法来形成抗蚀剂掩模。当用喷墨法来形成抗蚀剂掩模时,不使用光掩模,这导致制造成本的降低。

[0129] 虽然对于可以用作具有绝缘表面的衬底 400 的衬底没有特别限制,但衬底对后来将执行的热处理至少具有足够的耐热性是必要的。作为具有绝缘表面的衬底 400,可以使用由钡硼硅酸盐玻璃、或铝硼硅酸盐玻璃等形成的玻璃衬底。

[0130] 作为具有绝缘表面的衬底 400,当要执行的热处理的温度高时,可以使用其应变点高于或等于 730°C 的玻璃衬底。此外,例如,使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃、或钡硼硅酸盐玻璃的玻璃材料,作为衬底 400 的材料。注意,通过包含比硼酸大的量的氧化钡(BaO),玻璃衬底具有耐热性且更具有实际用途。因此,优选地使用包含 BaO 和 B₂O₃使得 BaO 的量大于 B₂O₃的量的玻璃衬底。

[0131] 注意,作为玻璃衬底 400 的替代,可以使用由绝缘体形成的衬底,诸如陶瓷衬底、石英衬底、或蓝宝石衬底。替代地,可以使用结晶玻璃等。

[0132] 可以在衬底 400 与栅极电极层 411 和 421 之间提供充当基底膜的绝缘膜。基底膜具有防止杂质元素从衬底 400 扩散的功能,并且可以被形成为具有使用氮化硅膜、氧化硅膜、氮氧化硅膜、和氧氮化硅膜中的一个或多个的单层或叠层结构。

[0133] 作为栅极电极层 411 和 421 的材料,可以采用诸如以下材料的透射可见光的导电材料:基于 In-Sn-Zn-O 的金属氧化物;基于 In-Al-Zn-O 的金属氧化物;基于 Sn-Ga-Zn-O 的金属氧化物;基于 Al-Ga-Zn-O 的金属氧化物;基于 Sn-Al-Zn-O 的金属氧化物;基于 In-Zn-O 的金属氧化物;基于 Sn-Zn-O 的金属氧化物;基于 Al-Zn-O 的金属氧化物;基于 In-O 的金属氧化物;基于 Sn-O 的金属氧化物;基于 Zn-O 的金属氧化物;以及基于 In-Sn-O 的金属氧化物。作为用于栅极电极层 411 和 421 的金属氧化物膜的沉积方法,使用溅射法、真空蒸发法(或电子束蒸发法等)、电弧放电离子镀膜法、或喷射法。在使用溅射法的情况下,可以使用包含 2 至 10 重量百分比(含端值)的 SiO₂的靶来执行膜沉积,并且在所述金属氧化物膜中可以包含抑制结晶的 SiO_x(x > 0)。以这种方式,可以防止金属氧化物膜在后来的步骤中执行的用于脱水或脱氢的热处理时结晶。

[0134] 利用以下来形成栅极电极层 411 和 421:选自 Al、Cr、Ta、Ti、Mo、和 W 的元素,包含任意这些元素的合金,或包含任意这些元素的组合的合金膜等。

[0135] 可以适当地将栅极电极层 411 和 421 的厚度选择为在 50nm 至 300nm 的范围内。在本实施例中,使用光透射导电材料来形成栅极电极层 411 和 421;然而,本发明不限于此。例如,可以将设置在驱动器电路中的晶体管的栅极电极层形成为具有包含光透射导电材料的膜和金属膜的叠层结构,并且可以使用包含光透射导电材料的膜来形成设置在像素部分中的晶体管的栅极电极层。

[0136] 在栅极电极层 411 和 421 上形成栅极绝缘层 402。

[0137] 可以通过等离子体 CVD 法或溅射法等使用任意的氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、和氧氮化铝膜的单层或叠层来形成栅极绝缘层 402。例如,可以使用 SiH_4 、氧气、和氮气作为成膜气体通过等离子体 CVD 法来形成氧氮化硅膜。替代地,例如,可以使用掺杂有硼的硅靶来形成氧化硅膜,由此可以获得对水或氢较高的阻挡性。栅极绝缘层 402 被形成为大于或等于 100nm 且小于或等于 500nm 的厚度;例如,在栅极绝缘层 402 具有叠层结构的情况下,在其上面堆叠具有大于或等于 50nm 且小于或等于 200nm 的厚度的第一栅极绝缘层和具有大于或等于 5nm 且小于或等于 300nm 的厚度的第二栅极绝缘层。

[0138] 在本实施例中,栅极绝缘层 402 是具有大于或等于 50nm 且小于或等于 200nm 的厚度的第一栅极绝缘层 402a 和具有大于或等于 50nm 且小于或等于 300nm 的厚度的第二栅极绝缘层 402b 的堆叠。作为第一栅极绝缘层 402a,使用具有 100nm 的厚度的氮化硅膜或氮氧化硅膜。作为第二栅极绝缘层 402b,使用具有 100nm 的厚度的氧氮化硅膜。

[0139] 然后,在第二栅极绝缘层 402b 上将氧化物半导体膜 430 形成为大于或等于 2nm 且小于或等于 200nm 的厚度。为了即使在形成氧化物半导体膜 430 之后的用于脱水或脱氢的热处理之后也是非晶的,该氧化物半导体膜优选地具有小于或等于 50nm 的小的厚度。通过使氧化物半导体膜的厚度小,可以在形成氧化物半导体膜之后执行热处理时抑制氧化物半导体膜中的结晶。

[0140] 注意,在通过溅射法形成氧化物半导体膜 430 之前,优选地通过其中引入氩气并产生等离子体的反向溅射(reverse sputtering)来去除附着于第二栅极绝缘层 402b 的表面的灰尘。反向溅射指的是这样的方法,其中:在不向靶侧施加电压的情况下,在氩气氛中将 RF 电源用于向衬底施加电压,以在衬底的附近产生等离子体而使表面改性。注意,作为氩气氛的替代,可以使用氮气、氦气、氧气等。

[0141] 可以使用以下来形成氧化物半导体膜 430:基于 In-Sn-Zn-O 的非单晶膜、基于 In-Sn-Zn-O 的材料、基于 In-Al-Zn-O 的材料、基于 Sn-Ga-Zn-O 的材料、基于 Al-Ga-Zn-O 的材料、基于 Sn-Al-Zn-O 的材料、基于 In-Zn-O 的材料、基于 Sn-Zn-O 的材料、基于 Al-Zn-O 的材料、基于 In-O 的材料、基于 Sn-O 的材料、基于 Zn-O 的材料、或基于 In-Sn-O 的材料。在本实施例中,利用基于 In-Ga-Zn-O 的氧化物半导体靶通过溅射法来形成氧化物半导体膜 430。可以在稀有气体(通常为氩气)气氛、氧气气氛、稀有气体(通常为氩气)和氧气的气氛中通过溅射法来形成氧化物半导体膜 430。在使用溅射法的情况下,可以使用包含 2 至 10 重量百分比(含端值)的 SiO_2 的靶来执行膜沉积,并且在氧化物半导体膜 430 中可以包含抑制结晶的 SiO_x ($x > 0$)。以这种方式,可以防止氧化物半导体膜 430 在后来的步骤中执行的用于脱水或脱氢的热处理时结晶。

[0142] 这里,使用包含 In、Ga、和 Zn 的氧化物半导体靶($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol %]、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [at %]、且 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 4$ [at %])来执行膜沉积。如下设置沉积条件:衬底与靶之间的距离是 100mm,压力是 0.2Pa,直流(DC)电源是 0.5kW,并且气氛是氩气和氧气的混合气氛(氩气:氧气 = 30sccm : 20sccm 且氧气流率(flow rate)是 40%)。注意,脉冲直流(DC)电源是优选的,因为可以减少灰尘且膜厚度可以是均匀的。基于 In-Ga-Zn-O 的非单晶膜的厚度大于或等

于 5nm 且小于或等于 200nm。

[0143] 在本实施例中,作为氧化物半导体膜 430,通过溅射法,使用基于 In-Ga-Zn-O 的氧化物半导体靶来形成具有 20nm 的厚度的基于 In-Ga-Zn-O 的非单晶膜。

[0144] 溅射法的示例包括其中使用高频电源作为溅射功率源的 RF 溅射法、DC 溅射法、和其中以脉冲的方式施加偏置的脉冲 DC 溅射法。在形成绝缘膜的情况下主要使用 RF 溅射法,并且在形成金属膜的情况下主要使用 DC 溅射法。

[0145] 另外,还存在其中可以设置不同材料的多个靶的多源溅射装置。用该多源溅射装置,可以在同一腔室中形成不同材料的膜以将其堆叠,或者可以在同一腔室中同时通过放电形成具有多种材料的膜。

[0146] 另外,存在如下的溅射装置:在腔室内部提供有磁体系统并用于磁控管溅射法的溅射装置;和其中用于使用利用微波产生的等离子体而不使用辉光放电的 ECR 溅射法的溅射装置。

[0147] 此外,作为通过溅射的沉积非那根法,还存在其中使靶物质和溅射气体组分在沉积期间在化学上相互反应而形成其化合物薄膜的反应溅射法和其中在沉积期间也向衬底施加电压的偏置溅射法。

[0148] 接下来,在第二光刻步骤中将氧化物半导体膜 430 处理成岛状氧化物半导体层。可以通过喷墨法来形成用于形成岛状氧化物半导体层的抗蚀剂掩模。当用喷墨法来形成抗蚀剂掩模时,不使用光掩模,这导致制造成本的降低。

[0149] 接下来,对第一氧化物半导体层进行脱水或脱氢。用于脱水或脱氢的第一热处理的温度高于或等于 400℃ 且低于衬底的应变点,例如,高于或等于 400℃ 且低于或等于 700℃。优选温度高于或等于 425℃。注意,虽然当温度低于 425℃ 时,优选地执行热处理长于一小时,但是当热处理的温度高于或等于 425℃ 时,可以执行热处理一小时或更短。这里,以这样的方式来获得氧化物半导体层 431 和氧化物半导体层 432:将衬底引入作为一种热处理装置的电炉中;在氮气氛中对氧化物半导体层进行热处理;并且防止层暴露于空气,并从而防止水和氢进入氧化物半导体层(参见图 2B)。在本实施例中,在一个炉中的氮气氛中执行从对氧化物半导体层进行脱水或脱氢的加热温度 T 至低到足以防止水进入的温度(尤其是低于加热温度 T100℃ 以上的温度)的缓慢冷却。本发明不限于氮气氛,并且替代地,可以在诸如氦气、氖气、氩气等稀有气体气氛中执行脱水或脱氢。

[0150] 注意,在第一热处理中,优选的是在氮气或诸如氦气、氖气、或氩气的稀有气体的气氛中不包含水、氢气等。替代地,优选的是被引入热处理装置的氮气或诸如氦气、氖气、或氩气的稀有气体具有 4N(99.99%) 或以上更优选地 6N(99.9999%) 或以上的纯度;亦即,将杂质浓度设置为 20ppm 或更低,更优选地 1ppm 或更低。

[0151] 注意,在某些情况下,根据第一热处理的条件或氧化物半导体层的材料,使氧化物半导体层结晶并变成微晶膜或多晶膜。

[0152] 替代地,可以对尚未被处理成岛状氧化物半导体层的氧化物半导体膜 430 执行第一热处理。在这种情况下,在第一热处理之后,将衬底从热处理装置中取出并执行光刻步骤。

[0153] 在形成氧化物半导体膜 340 之前,可以在惰性气体气氛(例如氮气、氦气、氖气、氩气)或氧气氛中执行热处理(在高于或等于 400℃ 且低于衬底的应变点的温度),从而去除

包含在栅极绝缘层 402 中的诸如氢和水的杂质。

[0154] 接下来,在氧化物半导体层 431 和 432 及第二栅极绝缘层 402b 上形成氧化物导电膜,并随后在氧化物导电膜上形成金属导电膜。然后,在第三光刻步骤中,形成抗蚀剂掩模 433a 和抗蚀剂掩模 433b 并执行选择性蚀刻,以便形成氧化物导电层 406、氧化物导电层 407、导电层 434、和导电层 435(参见图 2C)。

[0155] 作为氧化物导电膜的材料,可以采用诸如以下材料的透射可见光的导电材料:基于 In-Sn-Zn-O 的金属氧化物;基于 In-Al-Zn-O 的金属氧化物;基于 Sn-Ga-Zn-O 的金属氧化物;基于 Al-Ga-Zn-O 的金属氧化物;基于 Sn-Al-Zn-O 的金属氧化物;基于 In-Zn-O 的金属氧化物;基于 Sn-Zn-O 的金属氧化物;基于 Al-Zn-O 的金属氧化物;基于 In-O 的金属氧化物;基于 Sn-O 的金属氧化物;基于 Zn-O 的金属氧化物;以及基于 In-Sn-O 的金属氧化物。适当地将氧化物导电膜的厚度选择为在 50nm 至 300nm 的范围内。在使用溅射法的情况下,可以使用包含 2 至 10 重量百分比(含端值)的 SiO₂ 的靶来执行膜沉积,并且在所述氧化物导电膜中可以包含抑制结晶的 SiO_x($x > 0$)。以这种方式,可以防止氧化物导电膜在后来的步骤中执行的第二热处理时结晶。

[0156] 作为金属导电膜的材料,存在选自 Al、Cr、Cu、Ta、Ti、Mo、和 W 的元素,包含这些元素中的任意作为组分的合金,以组合方式包含这些元素的合金等。金属导电膜优选地具有其中在钛层上堆叠铝层并在铝层上堆叠钛层的三层结构、或其中在钼层上堆叠铝层并在铝层上堆叠钼层的三层结构。不用说,金属导电膜可以具有单层结构、双层结构、或者包括四个或更多个层的叠层结构。

[0157] 可以通过喷墨法来形成用于形成导电层 434 和 435 的抗蚀剂掩模。当通过喷墨法来形成抗蚀剂掩模时,不使用光掩模,这导致制造成本的降低。

[0158] 然后,在去除抗蚀剂掩模 433a 和 433b,在第四光刻步骤中,形成抗蚀剂掩模 436a 和抗蚀剂掩模 436b,且执行选择性蚀刻以便形成源极电极层 415a 和漏极电极层 415b、低电阻漏极区 408a、低电阻漏极区 408b、源极电极层 409a 和漏极电极层 409b、导电层 425a、导电层 425b(看图 2D)。注意,可以通过喷墨法来形成用于第四光刻步骤的抗蚀剂掩模。当通过喷墨法来形成抗蚀剂掩模时,不使用光掩模,这导致制造成本的降低。

[0159] 通过利用氧化物半导体层 431 和 432 的蚀刻速率与氧化物导电层 406 和 407 的蚀刻速率之间的间隙,执行蚀刻处理以便将氧化物导电层 406 和 407 中的每一个划分并形成沟道区。氧化物导电层 406 和 407 的蚀刻速率高于氧化物半导体层 431 和 432 的蚀刻速率,这导致氧化物导电层 406 和 407 对氧化物半导体层 431 和 432 的选择性蚀刻。

[0160] 优选的是,氧化物导电层 406 和 407 是不包含氧化镉但包含氧化锌作为组分的层。作为可以用于氧化物导电层 406 和 407 的材料的示例,存在氧化锌、氧化锌铝、氧氮化锌铝、氧化锌镓等。

[0161] 可以使用通过使用掩模在氧化物导电层 406 和 407 上形成的源极电极层 415a 和漏极电极层 415b 来对氧化物导电层 406 和 407 进行蚀刻。当氧化物导电层 406 和 407 包含氧化锌作为组分时,可以使用诸如抗蚀剂剥离剂的碱性溶液来容易地蚀刻氧化物导电层 406 和 407。

[0162] 如上所述,通过蚀刻氧化物半导体膜 430 来形成岛状氧化物半导体层 431 和 432;然后,在其上面堆叠氧化物导电层 406 和 407 及金属膜;并通过使用相同的掩模进行蚀刻处

理来形成包括源极电极和漏极电极的布线图案,由此可以将氧化物导电层 406 和 407 留在使用金属膜形成的布线图案下面。

[0163] 然后,在去除抗蚀剂掩模 436a 和抗蚀剂掩模 436b 之后,执行第五光刻步骤,以使得形成抗蚀剂掩模 438a 和抗蚀剂掩模 438b,并执行选择性蚀刻以去除其上面未形成抗蚀剂掩模 438b 的导电层 425a 及部分导电层 425b。通过去除未在其上面形成抗蚀剂掩模 438b 的导电层 425b 的一部分,可以形成导电层 426(参见图 2E)。

[0164] 注意,由于在第五光刻步骤中选择性地蚀刻与源极电极层 409a 和漏极电极层 409b 重叠的导电层,所以适当地调整用于氧化物半导体层 432、源极电极层 409a、和漏极电极层 409b 的材料及蚀刻条件,以使得在蚀刻导电层时不将其去除。

[0165] 在第五光刻步骤中,仅选择性地蚀刻导电层的在氧化物半导体层上并与之接触的部分。因此,在使用氨水(ammonia)过氧化物混合物(过氧化氢:氨水:水=5:2:2)等作为碱性蚀刻剂以便选择性地仅去除导电层的在氧化物半导体层上并与之接触的部分时,可以选择性地去除金属导电膜,以使得可以留下包含基于 In-Ga-Zn-O 的氧化物半导体的氧化物半导体层。

[0166] 在漏极电极层 409b 的一部分上提供导电层 426,由此经由导电层 426 将像素电极层 427 电连接到漏极电极层 409b。以这种方式,通过在漏极电极层 409b 上提供导电层 426,可以减小接触电阻。

[0167] 然后,将作为保护性绝缘膜的氧化物绝缘膜 416 形成为与氧化物半导体层 431 和氧化物半导体层 432 接触。

[0168] 可以使用作为用来不使诸如水和氢的杂质混合到氧化物绝缘膜 416 中的方法的溅射法等,适当地将氧化物绝缘膜 416 形成为具有至少大于或等于 1nm 的厚度。使用不包含诸如水分、氢离子和 OH 的杂质的无机绝缘膜来形成被形成为与低电阻氧化物半导体层接触的氧化物绝缘膜 416,并且其阻挡此类杂质从外面进入,通常为氧化硅膜、氮氧化硅膜、氧化铝膜、或氧氮化铝膜。在本实施例中,通过溅射法将氧化硅膜形成为 300nm 的厚度作为氧化物绝缘膜 416。成膜时的衬底温度可以高于或等于室温并低于或等于 300°C,并且在本实施例中设置为 100°C。可以在稀有气体(通常为氩气)气氛、氧气氛、或包含稀有气体(通常为氩气)和氧气的气氛中执行通过溅射法进行的氧化硅膜的形成。作为靶,可以使用氧化硅靶或硅靶。替代地,可以使用掺杂硼的硅靶来形成氧化硅膜,由此可以获得针对水或氢的较高阻挡性。例如,可以在包含氧气和氮气的气氛中通过溅射法使用硅靶来形成氧化硅膜(参见图 3A)。

[0169] 接下来,执行在惰性气体气氛或氧气气氛中的第二热处理(优选地在高于或等于 200°C 且低于或等于 400°C 的温度,例如高于或等于 250°C 且低于或等于 350°C 的温度)。例如,可以在 250°C 在氮气气氛中执行第二热处理一小时。通过第二热处理,在氧化物半导体层 431 和氧化物半导体层 432 与氧化物绝缘膜 416 接触的同时对其加热。

[0170] 以这种方式,通过溅射法来形成在背沟道侧上的作为保护膜氧化硅膜,并随后执行在 250°C 到 350°C(含端值)的热处理,由此将氧从氧化物半导体层 431 和氧化物半导体层 432 的暴露部分引入并扩散在氧化物半导体层 431 和氧化物半导体层 432 中。通过用溅射法形成,可以使氧化硅膜处于氧过剩状态,这使得能够通过热处理将氧引入并扩散在氧化物半导体层 431 和 432 中。当氧被引入并扩散在氧化物半导体层 431 和 432 中时,

可以将沟道形成区变成高电阻沟道形成区,即, i 型沟道形成区。因此,可以获得常闭薄膜晶体管。另外,通过使氧被引入并扩散在氧化物半导体层 431 和 432 中的热处理,可以使作为源极区和漏极区形成的氧化物半导体层 431 和 432 结晶化,且其可以具有改善的导电性。

[0171] 此外,使被沉积之后的氧化物半导体膜经受用于脱水或脱氢的热处理,以便其具有减小的电阻并成为高电阻漏极区 (HRD 区)。选择性地使高电阻漏极区的一部分处于氧过剩状态。结果,与栅极电极层 411 重叠的沟道形成区 413 变成 i 型;与栅极电极层 421 重叠的沟道形成区 423 变成 i 型;以自对准方式形成与源极电极层 415a 重叠的高电阻漏极区 414a 和与漏极电极层 415b 重叠的高电阻漏极区 414b;并且以自对准方式形成与源极电极层 409a 重叠的高电阻漏极区 424a 和与漏极电极层 409b 重叠的高电阻漏极区 424b (参见图 3A)。

[0172] 通过在氧化物半导体层的一部分中形成与漏极电极层 415b (和源极电极层 415a) 重叠的高电阻漏极区 414b (或高电阻漏极区 414a),可以改善形成驱动器电路时的可靠性。具体而言,通过形成高电阻漏极区 414b,可以获得其中导电性可以从漏极电极层 415b 到沟道形成区 413 经由高电阻漏极区 414b 而改变的结构。因此,在用连接到用于供应高电源电位 VDD 的布线的漏极电极层 415b 来执行操作的情况下,高电阻漏极区 414b 充当缓冲层,并因此,即使当在栅极电极层 411 与漏极电极层 415b 之间施加高电场时,也不在局部施加高电场,这引起晶体管的耐受电压的增加。

[0173] 另外,通过在部分氧化物半导体层形成与漏极电极层 415b (或源极电极层 415a) 重叠的高电阻漏极区 414b (或高电阻漏极区 414a),可以减少形成驱动器电路时的沟道形成区 413 中的泄漏电流的量。

[0174] 此外,通过在部分氧化物半导体层形成与漏极电极层 409b (或源极电极层 409a) 重叠的高电阻漏极区 424b (或高电阻漏极区 424a),可以改善形成像素时的可靠性。具体而言,通过形成高电阻漏极区 424b,可以获得其中导电性可以从漏极电极层 409b 到沟道形成区 423 经由高电阻漏极区 424b 而改变的结构。因此,在用连接到用于供应高电源电位 VDD 的布线的漏极电极层 409b 来执行操作的情况下,高电阻漏极区 424b 充当缓冲层,并因此,即使当在栅极电极层 421 与漏极电极层 409b 之间施加高电场时,也不在局部施加高电场,这引起晶体管的耐受电压的增加。

[0175] 另外,通过在部分氧化物半导体层 412 形成与漏极电极层 409b (或源极电极层 409a) 重叠的高电阻漏极区 424b (或高电阻漏极区 424a),可以减少形成像素时的沟道形成区 423 中的泄漏电流的量。

[0176] 此外,通过在氧化物半导体层 412 与源极和漏极电极层 415a 和 415b 之间提供氧化物导电层,可以减小氧化物半导体层 412 与源极电极层 415a 之间和氧化物半导体层 412 与漏极电极层 415b 之间的电阻,并且可以实现晶体管的高速工作。

[0177] 使用利用氧化物导电层形成的低电阻漏极区 408a 和 408b 在改善外围电路 (驱动器电路) 的频率特性方面是有效的。这是因为在 (使用钛等形成的) 金属电极与氧化物导电层 (低电阻漏极区 408a 和 408b) 接触的情况下,比在 (使用钛等形成的) 金属电极与氧化物半导体层 412 接触的情况下更多地减小接触电阻。此外,在使用钼的情况下 (例如,钼膜、铝膜、和钼膜的叠层结构),钼与氧化物半导体层 412 之间的高接触电阻已经是存在问题的。这是因为与钛相比,钼不容易被氧化并,因此从氧化物半导体层 412 中提取少量的

氧,这不允许钼与氧化物半导体层 412 之间的界面是 n 型的。然而,即使在这种情况下,通过在氧化物半导体层 412 与源极电极层 415a(或漏极电极层 415b)之间插入使用氧化物导电层形成的低电阻漏极区 408a(或低电阻漏极区 408b),可以减小接触电阻并可以改善外围电路(驱动器电路)的频率特性。薄膜晶体管的沟道长度通过氧化物导电层 406 和 407 的蚀刻来确定,并因此其可以小得多。

[0178] 然后,在氧化物绝缘膜 416 上形成保护性绝缘层 403(参见图 3B)。在本实施例中,可以用 RF 溅射法来形成氮化硅膜。由于 RF 溅射法允许高的生产率,所以优选地将其用作保护性绝缘层 403 的沉积方法。保护性绝缘层 403 是使用不包含诸如水分、氢离子和 OH 的杂质的无机绝缘膜形成的,并阻挡它们从外面进入;例如,使用氮化硅膜、氮化铝膜、氮氧化硅膜、或氧氮化铝膜等。当然,保护性绝缘层 403 是具有光透射性质的绝缘膜。替代地,可以使用掺杂硼的硅靶来形成氧化硅膜,由此可以获得针对水或氢的较高阻挡性。

[0179] 此外,保护性绝缘层 403 优选地与设置在保护性绝缘层 403 下面的第二栅极绝缘层 402b 或充当基底的绝缘膜接触,并阻挡诸如水分、氢离子、OH 的杂质从衬底的侧表面附近进入。上述结构在将氮化硅膜用于第二栅极绝缘层 402b 或充当基底的绝缘膜时特别有效。换言之,当将氮化硅膜设置为围绕氧化物半导体层的底表面、顶表面、和侧表面时,改善了显示器件的可靠性。

[0180] 然后,在保护性绝缘层 403 上形成平坦化绝缘层 404。可以使用具有耐热性的有机材料来形成平坦化绝缘层 404,诸如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺、或环氧树脂。除此类有机材料之外,还可以使用低介电常数材料(低 k 材料)、基于硅氧烷的树脂、PSG(磷硅酸盐玻璃)、或 BPSG(硼磷硅酸盐玻璃)等。注意,可以通过堆叠使用这些材料形成的多个绝缘膜来形成平坦化绝缘层 404。

[0181] 注意,基于硅氧烷的树脂对应于使用基于硅氧烷的材料作为起始材料形成的包括 Si-O-Si 键的树脂。基于硅氧烷的树脂可以包括有机基团(例如,烷基基团或芳基基团)或氟基基团(fluoro group)作为取代基。另外,有机基团可以包括氟基基团。

[0182] 对用于形成平坦化绝缘层 404 的方法没有特别限制,并且可以根据材料通过诸如溅射法、SOG 法、旋涂法、浸涂法、喷涂法、或液滴排放法(例如,喷墨法、丝网印刷、或胶版印刷等)、或者用诸如刮刀、辊涂机、幕式涂布机、刮刀式涂布机的工具(设备),来形成平坦化绝缘层 404。

[0183] 注意,作为提供保护性绝缘层 403 的替代,可以在氧化物绝缘膜 416 上形成平坦化绝缘层 404。

[0184] 接下来,在第六光刻步骤中,形成抗蚀剂掩模并去除驱动器电路部分中的平坦化绝缘层 404(参见图 3C)。

[0185] 然后,在去除抗蚀剂掩模之后,在第七光刻步骤中,形成抗蚀剂掩模,并通过蚀刻平坦化绝缘层 404、保护性绝缘层 403、和氧化物绝缘膜 416 来形成到达导电层 426 的接触孔 441(参见图 3D)。另外,通过此蚀刻,还形成到达栅极电极层 411 和 421 的接触孔(未示出)。此外,可以通过喷墨法来形成用于形成到达导电层 426 的接触孔的抗蚀剂掩模。当用喷墨法来形成抗蚀剂掩模时,不使用光掩模,这导致制造成本的降低。

[0186] 接下来,去除抗蚀剂掩模,并随后形成光透射导电膜。通过溅射法、或真空蒸发法等,使用氧化铟(In_2O_3)或氧化铟-氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$,缩写成 ITO)等,来形成该

光透射导电膜。还可以使用基于 Al-Zn-O 的非单晶膜作为光透射导电膜,其示例是基于 Al-Zn-O-N 的非单晶膜、包含氮的基于 Zn-O-N 的非单晶膜、和包含氮的 Sn- 基于 Zn-O-N 的非单晶膜。注意,基于 Al-Zn-O-N 的非单晶膜中的锌的相对比例(原子%)是小于或等于 47 原子%且大于非单晶膜中的铝的相对比例(原子%)的。非单晶膜中的铝的相对比例(原子%)大于非单晶膜中的氮的相对比例(原子%)。用基于盐酸的溶液来蚀刻此类材料。然而,由于特别是在蚀刻 ITO 时很容易产生残留物,所以可以使用氧化铟-氧化锌合金(In₂O₃-ZnO)来改善蚀刻可加工性。

[0187] 注意,光透射导电膜中的相对比例的单位是原子百分比,并且通过使用电子探针 x 射线微分析仪(EPMA)的分析来评估该相对比例。

[0188] 接下来,执行第八光刻步骤。形成抗蚀剂掩模,并通过蚀刻来去除不必要的部分以形成像素电极层 427 和导电层 417(参见图 3E)。

[0189] 通过使用八个掩模的以上步骤,可以在一个衬底上分别在驱动器电路和像素电极部分中制造薄膜晶体管 410 和薄膜晶体管 420。用于驱动器电路的薄膜晶体管 410 包括高电阻漏极区 414a、高电阻漏极区 414b、和包括沟道形成区 413 的氧化物半导体层 412。用于像素的薄膜晶体管 420 包括高电阻漏极区 424a、高电阻漏极区 424b、和包括沟道形成区 423 的氧化物半导体层 422。薄膜晶体管 410 和薄膜晶体管 420 具有其中高电阻漏极区充当缓冲层且即使当施加高电场时也不施加局部高电场的结构;以这种方式,晶体管可以具有增加的耐电压。

[0190] 此外,优选地使设置在驱动器电路中的薄膜晶体管 410 的沟道长度 L 为短于设置在像素部分中的薄膜晶体管 420 的沟道长度。通过使设置在驱动器电路中的薄膜晶体管 410 的沟道长度 L 短,可以改善工作速度。设置在驱动器电路中的薄膜晶体管 410 的沟道长度 L 优选地大于或等于 1 μm 且小于或等于 5 μm。设置在像素部分中的薄膜晶体管 420 的沟道长度优选地大于或等于 5 μm 且小于或等于 20 μm。

[0191] 另外,使用第一栅极绝缘层 402a 和第二栅极绝缘层 402b 作为电介质,通过电容器布线层和电容器电极层来形成存储电容器。通过与各像素对应以矩阵布置薄膜晶体管 410 和存储电容器以形成像素部分,并且通过在像素部分周围布置包括薄膜晶体管 420 的驱动器电路,可以获得用于制造有源矩阵显示器件的衬底之一。在本说明书中,为方便起见,将此类衬底称为有源矩阵衬底。

[0192] 注意,像素电极层 427 通过在平坦化绝缘层 404、保护性绝缘层 403、和氧化物绝缘膜 416 中形成的接触孔电连接到电容器电极层。还注意,可以使用与源极电极层 409a 和漏极电极层 409b 相同的材料和工艺来形成电容器电极层。

[0193] 另外,通过在与氧化物半导体层的沟道形成区 413 重叠的位置中提供导电层 417,在检验薄膜晶体管的可靠性的偏置-温度应力测试(BT 测试)中,可以减少薄膜晶体管 410 的阈值电压在 BT 测试前后的变化量。导电层 417 可以具有与栅极电极层 411 相同的电位或者具有与栅极电极层 411 不同的电位,并可以充当第二栅极电极层。导电层 417 的电位可以是 GND 电位、0V,或者导电层 417 可以处于浮置状态。

[0194] 可以通过喷墨法来形成用于形成像素电极层 427 的抗蚀剂掩模。当用喷墨法来形成抗蚀剂掩模时,不使用光掩模,这导致制造成本的降低。

[0195] 注意,在本实施例中,氧化物半导体层 412 之上和之下的层及氧化物半导体层 422

之上和之下的那些层是氧化硅膜。可以用等离子体 CVD 装置来形成栅极电极和栅极绝缘膜；换言之，可以原样地使用用于液晶面板的传统生产线。使用 Si 作为靶且使用氩气和氧气作为溅射气体，在室温下用溅射装置来沉积在背沟道侧形成的氧化硅膜。

[0196] 注意，如图 1B2 所示，在本实施例中描述了其中在用于像素部分的薄膜晶体管 420 的漏极电极层 409b 上形成导电层 426 的结构；然而，可采用在图 41A 中示出的没有导电层 426 的结构。此外，如图 1B1 所示，描述其中在覆盖薄膜晶体管 410 的保护性绝缘层 403 上提供导电层 417 的结构；然而，可以采用如图 41B 所示的其中未提供保护性绝缘层 403 且在氧化物绝缘膜 416 上提供导电层 417 的结构。

[0197] 可以自由地将本实施例与任何其它实施例组合。

[0198] (实施例 2)

[0199] 在图 4A 至 4C 中，示出了其第一热处理与在实施例 1 中的不同的示例。由于本实施例中所述的工艺过程与在图 1A1 至 1C2、图 2A 至 2E、和图 3A 至 3E 中所示的相同，所以用相同的附图标记来表示与图 1A1 至 1C2、图 2A 至 2E、和图 3A 至 3E 中的那些相同的部分，并省略对该部分的详细说明。

[0200] 图 4A 至 4C 是示出制造两个薄膜晶体管的步骤的横截面图。

[0201] 首先，依照实施例 1，在具有绝缘表面的衬底 400 上形成光透射导电膜，并随后在第一光刻步骤中形成栅极电极层 411 和 421。

[0202] 接下来，在栅极电极层 411 和 421 上堆叠第一栅极绝缘层 402a 和第二栅极绝缘层 402b。

[0203] 随后，在第二栅极绝缘层 402b 上形成氧化物半导体膜 430 至大于或等于 2nm 且小于或等于 200nm 的厚度（参见图 4A）。注意，以上步骤与在实施例 1 中的相同，且图 4A 对应于图 2A。

[0204] 之后，在惰性气氛中对氧化物半导体膜进行脱水或脱氢。用于脱水或脱氢的第一热处理的温度高于或等于 350℃ 且低于衬底的应变点，优选地高于或等于 400℃。这里，将衬底引入作为一种热处理装置的电炉中，并在氮气气氛中对氧化物半导体膜进行热处理；然后，氧化物半导体膜变成贫氧层且具有低电阻，亦即，氧化物半导体膜变成 n 型（诸如 n 型或 n⁺ 型）层，而不暴露于空气，因此没有任何水或氢进入氧化物半导体膜。然后，将高纯度氧气、高纯度 N₂O 气体、或极端干燥的空气（具有低于或等于 -40℃、优选地低于或等于 -60℃ 的露点）引入同一炉中并执行冷却。优选的是所述氧气或 N₂O 气体不包含水、氢等。替代地，优选的是，被引入热处理装置的氧气或 N₂O 气体具有 4N(99.99%) 或以上、更优选地 6N(99.9999%) 或以上的纯度；亦即，将氧气或 N₂O 气体的杂质浓度设置为 20ppm 或以下，更优选地 1ppm 或以下。

[0205] 另外，在用于脱水或脱氢的第一热处理之后，可以在氧气气氛、N₂O 气氛、或极端干燥的空气（具有低于或等于 -40℃、优选地低于或等于 -60℃ 的露点）中，在高于或等于 200℃ 且低于或等于 400℃ 的温度，优选地在高于或等于 200℃ 且低于或等于 300℃ 的温度，执行热处理。

[0206] 通过以上工艺过程，使整个氧化物半导体膜 430 处于氧过剩状态，由此，将氧化物半导体膜变成高电阻氧化物半导体膜，即，i 型氧化物半导体膜；因此，形成氧化物半导体膜 444（参见图 4B）。结果，可以改善后来完成的薄膜晶体管的可靠性。

[0207] 注意,虽然在本实施例中在氧化物半导体膜的沉积之后执行脱水或脱氢,但本发明不受特别限制,并且类似于实施例 1,可以替代地在形成岛状氧化物半导体层之后执行第一热处理。

[0208] 替代地,可以采用以下过程:在惰性气体气氛中对氧化物半导体膜进行脱水或脱氢并在惰性气体气氛中冷却;之后,在光刻步骤中将氧化物半导体膜处理成岛状氧化物半导体层 443 和 455;然后,在氧气、 N_2O 气体、或极端干燥的空气(具有低于或等于 $-40^{\circ}C$ 、优选地低于或等于 $-60^{\circ}C$ 的露点)中,在高于或等于 $200^{\circ}C$ 且低于或等于 $400^{\circ}C$ 的温度,优选地高于或等于 $200^{\circ}C$ 且低于或等于 $300^{\circ}C$ 的温度,执行热处理。

[0209] 另外,在形成氧化物半导体膜 430 之前,可以在惰性气体气氛(例如,氮气、或氩气、氦气、或氙气)、氧气气氛、或极端干燥的空气(具有低于或等于 $-40^{\circ}C$ 、优选地低于或等于 $-60^{\circ}C$ 的露点)气氛中执行热处理(在高于或等于 $400^{\circ}C$ 和低于衬底的应变点的温度),从而去除包含在栅极绝缘层中的诸如氢和水的杂质。

[0210] 然后,在第二光刻步骤中将氧化物半导体膜 444 处理成作为岛状氧化物半导体层的氧化物半导体层 443 和 455。

[0211] 此后,类似于实施例 1 的图 2C 至 2E 和图 3A 至 3E 所示的步骤,形成与氧化物半导体层 443 接触的低电阻漏极区 408a 和 408b;形成作为金属导电层并与低电阻漏极区 408a 和 408b 接触的源极电极层 415a 和漏极电极层 415b;以及形成与氧化物半导体层 443 接触的氧化物绝缘膜 416,由此制造用于驱动器电路的薄膜晶体管 449。同时,在像素部分中,形成作为光透射导电层并与氧化物半导体层 455 接触的源极电极层 409a 和漏极电极层 409b;在漏极电极层 409b 上形成导电层 426;并形成与氧化物半导体层 455 接触的氧化物绝缘膜 416,由此制造用于像素的薄膜晶体管 450。

[0212] 接下来,在惰性气体气氛或氧气气氛中执行第二热处理(优选地,在高于或等于 $200^{\circ}C$ 且低于或等于 $400^{\circ}C$ 的温度,例如在高于或等于 $250^{\circ}C$ 且低于或等于 $350^{\circ}C$ 的温度)。例如,可以在 $250^{\circ}C$ 在氮气气氛中执行第二热处理一小时。

[0213] 接下来,形成保护性绝缘层 403,以覆盖薄膜晶体管 449 和 450 且与氧化物绝缘膜 416 接触,并在其上面堆叠平坦化绝缘层 404。在氧化物绝缘膜 416、保护性绝缘层 403 和平坦化绝缘层 404 中形成到达在漏极电极层 409b 上的导电层 426 的接触孔,并随后在接触孔中和平坦化绝缘层 404 上形成光透射导电膜。选择性地蚀刻光透射导电膜,以使得将像素电极层 427 电连接到薄膜晶体管 450 并形成处于与氧化物半导体层 443 的沟道形成区重叠的位置的导电层 417(参见图 4C)。

[0214] 通过使用八个掩模的以上步骤,可以在一个衬底上分别在驱动器电路和像素电极部分中制造如下的薄膜晶体管 449 和薄膜晶体管 450,在该薄膜晶体管 449 和薄膜晶体管 450 每一个中,整个氧化物半导体层是 i 型氧化物半导体层。用于驱动器电路的薄膜晶体管 449 包括完全本征的氧化物半导体层 443。同样地,用于像素的薄膜晶体管 450 包括完全本征的氧化物半导体层 455。

[0215] 另外,可以使用第一栅极绝缘层 402a 和第二栅极绝缘层 402b 作为电介质由电容器布线层和电容器电极层来形成存储电容器。通过将薄膜晶体管 450 和存储电容器与各像素对应地成矩阵布置以形成像素部分,并且通过在像素部分周围布置包括薄膜晶体管 449 的驱动器电路,可以获得用于制造有源矩阵显示器件的衬底之一。

[0216] 另外,通过在与氧化物半导体层 443 的沟道形成区重叠的位置中提供导电层 417,在检验薄膜晶体管的可靠性的偏置-温度应力测试(BT 测试)中,可以减少薄膜晶体管 449 的阈值电压在 BT 测试前后的变化量。导电层 417 可以具有与栅极电极层 411 相同的电位或者具有与栅极电极层 411 不同的电位,并可以充当第二栅极电极层。导电层 417 的电位可以是 GND 电位、0V,或者导电层 417 可以处于浮置状态。

[0217] 可以通过喷墨法来形成用于形成像素电极层 427 的抗蚀剂掩模。当用喷墨法来形成抗蚀剂掩模时,不使用光掩模,这导致制造成本的降低。

[0218] 注意,在本实施例中,氧化物半导体层 483 之上和之下的层及氧化物半导体层 485 之上和之下的那些层是氧化硅膜。可以用等离子体 CVD 装置来形成栅极电极和栅极绝缘膜;换言之,可以原样地使用用于液晶面板的传统生产线。使用 Si 作为靶且氩气和氧气作为溅射气体,在室温用溅射装置来沉积在背沟道侧上形成的氧化硅膜。

[0219] 可以自由地将本实施例与任何其它实施例组合。

[0220] (实施例 3)

[0221] 参照图 5A 至 5E 来描述不同于实施例 1 的半导体器件的制造方法。可以以与实施例 1 中所述的类似地方式形成与实施例 1 中所述的相同地部分或具有与实施例 1 中所述的类似功能的部分;因此,省略重复说明。

[0222] 图 5A 至 5E 是示出制造两个薄膜晶体管的步骤的横截面图。

[0223] 类似于在实施例 1 的图 2A 中所示的步骤,在第一光刻步骤中在具有绝缘表面的衬底 400 上形成栅极电极层 411 和栅极电极层 421;在栅极电极层 411 和栅极电极层 421 上形成作为栅极绝缘层的第一栅极绝缘层 402a 和第二栅极绝缘层 402b;并在第二栅极绝缘层 402b 上形成氧化物半导体膜 430(参见图 5A)。

[0224] 然后,在第二光刻步骤中将氧化物半导体膜 430 处理成岛状氧化物半导体层。

[0225] 之后,类似于在实施例 1 的图 2B 中所示的步骤,通过第一热处理对氧化物半导体层进行脱水或脱氢。用于脱水或脱氢的第一热处理的温度高于或等于 350°C 且低于衬底的应变点,优选地高于或等于 400°C。这里,以这样的方式来获得氧化物半导体层 431 和氧化物半导体层 432:将衬底引入作为一种热处理装置的电炉中;在氮气氛中对氧化物半导体层进行热处理;并且防止层暴露于空气,并因此防止水和氢进入氧化物半导体层(参见图 5B)。

[0226] 接下来,在氧化物半导体层 431 和 432 及第二栅极绝缘层 402b 上形成氧化物导电膜;在氧化物导电膜上形成金属导电膜;然后,在第三光刻步骤中,形成抗蚀剂掩模 445a 和抗蚀剂掩模 445b 并执行选择性蚀刻以便形成低电阻漏极区 408a 和 408b、源极电极层 409a、漏极电极层 409b、源极电极层 415a、漏极电极层 415b、以及导电层 425a 和 425b(参见图 5C)。作为用于氧化物导电膜和金属导电膜的材料,可以使用与实施例 1 的类似的材料。

[0227] 注意,在此蚀刻过程中,可以适当地设置蚀刻条件,以使得能保持较低层中的氧化物半导体层 431 和 432。例如,可以控制蚀刻时间。

[0228] 优选地使用其蚀刻选择性高的材料作为氧化物半导体层 431 和 432 的材料及氧化物导电层 406 和 407 的材料。例如,作为氧化物半导体层的材料,使用包含 Sn 的金属氧化物材料(诸如 SnZnO_x 或 SnGaZnO_x 等),并且作为氧化物导电层的材料,可以使用 ITO、AZO、AZON、ZnO、GZO、或 IZO 等。

[0229] 然后,在去除抗蚀剂掩模 445a 和抗蚀剂掩模 445b 之后,执行第四光刻步骤,以使得形成抗蚀剂掩模 438a 和抗蚀剂掩模 438b 并执行选择性蚀刻以去除其上面未形成抗蚀剂掩模 438b 的导电层 425a 及导电层 425b 的一部分。通过去除其上面未形成抗蚀剂掩模 438b 的导电层 425b 的一部分,可以形成导电层 426(参见图 5D)。

[0230] 注意,由于在第四光刻步骤中选择性地蚀刻与源极电极层 409a 和漏极电极层 409b 重叠的导电层,所以适当地调整用于氧化物半导体层 432、源极电极层 409a、和漏极电极层 409b 的材料及蚀刻条件,以使得在蚀刻导电层时不将其去除。

[0231] 注意,氧化物半导体膜 430 优选地具有小于或等于 50nm 的厚度以便保持非晶。更优选地,完成的薄膜晶体管中的具有小厚度的区域的厚度大于或等于 5nm 且小于或等于 20nm。

[0232] 此外,优选使设置在所完成的驱动器电路中的薄膜晶体管 410 的沟道长度 L 短于设置在像素部分中的薄膜晶体管 420 的沟道长度。通过使设置在驱动器电路中的薄膜晶体管 410 的沟道长度 L 短,可以改善工作速度。设置在驱动器电路中的薄膜晶体管 410 的沟道长度 L 优选地大于或等于 $1\mu\text{m}$ 且小于或等于 $5\mu\text{m}$ 。设置在像素部分中的薄膜晶体管 420 的沟道长度 L 优选地大于或等于 $5\mu\text{m}$ 且小于或等于 $20\mu\text{m}$ 。

[0233] 然后,类似于在实施例 1 的图 3A 所示的步骤,将作为保护性绝缘膜的氧化物绝缘膜 416 形成为与氧化物半导体层 431 和 432 接触,并执行第二热处理。因此,与栅极电极层 411 重叠的沟道形成区 413 变成 i 型;与栅极电极层 421 重叠的沟道形成区 423 变成 i 型;以自对准方式形成与源极电极层 415a 重叠的高电阻漏极区 414a 和与漏极电极层 415b 重叠的高电阻漏极区 414b;并且以自对准方式形成与源极电极层 409a 重叠的高电阻漏极区 424a 和与漏极电极层 409b 重叠的高电阻漏极区 424b。

[0234] 然后,类似于在实施例 1 的图 3B 中所示的步骤,在氧化物绝缘膜 416 上形成保护性绝缘层 403,并在保护性绝缘层 403 上形成平坦化绝缘层 404。类似于在实施例 1 的图 3C 中所示的步骤,在第五光刻步骤中,形成抗蚀剂掩模并去除驱动器电路部分中的平坦化绝缘层 404。之后,类似于在实施例的图 3D 中所示的步骤,在第六光刻步骤中,形成抗蚀剂掩模,以使得通过蚀刻平坦化绝缘层 404、保护性绝缘层 403、和氧化物绝缘膜 416 来形成到达导电层 426 的接触孔 441。

[0235] 然后,类似于在实施例的图 3E 中所示的步骤,形成光透射导电膜并进行第七光刻步骤。形成抗蚀剂掩模,并通过蚀刻来去除不必要的部分以形成像素电极层 427 和导电层 417(参见图 5E)。

[0236] 通过使用七个掩模的以上步骤,可以在一个衬底上分别在驱动器电路和像素电极部分中制造薄膜晶体管 410 和薄膜晶体管 420。另外,掩模的数目可以比实施例 1 的制造工艺过程中的少。用于驱动器电路的薄膜晶体管 410 包括高电阻漏极区 414a、高电阻漏极区 414b、和包括沟道形成区 413 的氧化物半导体层 412。用于像素的薄膜晶体管 420 包括高电阻漏极区 424a、高电阻漏极区 424b、和包括沟道形成区 423 的氧化物半导体层 422。薄膜晶体管 410 和薄膜晶体管 420 具有其中高电阻漏极区充当缓冲层且即使当施加高电场时也不施加局部高电场的结构;以这种方式,晶体管可以具有增加的耐受电压。

[0237] 可以自由地将本实施例与任何其它实施例组合。

[0238] (实施例 4)

[0239] 将参照图 6A1、6A2、6B1、6B2、6C1、和 6C2、图 38A 至 38E、和图 39A 至 39E 来描述不同于实施例 1 的半导体器件和用于制造该半导体器件的方法。图 6B1、6B2、6C1、和 6C2 示出具有在一个衬底上形成的不同结构的两个晶体管的横截面结构的示例。图 6A1、6A2、6B1、6B2、6C1、和 6C2 所示的薄膜晶体管 460 和薄膜晶体管 470 每个是一种底栅晶体管。

[0240] 图 6A1 是设置在驱动器电路中的薄膜晶体管 460 的平面图。图 6B1 是沿图 6A1 中的线 G1-G2 截取的横截面图。另外，图 6C1 是沿图 6A1 中的线 G3-G4 截取的横截面图。

[0241] 设置在驱动器电路中的薄膜晶体管 460 在具有绝缘表面的衬底衬底 451 上包括：栅极电极层 461；第一栅极绝缘层 452a；第二栅极绝缘层 452b；至少包括沟道形成区 463、以及高电阻漏极区 464a 和高电阻漏极区 464b 的氧化物半导体层 462；低电阻漏极区 446a 和低电阻漏极区 446b；源极电极层 465a；以及漏极电极层 465b。此外，提供了覆盖薄膜晶体管 460 并与沟道形成区 463 接触的氧化物绝缘膜 466。

[0242] 以自对准方式形成高电阻漏极区 464a，其与低电阻漏极区 446a 的底表面接触。另外，以自对准方式形成高电阻漏极区 464b，其与低电阻漏极区 446b 的底表面接触。沟道形成区 463 与氧化物绝缘膜 466 接触，并且是具有比高电阻漏极区 464a 和高电阻漏极区 464b 高的电阻的区域（即，i 型区）。

[0243] 此外，提供低电阻漏极区 446a 和 446b 使得薄膜晶体管 460 能够在热量方面比具有肖特基结的薄膜晶体管更稳定地工作。如上所述有意地提供具有比氧化物半导体层高的载流子浓度的低电阻漏极区，由此形成欧姆接触。

[0244] 为了减小薄膜晶体管 460 中的布线的电阻，优选地将金属材料用于源极电极层 465a 和漏极电极层 465b。

[0245] 当在液晶显示器件中在一个衬底上形成像素和驱动器电路时，在驱动器电路中，仅在包括在诸如反相器电路、NAND 电路、NOR 电路、或锁存器电路的逻辑门中的薄膜晶体管和包括在诸如读出放大器、恒压生成电路、或者 VCO 的模拟电路中的薄膜晶体管的源极电极与漏极电极之间施加正电压或负电压。因此，可以将要求高耐受电压的高电阻漏极区 464b 设计为比高电阻漏极区 464a 宽。此外，可以增加与栅极电极层重叠的高电阻漏极区 464a 和 464b 的宽度。

[0246] 使用单栅极薄膜晶体管描述了设置在驱动器电路中的薄膜晶体管 460；必要时，也可以形成包括多个沟道形成区的多栅极薄膜晶体管。

[0247] 此外，将导电层 467 设置在沟道形成区 463 上以便与沟道形成区 463 重叠。导电层 467 被电连接到栅极电极层 461，从而导电层 467 和栅极电极层 461 具有相同的电位，由此，可以从设置在栅极电极层 461 和导电层 467 之间的氧化物半导体层 462 的上方和下方施加栅极电压。替代地，当使栅极电极层 461 和导电层 467 具有不同的电位时，例如，当导电层 467 具有固定电位、GND 电位、或 0V 时，可以控制 TFT 的电特性，诸如阈值电压。

[0248] 此外，在导电层 467 与氧化物绝缘膜 466 之间提供保护性绝缘层 453。

[0249] 保护性绝缘层 453 优选地与设置在保护性绝缘层 453 下面的第二栅极绝缘层 452b 或充当基底的绝缘膜接触，并阻挡诸如水分、氢离子、OH⁻ 的杂质从衬底的侧表面进入。使用氮化硅膜作为保护性绝缘层 453、第二栅极绝缘层 452b、或充当基底的绝缘膜是特别有效的。

[0250] 图 6A2 是设置在像素中的薄膜晶体管 470 的平面图。图 6B2 是沿图 6A2 中的线

H1-H2 截取的横截面图。另外,图 6C2 是沿图 6A2 中的线 H13-H4 截取的横截面图。

[0251] 设置在像素中的薄膜晶体管 470 在具有绝缘表面的衬底 451 上包括:栅极电极层 471;第一栅极绝缘层 452a、第二栅极绝缘层 452b;至少包括沟道形成区 473 及高电阻漏极区 474a 和高电阻漏极区 474b 的氧化物半导体层 472;源极电极层 447a;以及漏极电极层 447b。另外,提供了覆盖薄膜晶体管 470 并与氧化物半导体层 472 的上表面和侧表面接触的氧化物绝缘膜 466。

[0252] 在液态结晶显示器件中执行 AC 驱动以防止液晶的劣化。通过 AC 驱动,每隔预定时间段使施加到像素电极层的信号电位的极性反转为正的或负的。在连接到像素电极层的 TFT 中,一对电极充当源极电极层和漏极电极层。在本说明书中,为方便起见,将像素中的薄膜晶体管的一对电极之一称为源极电极层,并将另一个称为漏极电极层;实际上,在 AC 驱动中,电极之一交替地充当源极电极层和漏极电极层。另外,为了减少泄漏电流的量,可以使设置在像素中的薄膜晶体管 470 中的栅极电极层的宽度窄于设置在驱动器电路中的薄膜晶体管 460 中的栅极电极层的宽度。另外,为了减少泄漏电流的量,可以将设置在像素中的薄膜晶体管 470 的栅极电极层设计为不与源极电极层或漏极电极层重叠。

[0253] 此外,在漏极电极层 447b 的一部分上提供导电层 476,以使得经由导电层 476 将像素电极层电连接到漏极电极层 447b。在漏极电极层 447b 上提供导电层 476,由此可以减小接触电阻。

[0254] 高电阻漏极区 474a 以自对准方式形成为与源极电极层 447a 的底表面接触。另外,高电阻漏极区 474b 以自对准方式形成为与漏极电极层 447b 的底表面接触。沟道形成区 473 与氧化物绝缘膜 466 接触,并且是具有比高电阻漏极区 474a 和高电阻漏极区 474b 高的电阻的区域(即,i 型区)。

[0255] 此外,对氧化物半导体层 462 和氧化物半导体层 472 执行热处理(即,用于脱水或脱氢的热处理),以至少在形成氧化物半导体膜之后减少诸如水分的杂质。通过例如在执行用于脱水或脱氢的热处理和缓慢冷却之后将氧化物绝缘膜形成为与氧化物半导体层接触,来降低氧化物半导体层的载流子浓度,这引起薄膜晶体管 470 的电特性和可靠性的改善。

[0256] 氧化物半导体层 462 形成在源极电极层 465a 和漏极电极层 465b 的下面,并且氧化物半导体层 462 的一些部分与源极电极层 465a 和漏极电极层 465b 重叠。另外,氧化物半导体层 462 与栅极电极层 461 重叠,而第一栅极绝缘层 452a 和第二绝缘层 452b 被插入它们之间。此外,氧化物半导体层 472 形成在源极电极层 447a 和漏极电极层 447b 的下面,并且氧化物半导体层 472 的一些部分与源极电极层 447a 和漏极电极层 44b 重叠。另外,氧化物半导体层 472 与栅极电极层 471 重叠,而第一栅极绝缘层 452a 和第二绝缘层 452b 被插入它们之间。

[0257] 此外,为了实现具有高孔径比的显示器件,使用光透射导电膜来形成源极电极层 447a 和漏极电极层 447b,从而薄膜晶体管 470 可以充当光透射薄膜晶体管。此外,还使用光透射导电膜形成薄膜晶体管 420 的栅极电极层 421。

[0258] 在其中提供薄膜晶体管 470 的像素中,将透射可见光的导电膜用于像素电极层 477、另一电极层(例如,电容器电极层)、或另一布线层(例如,电容器布线层),因此,实现了具有高孔径比的显示器件。当然,优选将透射可见光的导电膜用于第一栅极绝缘层 452a、第二栅极绝缘层 452b、和氧化物绝缘膜 466。

[0259] 此外,在像素电极层 477 与氧化物绝缘膜 466 之间提供保护性绝缘层 453 和平坦化绝缘层 454。

[0260] 在本说明书中,透射可见光的膜指的是具有 75% 至 100% 的可见光透射率的膜;当该膜具有导电性时,也将其称为透明导电膜。可以将对于可见光而言是半透明的导电膜用于应用于栅极电极层、源极电极层、漏极电极层、像素电极层、另一电极层、或另一布线层的金属氧化物。当导电膜对于可见光是半透明的时,其具有 50% 至 75% 的可见光透射率。

[0261] 下面将参照图 38A 至 38E 和图 39A 至 39E 来描述用于在一个衬底上制造薄膜晶体管 460 和薄膜晶体管 470 的过程。

[0262] 首先,在具有绝缘表面的衬底 451 上形成光透射导电膜,并随后在第一光刻步骤中形成栅极电极层 461 和 471。另外,使用与第一光刻步骤中的栅极电极层 461 和 471 相同的材料在像素部分中形成电容器布线。此外,当在驱动器电路以及像素部分中需要电容器时,还在驱动器电路中形成电容器布线。注意,可以通过喷墨法来形成抗蚀剂掩模。用喷墨法来形成抗蚀剂掩模不需要光掩模,这导致制造成本的降低。然后,在栅极电极层 461 上形成第一栅极绝缘层 452a 和第二栅极绝缘层 452b。

[0263] 对于具有绝缘表面的衬底 451、栅极电极层 461 和 471、第一栅极绝缘层 452a、和第二栅极绝缘层 452b,可以分别参考在实施例 1 中描述的具有绝缘表面的衬底 400、栅极电极层 411 和 421、第一栅极绝缘层 402a、和第二栅极绝缘层 402b;因此,省略其详细说明。

[0264] 接下来,在第二栅极绝缘层 452b 上形成氧化物半导体膜 480 到 2nm 至 200nm(含端值)的厚度(参见图 38A)。氧化物半导体膜 480 优选具有 50nm 或以下的厚度,以便即使当在形成氧化物半导体膜 480 之后执行用于脱水或脱氢的热处理时也保持在非晶状态。氧化物半导体膜 480 的小厚度使得可以防止氧化物半导体膜 480 当在形成氧化物半导体膜 480 之后执行热处理时结晶。

[0265] 注意,在通过溅射法形成氧化物半导体膜 480 之前,优选地通过其中通过氩气的引入产生等离子体的反向溅射来去除附着于第二栅极绝缘层 452b 的表面的灰尘。反向溅射指的是其中在不向靶侧施加电压的情况下在氩气氛中使用 RF 电源向衬底侧施加电压,以使得在衬底周围产生等离子体以使表面改性。注意,作为氩气氛的替代,可以使用氮气、氦气、或氧气等。

[0266] 作为氧化物半导体膜 480,使用基于 In-Sn-Zn-O 的非单晶膜、基于 In-Sn-Zn-O 的氧化物半导体膜、基于 In-Al-Zn-O 的氧化物半导体膜、基于 Sn-Ga-Zn-O 的氧化物半导体膜、基于 Al-Ga-Zn-O 的氧化物半导体膜、基于 Sn-Al-Zn-O 的氧化物半导体膜、基于 In-Zn-O 的氧化物半导体膜、基于 Sn-Zn-O 的氧化物半导体膜、基于 Al-Zn-O 的氧化物半导体膜、基于 In-O 的氧化物半导体膜、基于 Sn-O 的氧化物半导体膜、基于 Zn-O 的氧化物半导体膜、或基于 In-Sn-O 的氧化物半导体膜。在本实施例中,利用基于 In-Ga-Zn-O 的氧化物半导体靶通过溅射法来形成氧化物半导体膜 480。替代地,可以在稀有气体(通常为氩气)气氛、氧气气氛、或包含稀有气体(通常为氩气)和氧气的气氛中,通过溅射法来形成氧化物半导体膜 480。在使用溅射法的情况下,可以使用包含 2 至 10 重量百分比(含端值)的 SiO_2 的靶来执行沉积,并且氧化物半导体膜中可以包含抑制结晶的 SiO_x ($x > 0$),在这种情况下,可以防止在稍后步骤中的用于脱水或脱氢的热处理时结晶。

[0267] 然后,对氧化物半导体膜 480 进行脱水或脱氢。用于脱水或脱氢的第一热处理的

温度是 350℃或以上且低于衬底的应变点,优选地为 400℃或以上。这里,将衬底引入作为一种处理装置的电炉中,并在氮气气氛中对氧化物半导体膜执行热处理,于是防止水和氢进入氧化物半导体膜而氧化物半导体膜未暴露于空气;因此,获得氧化物半导体膜 481(参见图 38B)。在本实施例中,在氮气气氛中在一个炉内执行从对氧化物半导体膜 480 执行脱水或脱氢的加热温度 T 至低到足以防止水进入的温度的缓慢冷却;具体而言,执行缓慢冷却直至温度从加热温度 T 开始下降 100℃或以上为止。脱水或脱氢气氛不限于氮气气氛,可以替代地使用稀有气体气氛(例如,氦气、氖气、或氩气)。

[0268] 注意,在第一热处理中,优选的是在氮气或诸如氦气、氖气、或氩气的稀有气体的气氛中不包含水、氢等。替代地,优选的是被引入热处理装置的氮气或诸如氦气、氖气、或氩气的稀有气体具有 4N(99.99%) 或以上的纯度,更优选地 6N(99.9999%) 或以上的纯度(亦即,杂质浓度优选地为 1ppm 或以下,更优选地为 20ppm 或以下)。

[0269] 根据第一热处理的条件或氧化物半导体膜 480 的材料,可以使氧化物半导体膜结晶成微晶膜或多晶膜。

[0270] 替代地,可以在将氧化物半导体膜处理成具有岛状之后执行第一热处理。

[0271] 在形成氧化物半导体膜 480 之前,可以通过在惰性气体气氛(例如,氮气、氦气、氖气、或氩气)或氧气气氛中的热处理(在高于或等于 400℃且低于衬底的应变点的温度)来去除包含在栅极绝缘层中的诸如氢和水的杂质。

[0272] 然后,在氧化物半导体膜 481 上依次形成氧化物导电膜和金属导电膜。

[0273] 作为氧化物导电膜的沉积方法,使用溅射法、真空蒸发法(例如,电子束蒸发法)、电弧放电离子镀膜法、或喷射法。作为氧化物导电膜 442 的材料,可以使用具有比氧化物半导体层 483 的低电阻且比金属导电层 484 高的电阻的材料;例如,可以使用基于 In-Sn-Zn-O 的金属氧化物、基于 In-Al-Zn-O 的金属氧化物、基于 Sn-Ga-Zn-O 的金属氧化物、基于 Al-Ga-Zn-O 的金属氧化物、基于 Sn-Al-Zn-O 的金属氧化物、基于 In-Zn-O 的金属氧化物、基于 Sn-Zn-O 的金属氧化物、基于 Al-Zn-O 的金属氧化物、基于 In-O 的金属氧化物、基于 Sn-O 的金属氧化物、基于 Zn-O 的金属氧化物、或基于 In-Sn-O 的金属氧化物。适当时将氧化物导电膜的厚度设置在 50nm 至 300nm 的范围内。在使用溅射法的情况下,可以使用包含 2 至 10 重量百分比(含端值)的 SiO₂的靶来执行沉积,并且在氧化物导电膜中可以包含抑制结晶的 SiO_x(x > 0),在这种情况下,可以防止在稍后步骤中的用于脱水或脱氢的热处理时结晶。

[0274] 用于金属导电膜的材料示例包括选自 Al、Cr、Cu、Ta、Ti、Mo、和 W 的元素;包含这些元素中的任意作为组分的合金;以及以组合方式包含上述元素的合金。

[0275] 金属导电膜优选地具有其中在钛层上堆叠铝层并在铝层上堆叠钛层的三层结构、或其中在钼层上堆叠铝层并在铝层上堆叠钼层的三层结构。当然,金属导电膜可以具有单层结构、双层结构、或包括四个或更多个层的叠层结构。

[0276] 注意,可以替代地在形成氧化物导电膜和所述金属导电膜之后执行第一热处理。在形成氧化物导电膜和金属导电膜之后执行第一热处理的情况下,在堆叠氧化物导电膜和氧化物半导体膜 480 的情况下执行用于脱水或脱氢的热处理。利用此热处理,除非在氧化物半导体膜 480 中包含诸如氧化硅的抑制结晶的物质,否则氧化物半导体膜 480 结晶化。氧化物半导体膜 480 的晶体从基底表面以柱形生长。因此,当蚀刻氧化物半导体膜 480 上的

金属膜以形成源极电极和漏极电极时,可以防止在金属膜下面的氧化物半导体膜 480 中形成底切 (undercut)。利用对氧化物导电膜执行的用于脱水或脱氢的热处理,可以增加氧化物半导体膜 480 的导电性。注意,可以仅使氧化物半导体膜 480 经受在低于该氧化物导电膜热处理温度的温度执行的热处理。

[0277] 在形成氧化物导电膜和金属导电膜之后,形成在第二光刻步骤中使用的抗蚀剂掩模 482a 和 482b。注意,可以通过喷墨法来形成抗蚀剂掩模 482a 和 482b。用喷墨法来形成抗蚀剂掩模不需要光掩模,这导致制造成本的降低。

[0278] 在本实施例中,抗蚀剂掩模 482a 和 482b 每个都具有凹部或凸部。换言之,那些抗蚀剂掩模 482a 和 482b 还可以称为包括具有不同厚度的多个区域(在这里为两个区域)的抗蚀剂掩模。在抗蚀剂掩模 482a 或 482b 中,将厚的区域称为抗蚀剂掩模 482a 或 482b 的凸部,并将薄的区域称为抗蚀剂掩模 482a 或 482b 的凹部。

[0279] 在抗蚀剂掩模 482a 和 482b 中的每一个中,与导电膜区域的后来将成为源极电极层或漏极电极层的区域对应地形成凸部,并与导电膜的后来经成为沟道形成区的区域对应地形成凹部。

[0280] 可以使用多色调掩模来形成抗蚀剂掩模 482a 和 482b。多色调掩模是能够以多级光强进行曝光的掩模,并且通常,以三级光强执行曝光以提供曝光区、半曝光区、和未曝光区。通过使用多色调掩模,可以通过一个曝光和显影步骤来形成具有多个厚度(通常为两种厚度)的抗蚀剂掩模。因此,通过使用多色调掩模,可以减少光掩模的数目。

[0281] 通过使用多色调掩模的曝光和显影,可以形成抗蚀剂掩模 482a 和 482b,其每个都包括具有不同厚度的区域。注意,不限于此,可以在不用多色调掩模的情况下形成抗蚀剂掩模 482a 和 482b。

[0282] 然后,通过使用抗蚀剂掩模 482a 和 482b 选择性地并同时蚀刻金属导电膜、氧化物导电膜、和氧化物半导体膜 481,由此形成岛状氧化物半导体层 483 和 485、氧化物导电层 442 和 475、和金属导电层 484 和 486(参见图 38C)。在使用钛膜、铝膜、和钛膜的导电膜堆叠作为金属导电层的情况下,可以利用氯气通过干法蚀刻法来执行蚀刻。

[0283] 接下来,减小(缩小)抗蚀剂掩模 482a 和 482b 以形成抗蚀剂掩模 487a 和 487b。为了减小(缩小)抗蚀剂掩模,可以执行使用氧等离子体等的灰化。当减小(缩小)了抗蚀剂掩模时,金属导电层 484 和 486 的一部分被暴露。

[0284] 接下来,使用抗蚀剂掩模 487a 和 487b 来执行选择性蚀刻,以形成源极电极层 465a、漏极电极层 465b、低电阻漏极区 446a、低电阻漏极区 446b、源极电极层 447a、漏极电极层 447b、导电层 490a、和导电层 490b(参见图 38D)。注意,源极电极层 465 和漏极电极层 465b 下面的氧化物半导体层 483 的边缘部分从源极电极层 465a 和漏极电极层的外边缘向外延伸。类似地,导电层 490a 和 490b 下面的氧化物半导体层 485 的边缘部分从导电层 490a 和 490b 的外边缘向外延伸。注意,向外延伸的氧化物半导体层 483 和氧化物半导体层 485 的边缘部分在某些情况下可以具有减小的厚度。

[0285] 注意,如图 38D 所示,氧化物半导体层 483 的边缘部分被定位得比低电阻漏极区 446a 和 446b 的边缘部分更向外;氧化物半导体层 485 的边缘部分被定位得比源极电极层 447a 和漏极电极层 447b 的边缘部分更向外。注意,氧化物半导体层 483 的边缘部分具有与将作为沟道形成区的氧化物半导体层 483 的部分相同的厚度。

[0286] 利用氧化物导电层 442 和 475 与金属导电层 484 和 486 之间的蚀刻速率的差, 执行执行用于划分金属导电层 484 和 486 的蚀刻处理。利用金属导电层 484 和 486 的蚀刻速率高于氧化物导电层 442 和 475 的蚀刻速率这一事实, 来选择性地蚀刻氧化物导电层 442 和 475。

[0287] 优选的是, 氧化物导电层 442 和 475 不包含氧化镉但包含氧化锌作为其组分。对于此类氧化物导电层 442 和 475, 可以使用氧化锌、氧化锌铝、氧氮化锌铝、或氧化锌镓等等。

[0288] 可以使用氧化物导电层 442 和 475 上的源极电极层 465a、漏极电极层 465b、导电层 490a、和导电层 490b 作为掩模, 来蚀刻所形成的氧化物导电层 442 和 475。氧化物导电层 442 和 475 包含氧化锌作为其组分, 可以利用例如碱性溶液 (诸如, 抗蚀剂剥离剂) 容易地蚀刻氧化物导电层 442 和 475。

[0289] 在将氧化物导电层 442 和 475 蚀刻成岛状氧化物导电层 442 和 475 之后, 在氧化物导电层 442 和 475 上堆叠金属导电膜, 并蚀刻包括源极电极层和漏极电极层的布线图案, 由此, 氧化物导电层 442 和 475 可以保留在金属导电膜的布线图案下面。

[0290] 然后, 去除抗蚀剂掩模 482a 和 482b, 并且在第三光刻步骤中, 形成抗蚀剂掩模 491a 和 491b 并随后执行选择性蚀刻, 由此去除在其上面未形成抗蚀剂掩模 491b 的导电层 490a 和 490b 的部分。去除在其上面未形成抗蚀剂掩模 491b 的部分导电层 490b 以形成导电层 476 (参见图 38E)。

[0291] 注意, 由于在第三光刻步骤中选择性地去除与源极电极层 447a 和漏极电极层 447b 重叠的导电层, 所以适当地控制氧化物半导体层 485、源极电极层 447a、和漏极电极层 447b 的材料和蚀刻条件, 以使得在导电层的蚀刻中不去除氧化物半导体层 485、源极电极层 447a、和漏极电极层 447b。

[0292] 此外, 在部分漏极电极层 447b 上提供导电层 476, 由此, 经由导电层 476 将漏极电极层 447b 电连接到后来形成的像素电极层 477。如上所述, 在漏极电极层 447b 上提供导电层 476, 由此可以减小接触电阻。

[0293] 接下来, 将充当保护性绝缘膜的氧化物绝缘膜 466 形成为与氧化物半导体层 483 和氧化物半导体层 485 接触。

[0294] 氧化物绝缘膜 466 具有至少 1nm 的厚度, 且可以适当地通过诸如溅射法等用以不使诸如水和氢的杂质混合到氧化物绝缘膜 466 中的方法来形成。在本实施例中, 通过溅射法来形成 300nm 厚的氧化硅膜作为氧化物绝缘膜。薄膜形成时的衬底温度可以高于或等于室温并低于或等于 300°C, 并且在本实施例中设置为 100°C。可以在稀有气体 (通常为氩气) 气氛、氧气气氛、或包含稀有气体 (通常为氩气) 和氧气的气氛中执行通过溅射法的氧化硅膜的形成。作为靶, 可以使用氧化硅靶或硅靶。替代地, 可以使用掺杂硼的硅靶来形成氧化硅膜, 在这种情况下, 可以改善针对水或氢的阻挡性。例如, 可以在包含氧气和氮气的气氛中通过溅射法使用硅靶来形成氧化硅膜。使用无机绝缘膜以与低电阻氧化物半导体层接触的方式形成氧化物绝缘膜 466, 所述无机绝缘膜不包含诸如水分、氢离子、或 OH⁻ 的杂质且阻抗此类杂质从外面进入, 其通常为氧化硅膜、氮氧化硅膜、氧化铝膜、或氧氮化铝膜。

[0295] 接下来, 执行第二热处理 (优选地, 在 200°C 到 400°C (含端值) 的温度, 例如, 250°C 至 350°C (含端值))。例如, 可以在氮气气氛中在 250°C 下执行第二热处理一小时。利用第二热处理, 在氧化物半导体层 483 和 485 与氧化物绝缘膜 466 接触的同时施加热量。

[0296] 以这种方式,通过溅射法来形成背沟道侧上的作为保护膜氧化硅膜,并随后执行在 250℃到 350℃(含端值)的热处理,由此从氧化物半导体层 483 和氧化物半导体层 485 的暴露部分将氧引入并扩散在氧化物半导体层 483 和氧化物半导体层 485 中。通过用溅射法形成,可以使氧化硅膜处于氧过剩状态,这使得能够通过热处理将氧引入并扩散在氧化物半导体层 483 和 485 中。当氧被引入并扩散在氧化物半导体层 483 和 485 中时,可以将沟道形成区变成高电阻沟道形成区,即, i 型沟道形成区。因此,可以获得常闭薄膜晶体管。另外,通过使氧被引入并扩散在氧化物半导体层 483 和 485 中的热处理,可以使作为源极区和漏极区形成的氧化物半导体层 483 和 485 结晶,并且其可以具有改善的导电性。

[0297] 此外,在所述形成之后对氧化物半导体膜执行用于脱水或脱氢的热处理以减小氧化物半导体膜的电阻,以使氧化物半导体膜变成高电阻漏极区(LRN 区),然后选择性地使高电阻漏极区的一部分处于氧过剩状态。结果,与栅极电极层 461 重叠的沟道形成区、延伸区 456a 和 456b、以及延伸区 457a 和 457b 变成 i 型区;并且与栅极电极层 471 重叠的沟道形成区 473 变成 i 型区。此外,以自对准方式形成与源极电极层 465a 重叠的高电阻漏极区 464a 和与漏极电极层 465b 重叠的高电阻漏极区 464b;并且以自对准方式形成与源极电极层 447a 重叠的高电阻漏极区 474a 和与漏极电极层 447b 重叠的高电阻漏极区 474b。

[0298] 注意,通过在氧化物半导体层的一部分中形成与漏极电极层 465b(和源极电极层 465a)重叠的高电阻漏极区 464a,可以改善形成驱动器电路时的可靠性。具体而言,通过形成高电阻漏极区 464b,可以获得其中导电性可以经由高电阻漏极区 464b 从漏极电极层 465b 到沟道形成区 463 而改变的结构。因此,在用连接到用于供应高电源电位 VDD 的布线的漏极电极层 465b 来执行操作的情况下,高电阻漏极区 464b 充当缓冲层,因此,即使在栅极电极层 461 与漏极电极层 465b 之间施加高电场时,也不在局部施加高电场,这引起晶体管的耐受电压的增加。

[0299] 此外,通过在氧化物半导体层的一部分中形成与漏极电极层 465b(或源极电极层 465a)重叠的高电阻漏极区 464b(或高电阻漏极区 464a),可以减少形成驱动器电路时的沟道形成区中的泄漏电流的量。

[0300] 此外,通过在氧化物半导体层的一部分中形成与漏极电极层 447b(或源极电极层 447a)重叠的高电阻漏极区 474b(或高电阻漏极区 474a),可以改善形成像素时的可靠性。具体而言,通过形成高电阻漏极区 474b,可以获得其中导电性可以经由高电阻漏极区 474b 从漏极电极层 447b 到沟道形成区 473 改变的结构。因此,在用连接到用于供应高电源电位 VDD 的布线的漏极电极层 447b 来执行操作的情况下,高电阻漏极区 474b 充当缓冲层,因此,即使在栅极电极层 471 与漏极电极层 447b 之间施加高电场时,也不在局部施加高电场,这引起晶体管的耐受电压的增加。

[0301] 此外,通过在氧化物半导体层的一部分中形成与漏极电极层 447b(或源极电极层 447a)重叠的高电阻漏极区 474b(或高电阻漏极区 474a),可以减小形成像素时的沟道形成区 473 中的泄漏电流的量。

[0302] 此外,形成在氧化物半导体层 483 与源极电极层 465a 和漏极电极层 465b 之间的氧化物导电层允许减小电阻并以高速驱动晶体管。

[0303] 使用通过利用氧化物导电层形成的低电阻漏极区 446a 和 446b 在改善外围电路(驱动器电路)的频率特性方面是有效的。这是因为在(使用钛等形成的)金属电极与氧

化物导电层（低电阻漏极区 446a 和 446b）接触的情况下，能够比在（使用钛等形成的）金属电极与氧化物半导体层 483 接触的情况下更多地减小接触电阻。此外，在使用钼的情况下（例如，钼膜、铝膜、和钼膜的叠层结构），钼与氧化物半导体层 483 之间的高接触电阻已经存在问题。这是因为与钛相比，钼不容易被氧化，并因此从氧化物半导体层 412 中提取少量的氧，这不允许钼与氧化物半导体层 483 之间的界面成为 n 型。然而，即使在这种情况下，通过在氧化物半导体层 483 与源极电极层 465a（或漏极电极层 465b）之间插入使用氧化物导电层形成的低电阻漏极区 446a（或低电阻漏极区 465b），可以减小接触电阻并可以改善外围电路（驱动器电路）的频率特性。通过氧化物导电层（低电阻漏极区 446a 和 446b）的蚀刻来确定薄膜晶体管的沟道长度，因此其可以小得多。

[0304] 接下来，在氧化物绝缘膜 466 上形成保护性绝缘层 453。在本实施例中，用 RF 溅射法来形成氮化硅膜。由于 RF 溅射法允许高产率，所以优选地将其用作保护性绝缘层 453 的沉积方法。使用不包含诸如水分、氢离子和 OH 的杂质的无机绝缘膜来形成保护性绝缘层 453，并且其阻挡此类杂质从外面的进入，其通常为氮化硅膜、氮化铝膜、氮氧化硅膜、或氧氮化铝膜。当然，保护性绝缘层 453 是光透射绝缘膜。替代地，使用掺杂硼的硅靶形成氧化硅膜，在这种情况下，可以改善针对水或氢的阻挡性。

[0305] 保护性绝缘层 453 优选与设置在保护性绝缘层 453 下面的第二栅极绝缘层 452b 或充当基底的绝缘膜接触，并阻挡诸如水分、氢离子、OH 的杂质从衬底的侧表面附近进入。使用氮化硅膜作为第二栅极绝缘层 452a 或充当基底的绝缘膜是特别有效。换言之，提供氮化硅膜以便围绕氧化物半导体层的底表面、顶表面、和侧表面，由此增加显示器件的可靠性。

[0306] 接下来，在保护性绝缘层 453 上形成平坦化绝缘层 454。可以使用具有耐热性的有机材料来形成平坦化绝缘层 454，诸如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺、或环氧树脂。除此类有机材料之外，还可以使用低介电常数材料（低 k 材料）、基于硅氧烷的树脂、PSG（磷硅酸盐玻璃）、或 BPSG（硼磷硅酸盐玻璃）等。注意，可以堆叠使用这些材料形成的多个绝缘膜以形成平坦化绝缘层 454。

[0307] 注意，基于硅氧烷的树脂对应于使用基于硅氧烷的材料作为起始材料而形成的包括 Si-O-Si 键的树脂。基于硅氧烷的树脂可以包括有机基团（例如，烷基基团或芳基基团）或氟基基团作为取代基。此外，有机基团可以包括氟基基团。

[0308] 对用于形成平坦化绝缘层 454 的方法没有特别限制。根据材料，可以通过诸如溅射法、SOG 法、旋涂法、浸涂法、喷涂法、或液滴排放法（喷墨法、丝网印刷、或胶版印刷）的方法、或者通过使用诸如刮刀、辊涂机、幕式涂布机、刮刀式涂布机的工具等来形成平坦化绝缘层 454。

[0309] 注意，可以在氧化物绝缘膜 466 上提供平坦化绝缘层 454 而不提供保护性绝缘层 453。

[0310] 接下来，执行第四光刻步骤，以便形成抗蚀剂掩模以去除驱动器电路部分中的平坦化绝缘层 454（参见图 39C）。

[0311] 然后，在去除抗蚀剂掩模之后，执行第五光刻步骤，从而形成抗蚀剂掩模，并通过蚀刻平坦化绝缘层 454、保护性绝缘层 453、和氧化物绝缘膜 466 来形成到达导电层 476 的接触孔 494（参见图 39D）。另外，通过此蚀刻，还形成到达栅极电极层 461 和 471 的接触孔

(未示出)。替代地,可以通过喷墨法来形成用于形成到达导电层 476 的接触孔的抗蚀剂掩模。用喷墨法来形成抗蚀剂掩模不需要光掩模,这导致制造成本的降低。

[0312] 接下来,去除抗蚀剂掩模,并随后形成光透射导电膜。可以通过溅射法、或真空蒸发法等,使用氧化铟 (In_2O_3) 或氧化铟和氧化锡的合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$, 缩写为 ITO) 等,形成光透射导电膜。替代地,可以使用包含氮的基于 Al-Zn-O 的非单晶膜(即,基于 Al-Zn-O-N 的非单晶膜)、包含氮的基于 Zn-O 的非单晶膜、或包含氮的基于 Sn-Zn-O 的非单晶膜。注意,基于 Al-Zn-O-N 的非单晶膜中的锌的百分比(原子%)是 47 原子%或以下且高于该非单晶膜中的铝的百分比;该非单晶膜中的铝的百分比(原子%)高于该非单晶膜中的氮的百分比。用基于盐酸的溶液来蚀刻此类材料。然而,由于特别是在蚀刻 ITO 时很容易产生残留物,所以可以使用氧化铟和氧化锌的合金 ($\text{In}_2\text{O}_3\text{-ZnO}$) 以改善蚀刻可加工性。

[0313] 接下来,执行第七蚀刻步骤,以使得形成抗蚀剂掩模并通过蚀刻来去除不必要的部分以形成像素电极层 477 和导电层 467(参见图 39E)。

[0314] 通过上述步骤,使用七个掩模,可以在一个衬底上分别在驱动器电路和像素部分中制造薄膜晶体管 460 和薄膜晶体管 470。用于驱动器电路的薄膜晶体管 460 包括氧化物半导体层 483,所述氧化物半导体层 483 包括高电阻漏极区 464a、高电阻漏极区 464b、和沟道形成区 463。用于像素的薄膜晶体管 470 包括氧化物半导体层 485,所述氧化物半导体层 485 包括高电阻漏极区 474a、高电阻漏极区 474b、和沟道形成区 473。薄膜晶体管 460 和 470 具有增加的耐受电压,因为高电阻漏极区充当缓冲器,从而即使当向薄膜晶体管 460 和 470 施加高电场时,也不向薄膜晶体管 460 和 470 施加局部高电场。

[0315] 另外,可以在同一衬底上形成以第一栅极绝缘层 452a 和第二栅极绝缘层 452b 作为电介质的由电容器布线层和电容器电极构成的存储电容器。薄膜晶体管 460 和存储电容器被以矩阵布置以与各像素对应,从而形成像素部分,并在该像素部分周围布置包括薄膜晶体管 460 的驱动器电路,由此,可以获得用于制造有源矩阵显示器件的衬底之一。

[0316] 注意,像素电极层 477 通过在平坦化绝缘层 454、保护性绝缘层 453、和氧化物绝缘膜 466 中形成的接触孔而电连接到电容器电极层。注意,可以在与漏极电极层 447b 相同的步骤中使用相同的材料来形成电容器电极层。

[0317] 导电层 467 被提供为与氧化物半导体层中的沟道形成区 463 重叠,由此,在用于检验薄膜晶体管的可靠性的偏置-温度应力测试(称为 BT 测试)中,可以减少薄膜晶体管 460 的阈值电压在 BT 测试前后的变化量。导电层 467 的电位可以与栅极电极层 461 的电位相同或不同。导电层 467 还可以充当第二栅极电极层。替代地,导电层 467 的电位可以是 GND 电位或 0V,或者导电层 467 可以处于浮置状态。

[0318] 可以通过喷墨法来形成用于形成像素电极层 477 的抗蚀剂掩模。用喷墨法来形成抗蚀剂掩模不需要光掩模,这导致制造成本的降低。

[0319] 注意,虽然在本实施例中描述了如图 6B2 所示的其中在像素部分中的薄膜晶体管 470 的漏极电极层 447b 上提供导电层 476 的结构,但也可以采用如图 42A 所示的其中未提供导电层 476 的结构。另外,虽然描述了如图 6B1 所示的其中在覆盖驱动器电路部分中的薄膜晶体管 460 的保护性绝缘层 453 上提供导电层 476 的结构,但如图 42B 所示,也可以采用其中在不提供保护性绝缘层 453 的情况下在氧化物绝缘膜 466 上提供导电层 476 的结构。

[0320] 可以自由地将本实施例与任何其它实施例组合。

[0321] (实施例 5)

[0322] 在本实施例中,在图 40A 至 40C 中示出其中第一热处理与在实施例 4 中的不同的示例。除部分步骤之外,图 40A 至 40C 与图 38A 至 38E 和图 39A 至 39E 相同;因此,用相同的附图标记来表示与图 38A 至 38E 和图 39A 至 39E 中相同的部分并省略对这些部分的详细说明。

[0323] 图 40A 至 40C 是示出用于制造两个薄膜晶体管的工艺过程的横截面图。

[0324] 首先,如在实施例 4 中所述的,在具有绝缘表面的衬底 451 上形成光透射导电膜,并随后在第一光刻步骤中形成栅极电极层 461 和 471。

[0325] 然后在栅极电极层 461 和 471 上形成第一栅极绝缘层 452a 和第二栅极绝缘层 452b 的堆叠。然后,在第二栅极绝缘层 452b 上形成氧化物半导体膜 480 至 2nm 至 200nm(含端值)的厚度(参见图 40A)。注意,由于可以如在实施例 4 中那样执行直至且包括图 40A 中的步骤的那些步骤(参见图 38A),所以省略对这些步骤的详细说明。

[0326] 接下来,在惰性气体气氛中对氧化物半导体膜 480 进行脱水或脱氢。用于脱水或脱氢的第一热处理的温度是 350°C 或以上且低于衬底的应变点,优选地为 400°C 或以上。这里,将衬底引入作为一种热处理装置的电炉中并在氮气气氛中对氧化物半导体膜 480 执行热处理,然后减小氧化物半导体膜 480 的电阻,亦即,在氧化物半导体膜 480 未暴露于空气的情况下,使氧化物半导体膜 480 变成作为贫氧半导体膜的 n 型(例如, n 型或 n⁺型)半导体膜,同时防止水或氢混合到氧化物半导体膜 480 中。之后,将高纯度氧气或高纯度 N₂O 气体引入同一炉中并执行冷却。优选的是,在氧气或 N₂O 气体中不包含水、氢气等。替代地,被引入热处理装置中的氧气或 N₂O 气体的纯度优选为 4N(99.99%) 或以上、更优选为 6N(99.9999%) 或以上(亦即,氧气或 N₂O 气体的杂质浓度优选地为 20ppm 或以下,更优选地为 1ppm 或以下)。

[0327] 此外,在用于脱水或脱氢的第一热处理之后,可以在氧气气氛、N₂O 气氛、或极端干燥的空气(具有 -40°C 或以下优选 -60°C 或以下的露点)气氛中,在 200°C 至 400°C(含端值),优选在 200°C 至 300°C(含端值),执行热处理。

[0328] 通过上述步骤使得整个氧化物半导体膜包含过量的氧;因此,获得具有增加的电阻的氧化物半导体膜 496,亦即, i 型氧化物半导体膜 496(参见图 40B)。结果,可以增加稍后制造的薄膜晶体管的可靠性。

[0329] 注意,虽然在本实施例中描述了其中在形成氧化物半导体膜 480 之后执行脱水或脱氢的示例,但本发明不限于此。可以如实施例 4 中那样,在将氧化物半导体膜 480 处理成具有岛状之后执行第一热处理。

[0330] 替代地,可以采用以下工艺过程:在惰性气体气氛中对氧化物半导体膜 480 执行脱水或脱氢;在惰性气体气氛中执行冷却;在光刻步骤中将氧化物半导体膜处理成岛状氧化物半导体层 469 和 479;然后在氧气、N₂O 气氛、或极端干燥的空气(具有 -40°C 或以下优选 -60°C 或以下的露点)气氛中执行热处理。

[0331] 可以在形成氧化物半导体膜 480 之前,在惰性气体气氛(例如,氮气、氦气、氖气、或氩气)、氧气气氛、或极端干燥的空气(具有 -40°C 或以下优选 -60°C 或以下的露点)气氛中执行热处理(在高于或等于 400°C 且低于衬底的应变点的温度),以去除包含在栅极绝缘层中的诸如氢和水的杂质。

[0332] 接下来,在第二光刻步骤中将氧化物半导体膜 496 处理成岛状氧化物半导体层 469 和 479。

[0333] 接下来,如在实施例 4 的图 38C 至 38E 和图 39A 至 39E 中那样,在外围驱动器电路部分中,以与氧化物半导体层 469 接触的方式形成低电阻漏极区 446a 和 446b,以与作为金属导电层的源极电极层 465a 和漏极电极层 465b 及与低电阻漏极区 446a 和 446b 接触的方式形成氧化物绝缘膜 466;如此,制造了用于驱动器电路的薄膜晶体管 492。相反,在像素部分中,以与氧化物半导体层 479 接触的方式形成作为光透射导电层的源极电极层 447a 和漏极电极层 447b,在漏极电极层 447b 上形成导电层 476,并以与氧化物半导体层 479 接触的方式形成氧化物绝缘膜 466;如此,制造了用于像素的薄膜晶体管 493。

[0334] 接下来,在惰性气氛或氧气气氛中执行第二热处理(优选地在 200℃至 400℃(含端值),例如在 250℃至 350℃(含端值))。例如,可以在氮气气氛中在 250℃执行第二热处理一小时。

[0335] 然后,将保护性绝缘层 453 形成为覆盖薄膜晶体管 492 和 493 并与氧化物绝缘膜 466 接触,并在保护性绝缘层 453 上堆叠平坦化绝缘层 454。在氧化物绝缘膜 466、保护性绝缘层 453 和平坦化绝缘层 454 中形成到达漏极电极层 447b 的接触孔,并随后在该接触孔中和在平坦化绝缘层 454 上形成光透射导电膜。选择性地蚀刻该光透射导电膜,以形成被电连接到薄膜晶体管 493 的导电层 467 和像素电极层 477(参见图 40C)。

[0336] 通过上述步骤,可以利用五个掩模,在一个衬底上分别在驱动器电路和像素部分中制造薄膜晶体管 492 和薄膜晶体管 493,在薄膜晶体管 492 和薄膜晶体管 493 中的每一个中,整个氧化物半导体层是 i 型氧化物半导体层。用于驱动器电路的薄膜晶体管 492 包括完全本征的氧化物半导体层 469。用于像素的薄膜晶体管 493 包括完全本征的氧化物半导体层 479。

[0337] 另外,可以在同一衬底上形成以第一栅极绝缘层 452a 和第二栅极绝缘层 452b 作为电介质的由电容器布线层和电容器电极构成的存储电容器。薄膜晶体管 493 和存储电容器成矩阵布置以便与各像素对应,从而形成像素部分并在该像素部分周围布置包括薄膜晶体管 492 的驱动器电路,由此,可以获得用于制造有源矩阵显示器件的衬底之一。

[0338] 导电层 467 被提供为与氧化物半导体层 469 中的沟道形成区 463 重叠,由此,在用于检验薄膜晶体管的可靠性的偏置-温度应力测试(称为 BT 测试)中,可以减少薄膜晶体管 492 的阈值电压在 BT 测试前后的变化量。导电层 467 的电位可以与栅极电极层 461 的电位相同或不同。导电层 467 还可以充当第二栅极电极层。替代地,导电层 467 的电位可以是 GND 电位或 0V,或者导电层 467 可以处于浮置状态。

[0339] 可以自由地将本实施例与任何其它实施例组合。

[0340] (实施例 6)

[0341] 在本实施例中,将描述其中使用在实施例 1 中描述的晶体管来制造有源矩阵液晶显示器件的示例。

[0342] 图 7A 示出有源矩阵衬底的横截面结构的示例。

[0343] 在实施例 1 中示出了在一个衬底上的驱动器电路中的薄膜晶体管和像素部分中的薄膜晶体管;在本实施例中,除那些薄膜晶体管之外,还示出了存储电容器、栅极布线(也称为栅极布线层)、和源极布线的端子部分以进行说明。可以在与实施例 1 中相同的制

造步骤中形成电容器、栅极布线、和源极布线的端子部分,并且可以在不增加光掩模数目和步骤数目的情况下进行制造。此外,在像素部分中的充当显示区的部分中,可以使用光透射导电膜来形成栅极布线、源极布线、和电容器布线层,得到高的孔径比。此外,可以将金属线用于不充当显示区域的部分中的源极布线层,以减小布线电阻。

[0344] 在图 7A 中,薄膜晶体管 210 是设置在驱动器电路中的薄膜晶体管,而被电连接到像素电极层 227 的薄膜晶体管 220 是设置在像素部分中的薄膜晶体管。

[0345] 在本实施例中,在衬底 200 上形成的薄膜晶体管 220 具有与实施例 1 中的薄膜晶体管 410 相同的结构。

[0346] 在与薄膜晶体管 220 的栅极电极层相同的步骤中使用相同的光透射材料形成的电容器布线层 230 与电容器电极层 231 重叠,而充当电介质的第一栅极绝缘层 202a 和第二栅极绝缘层 202b 插入它们之间;如此,形成存储电容器。在与薄膜晶体管 220 的源极电极层或漏极电极层相同的步骤中使用相同的光透射材料形成电容器电极层 231。由于存储电容器以及薄膜晶体管 220 具有光透射性质,因此可以增加孔径比。

[0347] 存储电容器的光透射性质在增加孔径比方面是重要的。特别是对于 10 英寸或更小的小液晶显示面板而言,即使当减小像素尺寸以便通过例如栅极布线的数目的增加来实现显示图像的较高清晰度时,也能够实现高孔径比。此外,将光透射膜用于薄膜晶体管 220 和存储电容器的部件使得即使当将一个像素划分成多个子像素以实现宽视角时也可以实现高孔径比。换言之,即使当布置一组高密度薄膜晶体管时也可以保持高孔径比,并且显示区可以具有足够的面积。例如,当一个像素包括两个至四个子像素和存储电容器时,存储电容器以及薄膜晶体管具有光透射性质,因此可以增加孔径比。

[0348] 注意,存储电容器设置在像素电极层 227 下面,并且电容器电极层 231 电连接到像素电极层 227。

[0349] 虽然在本实施例中描述了其中存储电容器包括电容器电极层 231 和电容器布线层 230 的示例,但对存储电容器的结构没有特别限制。例如,可以以这样的方式来形成存储电容器,即,未提供电容器布线层,像素电极层与相邻像素中的栅极布线重叠,而平坦化绝缘层、保护性绝缘层、第一栅极绝缘层、和第二栅极绝缘层插入在它们之间。

[0350] 依照像素密度提供多个栅极布线、源极布线、和电容器布线层。在端子部分中,布置具有与栅极布线相同的电位的多个第一端子电极、具有与源极布线相同的电位的多个第二端子电极、具有与电容器布线层相同的电位的多个第三端子电极等。对每一端子电极的数目没有特别限制,并且可以由从业者适当地确定端子的数目。

[0351] 在端子部分中,可以使用与像素电极层 227 相同的光透射材料来形成具有与栅极布线相同的电位的的第一端子电极 232。第一端子电极 232 通过到达栅极布线的接触孔而电连接到栅极布线。在形成到达第一端子电极 232 的接触孔时,在氧化物半导体层上形成抗蚀剂掩模,由此,可以防止栅极绝缘膜与氧化物半导体层之间的界面被污染。

[0352] 替代地,可以以直接在栅极绝缘膜上形成抗蚀剂掩模的方式来形成接触孔。在这种情况下,优选的是,在去除抗蚀剂之后,执行热处理以执行栅极绝缘膜的表面的脱水、脱氢、或脱羟基。可以在形成氧化物半导体层之后,在氧化物半导体层上堆叠氧化物导电层之后,或者在源极电极和漏极电极上形成钝化膜之后,执行用于氧化物半导体层的脱水或脱氢的热处理。关于栅极布线与源极布线之间的电连接,优选在源极布线下面形成氧化物导

电层,在这种情况下,氧化物导电层充当缓冲层,电阻仅仅是取决于氧化物导电层的厚度的串联电阻,并且氧化物导电层不与金属形成绝缘氧化物。

[0353] 设置在驱动器电路中的薄膜晶体管 210 的栅极电极层可以被电连接到设置在氧化物半导体层上的导电层 217。在这种情况下,如在形成用于将薄膜晶体管 220 的漏极电极层上的导电层和像素电极层 227 相互电连接的接触孔的情况下那样,利用相同的光掩模进行平坦化绝缘层 204、保护性绝缘层 203、氧化物绝缘层 216、第二栅极绝缘层 202b、和第一栅极绝缘层 202a 的选择性蚀刻,来形成接触孔。设置在驱动器电路中的薄膜晶体管 210 的栅极电极层和导电层 217 通过接触孔电连接。

[0354] 可以使用与像素电极层 227 相同的光透射材料来形成具有与设置在驱动器电路中的源极布线 234 相同的电位的第二端子电极 235。第二端子电极 235 通过到达源极布线 234 的接触孔而电连接到源极布线 234。源极布线是金属布线,在与薄膜晶体管 210 的源极电极层相同的步骤中使用相同的材料形成,并具有与薄膜晶体管 210 的源极电极层相同的电位。

[0355] 在制造有源矩阵液晶显示器件的情况下,在有源矩阵衬底和提供有对电极(也称为对电极层)的对衬底之间提供液晶层,并将有源矩阵衬底和对衬底固定。在有源矩阵衬底上提供被电连接到对衬底上的对电极的公共电极,并在端子部分中提供被电连接到公共电极的第四端子电极。第四端子电极用于将公共电极设置为诸如 GND 电位或 0V 的固定电位。可以使用与像素电极层 227 相同的光透射材料来形成第四端子电极。

[0356] 注意,图 7A 示出驱动器电路中的第一端子电极 232 的横截面结构。由于在本实施例中描述 10 英寸或更小的小液晶显示面板的示例,使用与薄膜晶体管 220 的栅极电极层相同的光透射材料来形成驱动器电路中的第一端子电极 232。注意,第一端子电极 232 也充当布线。

[0357] 另外,当使用相同的材料形成栅极电极层、源极电极层、漏极电极层、像素电极层、另一电极层、和另一布线层时,可以使用公共溅射靶和公共制造装置;因此,可以降低这些层的材料和在蚀刻时使用的蚀刻剂(或蚀刻气体)的成本,引起制造成本的降低。

[0358] 当对图 7A 的结构中的平坦化绝缘层 204 使用感光树脂材料时,可以省略形成抗蚀剂掩模的步骤。

[0359] 图 7B 示出横截面结构,其一部分不同于图 7A 中的结构。除未提供平坦化绝缘层 204 之外,图 7B 与图 7A 相同;因此,用相同的附图标记来表示与图 7A 中相同的部分并省略该部分的详细说明。在图 7B 中,像素电极层 227、导电层 217、和第二端子电极 235 在保护性绝缘层 203 上形成并与之接触。

[0360] 利用图 7B 中的结构,可以省略用于形成平坦化绝缘层 204 的步骤。

[0361] 图 43A 示出横截面结构,其一部分不同于图 7A 中的结构。由于电容器部分与图 7A 和 7B 中的相同,所以在图 43A 中未示出电容器部分。在图 43A 中,薄膜晶体管 410 是设置在驱动器电路中的薄膜晶体管,而被电连接到像素电极层 477 的薄膜晶体管 420 是设置在像素部分中的薄膜晶体管。此外,薄膜晶体管 410 和 420 与实施例 2 中的那些相同。

[0362] 在端子部分中,可以使用与像素电极层 477 相同的光透射材料来形成具有与栅极布线相同的电位的第一端子电极 468。第一端子电极 468 通过到达栅极布线的接触孔而电连接到栅极布线。在栅极绝缘膜中形成到达第一端子电极的接触孔之后,形成氧化物半导

体层、氧化物导电层、和金属膜。然后,在金属膜上形成抗蚀剂掩模并执行蚀刻,以形成氧化物半导体层 478、氧化物导电层 446c、和金属层 465c。

[0363] 在直接在栅极绝缘膜上形成抗蚀剂掩模的情况下,优选的是,在去除抗蚀剂之后,执行热处理以执行栅极绝缘膜的表面的脱水、脱氢、或脱羟基。可以在形成氧化物半导体层之后,在氧化物半导体层上堆叠氧化物导电层之后,或者在源极电极和漏极电极上形成钝化膜之后,执行用于氧化物半导体层的脱水或脱氢的热处理。关于栅极布线与源极布线之间的电连接,优选地在源极布线下形成氧化物导电层,在这种情况下,氧化物导电层充当缓冲层,电阻仅仅是取决于氧化物导电层的厚度的串联电阻,并且氧化物导电层不与金属形成绝缘氧化物。

[0364] 图 43B 示出横截面结构,其一部分不同于图 43A 中的结构。除未提供平坦化绝缘层 454 之外,图 43B 与图 43A 相同;因此,用相同的附图标记来表示与图 43A 中相同的部分并省略该部分的详细说明。在图 43B 中,像素电极层 427 和导电层 417 在保护性绝缘层 453 上形成并与之接触。

[0365] 图 44A 示出横截面结构,其一部分不同于图 43A 中的结构。在图 44A 中,薄膜晶体管 410 是设置在驱动器电路中的薄膜晶体管,而被电连接到像素电极层 477 的薄膜晶体管 420 是设置在像素部分中的薄膜晶体管。

[0366] 图 44A 所示的薄膜晶体管 410 和 420 的氧化物半导体层和氧化物导电层的形状与图 1B1 和 1B2 所示的薄膜晶体管 410 和 420 的氧化物半导体层和氧化物导电层的形状不同,这是因为在形成氧化物半导体层和氧化物导电层之后执行蚀刻。之后,形成金属膜并执行蚀刻以形成源极电极层和漏极电极层。

[0367] 在图 44A 中,为了在栅极绝缘膜中形成接触孔,在氧化物半导体层上形成抗蚀剂图案,由此,可以防止栅极绝缘膜与氧化物半导体层之间的界面被污染。替代地,可以以直接在栅极绝缘膜上形成抗蚀剂图案的方式来形成接触孔。在这种情况下,优选的是,在去除抗蚀剂之后,执行热处理以执行栅极绝缘膜的表面的脱水、脱氢、或脱羟基。可以在形成氧化物半导体层之后,在氧化物半导体层上堆叠氧化物导电层之后,或者在源极电极和漏极电极上形成钝化膜之后,执行用于氧化物半导体层的脱水或脱氢的热处理。关于栅极布线与源极布线之间的电连接,优选地在源极布线下形成氧化物导电层,在这种情况下,氧化物导电层充当缓冲层,电阻仅仅是取决于氧化物导电层的厚度的串联电阻,并且氧化物导电层不与金属形成绝缘氧化物。

[0368] 在端子部分中,可以使用与像素电极层 477 相同的光透射材料来形成具有与栅极布线相同的电位的第一端子电极 468。第一端子电极 468 通过到达栅极布线的接触孔而电连接到栅极布线。为了形成到达第一端子电极 468 的接触孔,在氧化物半导体层上形成抗蚀剂掩模,由此,可以防止栅极绝缘膜与氧化物半导体层之间的界面被污染。

[0369] 替代地,可以以直接在栅极绝缘膜上形成抗蚀剂掩模的方式来形成接触孔。在这种情况下,优选的是,在去除抗蚀剂之后,执行热处理以执行栅极绝缘膜的表面的脱水、脱氢、或脱羟基。可以在形成氧化物半导体层之后,在氧化物半导体层上堆叠氧化物导电层之后,或者在源极电极和漏极电极上形成钝化膜之后,执行用于氧化物半导体层的脱水或脱氢的热处理。关于栅极布线与源极布线之间的电连接,优选地在源极布线下形成氧化物导电层,在这种情况下,氧化物导电层充当缓冲层,电阻仅仅是取决于氧化物导电层的厚度

的串联电阻,并且氧化物导电层不与金属形成绝缘氧化物。

[0370] 图 44B 示出横截面结构,其一部分不同于图 44A 中的结构。除未提供平坦化绝缘层 454 之外,图 44B 与图 44A 相同;因此,用相同的附图标记来表示与图 44A 中相同的部分并省略该部分的详细说明。在图 44B 中,像素电极层 477 和导电层 417 形成在保护性绝缘层 453 上并与之接触。

[0371] 可以自由地将本实施例与任何其它实施例组合。

[0372] (实施例 7)

[0373] 存在这样的可能性:在液晶显示面板的尺寸超过 10 英寸并达到 60 英寸甚至 120 英寸的情况下光透射布线的电阻可能变成一个问题。因此,在本实施例中,将描述其中由金属布线制成栅极布线的一部分以便减小布线电阻的示例。

[0374] 注意,在图 8A 中,用相同的附图标记来表示与在图 7A 中相同的部分并省略该部分的详细说明。注意,本发明还可以应用于在实施例 1 至 4 中所述的任何有源矩阵衬底。

[0375] 图 8A 示出其中驱动器电路中的栅极布线的一部分由金属布线制成并以与光透射布线接触的方式形成的示例,所述光透射布线与薄膜晶体管 210 的栅极电极层相同。注意,由于形成金属布线,因此本实施例中的光掩模的数目比实施例 1 中的大。

[0376] 首先,在衬底 200 上形成能够经受住用于脱水或脱氢的第一热处理的耐热导电材料膜(具有 100nm 至 500nm(含端值)的厚度)。

[0377] 在本实施例中,形成 370nm 厚的钨膜和 50nm 厚的氮化钽膜。虽然这里使用氮化钽膜和钨膜的堆叠作为导电膜,但不存在特别的限制,并且可以使用选自 Ta、W、Ti、Mo、Al、和 Cu 的元素,包含这些元素中的任意作为其组分的合金,以组合方式包含上述元素的合金,或者包含任意这些元素作为其组分的氮化物,来形成导电膜。耐热导电材料膜不限于包含上述元素的单层且可以是两层或更多层的堆叠。

[0378] 在第一光刻步骤中,形成金属布线以形成第一金属布线层 236 并形成第二金属布线层 237。优选使用 ICP(电感耦合等离子体)蚀刻法进行钨膜和氮化钽膜的蚀刻。可以利用蚀刻条件(例如,施加于盘绕电极的电功率的量、施加于衬底侧电极的电功率的量、和衬底侧电极的温度)的适当调整,通过 ICP 蚀刻法,来将膜蚀刻成期望的渐缩的形状(tapered shape)。因此,可以使第一金属线层 236 和第二金属线层 237 逐渐缩减;因此,可以减少在其上形成光透射导电膜时的缺陷。

[0379] 然后,在形成光透射导电膜之后,在第二光刻步骤中形成栅极布线层 238、薄膜晶体管 210 的栅极电极层、和薄膜晶体管 220 的栅极电极层。使用在实施例 1 中描述的透射可见光的任何导电材料来形成光透射导电膜。

[0380] 注意,例如,如果在栅极布线层 238 与第一金属布线层 236 或第二金属布线层 237 之间存在界面,则通过稍后的热处理等可能形成氧化膜,并根据光透射导电膜的材料可能增加电阻。因此,优选地使用防止第一金属布线层 236 的氧化的金属氮化物膜来形成第二金属布线层 237。

[0381] 接下来,在与实施例 1 相同的步骤中形成栅极绝缘层、氧化物半导体层等。依照实施例 1 来执行后续步骤以完成有源矩阵衬底。

[0382] 此外,在本实施例中,描述了其中在形成平坦化绝缘层 204 之后使用光掩模来选择性地去除端子部分中的平坦化绝缘层的示例。优选的是,不将平坦化绝缘层设置在端子

部分中,以使得可以以有利的方式将端子部分连接到 FPC。

[0383] 在图 8A 中,在保护性绝缘层 203 上形成第二端子电极 235。图 8A 示出与第二金属布线层 237 的一部分重叠的栅极布线层 238;替代地,栅极布线层 238 可以覆盖全部的第一金属布线层 236 和第二金属布线层 237。换言之,可以将第一金属布线层 236 和第二金属布线层 237 称为用于减小栅极布线层 238 的电阻的辅助布线。

[0384] 在端子部分中,具有与栅极布线相同的电位的第一端子电极形成在保护性绝缘层 203 上并被电连接到第二金属布线层 237。还可以使用金属布线来形成从端子部分引出的布线。

[0385] 此外,为了减小布线电阻,可以在未充当显示区的部分中使用金属布线(即,第一金属布线层 236 和第二金属布线层 237)作为用于栅极布线层和电容器布线层的辅助布线。

[0386] 图 8B 示出横截面结构,其一部分不同于图 8A 中的结构。除驱动器电路中的薄膜晶体管中的栅极电极层的材料之外,图 8B 与图 8A 相同;因此,用相同的附图标记来表示与图 8A 中相同的部分,并省略对该部分的详细说明。

[0387] 图 8B 示出其中由金属布线制成驱动器电路中的薄膜晶体管中的栅极电极层的示例。在驱动器电路中,栅极电极层的材料不限于光透射材料。

[0388] 在图 8B 中,驱动器电路中的薄膜晶体管 240 包括其中在第一金属布线层 242 上堆叠第二金属布线层 241 的栅极电极层。注意,可以在与第一金属布线层 236 相同的步骤中使用相同的材料来形成第一金属布线层 242。此外,可以在与第二金属布线层 237 相同的步骤中使用相同的材料来形成第一金属布线层 241。

[0389] 在将第一金属布线层 242 电连接到导电层 217 的情况下,优选对第二金属布线层 241 使用金属氮化物膜以便防止第一金属布线层 242 的氧化。

[0390] 在本实施例中,将金属布线用于某些布线,以使得减小布线电阻;即使当液晶显示面板的尺寸超过 10 英寸并达到 60 英寸甚至 120 英寸时,也可以实现显示图像的高清晰度并可以实现高孔径比。

[0391] (实施例 8)

[0392] 在本实施例中,在图 9A 和 9B 中示出与实施例 6 中的不同的存储电容器的结构示例。除存储电容器的结构之外,图 9A 与图 7A 相同;因此,用相同的附图标记来表示与在图 7A 中相同的部分,并省略该部分的详细说明。图 9A 示出设置在像素中的薄膜晶体管 220 和存储电容器的横截面结构。

[0393] 图 9A 示出其中以氧化物绝缘层 216、保护性绝缘层 203、和平坦化绝缘层 204 作为电介质由像素电极层 227 和与像素电极层 227 重叠的电容器电极层 231 构成存储电容器的示例。由于在与设置在像素中的薄膜晶体管 220 的源极电极层相同的步骤中使用相同的光透射材料来形成电容器电极层 231,因此将电容器电极层 231 布置成不与薄膜晶体管 220 的源极布线层重叠。

[0394] 在图 9A 所示的存储电容器中,一对电极和所述电介质具有光透射性质,因此存储电容器整体上具有光透射性质。

[0395] 图 9B 示出与在图 9A 中不同的存储电容器的结构示例。除存储电容器的结构之外,图 9B 也与图 7A 相同;因此,用相同的附图标记来表示与在图 7A 中相同的部分并省略该部分的详细说明。

[0396] 图 9B 示出其中以第一栅极绝缘层 202a 和第二栅极绝缘层 202b 作为电介质由存储布线层 230 以及与存储布线层 230 重叠的氧化物半导体层 251 和电容器电极层 231 的堆叠构成存储电容器的示例。电容器电极层 231 被堆叠在氧化物半导体层 251 上且与之接触，并且其充当存储电容器的电极之一。注意，在与薄膜晶体管 220 的源极电极层或漏极电极层相同的步骤中使用相同的光透射材料形成电容器电极层 231。此外，由于在与薄膜晶体管 220 的栅极电极层相同的步骤中使用相同的光透射材料来形成电容器布线层 230，因此将电容器布线层 230 被布置为不与薄膜晶体管 220 的栅极布线层重叠。

[0397] 电容器电极层 231 被电连接到像素电极层 227。

[0398] 并且，在图 9B 所示的存储电容器中，一对电极和所述电介质具有光透射性质，因此存储电容器整体上具有光透射性质。

[0399] 图 9A 和 9B 所示的每个存储电容器具有光透射性质；因此，即使在例如通过增加栅极布线的数目来减小像素尺寸以便实现显示图像的高清晰度，也可以获得足够的电容并可以获得高孔径比。

[0400] 可以自由地将本实施例与任何其它实施例组合。

[0401] (实施例 9)

[0402] 在本实施例中，下面描述其中在一个衬底上形成驱动器电路的至少一部分和将在像素部分中提供的薄膜晶体管。

[0403] 根据实施例 1 至 5 中的任何一个形成所述在像素部分中提供的薄膜晶体管。此外，在实施例 1 至 5 中的任何一个中描述的薄膜晶体管是 n 沟道 TFT。因此，在与用于像素部分中的薄膜晶体管的衬底相同的衬底上形成驱动器电路当中的可以由 n 沟道 TFT 组成的某些驱动器电路。

[0404] 图 14A 示出有源矩阵显示器件的框图的示例。在显示器件中，在衬底 5300 上提供像素部分 5301、第一扫描线驱动器电路 5302、第二扫描线驱动器电路 5303、和信号线驱动器电路 5304。在像素部分 5301 中，提供从信号线驱动器电路 5304 延伸的多个信号线，并提供从第一扫描线驱动器电路 5302 和第二扫描线驱动器电路 5303 延伸的多个扫描线。注意，在扫描线和信号线的交叉区中，将每个都具有显示元件的像素以矩阵布置。此外，显示器件的衬底 5300 通过柔性印刷电路 (FPC) 等的连接部分连接到时序控制电路 5305 (也称为控制器或控制 IC)。

[0405] 在图 14A 中，在与像素部分 5301 相同的衬底 5300 上形成第一扫描线驱动器电路 5302、第二扫描线驱动器电路 5303、和信号线驱动器电路 5304。因此，减少了诸如在外部提供的驱动器电路等部件的数目，因此可以降低成本。此外，可以减少在布线从设置在衬底 5300 外部的驱动器电路延伸的情况下的连接部分中的连接数目，并可以改善可靠性或成品率。

[0406] 注意，例如，时序控制电路 5305 向第一扫描线驱动器电路 5302 提供用于第一扫描线驱动器电路的开始信号 (GSP1) 和用于第一扫描线驱动器电路的时钟信号 (GCK1)。另外，例如，时序控制电路 5305 向第二扫描线驱动器电路 5303 提供用于第二扫描线驱动器电路的开始信号 (GSP2) (也称为开始脉冲) 和用于第二扫描线驱动器电路的时钟信号 (GCK2)。向信号线驱动器电路 5304 提供用于信号线驱动器电路的开始信号 (SSP)、用于信号线驱动器电路的时钟信号 (SCK)、用于视频信号的数据 (DATA) (也简称为视频信号)、和锁存信号

(LAT)。注意,每个时钟信号可以是具有不同相位的多个时钟信号,或者可以用反相时钟信号(CKB)来提供。注意,可以省略第一扫描线驱动器电路 5302 或第二扫描线驱动器电路 5303。

[0407] 在图 14B 中,在与像素部分 5301 相同的衬底 5300 上形成具有低驱动频率的电路(例如,第一扫描线驱动器电路 5302 和第二扫描线驱动器电路 5303),并且在与提供有像素部分 5301 的衬底不同的另一衬底上形成信号线驱动器电路 5304。此结构使得与使用单晶半导体形成的晶体管相比,能够使用具有低场效应迁移率的薄膜晶体管在衬底 5300 上形成驱动器电路。因此,可以实现显示器件尺寸的增加、步骤数目的减少、成本的降低、成品率的改善等。

[0408] 在实施例 1 至 5 中描述的薄膜晶体管是 n 沟道 TFT。在图 15A 和 15B 中,描述了使用 n 沟道 TFT 形成的信号线驱动器电路的结构和操作的示例。

[0409] 信号线驱动器电路包括移位寄存器 5601 和开关电路 5602。开关电路 5602 包括多个开关电路 5602_1 至 5602_N(N 是自然数)。开关电路 5602_1 至 5602_N 每个包括多个薄膜晶体管 5603_1 至 5603_k(k 是自然数)。描述其中薄膜晶体管 5603_1 至 5603_k 是 n 沟道 TFT 的示例。

[0410] 通过以开关电路 5602_1 为例来描述信号线驱动器电路的连接关系。薄膜晶体管 5603_1 至 5603_k 的第一端子分别连接到布线 5604_1 至 5604_k。薄膜晶体管 5603_1 至 5603_k 的第二端子分别连接到信号布线 S1 至 Sk。薄膜晶体管 5603_1 至 5603_k 的栅极连接到布线 5605_1。

[0411] 移位寄存器 5601 具有依次向布线 5605_1 至 5605_N 输出 H 电平信号(也称为 H 信号或高电源电位电平)的功能和依次选择开关电路 5602_1 至 5602_N 的功能。

[0412] 开关电路 5602_1 具有控制布线 5604_1 至 5604_k 与信号线 S1 至 Sk 之间的导通状态(第一端子与第二端子之间的导通性)的功能,亦即,控制是否向信号线 S1 至 Sk 提供布线 5604_1 至 5604_k 的电位的功能。以这种方式,开关电路 5602_1 具有选择器的功能。薄膜晶体管 5603_1 至 5603_k 具有控制布线 5604_1 至 5604_k 与信号线 S1 至 Sk 之间的导通状态的功能,亦即,分别向信号线 S1 至 Sk 提供布线 5604_1 至 5604_k 的电位的功能。以这种方式,薄膜晶体管 5603_1 至 5603_k 中的每一个充当开关。

[0413] 注意,用于视频信号的数据(DATA)被输入到布线 5604_1 至 5604_k。在很多情况下,用于视频信号的数据(DATA)是对应于图像数据或图像信号的模拟信号。

[0414] 接下来,参照图 15B 中的时序图来描述在图 15A 中示出的信号线驱动器电路的操作。在图 15B 中,示出了信号 Sout_1 至 Sout_N 和信号 Vdata_1 至 Vdata_k 的示例。信号 Sout_1 至 Sout_N 是移位寄存器 5601 的输出信号的示例,并且信号 Vdata_1 至 Vdata_k 分别是输入到布线 5604_1 至 5604_k 的信号的示例。注意,信号线驱动器电路的一个工作周期对应于显示器件中的一个栅(gate)选择周期。例如,一个栅选择周期被划分成周期 T1 至 TN。周期 T1 至 TN 是用于向所进行中的像素写入用于视频信号的数据(DATA)的周期。

[0415] 注意,在某些情况下,为简单起见,将在本实施例中的附图等中所示的每个结构中的信号波形失真等被夸大。因此,本发明不限于这样的比例。

[0416] 在周期 T1 至 TN 中,移位寄存器 5601 依次向布线 5605_1 至 5605_N 输出 H 电平信号。例如,在周期 T1 中,移位寄存器 5601 向布线 5605_1 输出高电平信号。于是,使薄膜晶

晶体管 5603_1 至 5603_k 导通,从而使布线 5604_1 至 5604_k 及信号线 S1 至 Sk 导通。在这种情况下,分别向布线 5604_1 至 5604_k 输入 Data(S1) 至 Data(Sk)。分别通过薄膜晶体管 5603_1 至 5603_k 将 Data(S1) 和 Data(Sk) 输入到第一至第 k 列中的所选行中的像素。因此,在周期 T1 至 TN 中,依次以 k 列向所选行中的像素写入用于视频信号的数据 (DATA)。

[0417] 通过以多列向像素写入用于视频信号的数据 (DATA),可以减少用于视频信号的数据 (DATA) 的数目或布线的数目。因此,可以减少到外部电路的连接的数目。此外,通过每次向多个列的像素写入视频信号,可以延长写入时间,并可以防止视频信号写入的不足。

[0418] 注意,对于移位寄存器 5601 和开关电路 5602,可以使用通过使用在实施例 1 至 5 中描述的薄膜晶体管形成的电路。在这种情况下,包括在移位寄存器 5601 中的所有晶体管可以是仅 n 沟道晶体管或仅 p 沟道晶体管。

[0419] 参照图 16A 至 16C 及图 17A 和 17B 来描述用于扫描线驱动器电路和 / 或信号线驱动器电路的一部分的移位寄存器的一种模式。

[0420] 扫描线驱动器电路包括移位寄存器。另外,在某些情况下,扫描线驱动器电路可以包括电平移位器、或缓存器等。在扫描线驱动器电路中,当向移位寄存器输入时钟信号 (CLK) 和开始脉冲信号 (SP) 时,生成选择信号。所生成的选择信号被缓存器缓存和放大,并且所得到的信号被提供给相应的扫描线。一条线的像素中的晶体管的栅极电极连接到扫描线。由于一条线的像素中的晶体管必须全部一起导通,所以使用能够馈送大量电流的缓存器。

[0421] 移位寄存器包括第一至第 N 脉冲输出电路 10_1 至 10_N(N 是大于或等于 3 的自然数)(参见图 16A)。在图 16A 所示的移位寄存器中,分别从第一布线 11、第二布线 12、第三布线 13、和第四布线 14 向第一至第 N 脉冲输出电路 10_1 至 10_N 提供第一时钟信号 CK1、第二时钟信号 CK2、第三时钟信号 CK3、和第四时钟信号 CK4。开始脉冲 SP1(第一开始脉冲)被从第五布线 15 输入到第一脉冲输出电路 10_1。来自前一级中的脉冲输出电路的信号(此类信号被称为前一级信号 OUT(n-1))被输入到第二或更后级中的第 n 脉冲输出电路 10_n(n 是大于或等于 2 且小于或等于 N 的自然数)。来自处于落后第一脉冲输出电路 10_1 两级的该一级中的第三脉冲输出电路 10_3 的信号也被输入到第一脉冲输出电路 10_1。以类似方式,来自处在落后第 n 脉冲输出电路 10_n 两级的该一级中的第 (n+2) 脉冲输出电路 10_(n+2) 的信号(此类信号称为后级信号 OUT(n+2))被输入到第二或更后级中的第 n 脉冲输出电路 10_n。因此,各级中的脉冲输出电路输出:第一输出信号 (OUT(1) (SR) 至 OUT(N) (SR)),其将被输入到各后续级中的脉冲输出电路和 / 或在各脉冲输出电路之前两级的级中的脉冲输出电路;和第二输出信号 (OUT(1) 至 OUT(N)),其将被输入到其它电路等。注意,如图 16A 所示,由于,例如,后级信号 OUT(n+2) 未被输入到移位寄存器的最后两级中的脉冲输出电路,所以可以另外向各脉冲输出电路输入第二开始脉冲 SP2 和第三开始脉冲 SP3。

[0422] 注意,时钟信号 (CK) 是以一定的间隔在 H 电平信号与 L 电平信号(也称为 L 信号或低电源电位电平)之间交替的信号。这里,第一至第四时钟信号 (CK1) 至 (CK4) 被依次延迟四分之一周期。在本实施例中,通过使用第一至第四时钟信号 (CK1) 至 (CK4),执行脉冲输出电路的驱动的控制等。虽然依照向其输入时钟信号的驱动器电路将时钟信号用作 GCK 或 SCK,但在这里将时钟信号描述为 CK。

[0423] 第一输入端子 21、第二输入端子 22、和第三输入端子 23 电连接任意的第一至第四

布线 11 至 14。例如,在图 16A 中,第一脉冲输出电路 10_1 的第一输入端子 21 被电连接到第一布线 11,第一脉冲输出电路 10_1 的第二输入端子 22 被电连接到第二布线 12,并且第一脉冲输出电路 10_1 的第三输入端子 23 被电连接到第三布线 13。另外,第二脉冲输出电路 10_2 的第一输入端子 21 被电连接到第二布线 12,第二脉冲输出电路 10_2 的第二输入端子 22 被电连接到第三布线 13,并且第二脉冲输出电路 10_2 的第三输入端子 23 被电连接到第四布线 14。

[0424] 第一至第 N 脉冲输出电路 10_1 到 10_n 中的每一个包括第一输入端子 21、第二输入端子 22、第三输入端子 23、第四输入端子 24、第五输入端子 25、第一输出端子 26、和第二输出端子 27(参见图 16B)。在第一脉冲输出电路 10_1 中,向第一输入端子 21 输入第一时钟信号 CK1,向第二输入端子 22 输入第二时钟信号 CK2,向第三输入端子 23 输入第三时钟信号 CK3,向第四输入端子 24 输入开始脉冲,向第五输入端子 25 输入后续级信号 OUT(3),从第一输出端子输出第一输出信号 OUT(1) (SR),并从第二输出端子 27 输出第二输出信号 OUT(1)。

[0425] 在第一至第 N 脉冲输出电路 10_1 至 10_N 中,除具有三个端子的薄膜晶体管之外,还可以使用上述实施例中所描述的具有四个端子的薄膜晶体管 (TFT)。注意,在本说明书中,当薄膜晶体管具有两个栅极电极而半导体层处于它们之间时,将半导体层下面的栅极电极称为下栅极电极,并将半导体层上面的栅极电极称为上栅极电极。

[0426] 当使用氧化物半导体来形成薄膜晶体管的沟道层时,在某些情况下,根据制造工艺,阈值电压在正或负方向偏移。因此,其中将氧化物半导体用于沟道层的薄膜晶体管有利地具有可以用来控制阈值电压的结构。可以通过对上栅极电极和 / 或下栅极电极的电位的控制,来将具有四个端子的薄膜晶体管的阈值电压控制为期望值。

[0427] 接下来,参照图 16C 来描述图 16B 所示的脉冲输出电路的具体电路结构的示例。

[0428] 图 16C 中所示的脉冲输出电路包括第一至第十三晶体管 31 至 43。除第一至第五输入端子 21 至 25、第一输出端子 26、和第二输出端子 27 之外,还从向其提供第一高电源电位 VDD 的电源线 51、向其提供第二高电源电位 VCC 的电源线 52、和向其提供低电源电位 VSS 的电源线 53,向第一至第十三晶体管 31 至 43 提供信号或电源电位。这里,如下设置图 16C 所示的电源线的电源电位之间的幅值关系:第一电源电位 VDD 高于第二电源电位 VCC,并且第二电源电位 VCC 高于第三电源电位 VSS。虽然第一至第四时钟信号 (CK1) 至 (CK4) 是以一定的间隔在 H 电平信号与 L 电平信号之间交替的信号,但当时钟信号处于 H 电平时,电位是 VDD,并且当时钟信号处于 L 电平时,电位是 VSS。注意,电源线 51 的电位 VDD 高于电源线 52 的电位 VCC,从而对操作没有影响,施加于晶体管的栅极电极的电位可以是低的,可以减小晶体管的阈值电压的偏移,并且可以抑制劣化。优选地,使用具有四个端子的薄膜晶体管作为第一至第十三晶体管 31 至 43 之中的第一晶体管 31 和第六至第九晶体管 36 至 39。第一晶体管 31 和第六至第九晶体管 36 至 39 需要操作使得用栅极电极的控制信号来切换充当源极或漏极的一个电极所连接到的节点的电位,并且还可以减少脉冲输出电路的故障,这是因为对输入到栅极电极的控制信号的响应很快(通态 (on-state) 电流的上升是急剧的)。因此,通过使用具有四个端子的薄膜晶体管,可以控制阈值电压,并可以进一步防止脉冲输出电路的故障。

[0429] 在图 16C 中,第一晶体管 31 的第一端子被电连接到电源线 51,第一晶体管 31 的

第二端子被电连接到第九晶体管 39 的第一端子,并且第一晶体管 31 的栅极电极(第一栅极电极和第二栅极电极)被电连接到第四输入端子 24。第二晶体管 32 的第一端子被电连接到电源线 53,第二晶体管 32 的第二端子被电连接到第九晶体管 39 的第一端子,并且第二晶体管 32 的栅极电极被电连接到第四晶体管 34 的栅极电极。第三晶体管 33 的第一端子被电连接到第一输入端子 21,并且第三晶体管 33 的第二端子被电连接到第一输出端子 26。第四晶体管 34 的第一端子被电连接到电源线 53,并且第四晶体管 34 的第二端子被电连接到第一输出端子 26。第五晶体管 35 的第一端子电连接电源线 53,第五晶体管 35 的第二端子被电连接到第二晶体管 32 的栅极电极和第四晶体管 34 的栅极电极,并且第五晶体管 35 的栅极电极电连接到第四输入端子 24。第六晶体管 36 的第一端子电连接电源线 52,第六晶体管 36 的第二端子被电连接到第二晶体管 32 的栅极电极和第四晶体管 34 的栅极电极,并且第六晶体管 36 的栅极电极(第一栅极电极和第二栅极电极)电连接第五输入端子 25。第七晶体管 37 的第一端子电连接到电源线 52,第七晶体管 37 的第二端子电连接到第八晶体管 38 的第二端子,并且第七晶体管 37 的栅极电极(第一栅极电极和第二栅极电极)电连接到第三输入端子 23。第八晶体管 38 的第一端子电连接到第二晶体管 32 的栅极电极和第四晶体管 34 的栅极电极,并且第八晶体管 38 的栅极电极(第一栅极电极和第二栅极电极)电连接到第二输入端子 22。第九晶体管 39 的第一端子被电连接到第一晶体管 31 的第二端子和第二晶体管 32 的第二端子,第九晶体管 39 的第二端子被电连接到第三晶体管 33 的栅极电极和第十晶体管 40 的栅极电极,并且第九晶体管 39 的栅极电极(第一栅极电极和第二栅极电极)被电连接到电源线 52。第十晶体管 40 的第一端子被电连接到第一输入端子 21,第十晶体管 40 的第二端子被电连接到第二输出端子 27,并且第十晶体管 40 的栅极电极被电连接到第九晶体管 39 的第二端子 20。第十一晶体管 41 的第一端子被电连接到电源线 53,第十一晶体管 41 的第二端子被电连接到第二输出端子 27,并且第十一晶体管 41 的栅极电极被电连接到第二晶体管 32 的栅极电极和第四晶体管 34 的栅极电极。第十二晶体管 42 的第一端子被电连接到电源线 53,第十二晶体管 42 的第二端子被电连接到第二输出端子 27,并且第十二晶体管 42 的栅极电极被电连接到第七晶体管 37 的栅极电极(第一栅极电极和第二栅极电极)。第十三晶体管 43 的第一端子被电连接到电源线 53,第十三晶体管 43 的第二端子被电连接到第一输出端子 26,并且第十三晶体管 43 的栅极电极被电连接到第七晶体管 37 的栅极电极(第一栅极电极和第二栅极电极)。

[0430] 在图 16C 中,第三晶体管 33 的栅极电极的连接部分、第十晶体管 40 的栅极电极、和第九晶体管 39 的第二端子是节点 A。第二晶体管 32 的栅极电极的连接部分、第四晶体管 34 的栅极电极、第五晶体管 35 的第二端子、第六晶体管 36 的第二端子、第八晶体管 38 的第一端子、和第十一晶体管 41 的栅极电极是节点 B。

[0431] 在图 17A 中,示出了在将图 16C 中所示的脉冲输出电路应用于第一脉冲输出电路 10_1 时,向 / 从第一至第五输入端子 21 至 25、第一输出端子 26、和第二输出端子 27 输入 / 输出的信号。

[0432] 具体而言,向第一输入端子 21 输入第一时钟信号 CK1,向第二输入端子 22 输入第二时钟信号 CK2,向第三输入端子 23 输入第三时钟信号 CK3,向第四输入端子 24 输入开始脉冲,向第五输入端子 25 输入后续级信号 OUT(3),从第一输出端子 26 输出第一输出信号 OUT(1) (SR),并从第二输出端子 27 输出第二输出信号 OUT(1)。

[0433] 注意,薄膜晶体管是具有至少栅极、漏极、和源极三个端子的元件。薄膜晶体管具有其沟道区形成在与栅极重叠的区域处的半导体,并且栅极的电位受到控制,由此,可以控制通过沟道区在漏极与源极之间流动的电流。这里,由于薄膜晶体管的源极和漏极可以根据薄膜晶体管的结构、工作条件等而改变,所以很难限定哪个是源极或漏极。因此,在某些情况下,并不将充当源极或漏极的区域称为源极或漏极。在这种情况下,例如,可以将源极和漏极之一称为第一端子并将其另一个称为第二端子。

[0434] 注意,在图 16C 和图 17A 中,可以另外提供电容器以执行受到处于浮置状态的节点 A 影响的自举 (bootstrap) 操作。可以提供其一个电极被电连接到节点 B 的电容器以保持节点 B 的电位。

[0435] 这里,在图 17B 中示出其中提供了多个图 17A 所示的脉冲输出电路的移位寄存器的时序图。注意,在图 17B 中,当移位寄存器是扫描线驱动器电路时,周期 61 是垂直回扫周期 (vertical retrace period),而周期 62 是栅选择周期。

[0436] 注意,如图 17A 所示,当提供具有被施加第二电源电位 VCC 的栅极的第九晶体管 39 时,在自举操作之前或之后存在以下优点。

[0437] 在没有其栅极电极被提供第二电源电位 VCC 的第九晶体管 39 的情况下,当通过自举操作来提高节点 A 的电位时,作为第一晶体管 31 的第二端子的源极的电位增加至高于第一电源电位 VDD 的值。然后,第一晶体管 31 的源极被切换到第一端子侧,亦即,电源线 51 侧。因此,在第一晶体管 31 中,施加大的偏置电压量,并因此在栅极与源极之间以及栅极与漏极之间施加极大的应力,这可能导致晶体管的劣化。当提供其栅极电极被提供以第二电源电位 VCC 的第九晶体管 39 时,通过自举操作来提高节点 A 的电位,但同时,可以防止第一晶体管 31 的第二端子的电位的增加。换言之,通过第九晶体管 39,可以减小施加在第一晶体管 31 的栅极与源极之间的负偏置电压。因此,通过本实施例中的电路结构,可以减小施加在第一晶体管的栅极与源极之间的负偏置电压,从而还可以抑制由于应力而引起的第一晶体管 31 的劣化。

[0438] 注意,可以在任何的其中第九晶体管 39 通过第一端子和第二端子连接在第一晶体管 31 的第二端子与第三晶体管 33 的栅极之间的位置处提供第九晶体管 39。当在本实施例中移位寄存器包括多个脉冲输出电路时,在具有比扫描线驱动器电路大的级数的信号线驱动器电路中可以省略第九晶体管 39,并且存在减少晶体管数目的优点。

[0439] 注意,当对用于第一至第十三晶体管 31 至 43 的半导体层使用氧化物半导体时,可以减小薄膜晶体管的闭态 (off-state) 电流,可以增加通态电流和场效应迁移率,并且可以降低劣化程度,由此可以减少电路的故障。与使用氧化物半导体形成的晶体管和使用非晶硅形成的晶体管相比,由于向栅极电极施加高电位而引起的晶体管的劣化程度是低的。因此,即使当向提供第二电源电位 VCC 的电源线提供第一电源电位 VDD 时,也可以获得类似操作,并且可以减少牵引在电路之间的电源线的数目;因此,可以减小电路的尺寸。

[0440] 注意,即使当改变连接关系,使得分别从第二输入端子 22 和第三输入端子 23 提供从第三输入端子 23 提供给第七晶体管 37 的栅极电极 (第一栅极电极和第二栅极电极) 的时钟信号和从第二输入端子 22 提供给第八晶体管 38 的栅极电极 (第一栅极电极和第二栅极电极) 的时钟信号时,也获得的类似功能。注意,在图 17A 所示的移位寄存器中,状态从第七晶体管 37 和第八晶体管 38 两者导通的状态变成第七晶体管 37 截止且第八晶体管 38

导通的状态,然后变成第七晶体管 37 和第八晶体管 38 两者截止的状态;因此,由第七晶体管 37 的栅极电极的电位下降和第八晶体管 38 的栅极电极的电位下降而两次导致由于第二输入端子 22 和第三输入端子 23 的电位下降而引起的节点 B 的电位下降。另一方面,当图 17A 所示的移位寄存器如图 17B 所示的周期中那样工作时,状态从第七晶体管 37 和第八晶体管 38 两者导通的状态变成第七晶体管 37 导通且第八晶体管 38 截止的状态,然后变成第七晶体管 37 和第八晶体管 38 两者截止的状态。因此,由于第二输入端子 22 和第三输入端子 23 的电位下降而引起的节点 B 的电位下降被减少至一次,这是由第八晶体管 38 的栅极电极的电位下降而引起的。因此,优选的是这样的连接关系,即,从第三输入端子 23 向第七晶体管 37 的栅极电极(第一栅极电极和第二栅极电极)提供时钟信号 CK3 并从第二输入端子 22 向第八晶体管 38 的栅极电极(第一栅极电极和第二栅极电极)提供时钟信号 CK2。这是因为可以减少节点的电位变化的次数,由此,可以减少噪声。

[0441] 以这样的方式,在第一输出端子 26 的电位和第二输出端子 27 的电位每个被保持在 L 电平的周期中,有规律地向节点 B 提供 H 电平信号;因此,可以抑制脉冲输出电路的故障。

[0442] (实施例 10)

[0443] 制造薄膜晶体管,并且可以使用像素部分中和另外在驱动器电路中的薄膜晶体管来制造具有显示功能的半导体器件(也称为显示器件)。此外,在与像素部分相同的衬底上形成具有薄膜晶体管的部分或整个驱动器电路,由此,可以获得面板上系统(system-on-panel)。

[0444] 所述显示器件包括显示元件。作为显示元件,可以使用液晶元件(也称为液晶显示元件)或发光元件(也称为发光显示元件)。发光元件就其种类而言包括由电流或电压来控制其亮度的元件,并且具体而言,就其种类而言,包括无机电致发光(EL)元件、有机 EL 元件等等。此外,可以使用诸如电子墨的通过电效应来改变其对比度的显示介质。

[0445] 另外,所述显示器件包括显示元件被密封在其中的面板,和其中将包括控制器的 IC 等安装在该面板上的模块。此外,向对应于在显示器件的制造过程中完成显示元件之前的实施例的元件衬底提供用于向多个像素中的每一个中的显示元件提供电流的装置。具体而言,该元件衬底可以处于仅形成了显示元件的像素电极(也称为像素电极层)的状态,或在形成将作为像素电极的导电膜之后和在蚀刻导电膜以形成像素电极之前的状态,并且可以具有任何模式。

[0446] 注意,本说明书中的显示器件意指图像显示器件、显示器件、或光源(包括照明器件)。此外,所述显示器件就其种类而言包括以下模块:包括附着的诸如柔性印刷电路(FPC)、载带自动接合(TAB)带、或带载封装(TCP)的连接器的模块;具有 TAB 带或在其末端处设有印刷布线板的 TCP 的模块;以及具有通过玻璃上芯片(COG)法直接安装在显示元件上的集成电路(IC)的模块。

[0447] 参照图 10A1、10A2、和 10B 来描述对应于半导体器件的一种模式的液晶显示面板的外观和横截面。图 10A1 和 10A2 每个是其中用密封剂 4005 将薄膜晶体管 4010 和 4011 及液晶元件 4013 密封在第一衬底 4001 和第二衬底 4006 之间的面板的平面图。图 10B 是沿图 10A1 和 10A2 中的线 M-N 截取的横截面图。

[0448] 密封剂 4005 被设置为围绕在第一衬底 4001 上提供的像素部分 4002 和扫描线驱

驱动器电路 4004。在像素部分 4002 和扫描线驱动器电路 4004 上提供第二衬底 4006。因此，通过第一衬底 4001、密封剂 4005、和第二衬底 4006，将像素部分 4002 和扫描线驱动器电路 4004 与液晶层 4008 密封在一起。在与第一衬底 4001 上的被密封剂 4005 围绕的区域不同的区域中安装单独地制备的衬底上利用单晶半导体膜或多晶半导体膜形成的信号线驱动器电路 4003。

[0449] 注意，对单独地形成的驱动器电路的连接方法不存在特别限制，并且可以使用 COG 法、引线接合法、或 TAB 法等等。图 10A1 示出其中通过 COG 法来安装信号线驱动器电路 4003 的示例，而图 10A2 示出其中通过 TAB 法来安装信号线驱动器电路 4003 的示例。

[0450] 在第一衬底 4001 上提供的像素部分 4002 和扫描线驱动器电路 4004 中的每一个包括多个薄膜晶体管。图 10B 示出包括在像素部分 4002 中的薄膜晶体管 4010 和包括在扫描线驱动器电路 4004 中的薄膜晶体管 4011。在薄膜晶体管 4010 和 4011 上，提供保护性绝缘层 4020 和 4021。

[0451] 对于薄膜晶体管 4010 和 4011 而言，可以采用在任意实施例 1 至 4 中描述的包括氧化物半导体层的高度可靠的薄膜晶体管。可以使用在前述实施例中描述的薄膜晶体管 410 或薄膜晶体管 449 作为用于驱动器电路的薄膜晶体管 4011。可以使用薄膜晶体管 420 或薄膜晶体管 450 作为用于像素的薄膜晶体管 4010。在本实施例中，薄膜晶体管 4010 和 4011 是 n 沟道薄膜晶体管。

[0452] 在绝缘层 4021 上，在与包括在用于驱动器电路的薄膜晶体管 4011 中的氧化物半导体层的沟道形成区重叠的位置中提供导电层 4040。通过在与氧化物半导体层的沟道形成区重叠的位置中提供导电层 4040，可以减小薄膜晶体管 4011 在 BT 测试前后之间的阈值电压的变化量。导电层 4040 可以具有与薄膜晶体管 4011 的栅极电极层相同的电位，或者具有与该栅极电极层的电位不同的电位，并且可以充当第二栅极电极层。导电层 4040 的电位可以是 GND 电位、0V，或者导电层 4040 可以处于浮置状态。

[0453] 包括在液晶元件 4013 中的像素电极层 4030 被电连接到薄膜晶体管 4010。在第二衬底 4006 上提供液晶元件 4013 的对电极层 4031。其中像素电极层 4030、对电极层 4031、和液晶层 4008 相互重叠的部分对应于液晶元件 4013。注意，像素电极层 4030 和对电极层 4031 分别提供有充当取向膜 (alignment film) 的绝缘层 4032 和绝缘层 4033，并且液晶层 4008 被夹在像素电极层 4030 与对电极层 4031 之间，绝缘层 4032 和 4033 被插入在它们之间。

[0454] 注意，可以使用光透射衬底作为第一衬底 4001 和第二衬底 4006；可以使用玻璃、陶瓷、或塑料。作为塑料，可以使用玻璃纤维增强塑料 (FRP) 板、聚氟乙烯 (PVF) 膜、聚酯膜、或丙烯酸树脂膜。

[0455] 间隔物 4035 是通过绝缘膜的选择性蚀刻而获得的柱状间隔物，并且是为了控制像素电极层 4030 与对电极层 4031 之间的距离（单元间隙）而提供的。替代地，还可以使用球形间隔物。另外，对电极层 4031 被电连接到形成在与薄膜晶体管 4010 相同的衬底上的公共电位线。通过使用公共连接部分，可以通过布置在一对衬底之间的导电颗粒将对电极层 4031 和公共电位线相互电连接。注意，所述导电颗粒被包括在密封剂 4005 中。

[0456] 替代地，可以使用表现出蓝相 (blue phase) 的液晶，其不需要取向膜。蓝相是液晶相之一，其刚好在胆甾相 (cholesteric phase) 液晶的温度升高的同时在胆甾相变成各

向同性相之前出现。由于蓝相仅在窄的温度范围内出现,所以将包含按重量计 5%或以上手性试剂(chiral reagent)以便改善温度范围的液晶组合物用于液晶层 4008。包括表现出蓝相的液晶和手性试剂的液晶组合物具有 1 毫秒或更少的短响应时间,具有光学各向同性使得不需要取向过程,并且具有小的视角依赖性。

[0457] 除透射式液晶显示器件之外,本发明的实施例还可以应用于半透射式液晶显示器件。

[0458] 描述了其中在衬底的外表面上(在观察者一侧上)提供偏振片并在衬底的内表面上提供用于显示元件的着色层(滤色器)和电极层的液晶显示器件的示例;然而,也可以在衬底的内表面上提供偏振片。偏振片和着色层的堆叠结构不限于本实施例,而且可以根据偏振片和着色层的材料或制造工艺的条件而适当地进行设置。

[0459] 在薄膜晶体管 4011 中,形成绝缘层 4041 作为保护性绝缘膜,以便与包括沟道形成区的氧化物半导体层接触。可以使用与在实施例 1 中描述的氧化物绝缘膜 416 的材料和方法类似的材料和方法来形成绝缘层 4041。另外,为了降低薄膜晶体管的表面粗糙度,用充当平坦化绝缘膜的保护性绝缘层 4021 覆盖薄膜晶体管。这里,作为绝缘层 4041,通过根据实施例 1 的溅射法来形成氧化硅膜。

[0460] 此外,在薄膜晶体管 4010 和 4011 上提供保护性绝缘层 4020。可以使用与在实施例 1 中描述的保护性绝缘层 403 的材料和方法类似的材料和方法来形成保护性绝缘层 4020。这里,作为保护性绝缘层 4020,用 PCVD 法来形成氮化硅膜。

[0461] 形成绝缘层 4021 来作为平坦化绝缘膜。可以使用与在实施例 1 中描述的保护性绝缘层 404 的材料和方法类似的材料和方法来形成绝缘层 4021;例如,可以使用具有耐热性的有机材料,诸如丙烯酸、聚酰亚胺、苯并环丁烯、聚酰胺、或环氧树脂。除此类有机材料之外,还可以使用低介电常数材料(低 k 材料)、基于硅氧烷的树脂、PSG(磷硅酸盐玻璃)、或 BPSG(硼磷硅酸盐玻璃)等。注意,可以通过堆叠使用这些材料形成的多个绝缘膜来形成绝缘层 4021。

[0462] 注意,基于硅氧烷的树脂对应于使用基于硅氧烷的材料作为起始材料形成的包括 Si-O-Si 键的树脂。基于硅氧烷的树脂可以包括有机基团(例如,烷基基团或芳基基团)或氟基基团作为取代基。另外,有机基团可以包括氟基基团。

[0463] 对用于形成绝缘层 4021 的方法没有特别限制,并且可以根据材料通过诸如溅射法、SOG 法、旋涂法、浸涂法、喷涂法、或液滴排放法(例如,喷墨法、丝网印刷、或胶版印刷等)、或者用诸如刮刀、辊涂机、幕式涂布机、刮刀式涂布机的工具(设备),来形成绝缘层 4021。绝缘层 4021 的烘焙步骤也充当氧化物半导体层的退火,由此可以高效地制造半导体器件。

[0464] 可以使用光透射导电材料来形成像素电极层 4030,所述光透射导电材料诸如:包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(在下文中称为 ITO)、氧化铟锌、或向其添加了氧化硅的氧化铟锡等等。

[0465] 可以将包括导电高分子(也称为导电聚合物)的导电组合物用于像素电极层 4030 和对电极层 4031。使用导电组合物形成的像素电极优选地具有小于或等于 10000 欧姆每方的薄层电阻和在 550nm 的波长大于或等于 70%的光透射率。此外,包括在该导电组合物中的导电高分子的电阻率优选地小于或等于 $0.1 \Omega \cdot \text{cm}$ 。

[0466] 作为导电高分子,可以使用所谓的 π 电子共轭导电聚合物。例如,可以给出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、上述中的两种或更多种的共聚物等等。

[0467] 此外,可以从FPC 4018向信号线驱动器电路4003(其是单独地形成的)、扫描线驱动器电路4004、或像素部分4002提供多种信号和电位。

[0468] 使用与包括在液晶元件4013中的像素电极层4030相同的导电膜来形成连接端子电极4015。使用与包括在薄膜晶体管4011中的源极和漏极电极层相同的导电膜来形成端子电极4016。

[0469] 连接端子电极4015经由各向异性导电膜4019电连接到包括在FPC 4018中的端子。

[0470] 图10A1、10A2、和10B示出其中信号线驱动器电路4003单独地形成并安装在第一衬底4001上的示例;然而,本发明的实施例不限于此结构。可以单独地形成并随后安装扫描线驱动器电路,或者可以单独地形成并随后安装信号线驱动器电路的仅一部分或扫描线驱动器电路的一部分。

[0471] 图19示出其中使用根据本说明书中公开的制造方法制造的TFT衬底2600形成液晶显示模块作为半导体器件的示例。

[0472] 图19示出液晶显示模块的示例,其中,用密封剂2602将TFT衬底2600与对衬底2601相互固定,并在这些衬底之间提供包括TFT等的像素部分2603、包括液晶层的显示元件2604、和着色层2605。着色层2605是执行彩色显示所必需的。在RGB系统中,为各像素提供与红色、绿色、和蓝色的颜色对应的各着色层。在对衬底2601的外侧上提供偏振片2606,同时在TFT衬底2600的外侧上提供偏振片2607和扩散板2613。光源包括冷阴极管2610和反射板2611,并且电路衬底2612通过柔性布线板2609连接到TFT衬底2600的布线电路部分2608,并且电路衬底2612包括诸如控制电路或电源电路的外部电路。可以将偏振片和液晶层堆叠,在它们之间插入延迟板。

[0473] 液晶显示模块可以采用TN(扭转向列)模式、IPS(平面内切换)模式、FFS(边缘场切换)模式、MVA(多畴垂直取向)模式、PVA(图案化垂直取向)模式、ASM(轴对称排列微单元)模式、OCB(光学补偿双折射)模式、FLC(铁电液晶)模式、或AFLC(反铁电液晶)模式等。

[0474] 通过以上工艺过程,可以制造作为半导体器件的高度可靠的液晶显示面板。

[0475] 可以以与在其它实施例中描述的结构适当组合的方式来实现本实施例。

[0476] (实施例11)

[0477] 描述电子纸的示例作为半导体器件的实施例。

[0478] 可以将半导体器件用于其中由电连接到开关元件的元件来驱动电子墨的电子纸。电子纸也称为电泳显示器件(电泳显示器),且其有利之处在于其具有作为普通纸(plain paper)的相同水平的可阅读性,其具有比其它显示器件低的功率消耗,并且可以使其薄且重量轻。

[0479] 电泳显示器件可以具有多种模式。电泳显示器件包含分散在溶剂或溶质中的多个微囊,每个微囊包含带正电的第一颗粒和带负电的第二颗粒。通过向微囊施加电场,微囊中的颗粒在彼此相反的方向移动,并且仅显示聚集在一侧的颗粒的颜色。注意,第一颗粒和第

二颗粒每个包含染料且在没有电场的情况下不移动。此外,第一颗粒和第二颗粒具有不同的颜色(其可以是无色的)。

[0480] 因此,电泳显示器件是利用所谓的介电电泳效应(dielectrophoretic effect)的显示器件,通过该介电电泳效应,具有高介电常数的物质移动到高电场区。电泳显示器件不需要使用在液晶显示器件中要求的偏振片。

[0481] 其中将上述微囊分散在溶剂中的解决方案称为电子墨。此电子墨可以被印刷在玻璃、塑料、布料、或纸张等的表面上。此外,通过使用滤色器或具有颜料的颗粒,还可以实现彩色显示。

[0482] 另外,当在有源矩阵衬底上适当布置多个上述微囊以将其插入在两个电极之间时,可以完成有源矩阵显示器件,并且可以通过向微囊施加电场来执行显示。例如,可以使用通过在任意实施例 1 至 4 中描述的薄膜晶体管获得的有源矩阵衬底。

[0483] 注意,微囊中的第一颗粒和第二颗粒每个可以由选自导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电材料、电致发光材料、电致变色材料、和电泳材料的一种材料形成,或者由任意这些材料的复合物形成。

[0484] 图 18 示出作为半导体器件的示例的有源矩阵电子纸。可以以类似于在实施例 1 中描述的薄膜晶体管的方式来形成用于半导体器件的薄膜晶体管 581,其为包括氧化物半导体层的高度可靠的薄膜晶体管。替代地,可以使用在任意实施例 2 至 4 中描述的薄膜晶体管作为本实施例的薄膜晶体管 581。

[0485] 图 18 中的电子纸是使用扭转球显示系统的显示器件的示例。扭转球显示系统指的是这样的方法,其中在作为用于显示元件的电极层的第一电极层与第二电极层之间布置每个为黑色和白色的球状颗粒,并在第一电极层与第二电极层之间产生电位差以控制球状颗粒的取向,从而执行显示。

[0486] 在衬底 580 上形成的薄膜晶体管 581 是底栅薄膜晶体管,且被与半导体层接触的绝缘层 583 覆盖。薄膜晶体管 581 的源极电极层或漏极电极层与在绝缘层 583、584、和 585 中形成的开口中的第一电极层 587 接触,由此,将薄膜晶体管 581 电连接到第一电极层 587。在衬底 596 上的第一电极层 587 与第二电极层 588 之间,提供球状颗粒 589。每个球状颗粒 589 包括黑色区 590a 和白色区 590b,以及在黑色区 590a 和白色区 590b 周围填充有液体的腔体 594。球状颗粒 589 的周围填充有诸如树脂等的填料 598。第一电极层 587 对应于像素电极,并且第二电极层 588 对应于公共电极。第二电极层 588 被电连接到在与薄膜晶体管 581 相同的衬底上提供的公共电位线。通过使用公共连接部分,可以通过布置在一对衬底之间的导电颗粒将第二电极层 588 电连接到公共电位线。

[0487] 此外,作为扭转球的替代,还可以使用电泳元件。使用具有约 $10\ \mu\text{m}$ 至 $200\ \mu\text{m}$ 的直径的微囊,其中包封有透明液体、带正电的白色微粒、以及带负电的黑色微粒。在设置在第一电极层与第二电极层之间的微囊中,当通过第一电极层和第二电极层来施加电场时,白色微粒和黑色微粒移动到相对侧,从而可以显示白色或黑色。使用此原理的显示元件是电泳显示元件,且通常称为电子纸。电泳显示元件具有比液晶显示元件高的反射率,因此,不需要辅助光,功率消耗低,并且在昏暗位置处也可以识别显示部分。另外,即使当未向显示部分提供功率时,也可以保持已经显示了一次的图像。因此,即使具有显示功能的半导体器件(可以简称为显示器件或提供有显示器件的半导体器件)远离电波源,也可以存储所

显示的图像。

[0488] 通过以上工艺过程,可以制造作为半导体器件的高度可靠的电子纸。

[0489] 可以以与在其它实施例中描述的结构适当组合的方式来实现本实施例。

[0490] (实施例 12)

[0491] 描述发光显示器件的示例作为半导体器件。作为包括在显示器件中的显示元件,在这里描述利用电致发光的发光元件。根据发光材料有机化合物还是无机化合物来将利用电致发光的发光元件分类。通常,将前者称为有机 EL 元件,并将后者称为无机 EL 元件。

[0492] 在有机 EL 元件中,通过向发光元件施加电压,单独地从一对电极向包含发光有机化合物的层注入电子和空穴,并且电流流动。载流子(电子和空穴)复合,因此激发发光有机化合物。发光有机化合物从受激态返回到基态,从而发光。基于此机制,将此发光元件称为电流激励发光元件。

[0493] 根据无机 EL 元件的元件结构将其分类为分散型无机 EL 元件和薄膜无机 EL 元件。分散型无机 EL 元件具有其中发光材料的颗粒被分散在粘合剂中的发光层,其发光机制是利用施主能级和受主能级的施主-受主复合型光发射。薄膜无机 EL 元件具有其中发光层被夹在电介质层之间结构,所述电介质层进一步被夹在电极之间,并且其发光机制是利用金属离子的内壳层电子跃迁的局部化型光发射。注意,在这里描述作为发光元件的有机 EL 元件的示例。

[0494] 图 12 示出作为半导体器件的示例的可以对其应用数字时间灰度级驱动的像素结构的示例。

[0495] 描述了可以对其应用数字时间灰度级驱动的像素的结构和操作。这里,一个像素包括两个 n 沟道晶体管,每个 n 沟道晶体管包括作为沟道形成区的氧化物半导体层。

[0496] 像素 6400 包括开关晶体管 6401、用于发光元件的驱动晶体管 6402、发光元件 6404、和电容器 6403。开关晶体管 6401 的栅极被连接到扫描线 6406,开关晶体管 6401 的第一电极(源极电极和漏极电极之一)被连接到信号线 6405,并且开关晶体管 6401 的第二电极(源极电极和漏极电极中的另一个)被连接到用于发光元件的驱动晶体管 6402 的栅极。用于发光元件的驱动晶体管 6402 的栅极经由电容器 6403 连接到电源线 6407,用于发光元件的驱动晶体管 6402 的第一电极被连接到电源线 6407,并且用于发光元件的驱动晶体管 6402 的第二电极被连接到发光元件 6404 的第一电极(像素电极)。发光元件 6404 的第二电极对应于公共电极 6408。公共电极 6408 被电连接到设置在同一衬底上的公共电位线。

[0497] 将发光元件 6404 的第二电极(公共电极 6408)设置为低电源电位。请注意,低电源电位是参照被设置给电源线 6407 的高电源电位满足低电源电位<高电源电位的电位。作为低电源电位,例如,可以采用 GND 电势、0V 等。对发光元件 6404 施加高电源电位和低电源电位之间的电位差,并向发光元件 6404 施加电流,从而发光元件 6404 发光。在这里,为了使发光元件 6404 发光,设置每个电位,使得高电源电位与低电源电位之间的电位差是发光元件 6404 的正向阈值电压或更高。

[0498] 可以使用用于发光元件的驱动晶体管 6402 的栅极电容作为电容器 6403 的替代,从而可以省略电容器 6403。可以在沟道区与栅极电极之间形成用于发光元件的驱动晶体管 6402 的栅极电容。

[0499] 在电压输入电压驱动方法的情况下,向用于发光元件的驱动晶体管 6402 的栅极输入视频信号,以使得用于发光元件的驱动晶体管 6402 处于充分导通和截止的两种状态中的任何一个。也就是说,用于发光元件的驱动晶体管 6402 在线性区工作。由于用于发光元件的驱动晶体管 6402 在线性区工作,所以向用于发光元件的驱动晶体管 6402 的栅极施加比电源线 6407 的电压高的电压。注意,向信号线 6405 施加高于或等于(电源线的电压 + 用于发光元件的驱动晶体管 6402 的 V_{th}) 的电压。

[0500] 在执行模拟灰度级驱动而不是数字时间灰度级驱动的情况下,可以通过改变信号输入来使用与图 12 中相同的像素结构。

[0501] 在执行模拟灰度级驱动的情况下,对用于发光元件的驱动晶体管 6402 的栅极施加高于或等于(发光元件 6404 的正向电压 + 用于发光元件的驱动晶体管 6402 的 V_{th})。发光元件 6404 的正向电压指示获得期望亮度时的电压,并至少包括正向阈值电压。通过输入视频信号以使得用于发光元件的驱动晶体管 6402 在饱和区工作,可以向发光元件 6404 供应电流。为了允许用于发光元件的驱动晶体管 6402 在饱和区中工作,电源线 6407 的电位高于用于发光元件的驱动晶体管 6402 的栅极电位。当使用模拟视频信号时,可以依照视频信号向发光元件 6404 馈送电流并执行模拟灰度级驱动。

[0502] 注意,本发明的实施例不限于图 12 所示的像素结构。例如,可以向图 12 所示的像素添加开关、电阻器、电容器、晶体管、或逻辑电路等。

[0503] 接下来,参照图 13A 至 13C 来描述发光元件的结构。通过以用于发光元件的 n 沟道驱动 TFT 为例来描述像素的横截面结构。可以以与实施例 1 中描述并设置在像素中薄膜晶体管类似的方式形成分别在图 13A、13B、和 13C 所示的半导体器件中使用的用于发光元件的驱动 TFT 7001、7011、和 7021,且它们是每个都包括氧化物半导体层的高度可靠薄膜晶体管。

[0504] 为了提取从发光元件发射的光,需要阳极和阴极中的至少一个透射光。在衬底上形成薄膜晶体管 and 发光元件。发光元件可以具有顶发射结构、底发射结构、或双发射结构,在顶发射结构中,通过与衬底相对的表面来提取光发射;在底发射结构中,通过衬底侧上的表面来提取光发射;在双发射结构中,通过与衬底相对的表面和在衬底侧上的表面来提取光发射。可以将所述像素结构应用于具有任意这些结构的发光元件。

[0505] 参照图 13A 来描述具有底发射结构的发光元件。

[0506] 图 13A 是其中用于发光元件的驱动 TFT 7011 是 n 沟道晶体管且从发光元件 7012 向阴极 7013 侧发射光的情况下的像素的横截面图。在图 13A 中,在经由连接电极层 7030 电连接到用于发光元件的驱动 TFT7011 的光透射导电膜 7017 上形成发光元件 7012 的阴极 7013,并且在阴极 7013 上依次堆叠 EL 层 7014 和阳极 7015。注意,光透射导电膜 7017 通过在氧化物绝缘层 7031、绝缘层 7032、和保护性绝缘层 7035 中形成的接触孔经由连接电极层 7030 电连接到用于发光元件的驱动 TFT7011 的漏极电极层。

[0507] 作为光透射导电膜 7017,可以使用诸如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(在下文中称为 ITO)、氧化铟锌、或向其添加了氧化硅的氧化铟锡等材料的光透射导电膜。

[0508] 可以将任意的不同材料用于阴极 7013。具体而言,优选地使用具有低功函数的材料来形成阴极 7013,诸如,诸如 Li 或 Cs 的碱金属;诸如 Mg、Ca、或 Sr 的碱土金属;包含任

何这些金属的合金（例如，Mg:Ag 或 Al:Li）；或诸如 Yb 或 Er 的稀土金属等。在图 13A 中，将阴极 7013 形成为具有光可以透过的厚度（优选地，约 5nm 至 30nm）。例如，可以使用具有 20nm 的厚度的铝膜作为阴极 7013。

[0509] 替代地，可以堆叠光透射导电膜和铝膜，并随后选择性地执行蚀刻，以便形成光透射导电膜 7017 和阴极 7013。在这种情况下，可以使用同一掩模来执行蚀刻，这是优选的。

[0510] 此外，用分隔物 7019 覆盖阴极 7013 的外围。使用聚酰亚胺、丙烯酸、聚酰胺、或环氧树脂等的有机树脂膜、无机绝缘膜、或有机聚硅氧烷来形成分隔物 7019。特别优选的是，使用感光树脂材料来形成分隔物 7019 以在阴极 7013 上具有开口部分，以使得将开口部分的侧壁形成为具有连续曲率的倾斜表面。当使用感光树脂材料来形成分隔物 7019 时，可以省略形成抗蚀剂掩模的步骤。

[0511] 可以使用单层或堆叠的多层来形成在阴极 7013 和分隔物 7019 上形成的 EL 层 7014。当使用多个层来形成 EL 层 7014 时，通过在阴极 7013 上依次堆叠电子注入层、电子传输层、发光层、空穴传输层、和空穴注入层来形成 EL 层 7014。注意，不需要形成所有的这些层。

[0512] 另外，本发明不限于以上顺序的叠层；亦即，可以通过在阴极 7013 上依次堆叠空穴注入层、空穴传输层、发光层、电子传输层、和电子注入层来形成 EL 层 7014。注意，当对比功率消耗时，在阴极 7013 上依次堆叠电子注入层、电子传输层、发光层、空穴传输层、和空穴注入层引起低的功率消耗，并因此是更优选的。

[0513] 可以将任意的各种材料用于在 EL 层 7014 上形成的阳极 7015；例如，具有高功函数的材料优选的，其示例为 ZrN、Ti、W、Ni、Pt、Cr 以及诸如 ITO、IZO、和 ZnO 的透明导电材料。还优选的是，使用包含氮化钛的膜。此外，在阳极 7015 上，使用例如阻挡光的金属或反射光的金属来形成遮光膜 7016。在本实施例中，使用 ITO 膜作为阳极 7015 并使用 Ti 膜作为遮光膜 7016。

[0514] 发光元件 7012 对应于 EL 层 7014 被夹在阴极 7013 与阳极 7015 之间的区域。在图 13A 所示的元件结构的情况下，如箭头所指示的，从发光元件 7012 向阴极 7013 侧发射光。

[0515] 注意，在图 13A 中，示出其中使用光透射导电膜作为栅极电极层的示例。从发光元件 7012 发射的光穿过滤色器层 7033 并随后穿过 TFT7011 的栅极电极层、源极电极层等，从而被发射到外部。通过使用光透射导电膜作为 TFT 7011 的极电极层、或源极电极层等，可以获得增加的孔径比。

[0516] 通过以下来形成滤色器层 7033：诸如喷墨法的液滴排放法；印刷法；或使用光刻技术的蚀刻法等。

[0517] 用外涂层 7034 覆盖滤色器层 7033，并在其上面进一步形成保护性绝缘膜 7035。注意，虽然外涂层 7034 被示为具有图 13A 所示的小厚度，但外涂层 7034 具有减小由于滤色器层 7033 引起的不均匀的功能。

[0518] 在氧化物绝缘层 7031、绝缘层 7032、和保护性绝缘层 7035 中形成并到达连接电极层 7030 的接触孔处于与分隔物 7019 重叠的位置。由于在图 13A 所示的示例中使用金属导电膜作为连接电极层 7030，所以可以通过采用其中到达连接电极层 7030 的接触孔、分隔物 7019、和导电膜 7017 相互重叠的结构来获得增加的孔径比。

[0519] 参照图 13B 来描述具有双发射结构的发光元件。

[0520] 在图 13B 中,在经由连接电极层 7040 电连接到驱动器 TFT 7021 的光透射导电膜 7027 上形成发光元件 7022 的阴极 7023,并在阴极 7023 上依次堆叠 EL 层 7024 和阳极 7025。注意,光透射导电膜 7027 通过在氧化物绝缘层 7041、绝缘层 7042、和保护性绝缘层 7045 中形成的接触孔经由连接电极层 7040 电连接到驱动器 TFT 7021 的漏极电极层。

[0521] 可以使用诸如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(在下文中称为 ITO)、氧化铟锌、或向其添加了氧化硅的氧化铟锡等的材料的光透射导电膜来形成光透射导电膜 7027。

[0522] 可以将任意的各种材料用于阴极 7023。具体而言,优选地使用具有低功函数的材料来形成阴极 7023,诸如,诸如 Li 或 Cs 的碱金属;诸如 Mg、Ca、或 Sr 的碱土金属;包含任何这些金属的合金(例如, Mg:Ag 或 Al:Li);或诸如 Yb 或 Er 的稀土金属等。在本实施例中,将阴极 7023 形成为具有光可以透过的厚度(优选地,约 5nm 至 30nm)。例如,可以使用具有 20nm 的厚度的铝膜作为阴极 7023。

[0523] 替代地,可以堆叠光透射导电膜和铝膜,并随后选择性地执行蚀刻,以便形成光透射导电膜 7027 和阴极 7023。在这种情况下,可以使用同一掩模来执行蚀刻,这是优选的。

[0524] 此外,用分隔物 7029 覆盖阴极 7023 的外围。使用聚酰亚胺、丙烯酸、聚酰胺、环氧树脂等的有机树脂膜、无机绝缘膜、或有机聚硅氧烷来形成分隔物 7029。特别优选的是,使用感光树脂材料来形成分隔物 7029 以在阴极 7023 上具有开口部分,以使得将开口部分的侧壁形成为具有连续曲率的倾斜表面。当使用感光树脂材料来形成分隔物 7029 时,可以省略形成抗蚀剂掩模的步骤。

[0525] 可以使用单层或堆叠的多层来形成在阴极 7023 和分隔物 7029 上形成的 EL 层 7024。当使用多个层来形成 EL 层 7024 时,通过在阴极 7023 上依次堆叠电子注入层、电子传输层、发光层、空穴传输层、和空穴注入层来形成 EL 层 7024。不需要形成所有的这些层。

[0526] 另外,本发明不限于以上顺序的叠层;亦即,可以通过在阴极 7023 上依次堆叠空穴注入层、空穴传输层、发光层、电子传输层、和电子注入层来形成 EL 层 7024。注意,当对比功率消耗时,在阴极 7023 上依次堆叠电子注入层、电子传输层、发光层、空穴传输层、和空穴注入层引起低的功率消耗,并因此是更优选的。

[0527] 可以将任意的各种材料用于在 EL 层 7024 上形成的阳极 7025。材料的示例包括具有高功函数的材料,诸如:诸如 ITO、IZO、和 ZnO 的透明导电材料。在本实施例中,使用包含氧化硅的 ITO 膜作为阳极 7025。

[0528] 发光元件 7022 对应于 EL 层 7024 被夹在阴极 7023 与阳极 7025 之间的区域。在图 13B 所示的元件结构的情况下,如箭头所指示的,从发光元件 7022 向阳极 7025 侧和阴极 7023 侧发射光。

[0529] 注意,在图 13B 中,示出其中使用光透射导电膜作为栅极电极层的示例。从发光元件 7022 发射到阴极 7023 的光穿过滤色器层 7043,并随后穿过驱动 TFT 7021 的栅极电极层、源极电极层等,从而被发射到外部。通过使用光透射导电膜作为 TFT 7021 的栅极电极层、或源极电极层等,阳极 7025 侧上的孔径比可以基本上与阴极 7023 侧上的相同。

[0530] 通过以下形成滤色器层 7043:诸如喷墨法的液滴排放法;印刷法;使用光刻技术的蚀刻法等。

[0531] 用外涂层 7044 覆盖滤色器层 7043 并在其上面进一步形成保护性绝缘膜 7045。

[0532] 在氧化物绝缘层 7041、绝缘层 7042、和保护性绝缘层 7045 中形成并到达连接电极层 7040 的接触孔处于与分隔物 7029 重叠的位置。由于在图 13B 所示的示例中使用金属导电膜作为连接电极层 7040，所以可以通过采用其中到达连接电极层 7040 的接触孔、分隔物 7029 和连接电极层 7040 相互重叠的结构，来使阳极 7025 侧上的孔径基本上与阴极 7023 侧上的基本相同。

[0533] 注意，在通过使用具有双发射结构的发光元件在两个显示表面上实现全色显示的情况下，从阳极 7025 侧发射的光不穿过滤色器层 7043；因此，优选的是，还在阳极 7025 上提供具有滤色器层的密封衬底。

[0534] 参照图 13C 来描述具有顶发射结构的发光元件。

[0535] 图 13C 是其中作为驱动 TFT 的 TFT 7001 是 n 型且从发光元件 7002 向阳极 7005 侧发射光的情况下的像素的横截面图。在图 13C 中，发光元件 7002 的阴极 7003 经由连接电极层 7050 电连接到 TFT 7001，并在阴极 7003 上依次堆叠 EL 层 7004 和阳极 7005。

[0536] 可以将任意的各种材料用于阴极 7003。具体而言，优选地使用具有低功函数的材料来形成阴极 7003，诸如，诸如 Li 或 Cs 的碱金属；诸如 Mg、Ca、或 Sr 的碱土金属；包含任何这些金属的合金（例如，Mg:Ag 或 Al:Li）；或诸如 Yb 或 Er 的稀土金属等。

[0537] 此外，用分隔物 7009 覆盖阴极 7003 的外围。使用聚酰亚胺、丙烯酸、聚酰胺、或环氧树脂等的有机树脂膜、无机绝缘膜、或有机聚硅氧烷来形成分隔物 7009。特别优选的是，使用感光树脂材料来形成分隔物 7009 以在阴极 7003 上具有开口部分，以使得将开口部分的侧壁形成为具有连续曲率的倾斜表面。当使用感光树脂材料来形成分隔物 7009 时，可以省略形成抗蚀剂掩模的步骤。

[0538] 可以使用单层或堆叠的多层来形成在阴极 7003 和隔离层 7009 上形成的 EL 层 7004。当使用多个层来形成 EL 层 7004 时，通过在阴极 7003 上依次堆叠电子注入层、电子传输层、发光层、空穴传输层、和空穴注入层来形成 EL 层 7004。注意，不需要形成所有的这些层。

[0539] 另外，本发明不限于以上顺序的叠层；亦即，可以通过在阴极 7003 上依次堆叠空穴注入层、空穴传输层、发光层、电子传输层、和电子注入层来形成 EL 层 7004。注意，当以此顺序堆叠所述层时，阴极 7003 充当阳极。

[0540] 在图 13C 中，在其中依次堆叠 Ti 膜、铝膜、Ti 膜的叠层膜上，依次堆叠空穴注入层、空穴传输层、发光层、电子传输层、和电子注入层。此外，在其上面堆叠 Mg:Ag 的合金薄膜和 ITO 膜。

[0541] 注意，当对比功率消耗时，在阴极 7003 上依次堆叠电子注入层、电子传输层、发光层、空穴传输层、和空穴注入层引起低的功率消耗，并因此是更优选的。

[0542] 使用光透射导电材料来形成阳极 7005；例如，可以使用包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡、氧化铟锌、或向其添加了氧化硅的氧化铟锡等。

[0543] 发光元件 7002 对应于 EL 层 7004 被夹在阴极 7003 与阳极 7005 之间的区域。在图 13C 所示的元件结构的情况下，如箭头所指示的，从发光元件 7002 向阳极 7005 侧发射光。

[0544] 虽然在图 13C 中示出其中使用薄膜晶体管 420 作为 TFT 7001 的示例，但本发明并不特别限于此。

[0545] 在图 13C 中, TFT 7001 的漏极电极层被电连接到连接电极层 7050。此外, 连接电极层被电连接到阴极 7003。可以使用诸如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺、或环氧树脂的树脂材料来形成平坦化绝缘层 7053。除此类树脂材料之外, 还可以使用低介电常数材料 (低 k 材料)、基于硅氧烷的树脂、PSG (磷硅酸盐玻璃)、或 BPSG (硼磷硅酸盐玻璃) 等。注意, 可以通过堆叠使用这些材料形成的多个绝缘膜来形成平坦化绝缘层 7053。对用于形成平坦化绝缘层 7053 的方法没有特别限制, 并且可以根据材料通过诸如溅射法、SOG 法、旋涂法、浸涂法、喷涂法、或液滴排放法 (例如, 喷墨法、丝网印刷、或胶版印刷), 或者用诸如刮刀、辊涂机、幕式涂布机、刮刀式涂布机的工具 (设备), 来形成平坦化绝缘层 7053。

[0546] 提供分隔物 7009 以使阴极 7003 与相邻像素的阴极绝缘。使用聚酰亚胺、丙烯酸、聚酰胺、或环氧树脂等的有机树脂膜、无机绝缘膜、或有机聚硅氧烷来形成分隔物 7009。特别优选的是, 使用感光树脂材料来形成分隔物 7009, 以在阴极 7003 上具有开口部分, 以使得将开口部分的侧壁形成为具有连续曲率的倾斜表面。当使用感光树脂材料来形成分隔物 7009 时, 可以省略形成抗蚀剂掩模的步骤。

[0547] 在图 13C 所示的结构中, 为了执行全色显示, 发光元件 7002、相邻的发光元件之一、以及相邻的发光元件中的另一个例如分别是发绿光的发光元件、发红光的发光元件、和发蓝光的发光元件。替代地, 可以使用四种发光元件来制造能够进行全色显示的发光显示器件, 包括发白光的发光元件以及三种发光元件。

[0548] 在图 13C 所示的结构中, 可以以如下的方式制造能够进行全色显示的发光显示器件: 要布置的所有发光元件是发白光的发光元件; 并且在发光元件 7002 上设置具有滤色器的密封衬底。当形成展现出诸如白光的单色光的材料并将其与滤色器或色彩转换层组合时, 可以执行全色显示。

[0549] 当然, 还可以执行单色光发射的显示。例如, 可以利用白光发射来形成照明器件; 替代地, 可以形成使用单色光发射的区域彩色发光器件。

[0550] 此外, 必要时, 可以提供诸如偏振膜的光学膜, 其示例之一是圆形偏振片。

[0551] 虽然在这里描述有机 EL 元件作为发光元件, 但也可以提供无机 EL 元件作为发光元件。

[0552] 注意, 描述了其中将控制发光元件的驱动的薄膜晶体管 (驱动 TFT) 电连接到发光元件的示例; 然而, 可以采用其中在驱动 TFT 与发光元件之间连接用于电流控制的 TFT 的结构。

[0553] 可以将本发明的一个实施例应用于未提供发光元件和分隔物时的液晶显示器件。参照图 45 来描述液晶显示器件的情况。

[0554] 这里, 驱动 TFT 7071 是 n 型的。在图 45 中, 驱动 TFT 7071 具有与之电连接的光透射导电膜 7067。光透射导电膜 7067 通过在氧化物绝缘层 7061 和保护性绝缘层 7062 中形成的接触孔经由连接电极层 7060 电连接到驱动 TFT 7071 的漏极电极层。

[0555] 可以使用光透射导电材料来形成光透射导电膜 7067, 所述光透射导电材料诸如: 包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡 (在下文中称为 ITO)、氧化铟锌、或向其添加了氧化硅的氧化铟锡等。

[0556] 注意, 在图 45 中, 示出其中使用光透射导电膜作为栅极电极层的示例。从背光等发射的光穿过滤色器层 7063, 从而被发射到外部。因此, 通过使用光透射导电膜作为驱动器

TFT 7071 的栅极电极层或源极电极层等,可以获得增加的孔径比。

[0557] 通过以下形成滤色器层 7063:诸如喷墨法的液滴排放法;印刷法;或使用光刻技术的蚀刻法等。

[0558] 用外涂层 7064 覆盖滤色器层 7063,并在其上面进一步形成保护性绝缘膜 7065。注意,虽然在图 45 中外涂层 7064 被示为具有小的厚度,但外涂层 7064 具有减小由于滤色器层 7063 引起的不均匀的功能。

[0559] 如上所述,还可以将本发明的一个实施例应用于液晶显示器件。

[0560] 注意,半导体器件的结构不限于图 12、图 13A 至 13C、和图 45 所示的那些,并且可以基于本说明书所公开的技术以多种方式进行修改。

[0561] 接下来,参照图 11A 和 11B 来描述对应于半导体器件的一种模式的发光显示面板(也称为发光面板)的外观和横截面。图 11A 是其中用密封剂将在第一衬底上形成的薄膜晶体管 and 发光元件密封在第一衬底与第二衬底之间的面板的平面图。图 11B 是沿图 11A 中的线 H-I 截取的横截面图。

[0562] 提供密封剂 4505 以围绕在第一衬底 4501 上提供的像素部分 4502、信号线驱动器电路 4503a 和 4503b、以及扫描线驱动器电路 4504a 和 4504b。另外,在像素部分 4502、信号线驱动器电路 4503a 和 4503b、以及扫描线驱动器电路 4504a 和 4504b 上提供第二衬底 4506。因此,由第一衬底 4501、密封剂 4505、和第二衬底 4506 将像素部分 4502、信号线驱动器电路 4503a 和 4503b、以及扫描线驱动器电路 4504a 和 4504b 与填料 4507 一起密封。优选的是,用保护膜(诸如层压膜或紫外线可固化树脂膜)或具有高气密性且几乎不脱气的覆盖材料来封装面板,从而以这样的方式使面板不暴露于外界空气。

[0563] 在第一衬底上形成的像素部分 4502、信号线驱动器电路 4503a 和 4503b、以及扫描线驱动器电路 4504a 和 4504b 每个都包括多个薄膜晶体管,并且在图 11B 中作为示例示出了被包括在像素部分 4502 中的薄膜晶体管 4510 和被包括在信号线驱动器电路 4503a 中的薄膜晶体管 4509。

[0564] 对于薄膜晶体管 4509 和 4510 而言,可以采用在任意实施例 1 至 5 中描述的包括氧化物半导体层的高度可靠的薄膜晶体管。可以使用在前述实施例中描述的任意薄膜晶体管 410、460、449、和 492 作为用于驱动器电路的薄膜晶体管 4509。可以使用任意薄膜晶体管 420、450、470、和 493 作为用于像素的薄膜晶体管 4510。在本实施例中,薄膜晶体管 4509 和 4510 是 n 沟道薄膜晶体管。

[0565] 在绝缘层 4544 上,在与包括在用于驱动器电路的薄膜晶体管 4509 中的氧化物半导体层的沟道形成区重叠的位置中提供导电层 4540。通过在与该氧化物半导体层的沟道形成区重叠的位置中提供导电层 4540,可以减小薄膜晶体管 4509 的阈值电压在 BT 测试前后的变化量。导电层 4540 可以具有与薄膜晶体管 4509 的栅极电极层相同的电位,或者具有与薄膜晶体管 4509 的栅极电极层不同的电位,并且可以充当第二栅极电极层。导电层 4540 的电位可以是 GND 电位、0V,或者导电层 4540 可以处于浮置状态。

[0566] 在薄膜晶体管 4509 中,形成绝缘层 4541 作为保护性绝缘膜,以便与包括沟道形成区的氧化物半导体层接触。可以使用与在实施例 1 中描述的氧化物绝缘膜 416 的材料和方法类似的材料和方法来形成绝缘层 4541。另外,为了降低薄膜晶体管的表面粗糙度,用充当平坦化绝缘膜的绝缘层 4544 覆盖薄膜晶体管。这里,作为绝缘层 4541,通过根据实施例 1

的溅射法来形成氧化硅膜。

[0567] 此外,在绝缘层 4541 上形成保护性绝缘层 4543。可以使用与在实施例 1 中描述的保护性绝缘层 403 的材料和方法类似的材料和方法来形成保护性绝缘层 4543。这里,通过 PCVD 法形成氮化硅膜作为保护性绝缘层 4543。

[0568] 绝缘层 4544 被形成为平坦化绝缘膜。可以使用与在实施例 1 中描述的平坦化绝缘层 404 的材料和方法类似的材料和方法来形成绝缘层 4544。这里,将丙烯酸用于绝缘层 4544。

[0569] 此外,附图标记 4511 表示发光元件。作为包括在发光元件 4511 中的像素电极的第一电极层 4517 被电连接到薄膜晶体管 4510 的源极电极层或漏极电极层。注意,发光元件 4511 的结构是(但不限于)包括第一电极层 4517、电致发光层 4512、和第二电极层 4513 的堆叠结构。根据从发光元件 4511 提取光的方向等,可以适当地改变发光元件 4511 的结构。

[0570] 使用有机树脂膜、无机绝缘膜、或有机聚硅氧烷来形成分隔物 4520。特别优选的是,使用感光材料来形成分隔物 4520 以在第一电极层 4517 上具有开口部分,以使得将开口部分的侧壁形成为具有连续曲率的倾斜表面。

[0571] 可以使用单层或堆叠的多层来形成电致发光层 4512。

[0572] 可以在第二电极层 4513 和分隔物 4520 上形成保护膜以防止氧、氢、水分、二氧化碳等进入发光元件 4511。作为保护膜,可以形成氮化硅膜、氮氧化硅膜、或 DLC 膜等。

[0573] 另外,从 FPC 4518a 和 4518b 向信号线驱动器电路 4503a 和 4503b、扫描线驱动器电路 4504a 和 4504b、或像素部分 4502 提供多种信号和电位。

[0574] 使用与包括在发光元件 4511 中的第一电极层 4517 相同的导电膜来形成连接端子电极 4515,并且使用与包括在薄膜晶体管 4509 和 4510 中的源极和漏极电极层相同的导电膜来形成端子电极 4516。

[0575] 连接端子电极 4515 经由各向异性导电膜 4519 电连接到包括在 FPC 4518a 中的端子。

[0576] 在从发光元件 4511 提取光的方向定位的第二衬底 4506 需要具有光透射性质。在这种情况下,将诸如玻璃板、塑料板、聚酯膜、或丙烯酸膜的光透射材料用于第二衬底 4506。

[0577] 作为填料 4507,除诸如氮气或氩气的惰性气体之外,还可以使用紫外线可固化树脂或热固性树脂。例如,可以使用聚氯乙烯(PVC)、丙烯酸、聚酰亚胺、环氧树脂、硅氧烷树脂、聚乙烯醇缩丁醛(PVB)、或乙烯乙酸乙烯共聚物(EVA)。例如,可以将氮气用于填料 4507。

[0578] 另外,如果需要,可以在发光元件的发光表面上适当地提供光学膜,诸如偏振片、圆形偏振片(包括椭圆形偏振片)、延迟板(四分之一波片或半波片)、或滤色器。此外,所述偏振片或圆形偏振片可以提供有防反射膜。例如,可以执行防眩处理,通过该防眩处理,可以使得反射光被表面上的凸部和凹部散射以便减少眩目。

[0579] 可以安装使用单晶半导体膜或多晶半导体膜在单独制备的衬底上形成的驱动器电路,作为信号线驱动器电路 4503a 和 4503b 及扫描线驱动器电路 4504a 和 4504b。替代地,可以单独地形成并安装仅信号线驱动器电路或其一部分、或仅扫描线驱动器电路或其一部分。本实施例不限于图 11A 和 11B 所示的结构。

[0580] 通过以上工艺过程,可以制造高度可靠的发光显示器件(显示面板)作为半导体器件。

[0581] 可以以与在其它实施例中描述的结构适当组合的方式来实现本实施例。

[0582] (实施例 13)

[0583] 可以将本说明书中公开的半导体器件应用于电子纸。电子纸可以用于所有领域中的电子设备,只要该电子设备显示数据即可应用。例如,可以将电子纸应用于电子书阅读器(电子书)、海报、诸如火车的车辆中的广告、或诸如信用卡的多种卡的显示。图 20 示出电子设备的示例。

[0584] 图 20 示出电子书阅读器的示例。例如,电子书阅读器 2700 包括两个壳体:壳体 2701 和壳体 2703。壳体 2701 和壳体 2703 与铰链 2711 组合,以使得可以以铰链 2711 为轴打开和关闭电子书阅读器 2700。该结构允许电子书阅读器 2700 像纸质书籍一样操作。

[0585] 在壳体 2701 和壳体 2703 中分别结合了显示部分 2705 和显示部分 2707。显示部分 2705 和显示部分 2707 可以显示一个图像或不同图像。在显示部分 2705 和新式部分 2707 显示不同图像的情况下,例如,右侧的显示部分(图 20 中的显示部分 2705)可以显示文本而左侧的显示部分(图 20 中的显示部分 2707)可以显示图形。

[0586] 图 20 示出其中壳体 2701 提供有操作部分等的示例。例如,壳体 2701 提供有电源开关 2721、操作键 2723、扬声器 2725 等。可以用操作键 2723 来翻页。注意,可以在与壳体的显示部分相同的表面上提供键盘、指示设备等。此外,可以在壳体的背表面或侧表面上提供外部连接端子(例如,耳机端子、USB 端子、或可连接到诸如 AC 适配器和 USB 电缆的多种电缆的端子)、记录介质插入部分等。此外,电子书阅读器 2700 可以具有电子辞典的功能。

[0587] 可以将电子书阅读器 2700 配置为无线地发送和接收数据。通过无线通信,可以从电子书服务器购买和下载期望的书籍数据等。

[0588] (实施例 14)

[0589] 可以将本说明书中公开的半导体器件应用于多种电子设备(包括游戏机)。此类电子设备的示例包括电视机(也称为电视或电视接收机)、计算机等的监视器、诸如数字照相机或数字摄像机的影像拍摄装置、数字相框、移动电话手持机(也称为移动电话或移动电话设备)、便携式游戏机、便携式信息终端、音频再现设备、诸如弹球机的大型游戏机等。

[0590] 图 21A 示出电视机的示例。在电视机 9600 中,将显示部分 9603 结合到壳体 9601 中。显示部分 9603 可以显示图像。这里,由支架 9605 来支撑壳体 9601。

[0591] 可以用壳体 9601 的操作开关或单独的遥控器 9610 来操作电视机 9600。可以用遥控器 9610 的操作键 9609 来切换频道并可以控制音量,由此,可以控制在显示部分 9603 上显示的图像。此外,遥控器 9610 可以提供有用于显示从遥控器 9610 输出的数据的显示部分 9607。

[0592] 注意,电视机 9600 提供有接收机、调制解调器等。此外,当显示器件经由调制解调器有线地或无线地连接到通信网络时,可以执行单向(从发送机到接收机)或双向(在发送机与接收机之间或在接收机之间)信息通信。

[0593] 图 21B 示出数字相框的示例。例如,在数字相框 9700 中,将显示部分 9703 结合到壳体 9701 中。显示部分 9703 可以显示多种图像。例如,显示部分 9703 可以显示用数字照相机等拍摄的图像的数据并充当普通相框。

[0594] 注意,数字相框 9700 提供有操作部分、外部连接端子(USB 端子或可连接到诸如 USB 电缆的多种电缆的端子)、记录介质插入部分等。虽然可以在与显示部分相同的表面上提供这些组件,但出于设计美学,优选的是将其设置在侧表面或背表面上。例如,在数字相框 9700 的记录介质插入部分中插入存储用数字照相机拍摄的图像的数据的存储器,并加载该数据,由此,可以在显示部分 9703 上显示图像。

[0595] 可以将数字相框 9700 配置为无线地发送和接收数据。通过无线通信,可以加载期望的图像数据以进行显示。

[0596] 图 22A 是便携式游戏机,并由两个壳体壳体 9881 和壳体 9891 组成,这个两个壳体通过接合部分 9893 彼此连接以使得可以打开或折叠便携式游戏机。在壳体 9881 和壳体 9891 中分别结合了显示部分 9882 和显示部分 9883。另外,图 22A 所示的便携式游戏机提供有扬声器部分 9884、记录介质插入部分 9886、LED 灯 9890、输入装置(操作键 9885、连接端子 9887、传感器 9888(具有测量力、位移、位置、速度、加速度、角速度、旋转数、距离、光、液体、磁性、温度、化学物质、声音、时间、硬度、电场、电流、电压、电功率、射线、流速、湿度、梯度、振动、气味、或红外线的功能)、以及扩音器 9889)等等。当然,便携式游戏机的结构不限于上述结构,并且可以采用至少提供有本说明书中公开的半导体器件的其它结构。所述便携式游戏机可以适当地包括其它辅助设备。图 22A 所示的便携式游戏机具有读取存储在记录介质中的程序或数据以将其显示在显示部分上的功能,和通过无线通信与另一便携式游戏机共享数据的功能。注意,图 22A 所示的便携式游戏机的功能不限于上述的那些,并且该便携式游戏机可以具有多种功能。

[0597] 图 22B 示出作为大型游戏机的投币机(slot machine)的示例。在投币机 9900 中,在壳体 9901 中结合了显示部分 9903。另外,投币机 9900 包括诸如起动杆或停止开关的操作装置、投币口、扬声器等。当然,投币机 9900 的结构不限于上述结构,并且可以采用至少提供有本说明书中公开的半导体器件的其它结构。投币机 9900 可以适当地包括附加配件。

[0598] 图 23A 是示出便携式计算机的示例的透视图。

[0599] 在图 23A 所示的便携式计算机中,具有显示部分 9303 的顶部壳体 9301 和具有键盘 9304 的底部壳体 9302 可以通过关闭连接顶部壳体 9301 和底部壳体 9302 的铰链单元而彼此重叠。因此,可方便地携带该便携式计算机。此外,在将键盘用于数据输入的情况下,铰链单元打开以使得用户可以看着显示部分 9303 输入数据。

[0600] 除键盘 9304 之外,底部壳体 9302 还包括具有可以用来执行输入的指示设备 9306。当显示部分 9303 是触控面板时,用户可以通过触摸显示部分的一部分来输入数据。底部壳体 9302 包括诸如 CPU 或硬盘的算术功能部分。另外,底部壳体 9302 包括外部连接端口 9305,其中插入另一设备,例如符合 USB 通信标准的通信线缆。

[0601] 顶部壳体 9301 还包括可以通过在顶部壳体 9301 中滑动而被装载在其中的显示部分 9307。利用显示部分 9307,可以实现大的显示屏幕。另外,用户可以调整可装载的显示部分 9307 的屏幕角度。如果可装载的显示部分 9307 是触控面板,则用户可以通过触摸显示部分 9307 的一部分来输入数据。

[0602] 使用图像显示设备来形成显示部分 9303 或可装载的显示部分 9307,所述图像显示设备诸如液晶显示面板或使用有机发光元件或无机发光元件等的发光显示面板。

[0603] 另外,图 23A 所示的便携式计算机可以提供有接收机等,并且可以接收 TV 广播以

便在显示部分 9303 或显示部分 9307 上显示图像。用户可以通过滑动并暴露显示部分 9307 且调整其角度来用显示部分 9307 的整个屏幕观看 TV 广播,连接顶部壳体 9301 和底部壳体 9302 的铰链单元被关闭。在这种情况下,不打开铰链单元且在显示部分 9303 上不执行显示。另外,仅执行用于显示 TV 广播的电路的启动。因此,可以使功率消耗最小化,这对电池容量有限的便携式计算机是有用的。

[0604] 图 23B 是用户可以像手表一样戴在手腕上的移动电话的示例的透视图。

[0605] 此移动电话形成有:主体,该主体包括至少包括电话功能的通信设备,和电池;带部分 9204,其使得主体能够被戴在手腕上;调整部分 9205,其用于调整带部分 9204 以适合手腕;显示部分 9201;扬声器 9207;以及麦克风 9208。

[0606] 另外,主体包括操作开关 9203。操作开关 9203 可以例如充当用于在被按下时开始用于因特网的程序的按钮、用于切换显示的开关、或用于开始拍摄图像的指令的开关等,并可以被配置为具有各自的功能。

[0607] 用户可以通过用手指户或输入笔触摸显示部分 9201、操作开关 9203、或向麦克风 9208 输入语音,来向此移动电话中输入数据。在图 23B 中,在显示部分 9201 上显示了显示按钮 9202。用户可以通过用手指等触摸显示按钮 9202 来输入数据。

[0608] 此外,主体包括影像拍摄装置部分 9206,其包括具有将通过影像拍摄装置镜头形成的对象的图像转换成电子图像信号的功能的图像拾取装置。注意,并不是必须提供影像拍摄装置部分。

[0609] 图 23B 所示的移动电话提供有 TV 广播等的接收机,并能够通过接收 TV 广播在显示部分 9201 上显示图像。另外,该移动电话提供有诸如存储器等的存储设备,并能够将 TV 广播记录在存储器中。图 23B 所示的移动电话可以具有诸如 GPS 的收集位置信息的功能。

[0610] 使用诸如液晶显示面板或使用有机发光元件或无机发光元件等的发光显示面板的图像显示设备作为显示部分 9201。图 23B 所示的移动电话紧凑且重量轻,并且电池容量有限。由于以上原因,优选地使用可以以低功率消耗驱动的面板作为用于显示部分 9201 的显示器件。

[0611] 注意,虽然图 23B 示出戴在手腕上的电子设备,但本实施例不限于此,只要电子装置是便携的即可。

[0612] (实施例 15)

[0613] 在本实施例中,作为半导体器件的一种模式,将参照图 24 至 37 来描述每个包括在任意实施例 1 至 5 中描述的薄膜晶体管的显示器件的示例。在本实施例中,将参照图 24 至 37 来描述其中每个使用液晶元件作为显示元件的液晶显示器件的示例。可以使用在任意实施例 1 至 5 中描述的薄膜晶体管作为 TFT 628 和 629 中的每一个。可以通过类似于任意实施例 1 至 5 中描述的过程来制造 TFT 628 和 629,且 TFT 628 和 629 具有优良的电特性和高可靠性。在图 24 至 37 中,将描述其中使用图 4C 所示的薄膜晶体管作为薄膜晶体管的示例的情况;然而,本发明不限于此。

[0614] 首先,描述垂直取向(VA)液晶显示器件。VA 液晶显示器件具有一种控制液晶显示面板的液晶分子取向的形式。在 VA 液晶显示器件中,在不施加电压时,液晶分子被配像在相对于面板表面的垂直方向。在本实施例中,特别地,将像素划分成某些区域(子像素),并使诸分子在其各自的区域中在不同的方向取向。

[0615] 图 25 和 26 分别示出像素电极和对电极。图 25 是示出形成像素电极的衬底侧的平面图。图 24 示出沿图 25 中的剖面线 E-F 截取的横截面结构。图 26 是示出形成对电极的衬底侧的平面图。下面参照这些图进行说明。

[0616] 在图 24 中,其上面形成 TFT 628、连接到 TFT 628 的像素电极层 624、存储电容器部分 630 的衬底 600 与提供有对电极层 640 等的对衬底 601 相互重叠,并且在衬底 600 与对衬底 601 之间注入液晶。

[0617] 对衬底 601 提供有着色膜 636 和对电极层 640,并且在对电极层 640 上形成凸部 644。在像素电极层 624 上形成取向膜 648,并且类似地在对电极层 640 和凸部 644 上形成取向膜 646。在衬底 600 与对衬底 601 之间形成液晶层 650。

[0618] 在衬底 600 上形成 TFT 628、连接到 TFT 628 的像素电极层 624、和存储电容器部分 630。像素电极层 624 通过穿透用于覆盖 TFT 628、布线 616、和存储电容器部分 630 的绝缘膜 620、用于覆盖绝缘膜 620 的绝缘膜 621、和用于覆盖绝缘膜 621 的绝缘膜 622 的接触孔 623 而连接到布线 618。可以适当地使用在任意实施例 1 至 5 中描述的薄膜晶体管作为 TFT 628。此外,存储电容器部分 630 包括:作为第一电容器布线的电容器布线 604,其与 TFT 628 的栅极布线 602 同时形成;第一栅极绝缘膜 606a;第二栅极绝缘膜 606b;以及作为第二电容器布线的电容器布线 617,其与布线 616 和 618 同时形成。

[0619] 像素电极层 624、液晶层 650、和对电极层 640 相互重叠,由此形成液晶元件。

[0620] 图 25 示出衬底 600 上的平面结构。使用任何实施例 1 至 5 中所述的材料来形成像素电极层 624。像素电极层 624 提供有利狭缝 625。提供狭缝 625 以用于控制液晶的取向。

[0621] 可以以与 TFT 628、像素电极层 624、和和部分 630 类似的方式形成图 25 所示的 TFT 629、连接到 TFT 629 的像素电极层 626、和存储电容器部分 631。TFT 628 和 629 两者连接到布线 616。此液晶显示面板的一个像素包括像素电极层 624 和 626。像素电极层 624 和 626 组成子像素。

[0622] 图 26 示出对衬底侧的平面结构。优选地使用与像素电极层 624 类似的材料形成对电极层 640。在对电极层 640 上形成控制液晶取向的凸部 644。注意,在图 26 中,用虚线表示在衬底 600 上形成的像素电极层 624 和 626,并且对电极层 640 及像素电极电 624 和 626 相互重叠。

[0623] 图 27 示出此像素结构的等效电路。TFT 628 和 629 两者连接到栅极布线 602 和布线 616。在这种情况下,当电容器布线 604 和电容器布线 605 彼此不同时,液晶元件 651 和 652 的操作可以改变。换言之,精确地控制液晶的取向,并通过电容器布线 604 和 605 的电位的单独控制来增加视角。

[0624] 当向提供有狭缝 625 的像素电极层 624 施加电压时,在狭缝 625 附近产生失真电场(倾斜电场)。对衬底 601 侧上的凸部 644 和狭缝 625 被交替地布置,从而有效地产生倾斜电场以控制液晶的取向,由此,液晶的取向方向根据位置而改变。换言之,通过多畴来增加液晶显示面板的视角。

[0625] 接下来,将参照图 28 至 31 来描述不同于上述器件的 VA 液晶显示器件。

[0626] 图 28 和图 29 示出 VA 液晶显示面板的像素结构。图 29 是衬底 600 的平面图。图 28 示出沿图 29 中的剖面线 Y-Z 截取的横截面结构。

[0627] 在此像素结构中,在一个像素中提供多个像素电极,并且 TFT 连接到每个像素电极。由不同的栅极信号来驱动所述多个 TFT。换言之,相互独立地控制施加于多畴像素中的各单独像素电极的信号。

[0628] 像素电极层 624 通过穿透绝缘膜 620、621、和 622 的接触孔 623 经由布线 618 连接到 TFT 628。像素电极层 626 通过穿透绝缘膜 620、621、和 622 的接触孔 627 经由布线 619 连接到 TFT 629。TFT 628 的栅极布线 602 与 TFT 629 的栅极布线 603 分离,以便可以提供不同的栅极信号。另一方面,充当数据线的布线 616 被 TFT 628 和 629 共享。可以适当地使用在任意实施例 1 至 5 中描述的薄膜晶体管作为 TFT 628 和 629 中的每一个。注意,在栅极布线 602、栅极布线 603、和电容器布线 690 上形成第一栅极绝缘膜 606a 和第二栅极绝缘膜 606b。

[0629] 像素电极层 624 的形状不同于像素电极层 626 的形状,并且像素电极层 624 和 626 被狭缝 625 分开。像素电极层 626 被形成为围绕展开成 V 形的像素电极层 624 的外侧。使得通过 TFT 628 施加于像素电极层 624 的电压不同于通过 TFT 629 施加于像素电极层 626 的电压,由此,控制液晶的取向。图 31 示出此像素结构的等效电路。TFT 628 连接到栅极布线 602,并且 TFT 629 连接到栅极布线 603。TFT 628 和 629 两者都连接到布线 616。当向栅极布线 602 和 603 提供不同的栅极信号时,液晶元件 651 和 652 的操作可以改变。换言之,单独地控制 TFT 628 和 629 的操作,以精确地控制液晶元件 651 和 652 中的液晶的取向,这导致较宽的视角。

[0630] 对衬底 601 提供有着色膜 636 和对电极层 640。在着色膜 636 与对电极层 640 之间形成平坦化膜 637 以防止液晶的取向无序。图 30 示出对衬底侧的平面结构。对电极层 640 是被不同的像素共享的电极,并且形成有狭缝 641。像素电极层 624 和 626 上的狭缝 641 和狭缝 625 被交替布置,以便有效地产生倾斜电场,由此,可以控制液晶的取向。因此,在不同的位置上液晶的取向可以改变,这导致较宽的视角。注意,在图 30 中,用虚线表示在对衬底 600 上形成的像素电极层 624 和 626,并且对电极层 640 及像素电极层 624 和 626 相互重叠。

[0631] 在像素电极层 624 和像素电极层 626 上形成取向膜 648,并且对电极层 640 类似地提供有取向膜 646。在衬底 600 与对衬底 601 之间形成液晶层 650。像素电极层 624、液晶层 650、和对电极层 640 相互重叠以形成第一液晶元件。像素电极层 626、液晶层 650、和对电极层 640 相互重叠以形成第二液晶元件。图 30 至 33 和图 31 所示的显示面板的像素结构是其中在一个像素中提供第一液晶元件和第二液晶元件的多畴结构。

[0632] 接下来,描述处于水平电场模式的液晶显示器件。在水平电场模式下,在相对于单元中的液晶分子的水平方向施加电场,由此驱动液晶以表示灰度级。这种方法允许视角增加至约 180° 。下面描述处于水平电场模式的液晶显示器件。

[0633] 在图 32 中,上面形成有电极层 607、TFT 628、和连接到 TFT 628 的像素电极层 624 的衬底 600 与对衬底 601 重叠,并且在衬底 600 与对衬底 601 之间注入液晶。对衬底 601 提供有着色膜 636、平坦化膜 637 等。注意,在对衬底 601 侧未提供对电极。另外,液晶层 650 形成在衬底 600 与对衬底 601 之间,而取向膜 646 和 648 被插入它们之间。

[0634] 电极层 607 和连接到电极层 607 的电容器布线 604、以及 TFT 628 形成在衬底 600 上。可以与 TFT 628 的栅极布线 602 同时形成电容器布线 604。可以使用在任意实施例 1

至 5 中描述的薄膜晶体管作为 TFT628。可以使用与在实施例 1 至 5 中描述的像素电极层 427 相同的材料来形成电容器布线 604。另外,电极层 607 被几乎以像素形式划分。注意,第一栅极绝缘膜 606a 和第二绝缘膜 606b 形成在电极层 607 和电容器布线 604 上。

[0635] TFT 628 的布线 616 和 618 形成在第一栅极绝缘膜 606a 和第二栅极绝缘膜 606b 上。布线 616 是视频信号通过其传播的数据线,在液晶显示面板中沿一个方向延伸,连接到 TFT 628 的源极或漏极区,并充当源极和漏极电极之一。布线 618 充当源极和漏极电极中的另一个,并连接到像素电极层 624。

[0636] 绝缘膜 620 形成在布线 616 和 618 上,并且绝缘膜 621 形成在绝缘膜 620 上。在绝缘膜 621 上,像素电极层 624 被形成为通过绝缘膜 620 和 621 中形成的接触孔连接到布线 618。使用与在任意实施例 1 至 5 中描述的像素电极层的材料类似的材料来形成像素电极层 624。

[0637] 以这种方式,在衬底 600 上形成 TFT 628 和连接到 TFT 628 的像素电极层 624。注意,利用电极层 607、第一栅极绝缘膜 606a、第二栅极绝缘膜 606b、绝缘膜 620 和 621、和像素电极层 624 形成存储电容器。

[0638] FIG 33 是示出像素电极的结构平面图。图 32 示出沿图 33 中的剖面线 O-P 截取的横截面结构。像素电极层 624 提供有狭缝 625。提供狭缝 625 以用于控制液晶的取向。在这种情况下,在电极层 607 与像素电极层 624 之间产生电场。在电极层 607 与像素电极层 624 之间形成的第一栅极绝缘膜 606a 和第二栅极绝缘膜 606b 的厚度每个为 50nm 至 200nm,其比 $2\mu\text{m}$ 至 $10\mu\text{m}$ 的液晶层厚度小得多。因此,基本上与衬底 600 平行地(在水平方向)产生电场。用此电场来控制液晶的取向。通过使用在基本上平行于衬底的方向的电场,使液晶分子水平地旋转。在这种情况下,液晶分子在任何状态下水平地取向,因此,对比度等较少地受到视角的影响,这导致更宽的视角。另外,由于电极层 607 和像素电极层 624 两者是光透射电极,所以可以增加孔径比。

[0639] 接下来,描述处于水平电场模式的液晶显示器件的不同示例。

[0640] 图 34 和 35 示出处于 IPS 模式的液晶显示器件的像素结构。图 35 是平面图。图 34 示出沿图 35 中的剖面线 V-W 截取的横截面结构。参照这两个图来给出以下说明。

[0641] 在图 34 中,上面形成有 TFT 628 和连接到 TFT 628 的像素电极层 624 的衬底 600 与对衬底 601 重叠,并且在衬底 600 与对衬底 601 之间注入液晶。对衬底 601 提供有着色膜 636、平坦化膜 637 等。注意,在对衬底 601 侧未提供对电极。液晶层 650 形成在衬底 600 与对衬底 601 之间,而取向膜 646 和 648 被插入它们之间。

[0642] 公共电位线 609 和 TFT 628 形成在衬底 600 上。可以与 TFT 628 的栅极布线 602 同时形成公共电位线 609。像素电极层 624 几乎以像素的形式被划分。可以使用在任何实施例 1 至 6 中描述的薄膜晶体管作为 TFT 628。

[0643] TFT 628 的布线 616 和 618 形成在第一栅极绝缘膜 606a 和第二栅极绝缘膜 606b 上。布线 616 是视频信号通过其传播的数据线,其在液晶显示面板中在一个方向延伸,连接到 TFT 628 的源极或漏极区,并充当源极和漏极电极之一。布线 618 充当源极和漏极电极中的另一个,并连接到像素电极层 624。

[0644] 在布线 616 和 618 上形成绝缘膜 620,并且在绝缘膜 620 上形成绝缘膜 621。另外,在绝缘膜 621 上,像素电极层 624 被形成为通过绝缘膜 620 和 621 中形成的接触孔 623 连

接到布线 618。使用与在实施例 1 中描述的像素电极层 427 的材料类似的材料来形成像素电极层 624。注意,如图 35 所示,像素电极层 624 被形成为使得像素电极层 624 和与公共电位线 609 同时形成的梳状电极可以产生水平电场。此外,像素电极层 624 被形成为使得像素电极层 624 的梳齿部分和与公共电位线 609 同时形成的梳状电极的那些被交替地布置。

[0645] 通过在施加于像素电极层 624 的电位与公共电位线 609 的电位之间产生的电场来控制液晶的取向。通过使用沿基本上平行于衬底的方向的电场,使液晶分子水平地旋转。在这种情况下,液晶分子在任何状态下水平地取向,因此,对比度等较少地受到视角的影响,这导致更宽的视角。

[0646] 以这种方式,在衬底 600 上形成 TFT 628 和连接到 TFT 628 的像素电极层 624。利用公共电位线 609 和电容器电极层 615 及设置在公共电位线 609 与电容器电极层 615 之间的第一栅极绝缘膜 606a 和栅极绝缘膜 606b 形成存储电容器。电容器电极层 615 和像素电极层 624 在接触孔 623 中相互连接。

[0647] 接下来,描述处于 TN 模式的液晶显示器件的模式。

[0648] 图 36 和图 37 示出处于 TN 模式的液晶显示器件的像素结构。图 37 是平面图。图 36 示出沿图 37 中的剖面线 K-L 截取的横截面结构。参照这两个图来给出以下说明。

[0649] 像素电极层 624 通过在绝缘膜 620 和 621 中形成的接触孔 623 经由布线 618 连接到 TFT 628。充当数据线的布线 616 被连接到 TFT 628。可以使用在任何实施例 1 至 5 中描述的薄膜晶体管作为 TFT 628。

[0650] 使用实施例 1 至 5 中所述的像素电极层 427 来形成像素电极层 624。可以与 TFT 628 的栅极布线 602 同时形成电容器布线 604。在栅极布线 602 和电容器布线 604 上形成第一栅极绝缘膜 606a 和第二绝缘膜 606b。利用第一栅极绝缘膜 606a 和第二栅极绝缘膜 606b、电容器布线 604、和电容器电极层 615 形成存储电容器。电容器电极层 615 和像素电极层 624 通过接触孔 623 相互连接。

[0651] 对衬底 601 提供有着色膜 636 和对电极层 640。在着色膜 636 与对电极层 640 之间形成平坦化膜 637,以防止液晶的取向无序。在像素电极层 624 与对电极层 640 之间形成液晶层 650,而取向膜 646 和 648 被插入它们之间。

[0652] 像素电极层 624、液晶层 650、和对电极层 640 相互重叠,由此形成液晶元件。

[0653] 可以在衬底 600 侧形成着色膜 636。将偏振片附着于衬底 600 的作为提供有薄膜晶体管的表面的反面的表面,并且将偏振片附着于衬底 601 的作为设置有对电极层 640 的表面的反面的表面。

[0654] 通过上述过程,可以制造液晶显示器件作为显示器件。本实施例的液晶显示器件每个具有高孔径比。

[0655] 本申请是基于 2009 年 8 月 7 日向日本专利局提交的日本专利申请 No. 2009-185315,在此通过引用将其全部内容并入本文中。

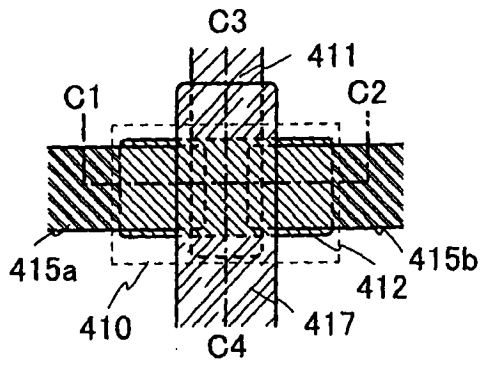


图 1A1

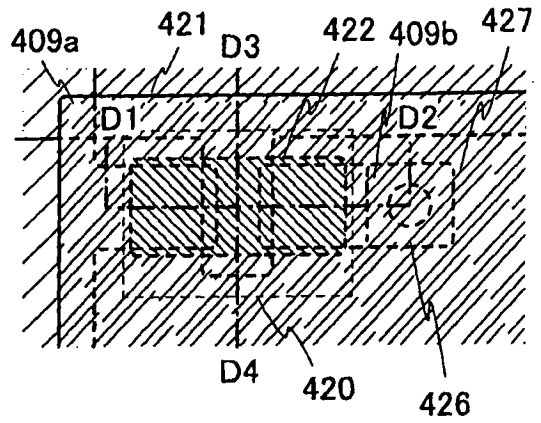
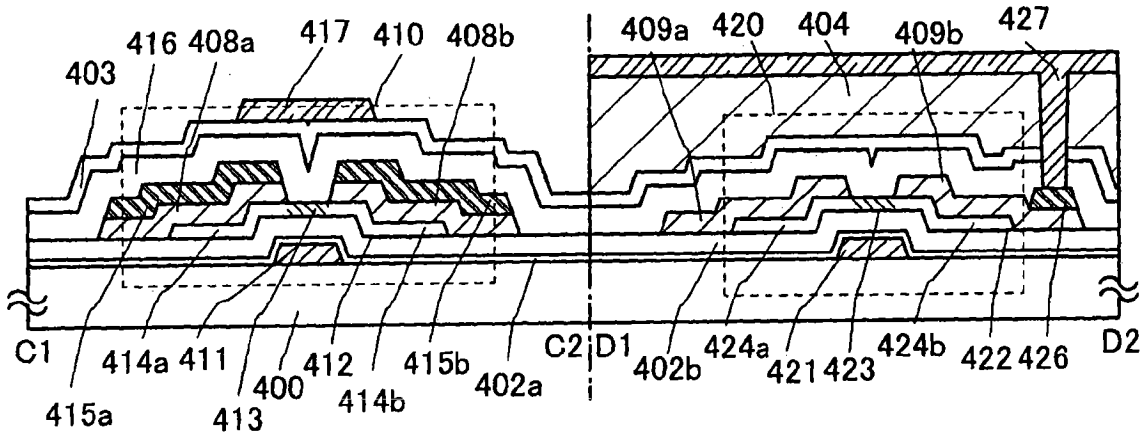
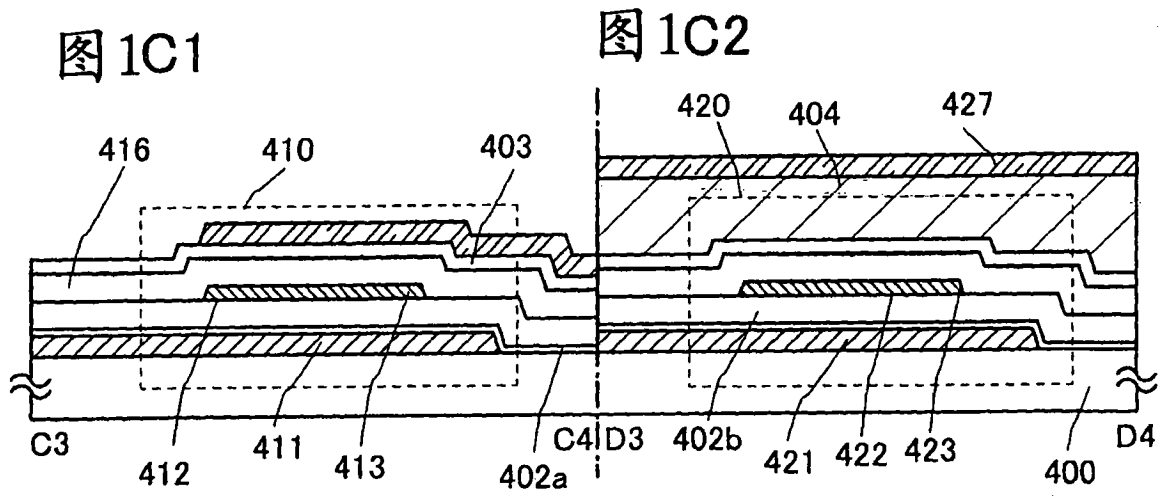


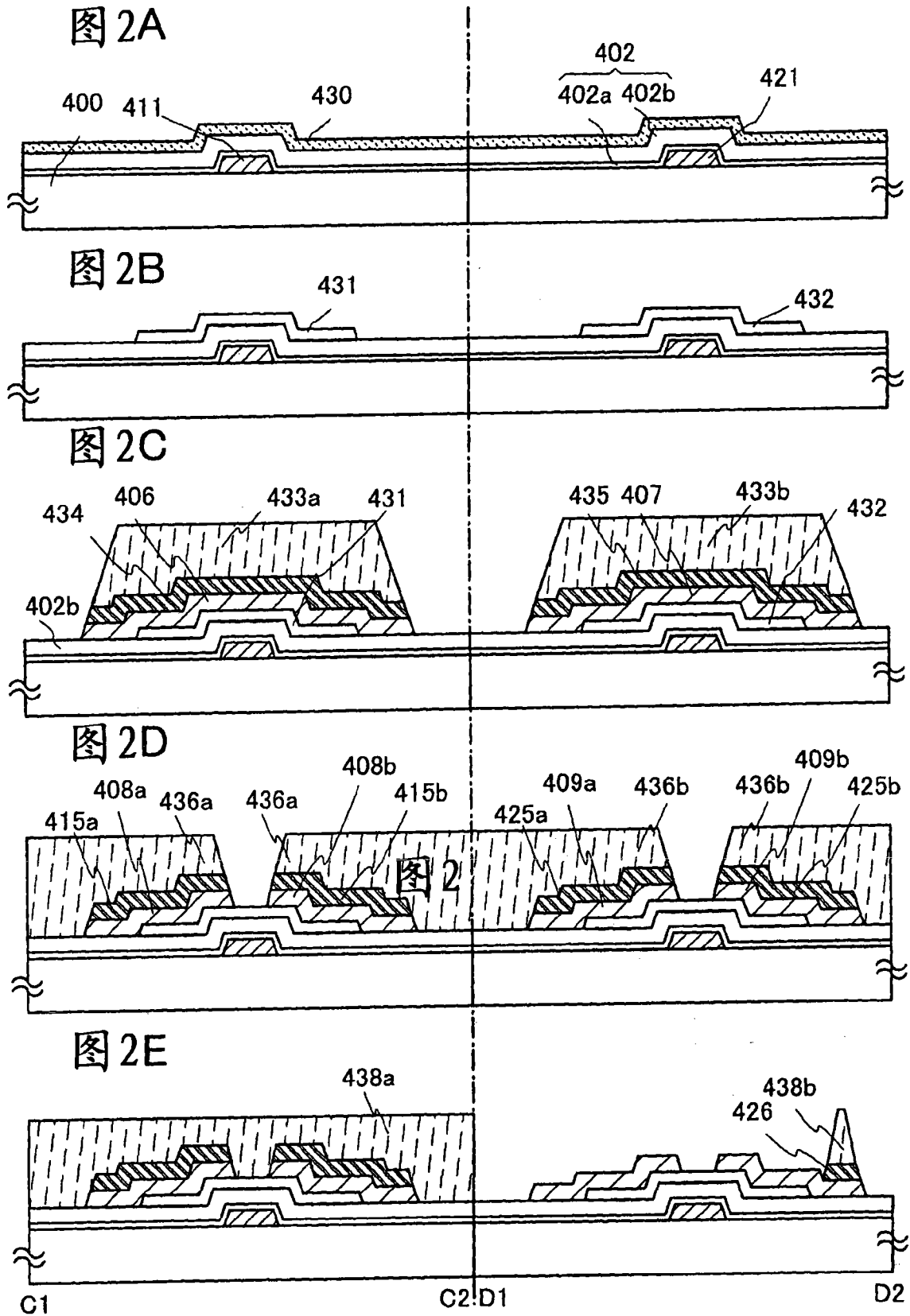
图 1A2

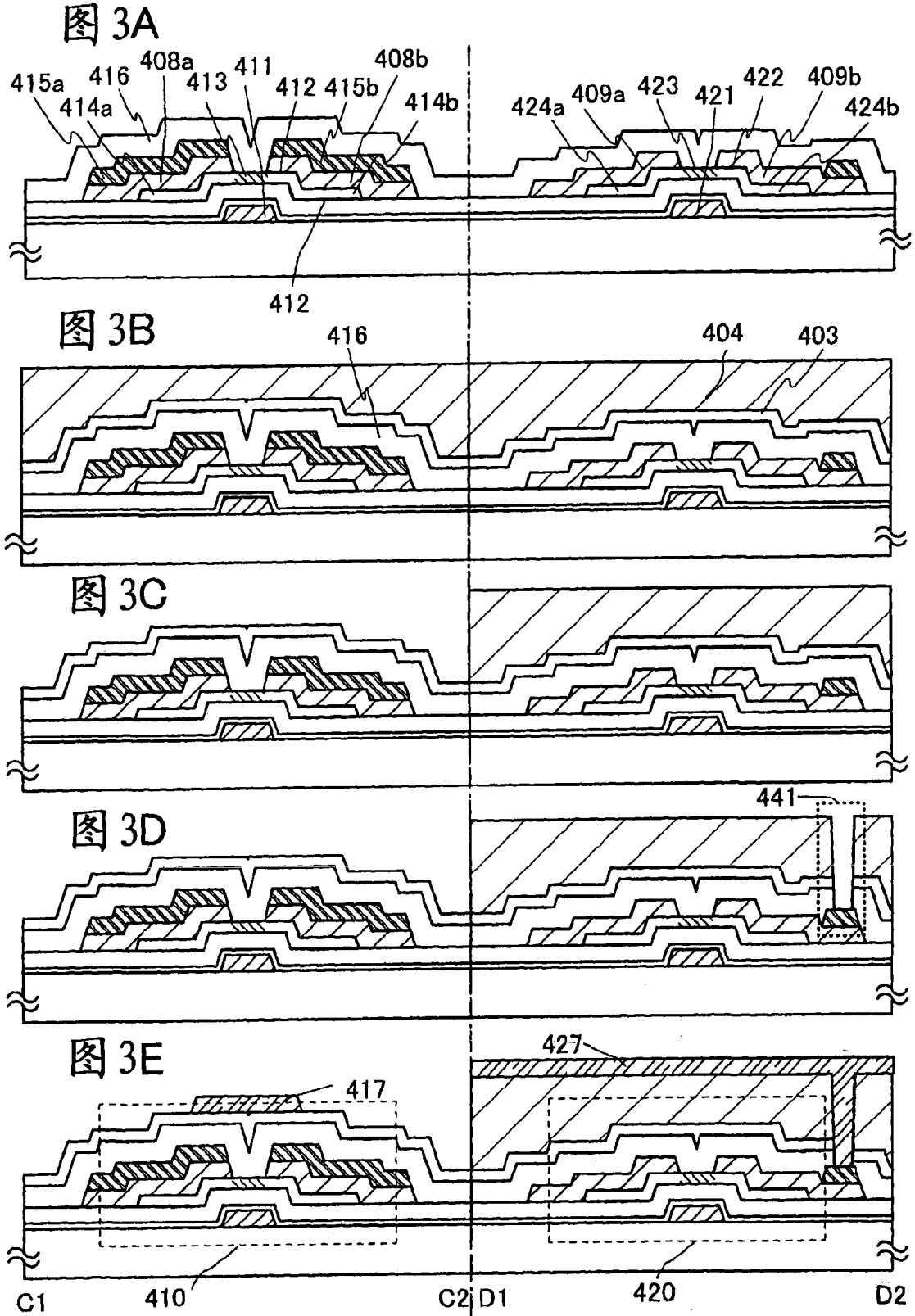
图 1B1

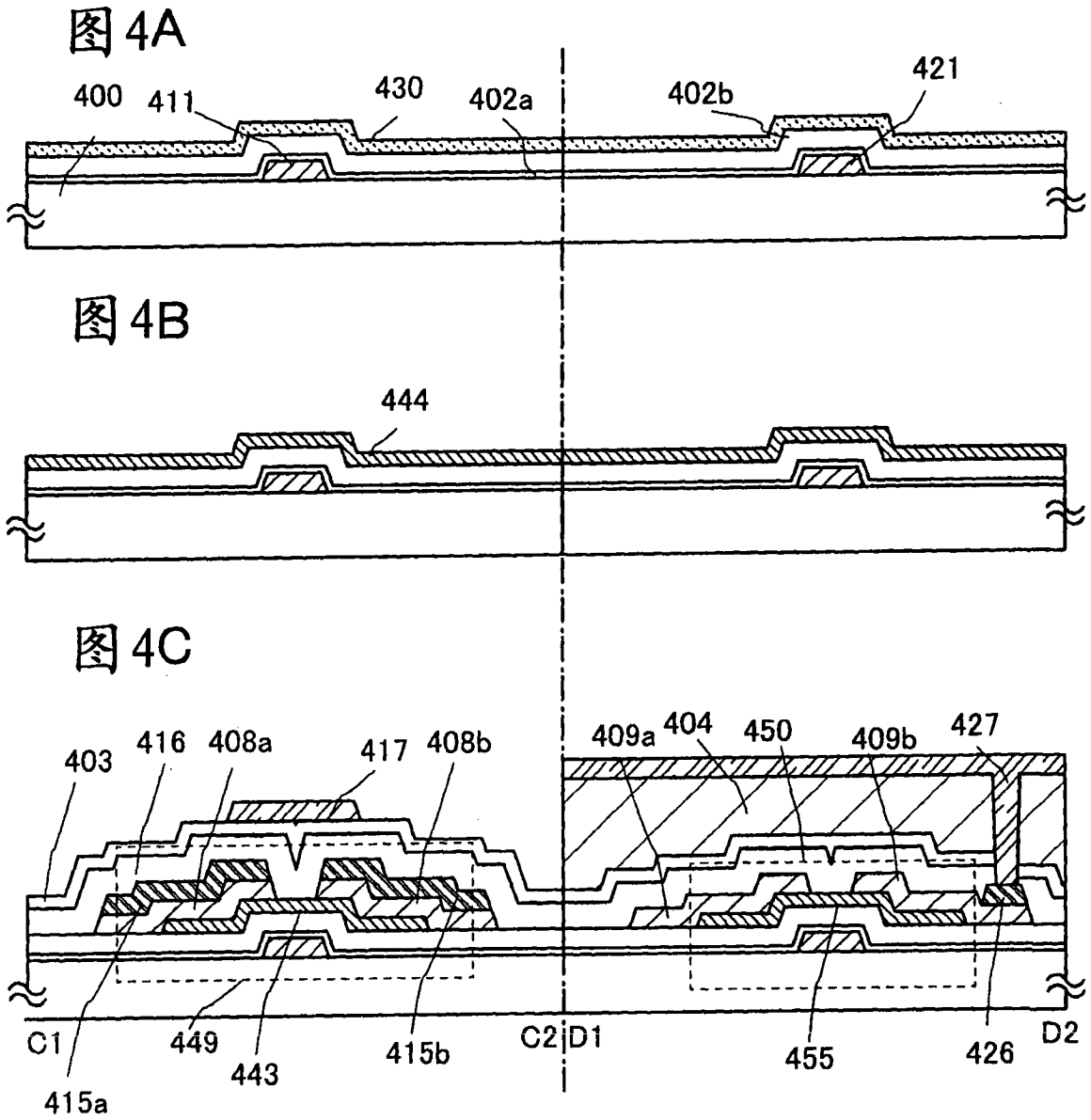
图 1B2

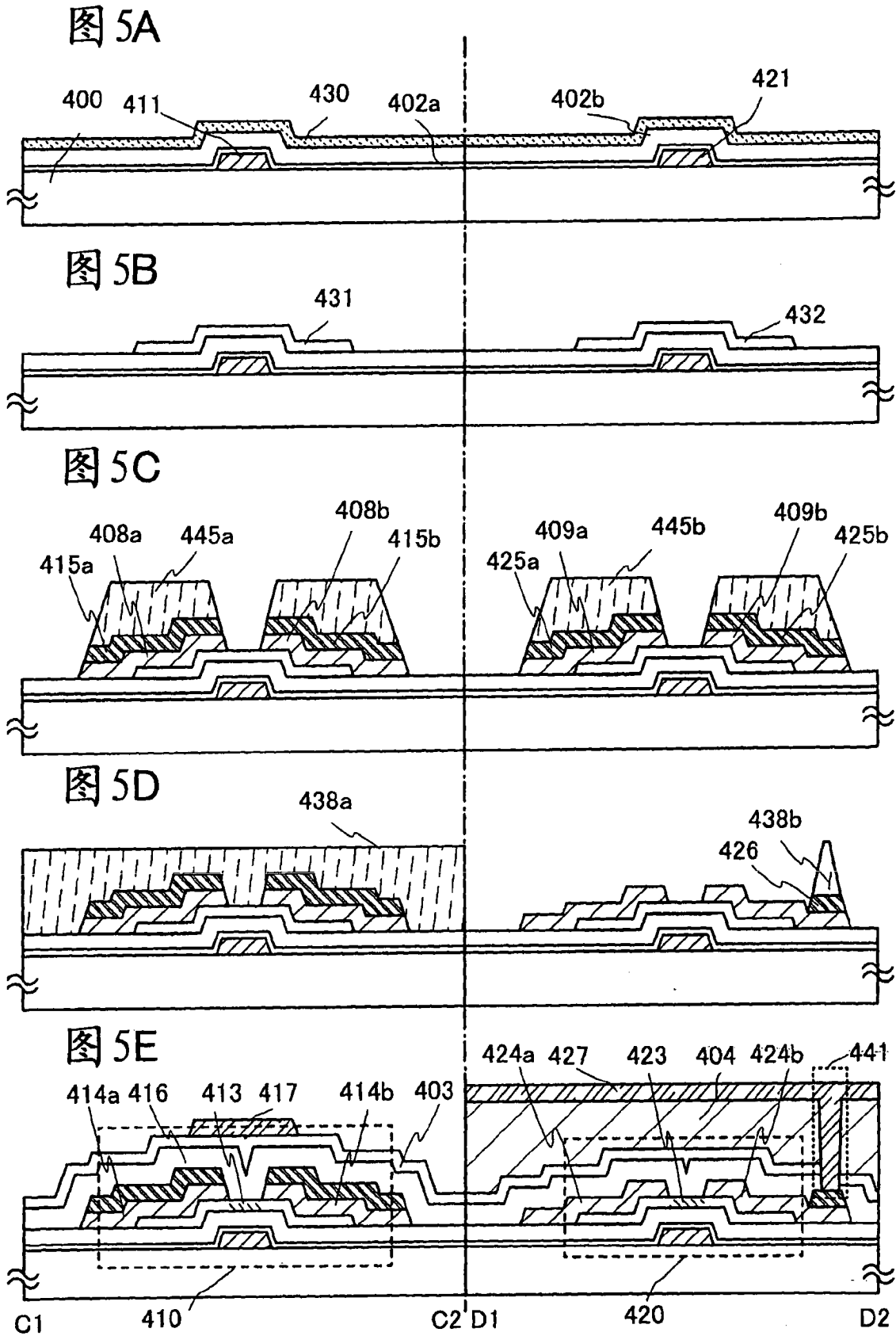












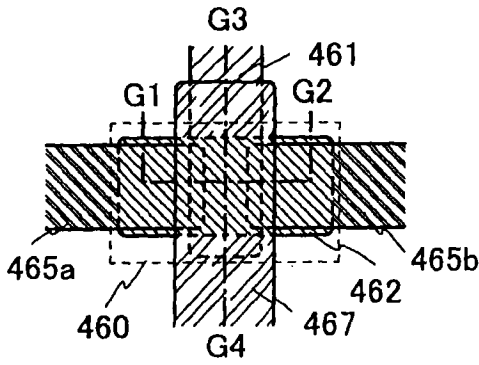


图 6A1

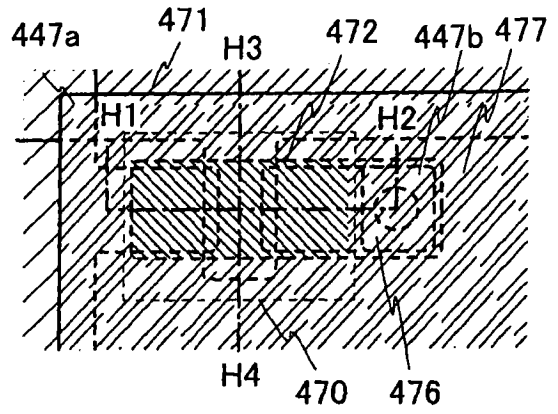
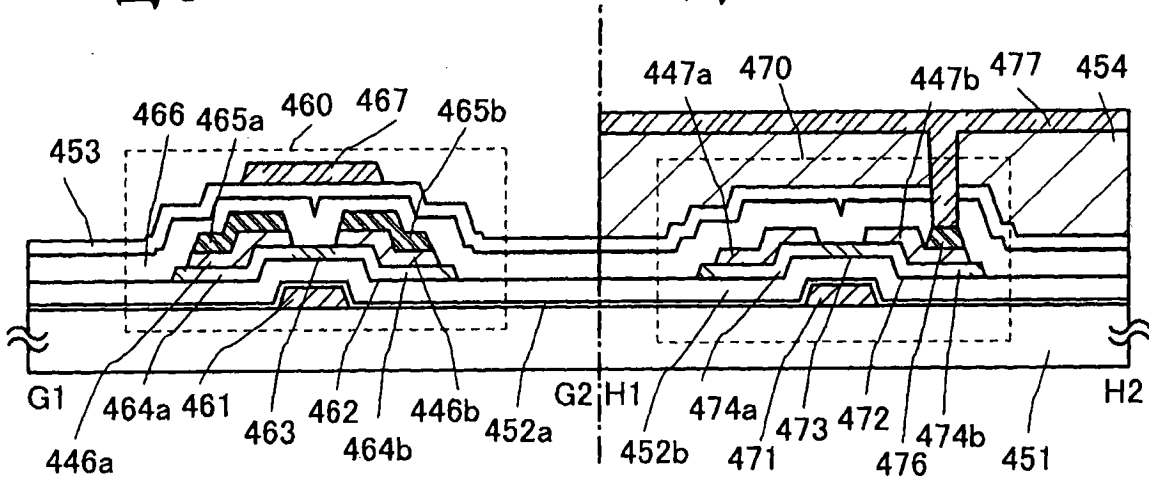
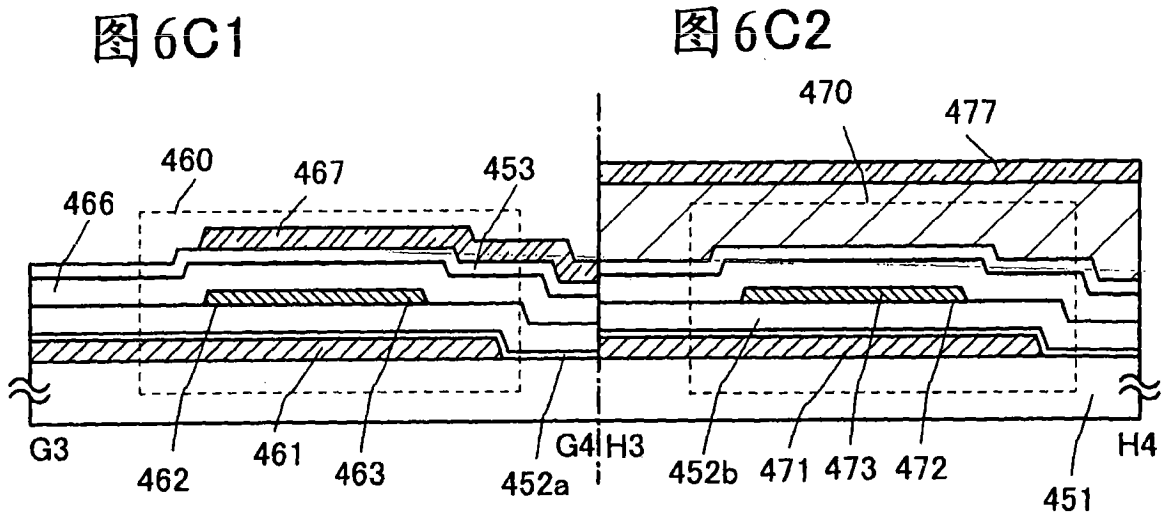


图 6A2

图 6B1

图 6B2





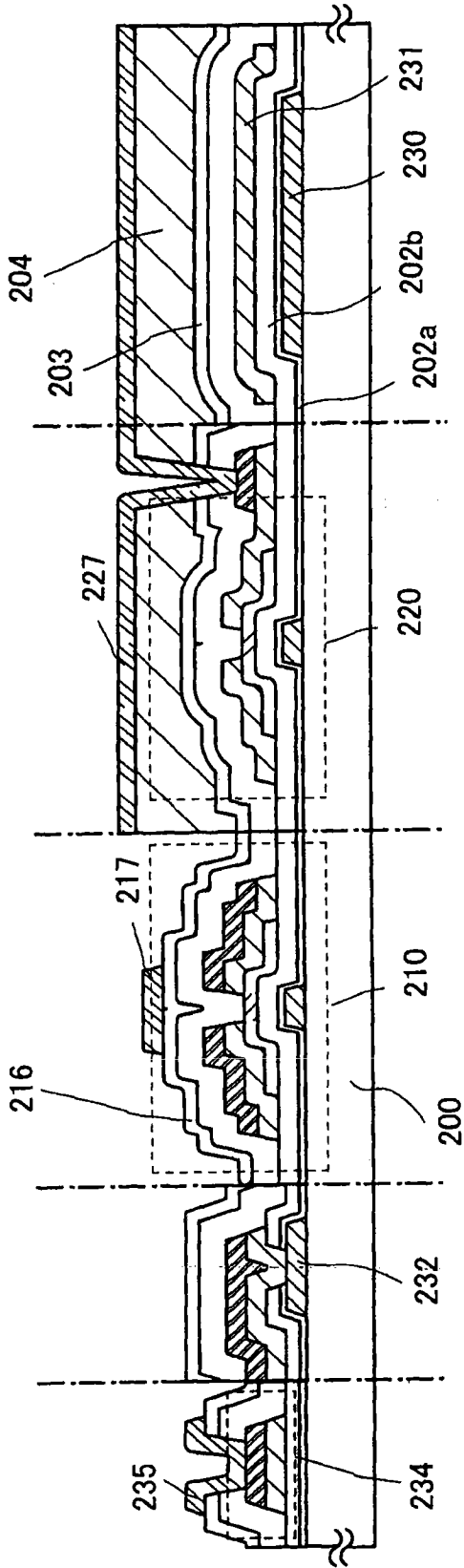


图 7A

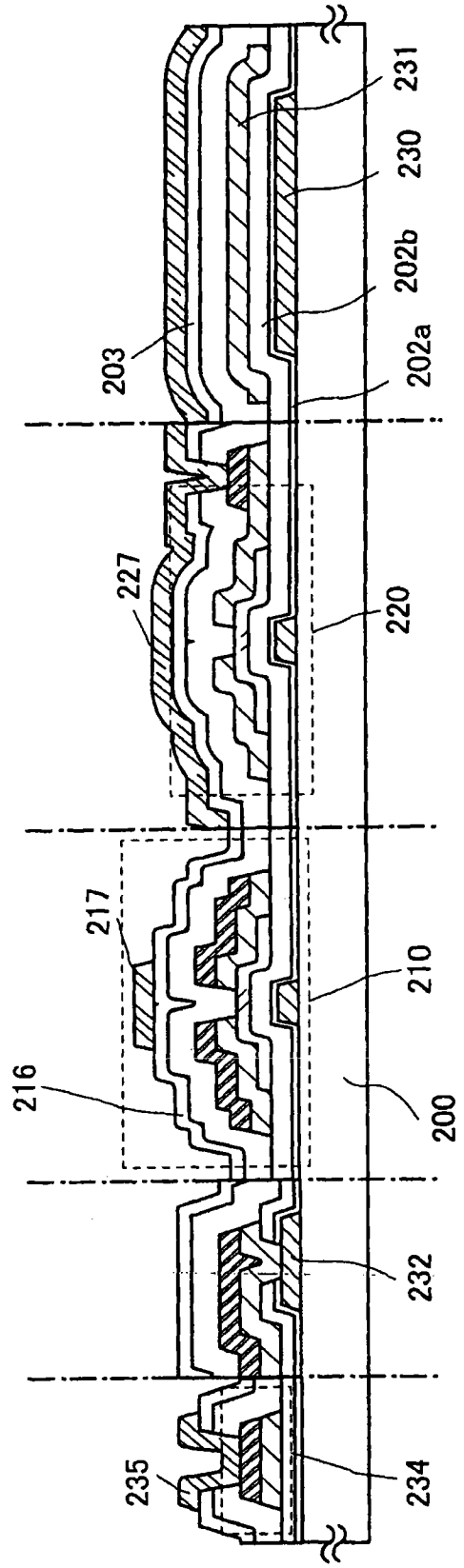


图 7B

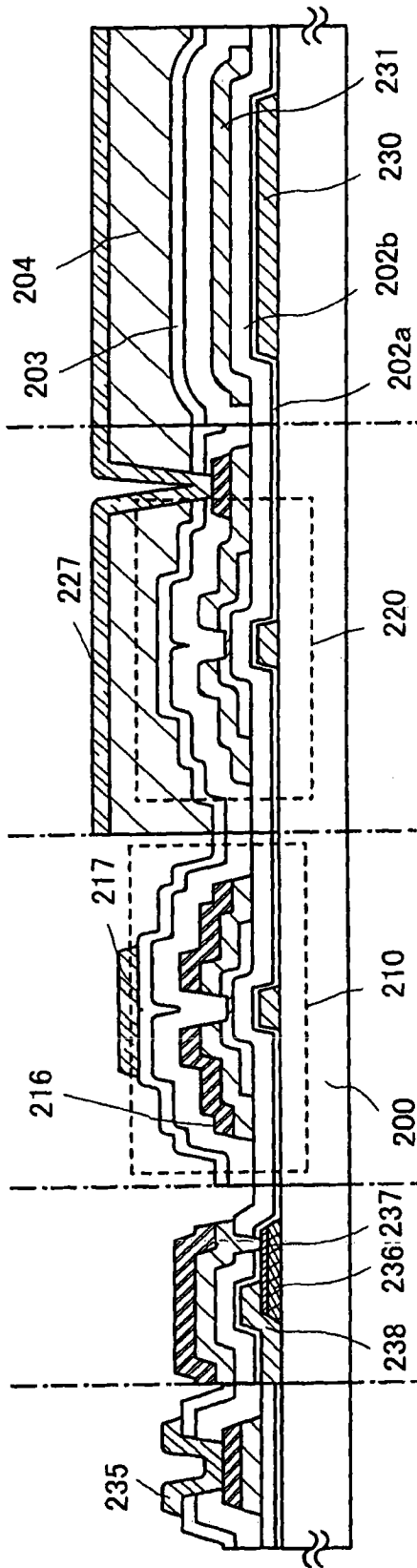


图 8A

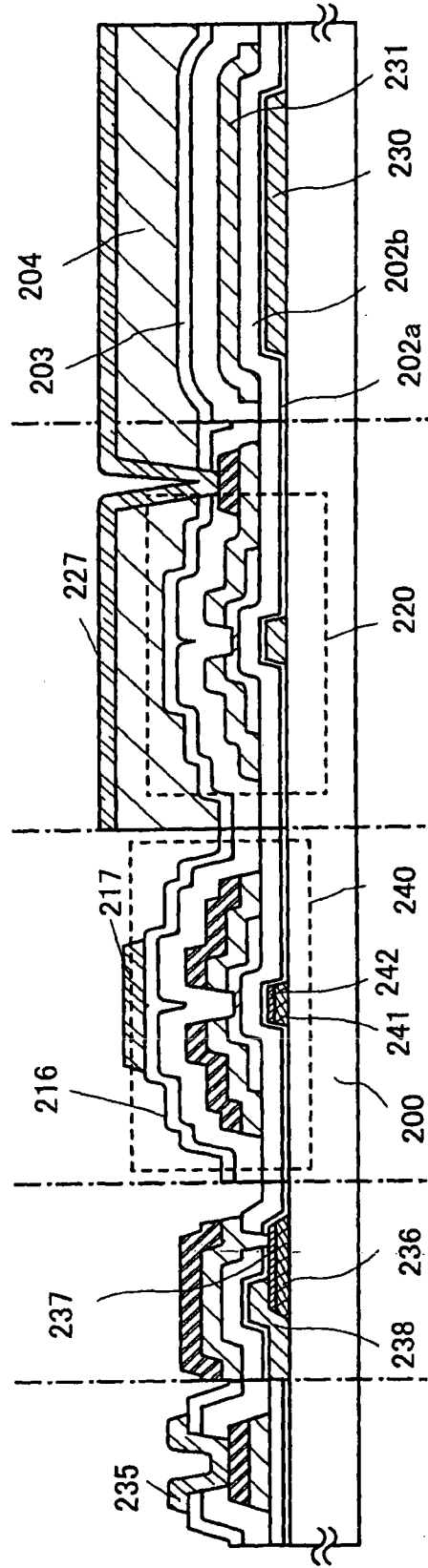


图 8B

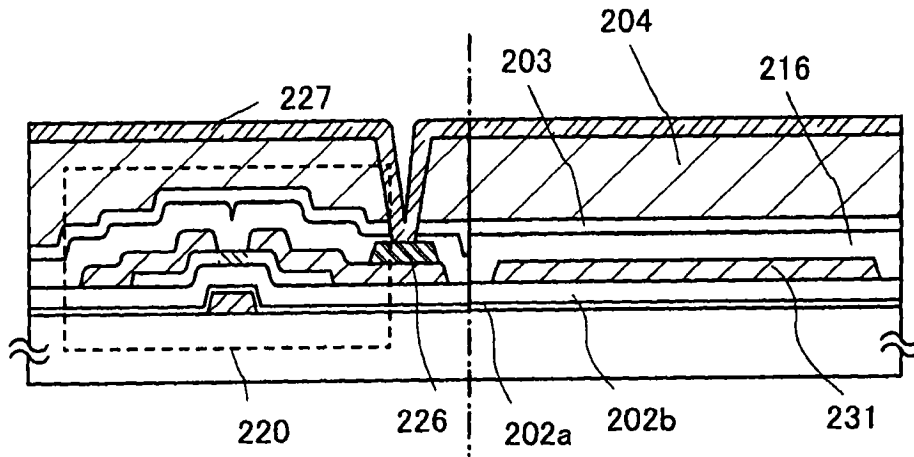


图 9A

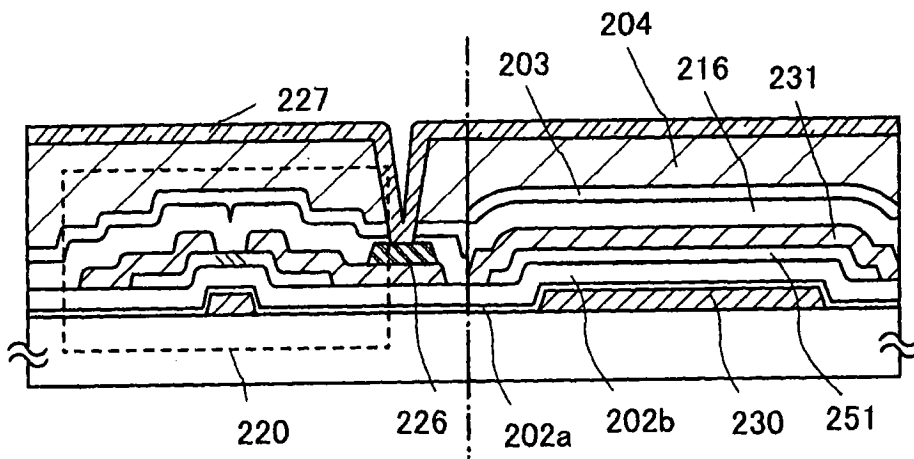


图 9B

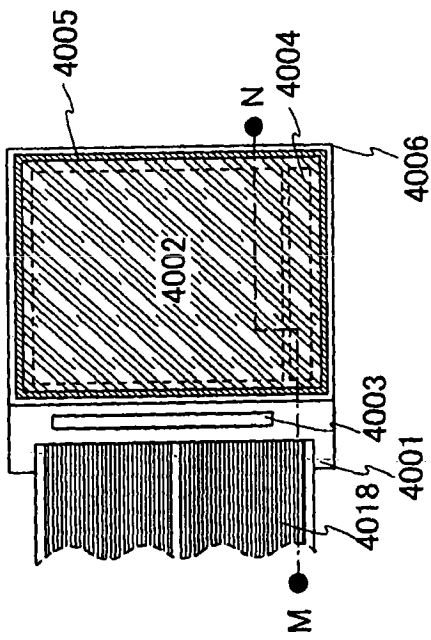


图 10A1

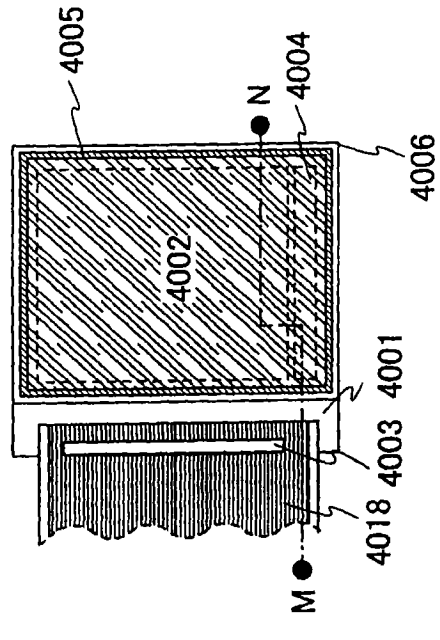


图 10A2

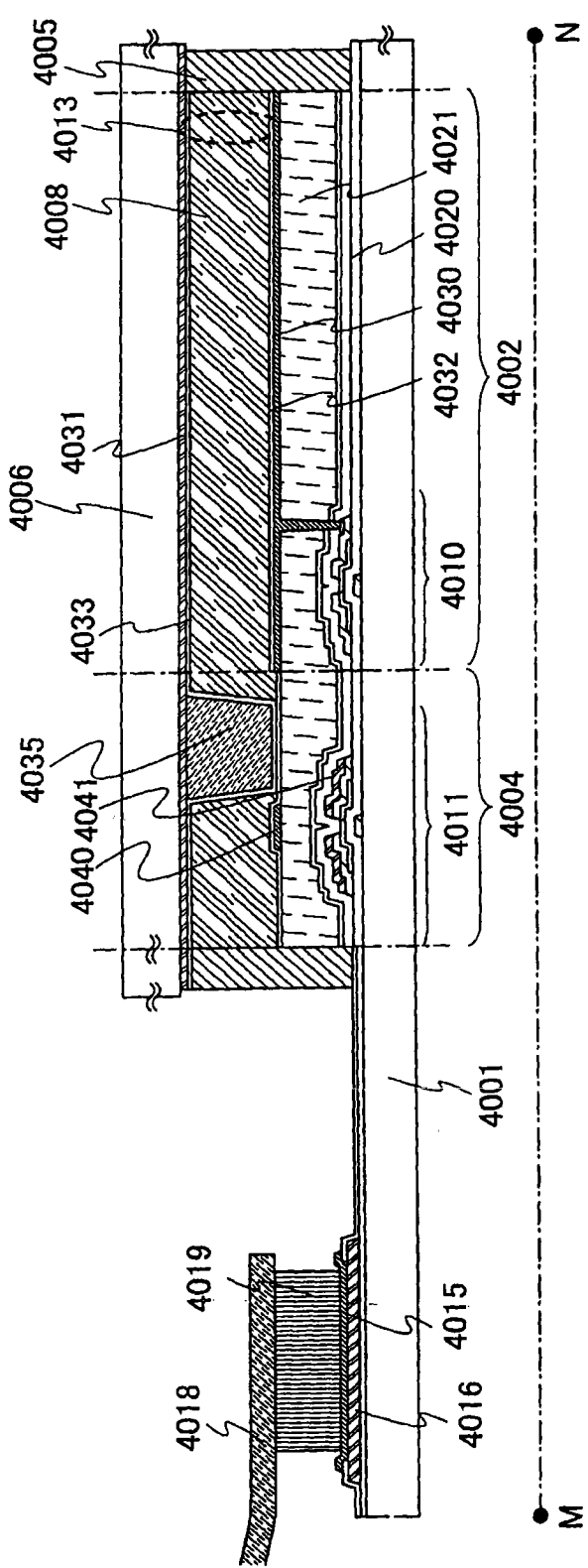


图 10B

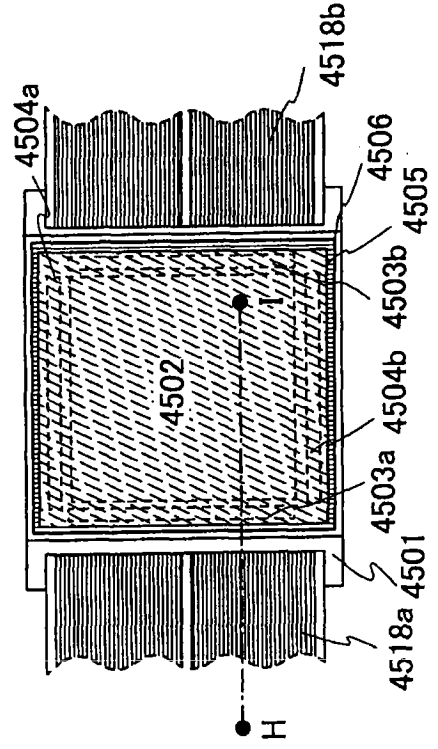


图 11A

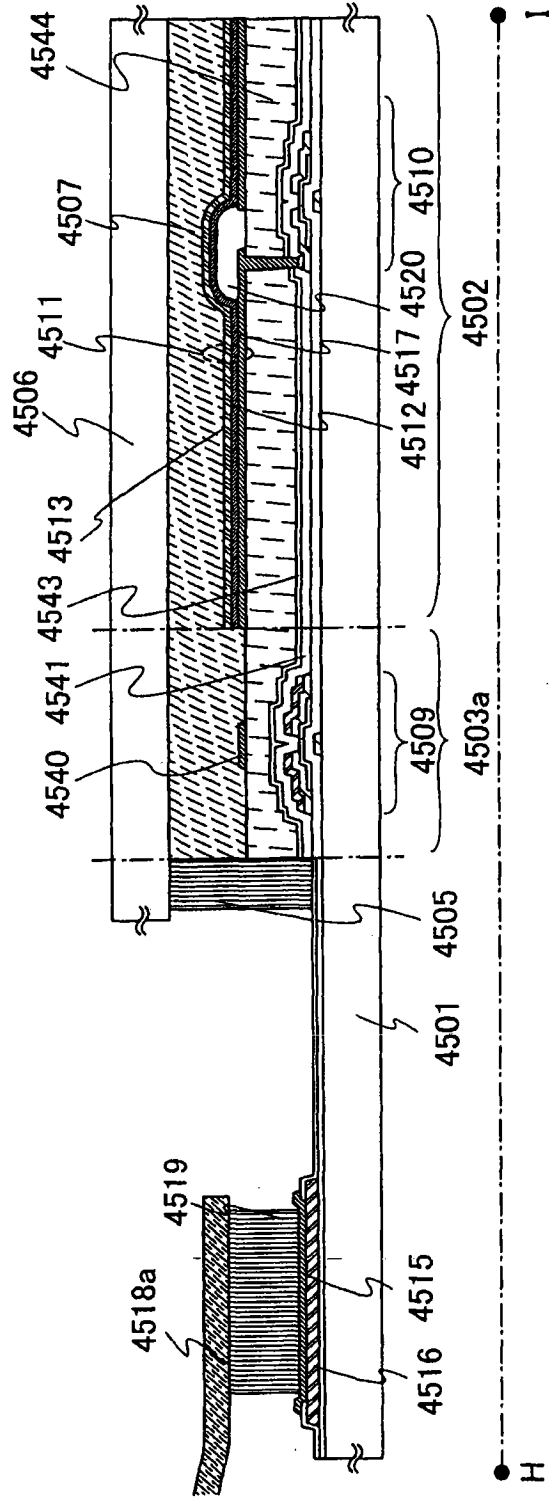


图 11B

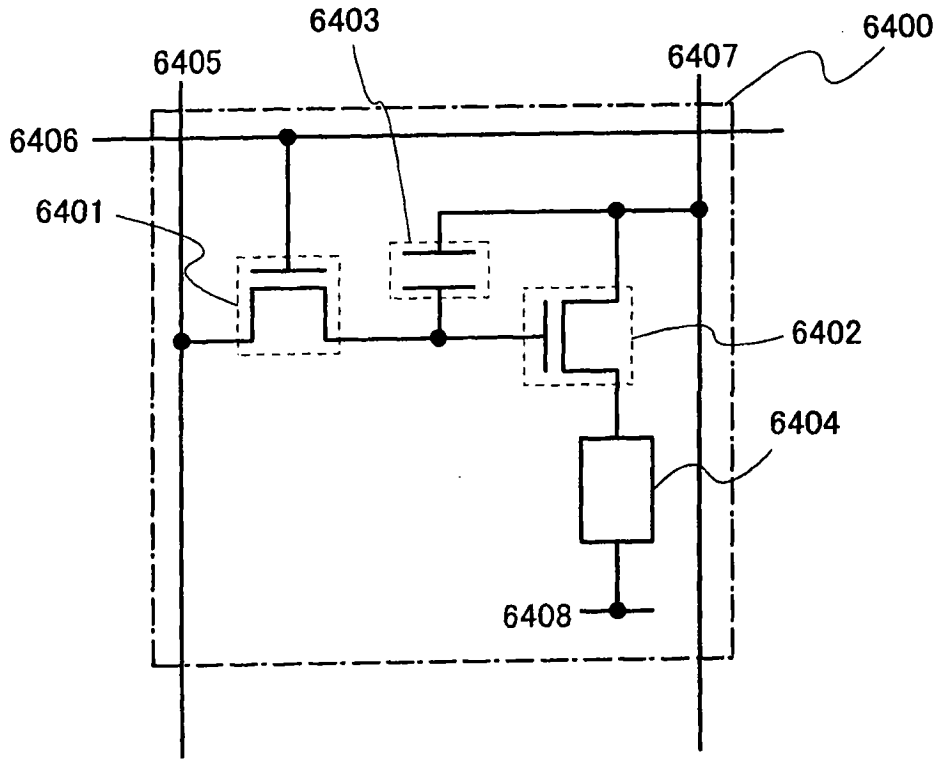


图 12

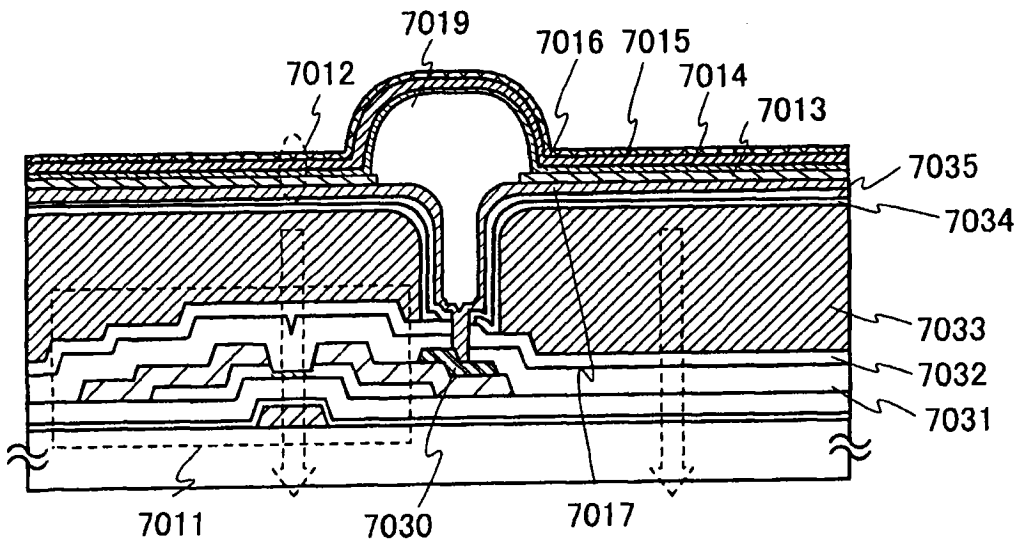


图 13A

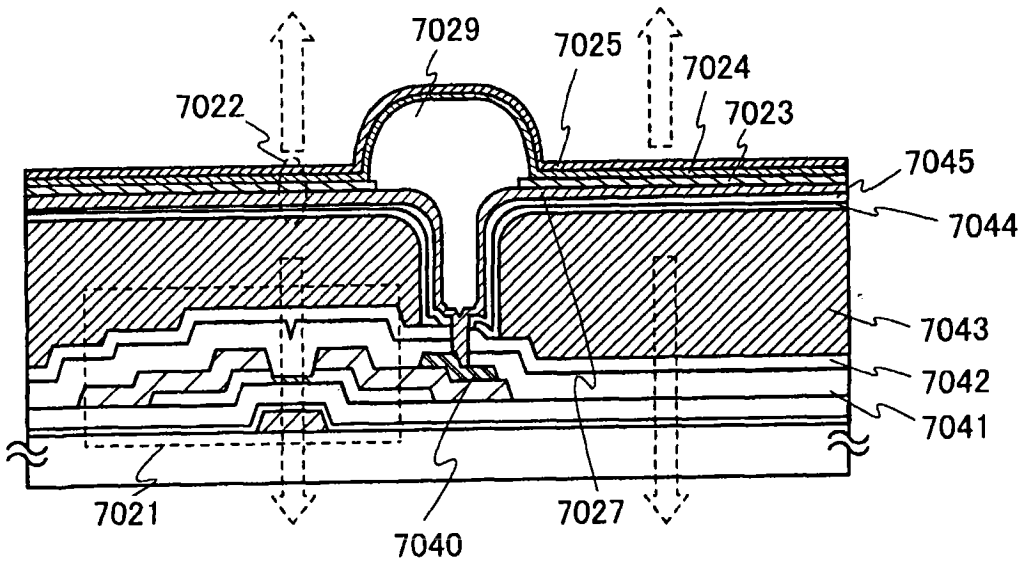


图 13B

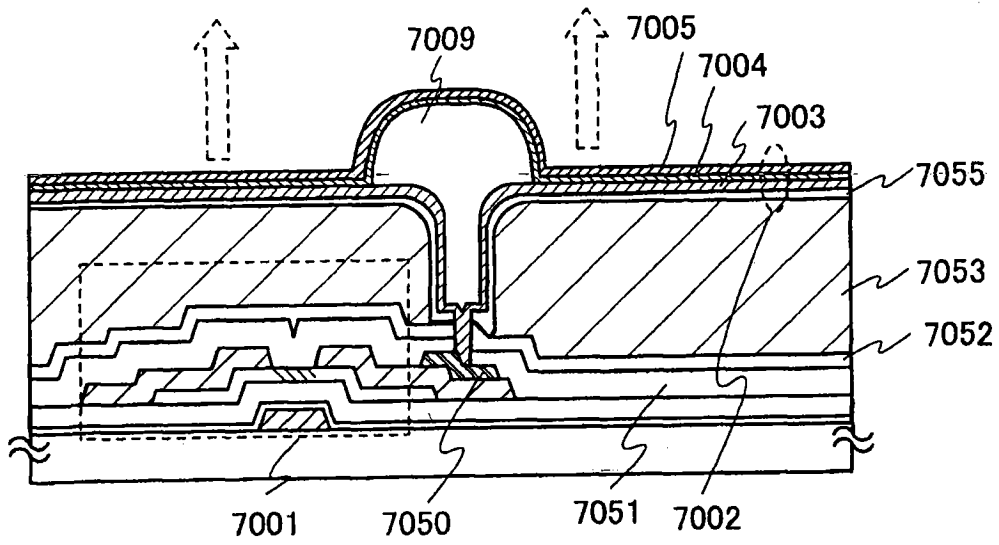


图 13C

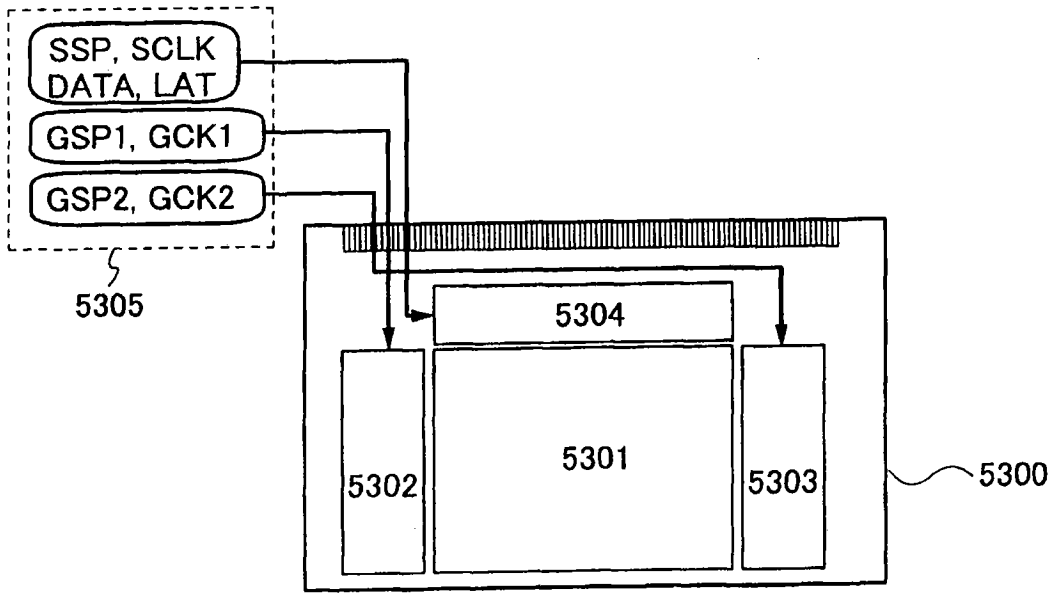


图 14A

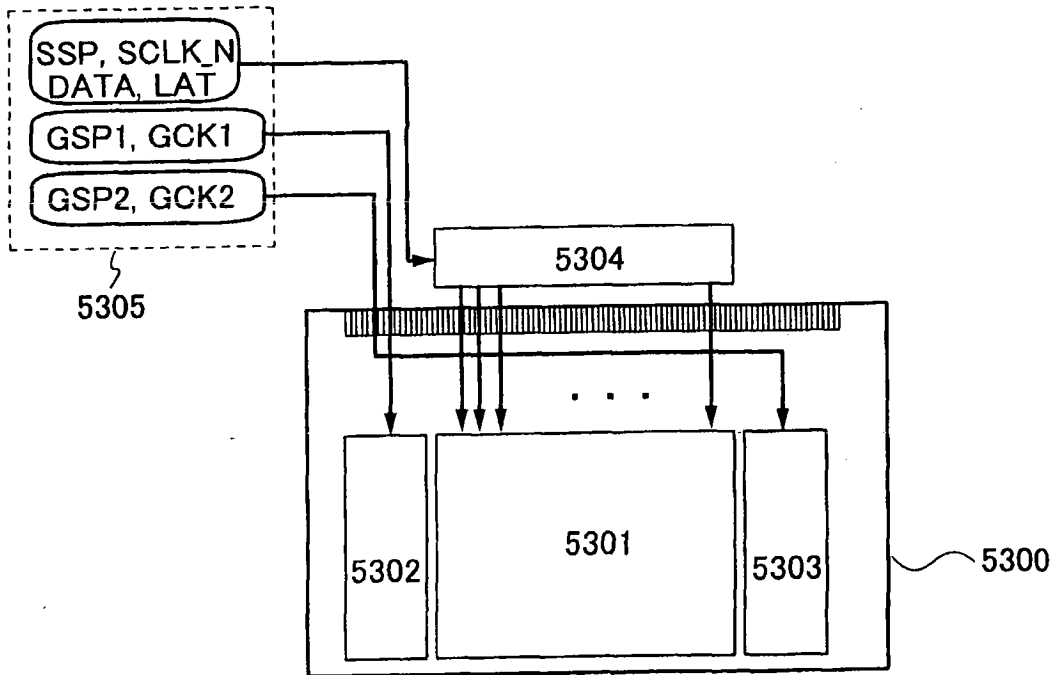


图 14B

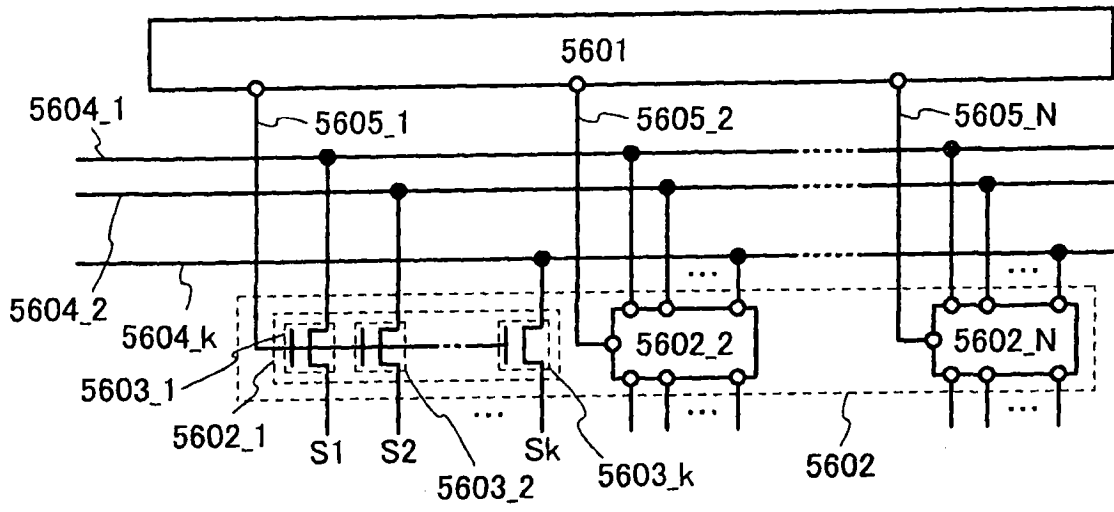


图 15A

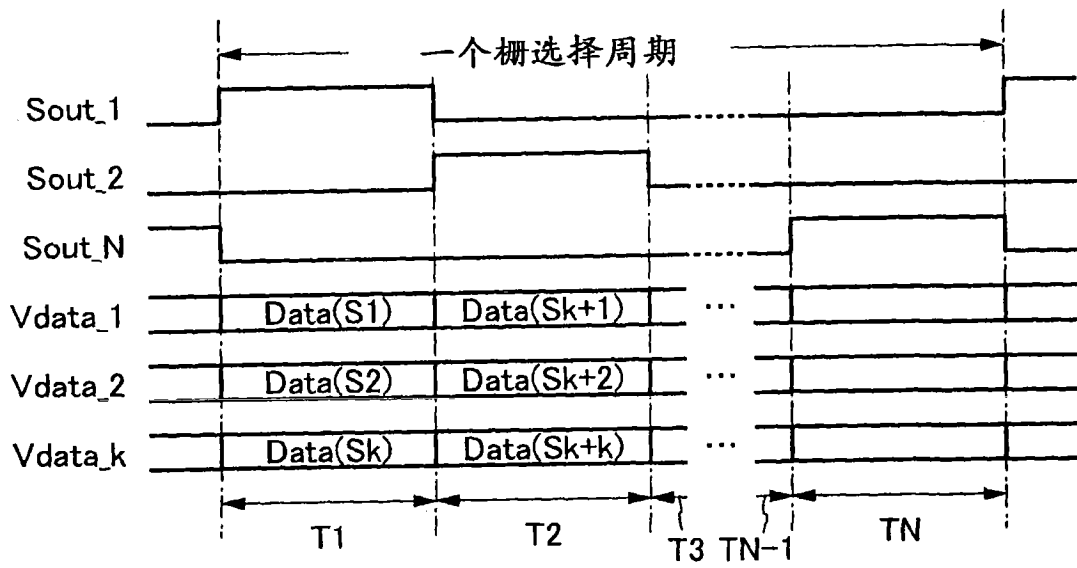


图 15B

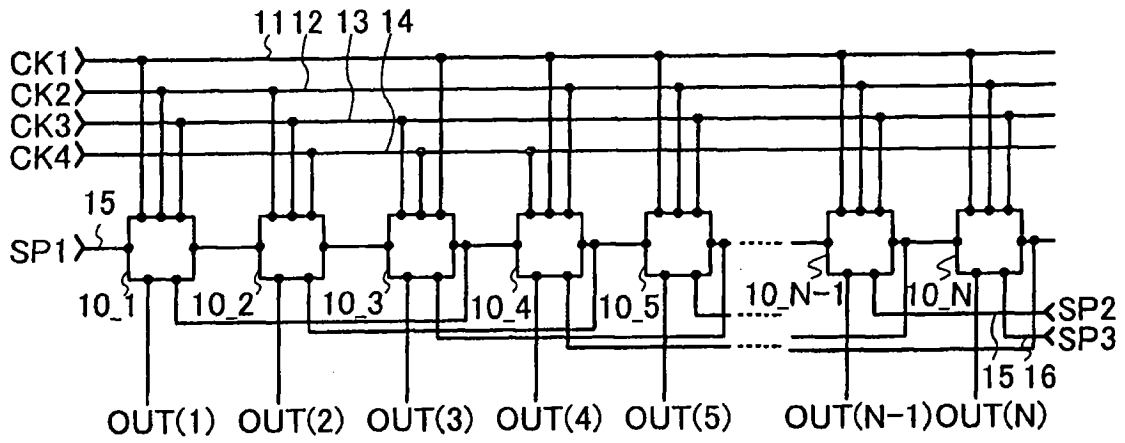


图 16A

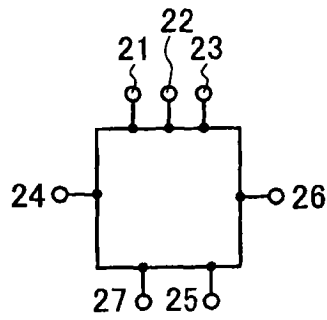


图 16B

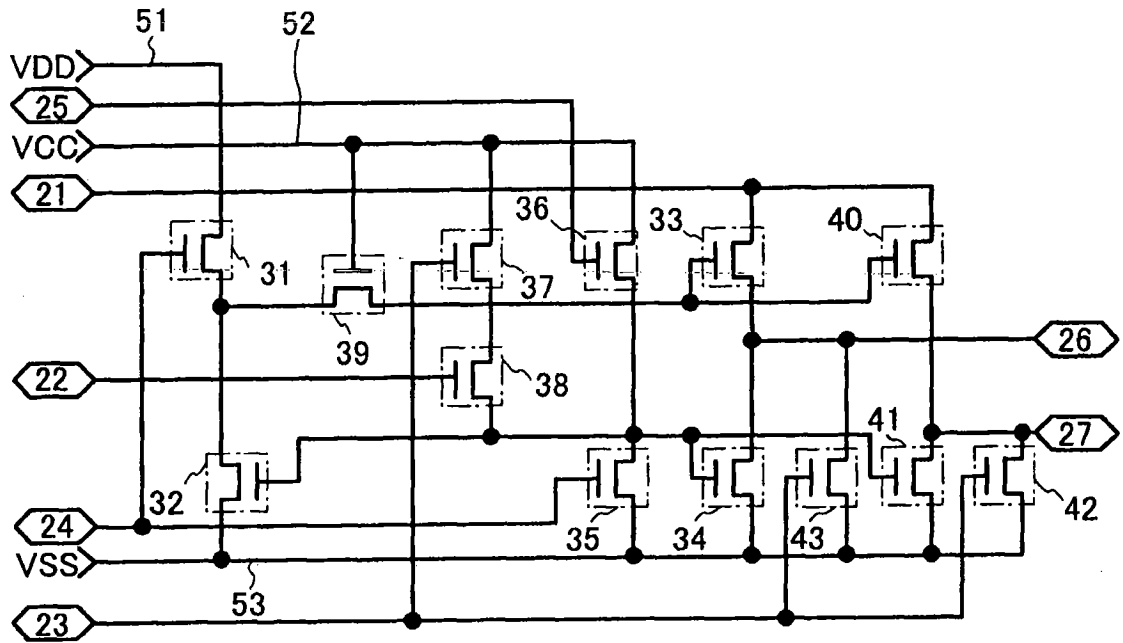


图 16C

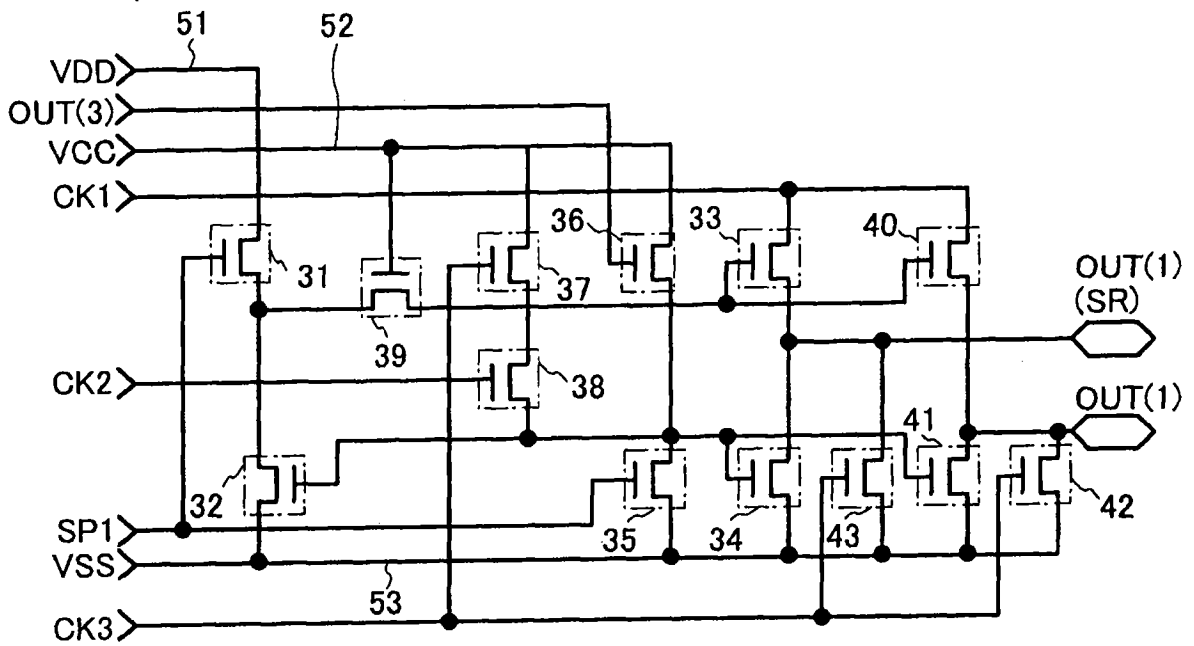


图 17A

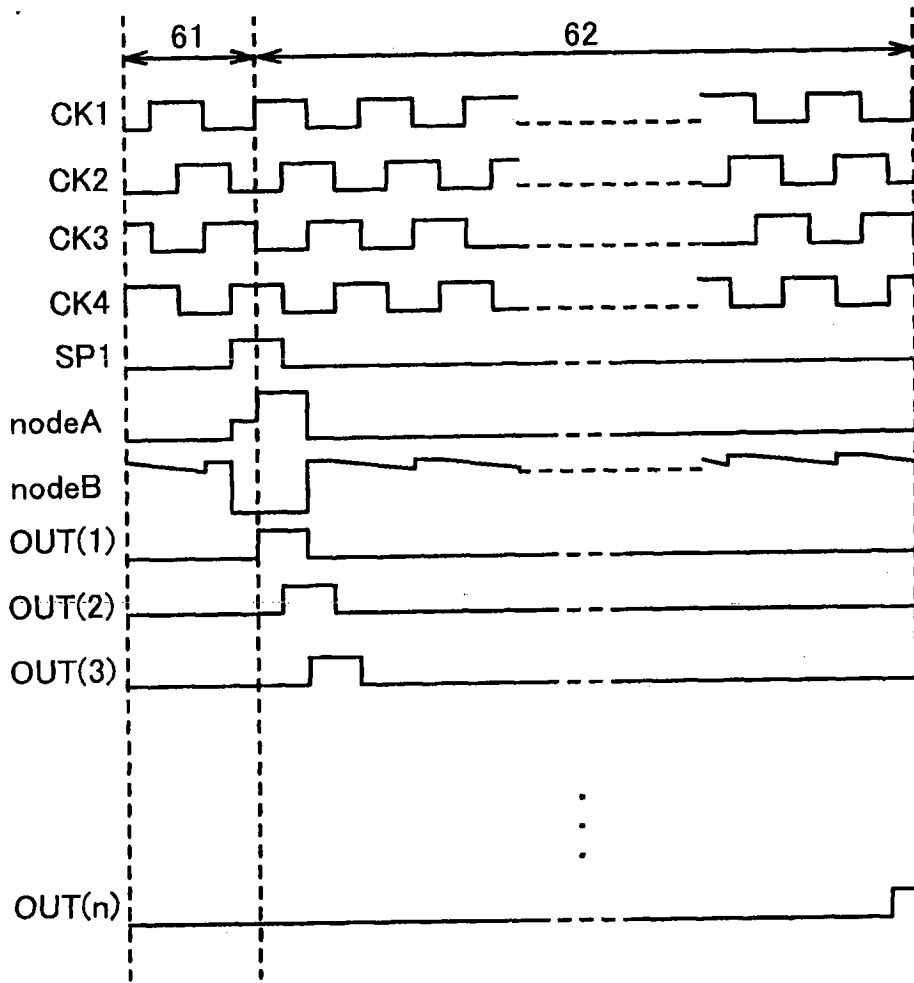


图 17B

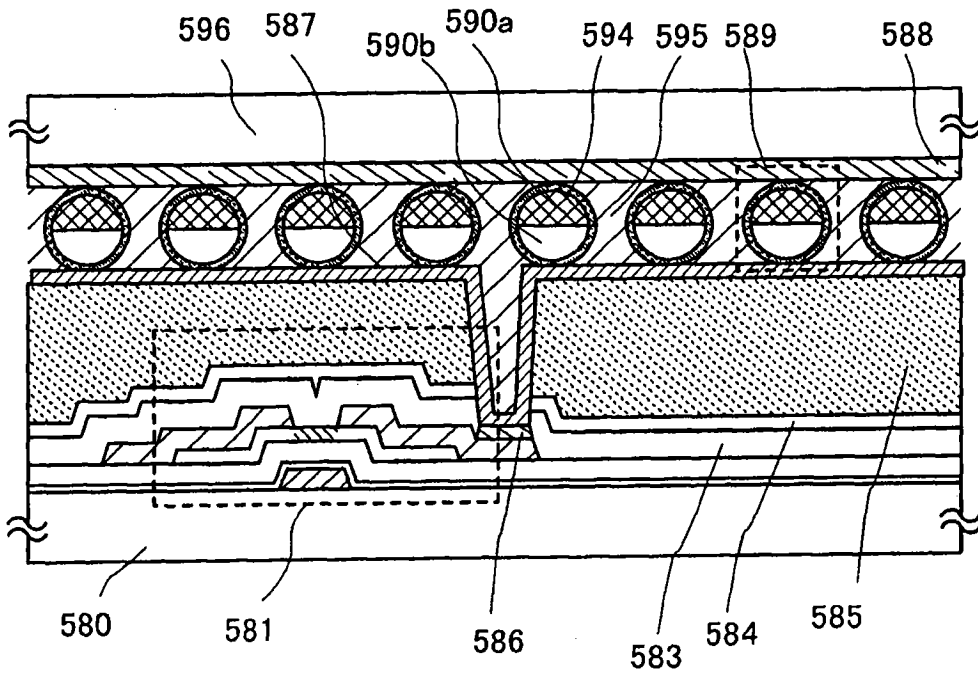


图 18

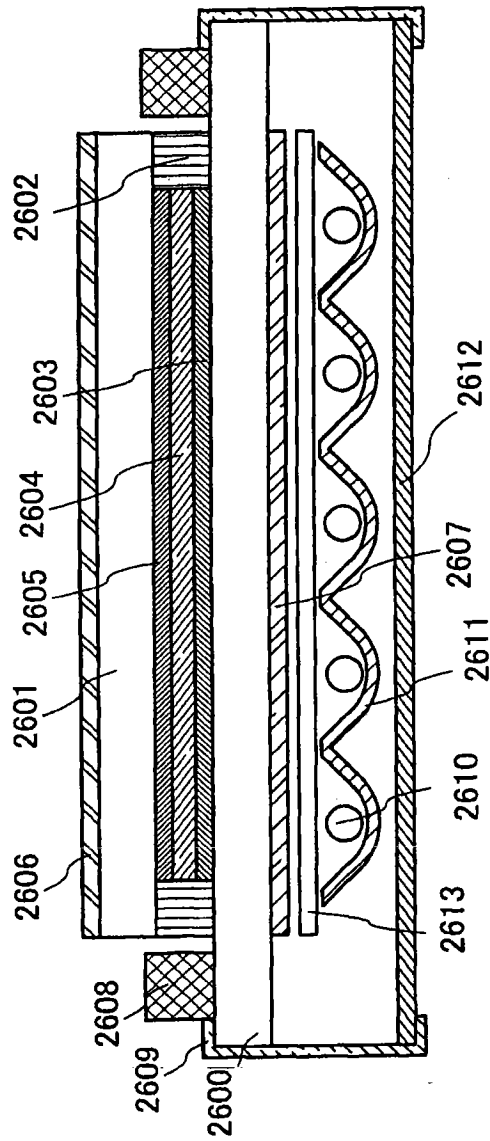


图 19

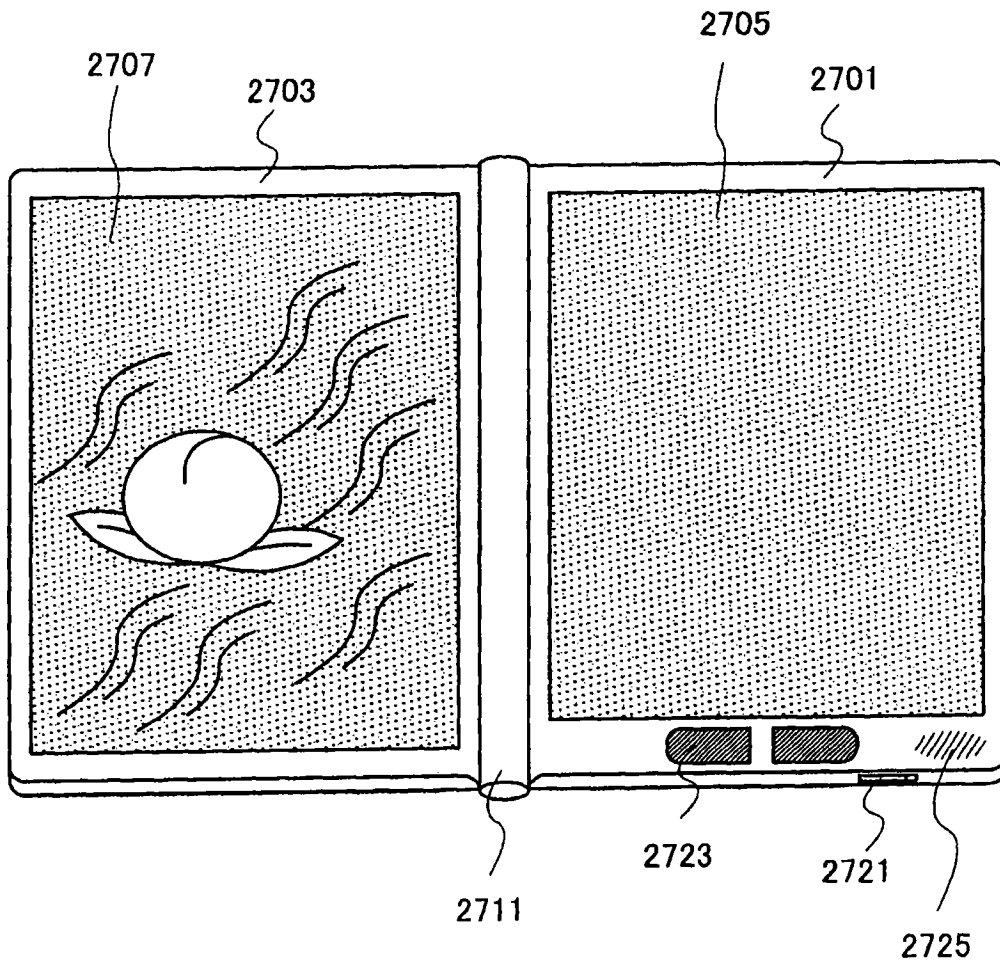


图 20

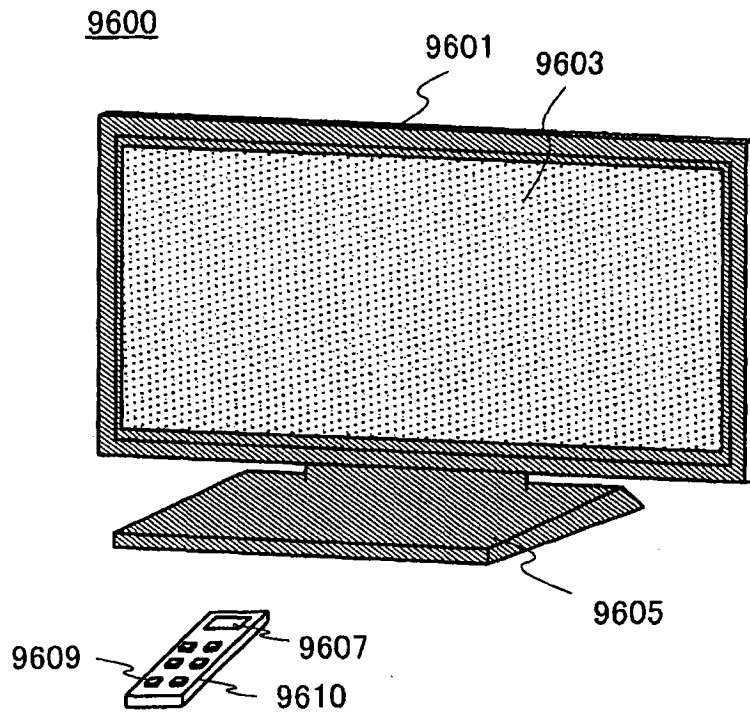


图 21A

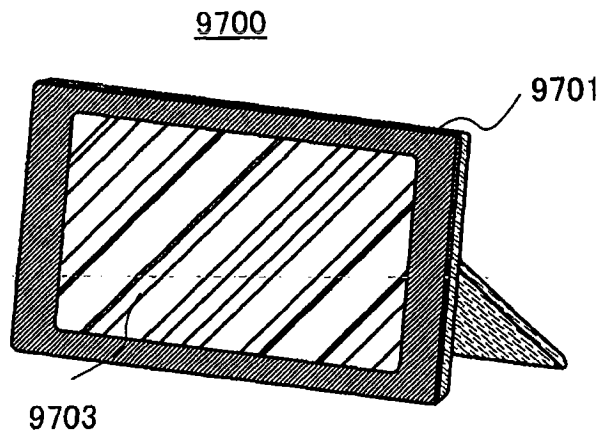


图 21B

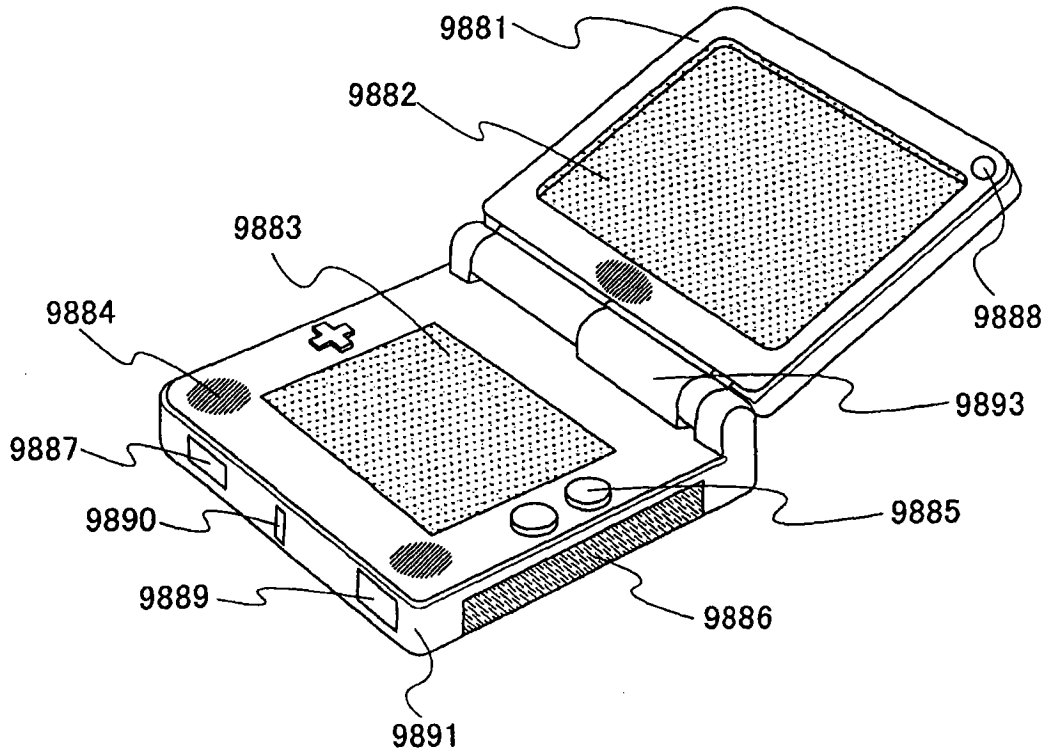


图 22A

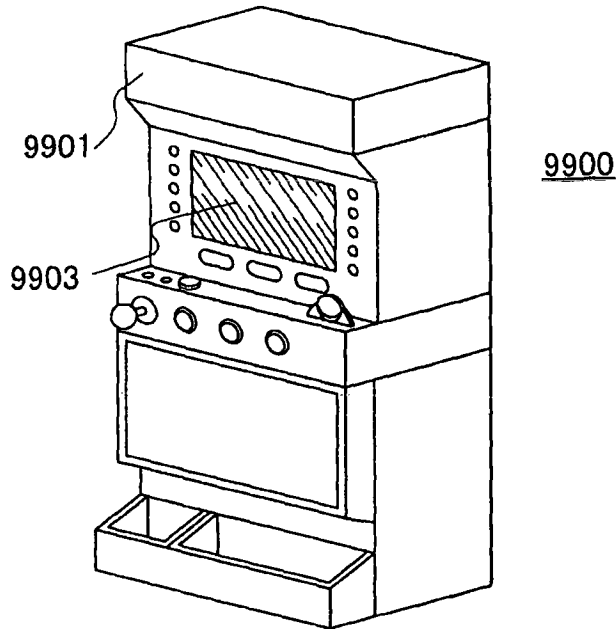


图 22B

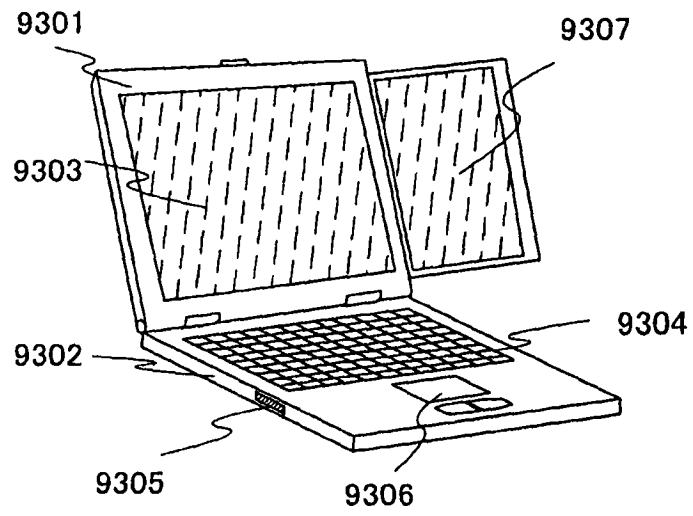


图 23A

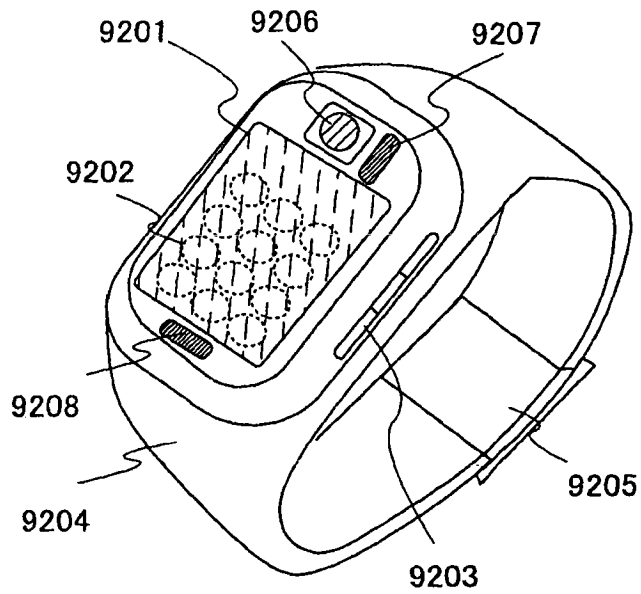


图 23B

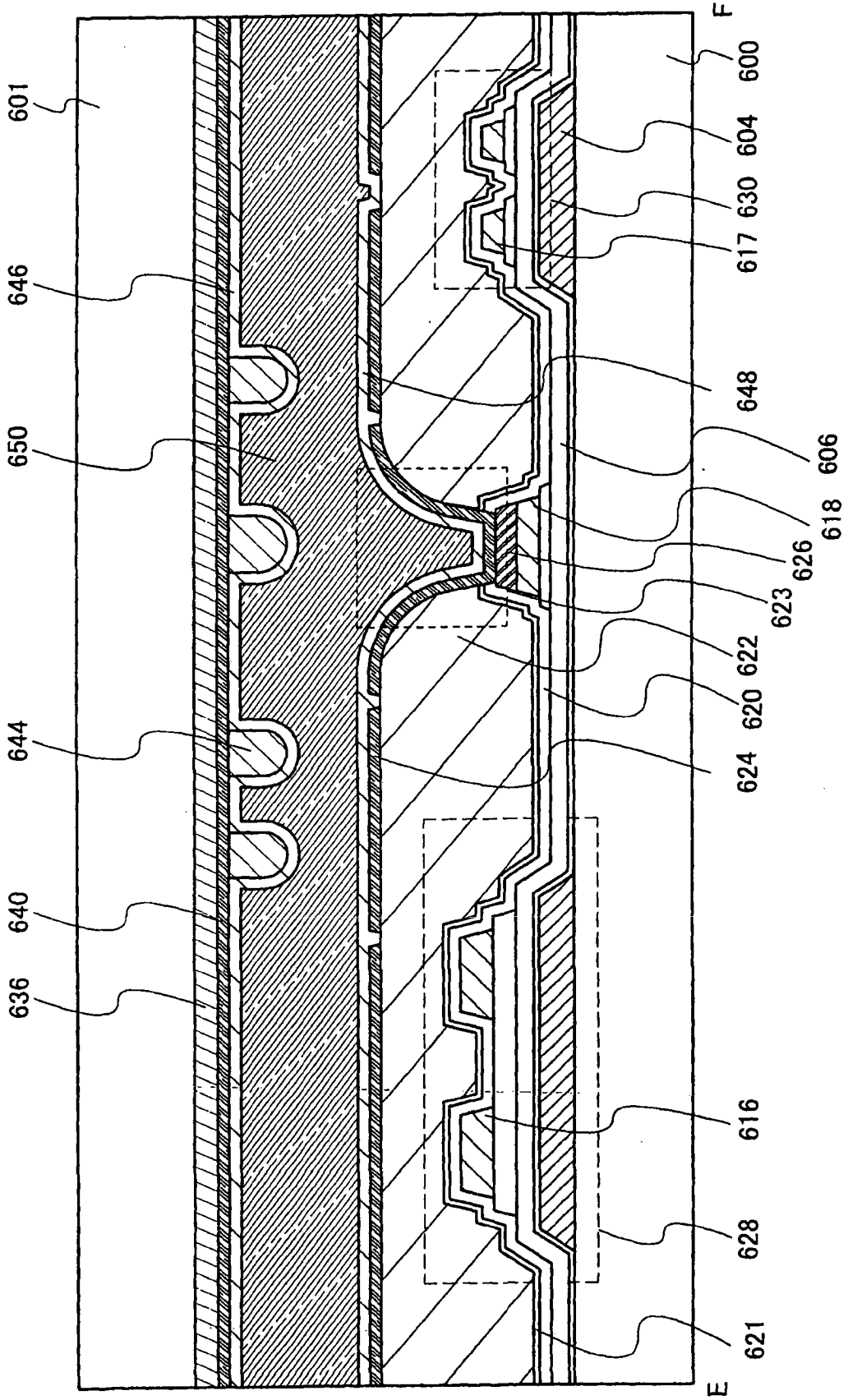


图 24

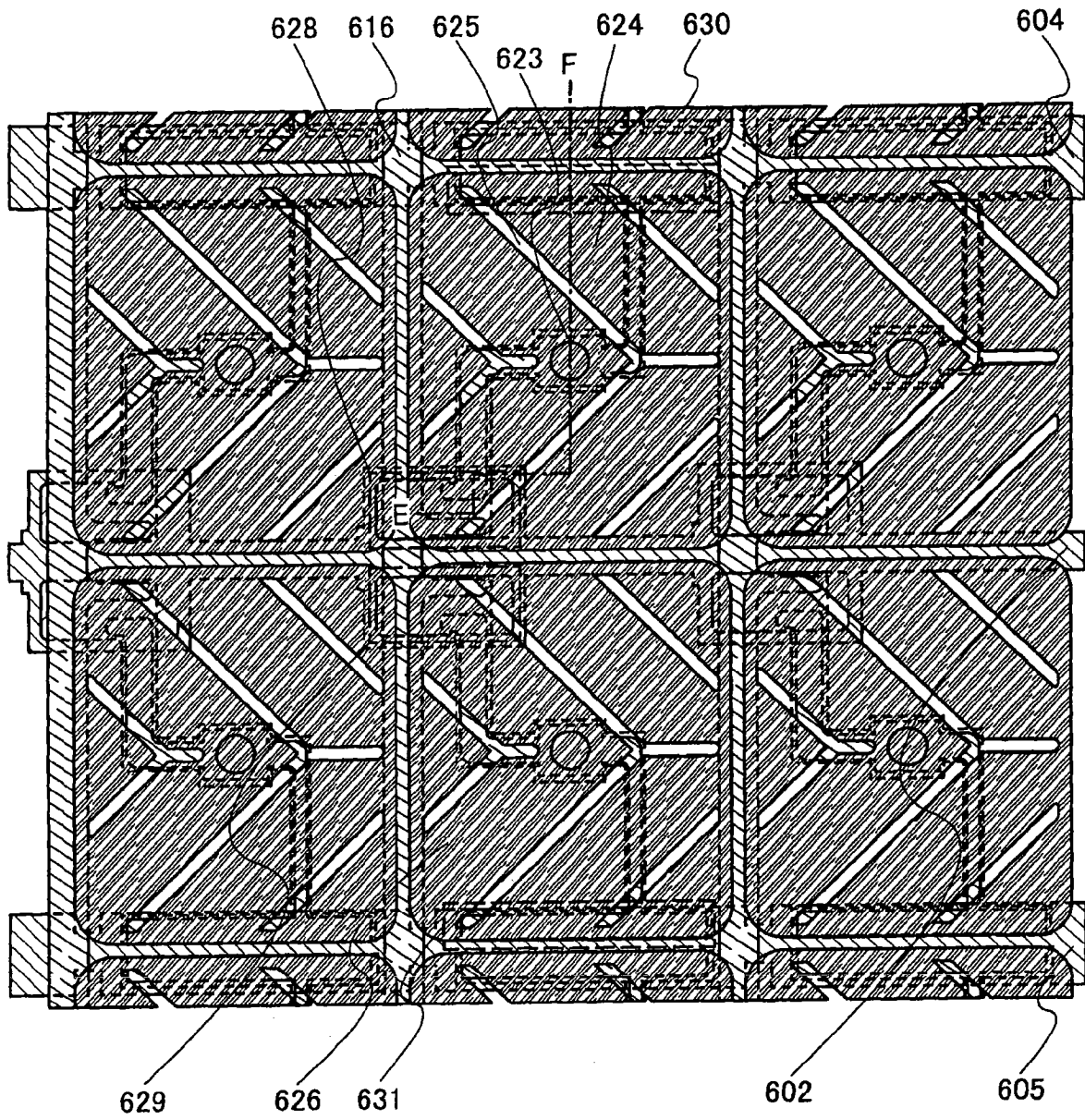


图 25

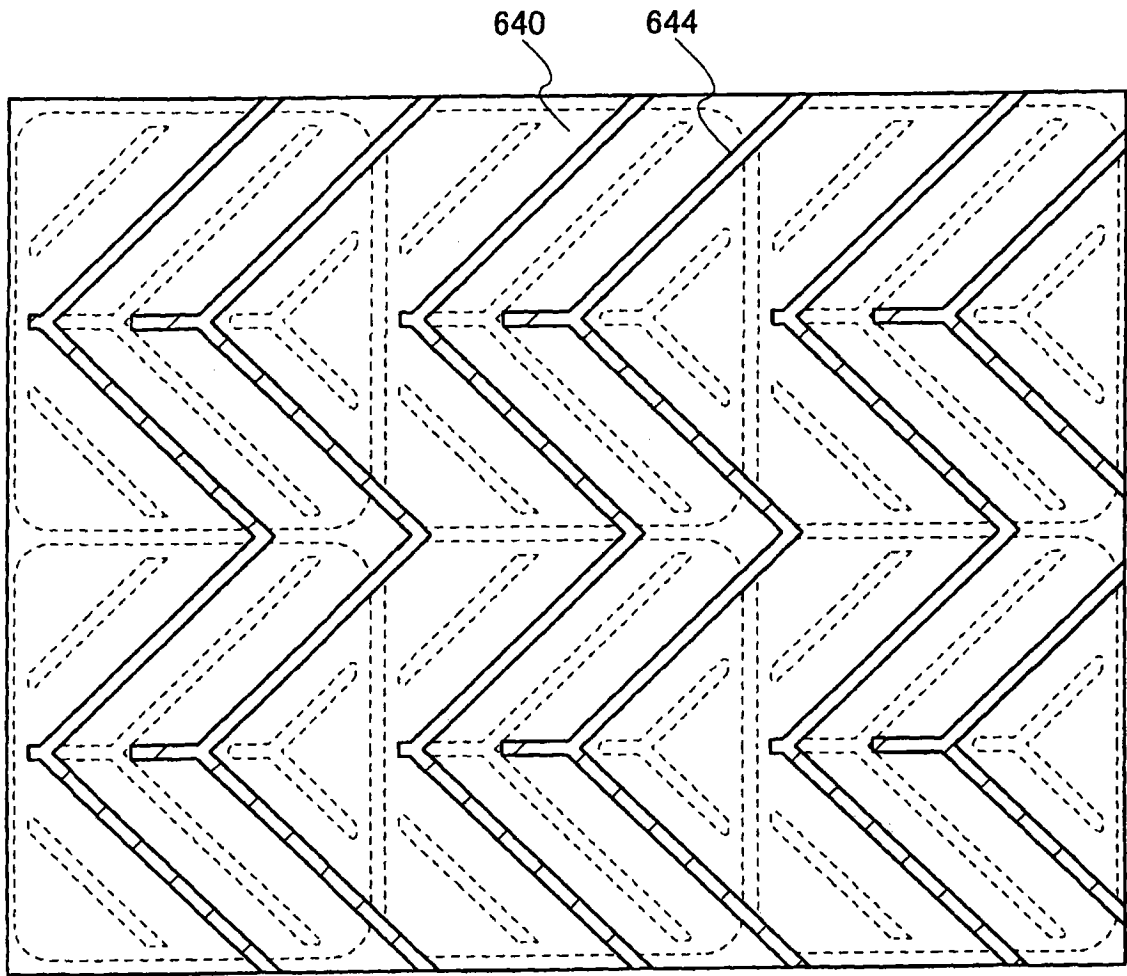


图 26

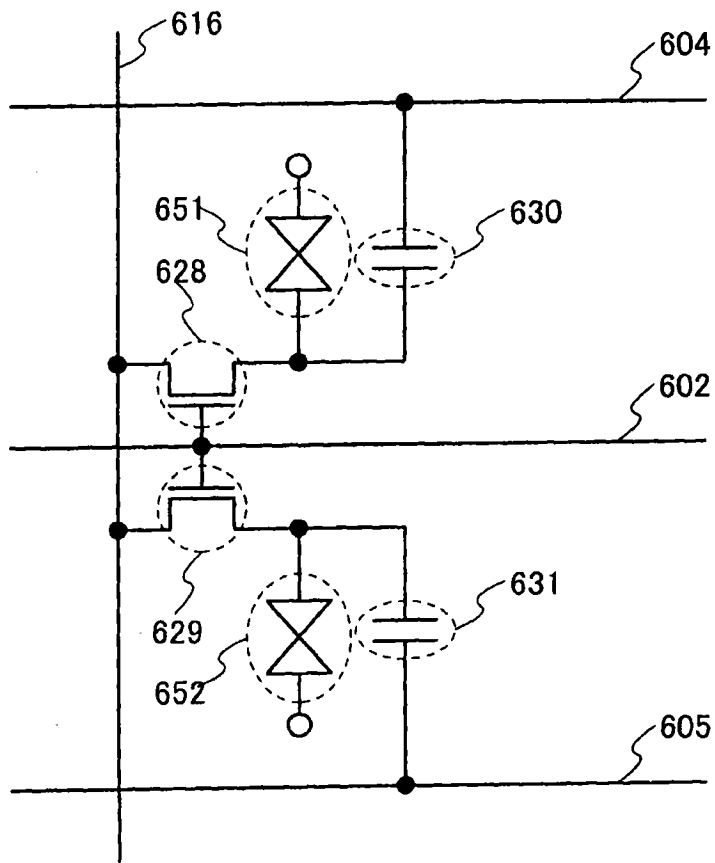


图 27

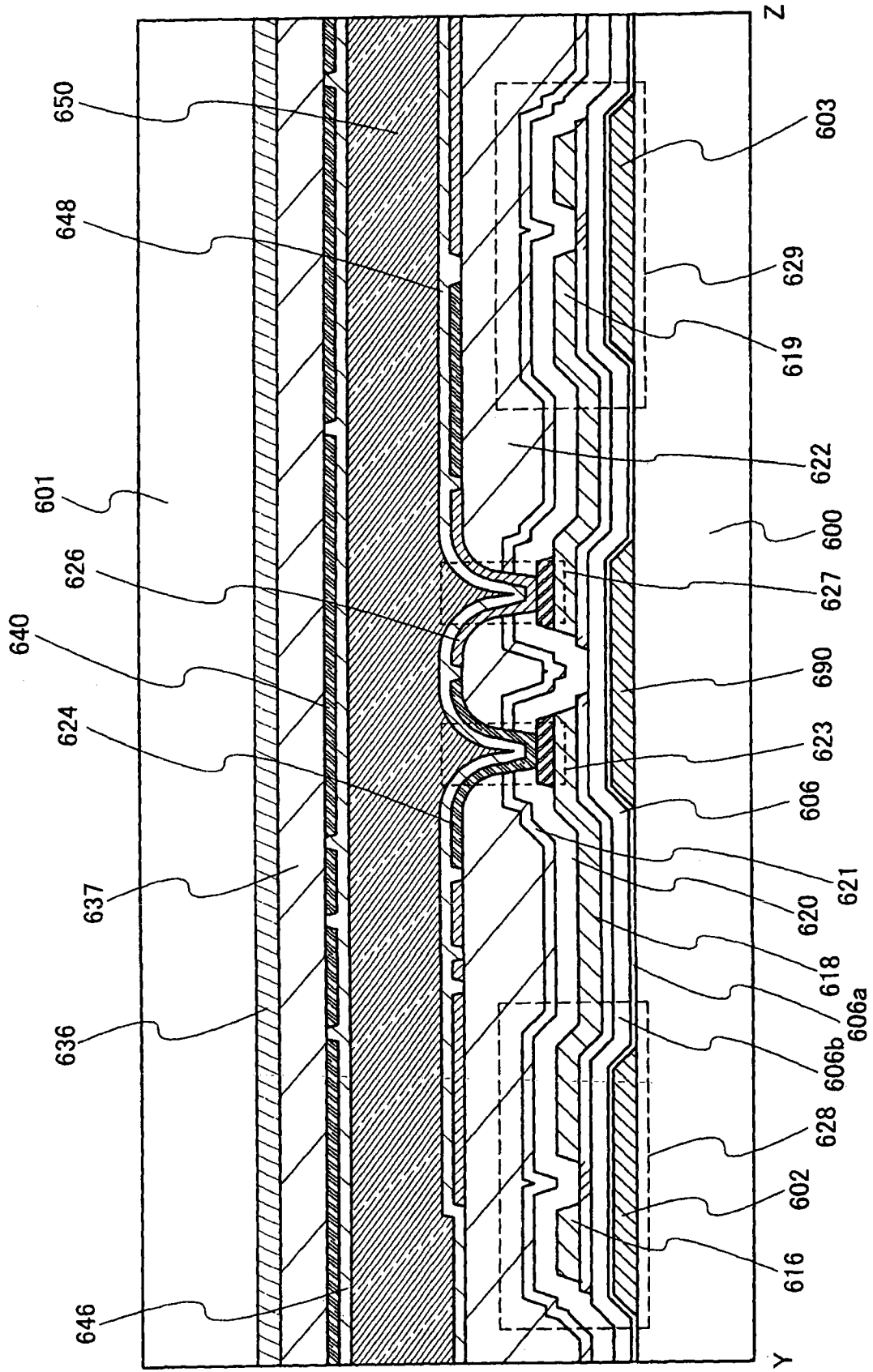


图 28

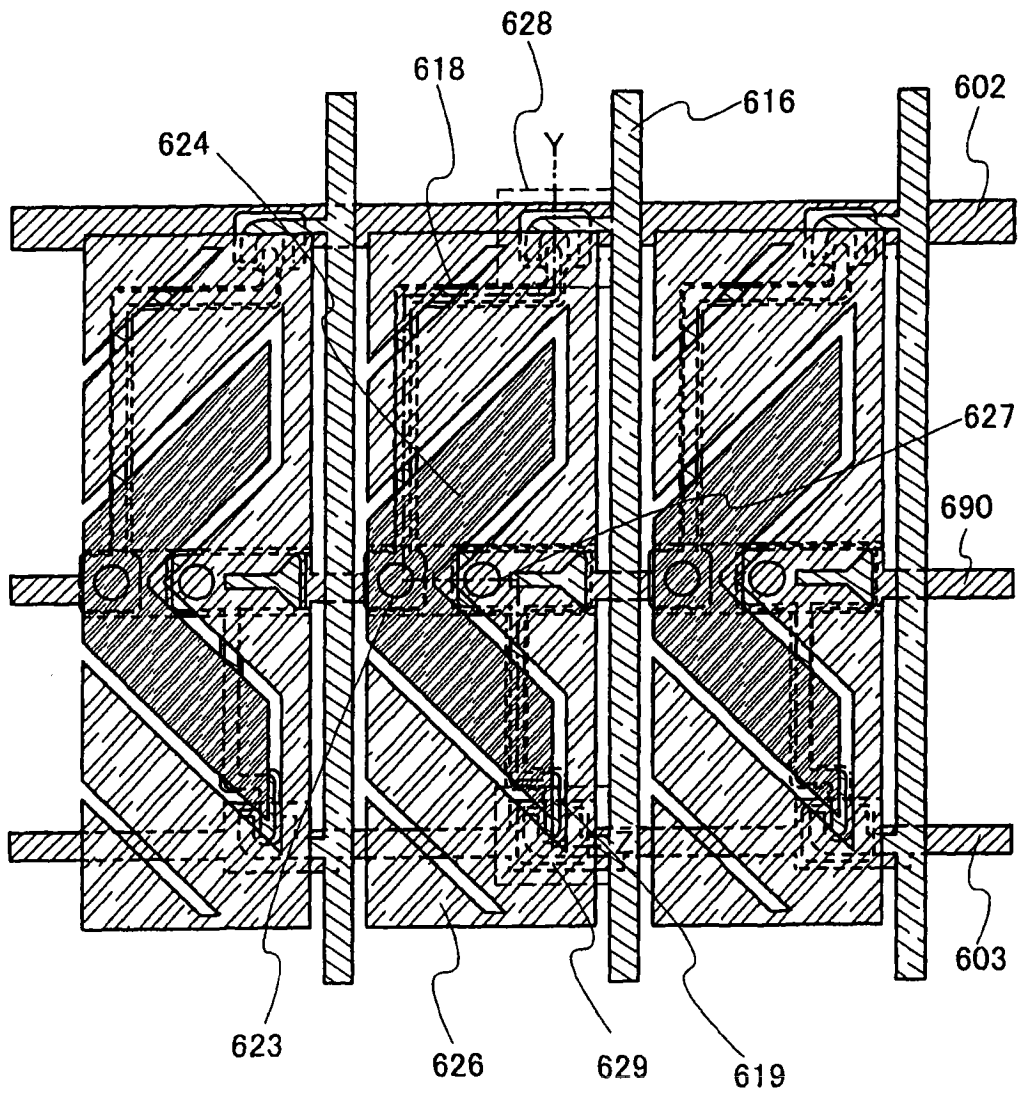


图 29

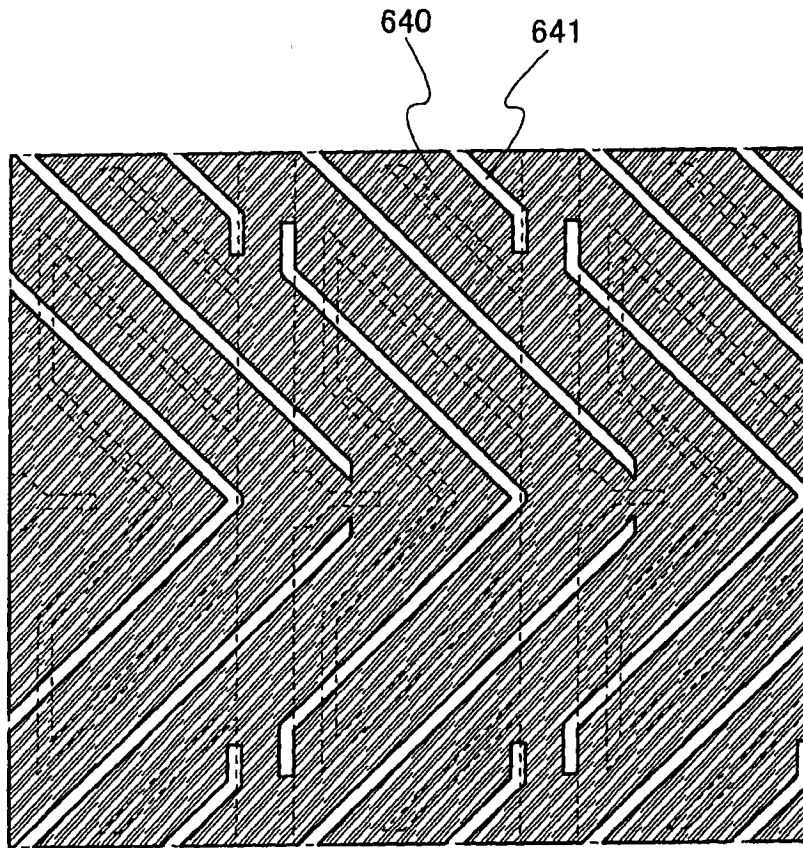


图 30

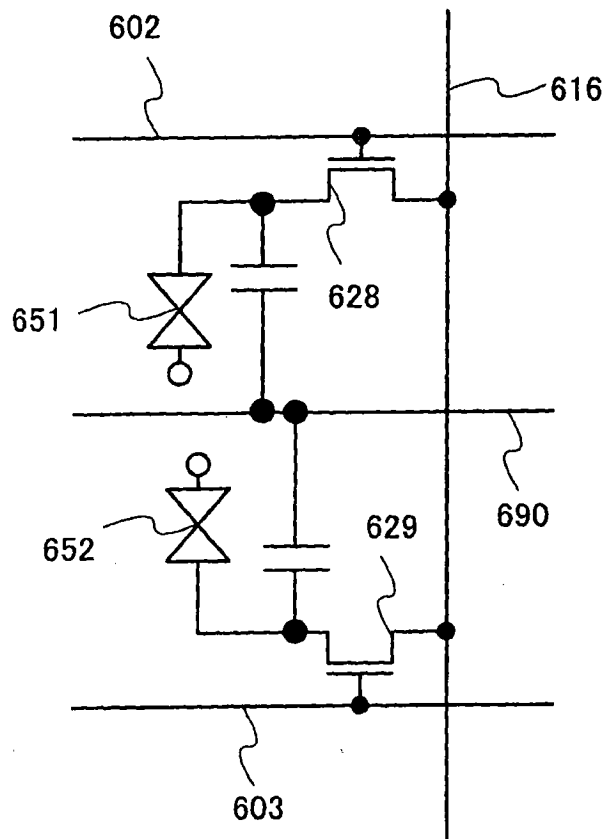


图 31

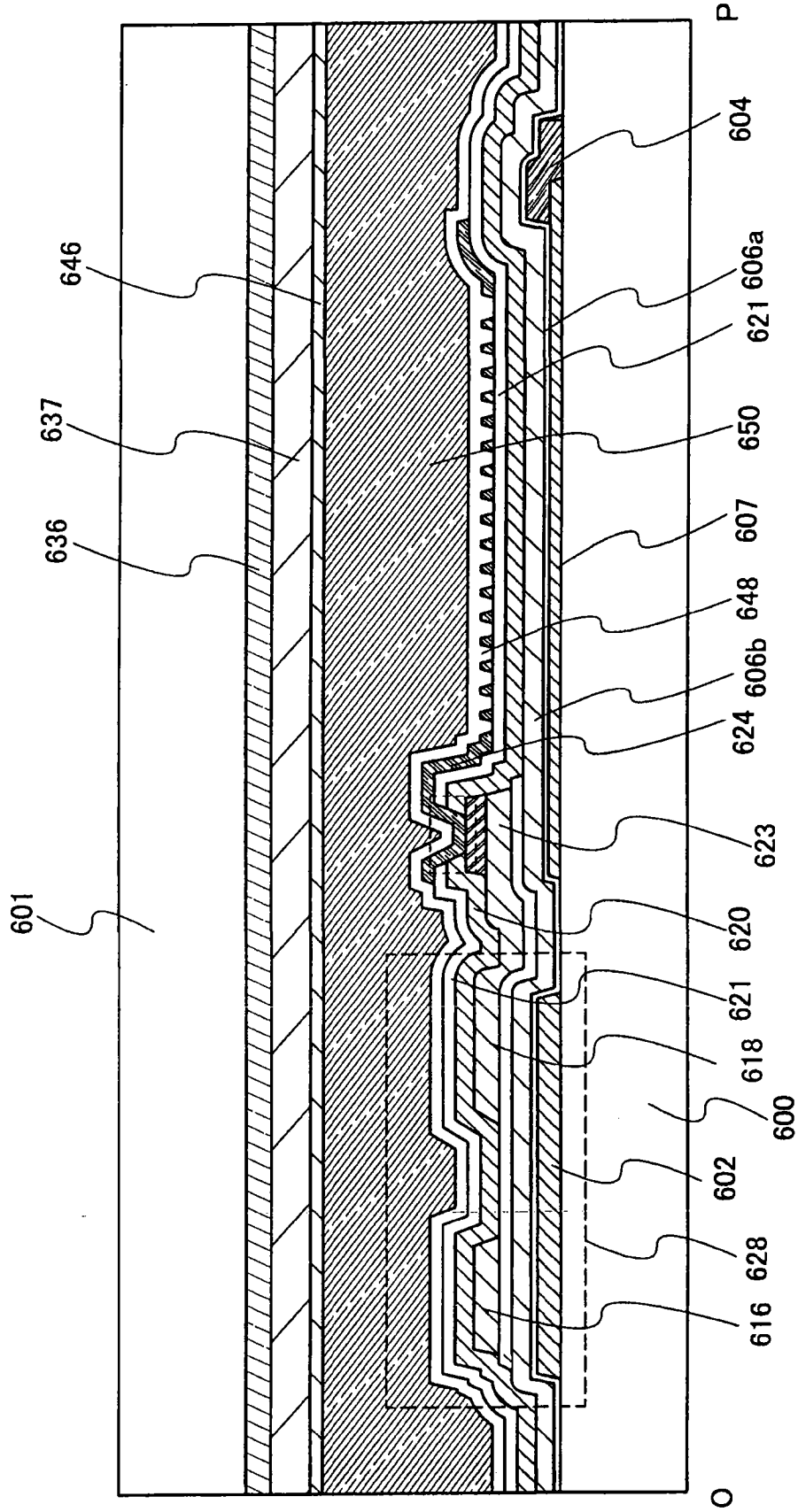


图 32

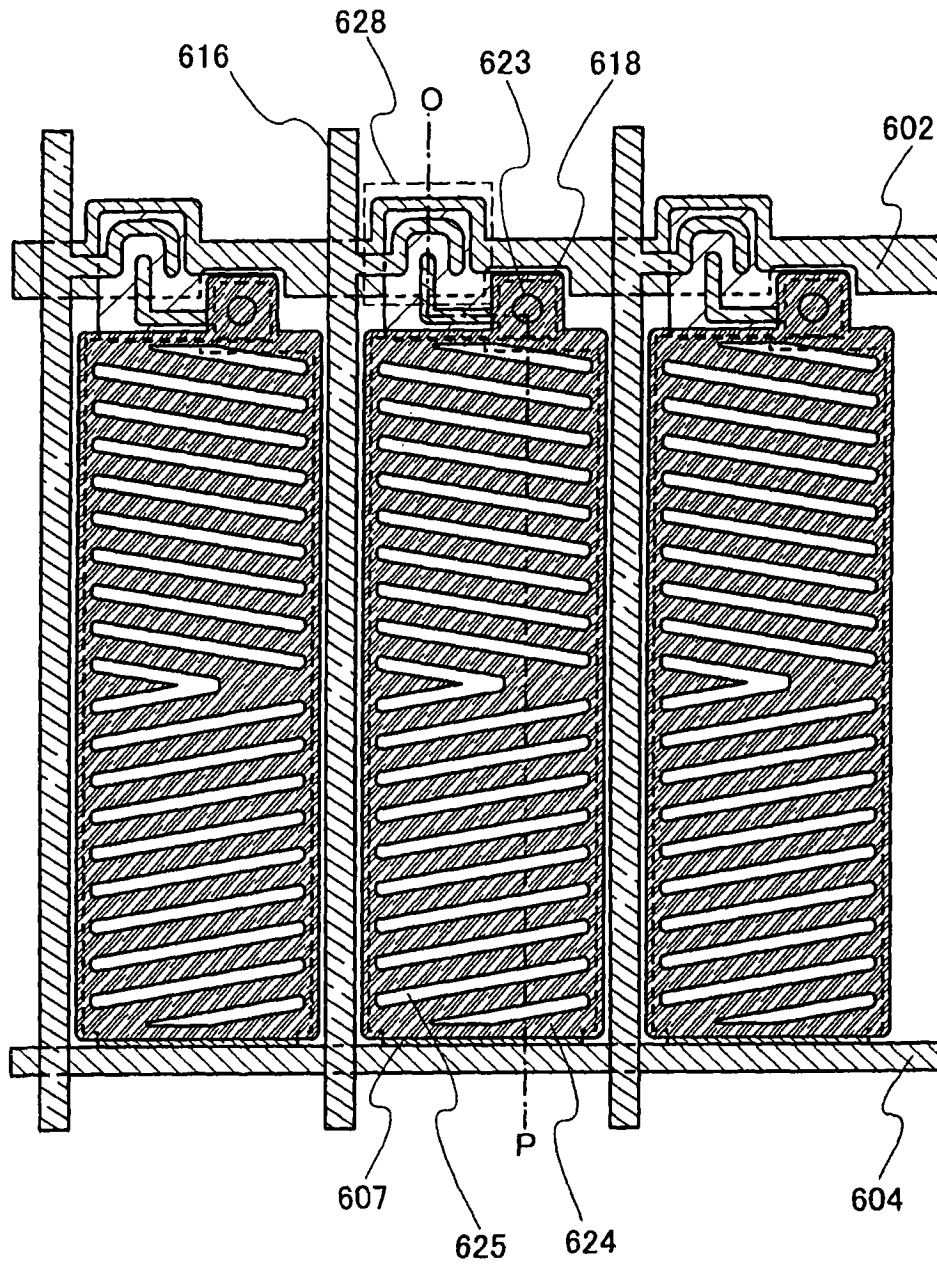


图 33

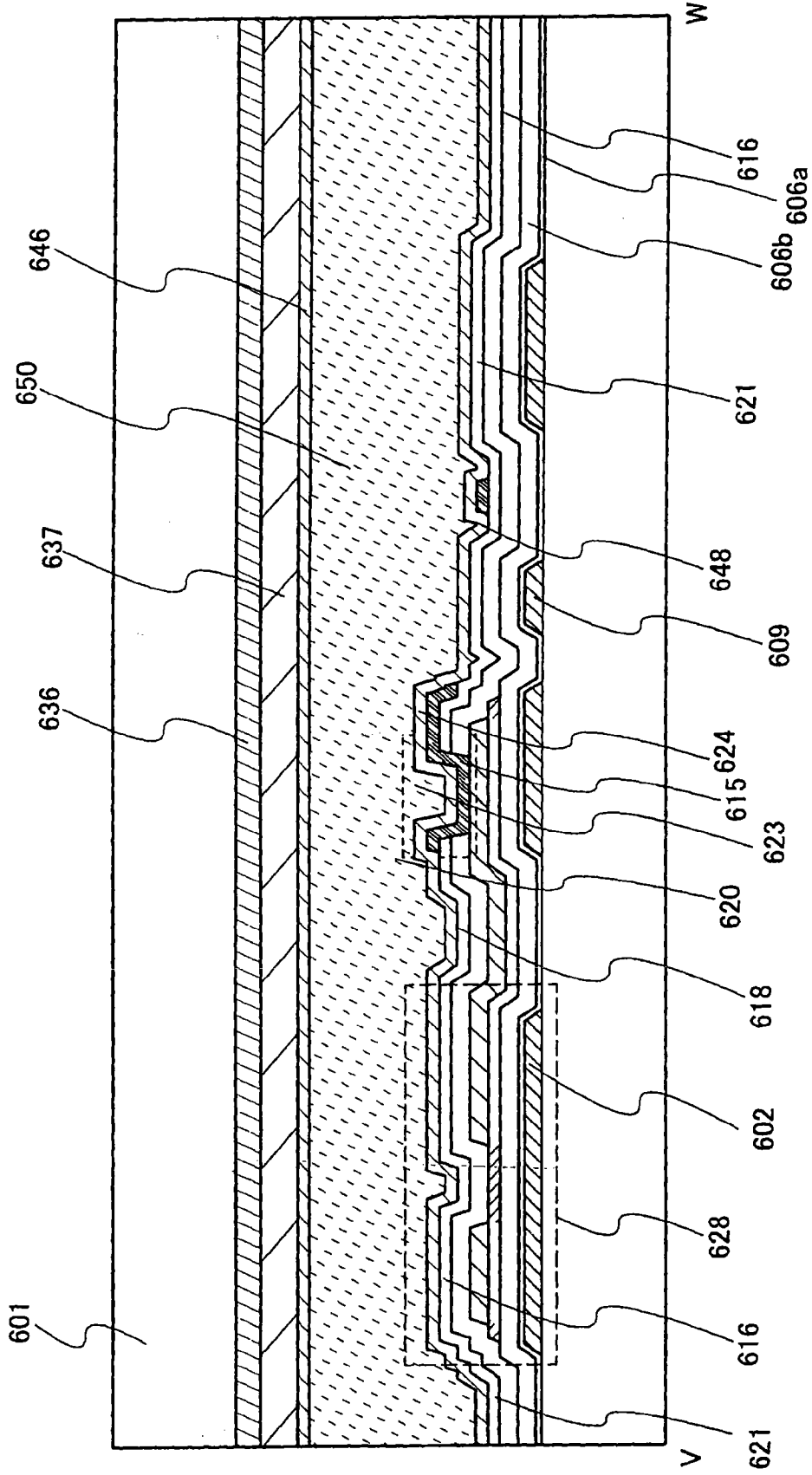


图 34

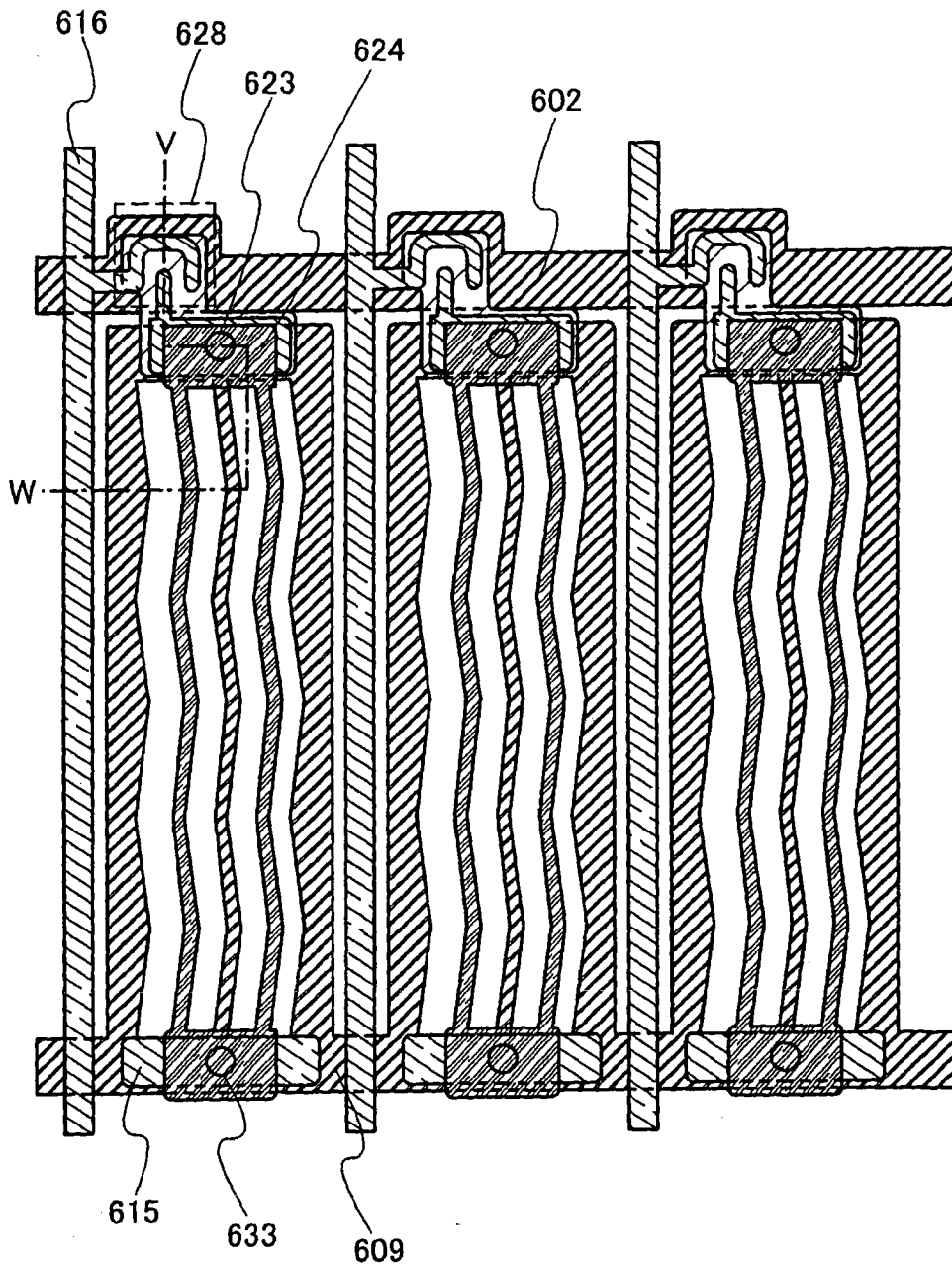


图 35

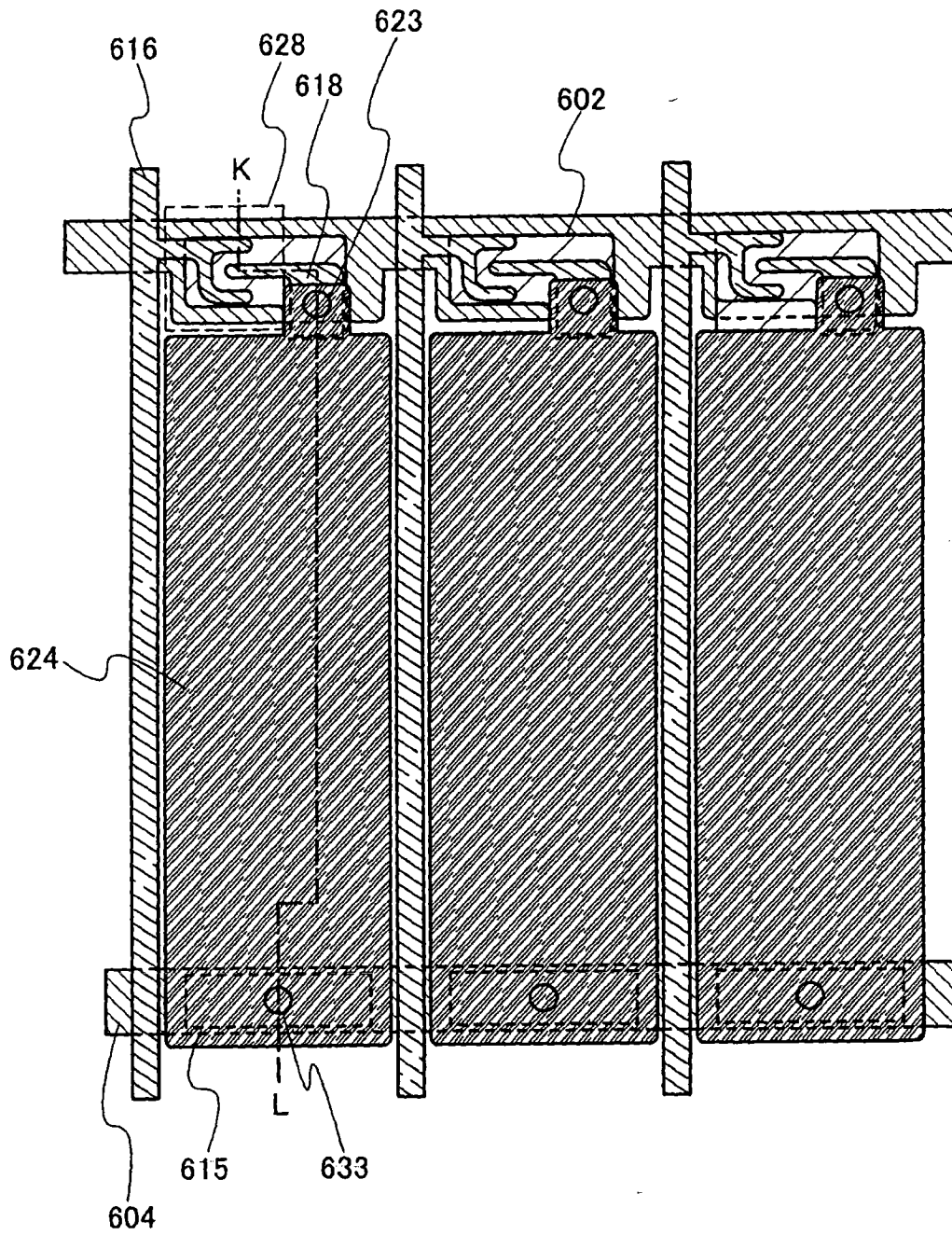
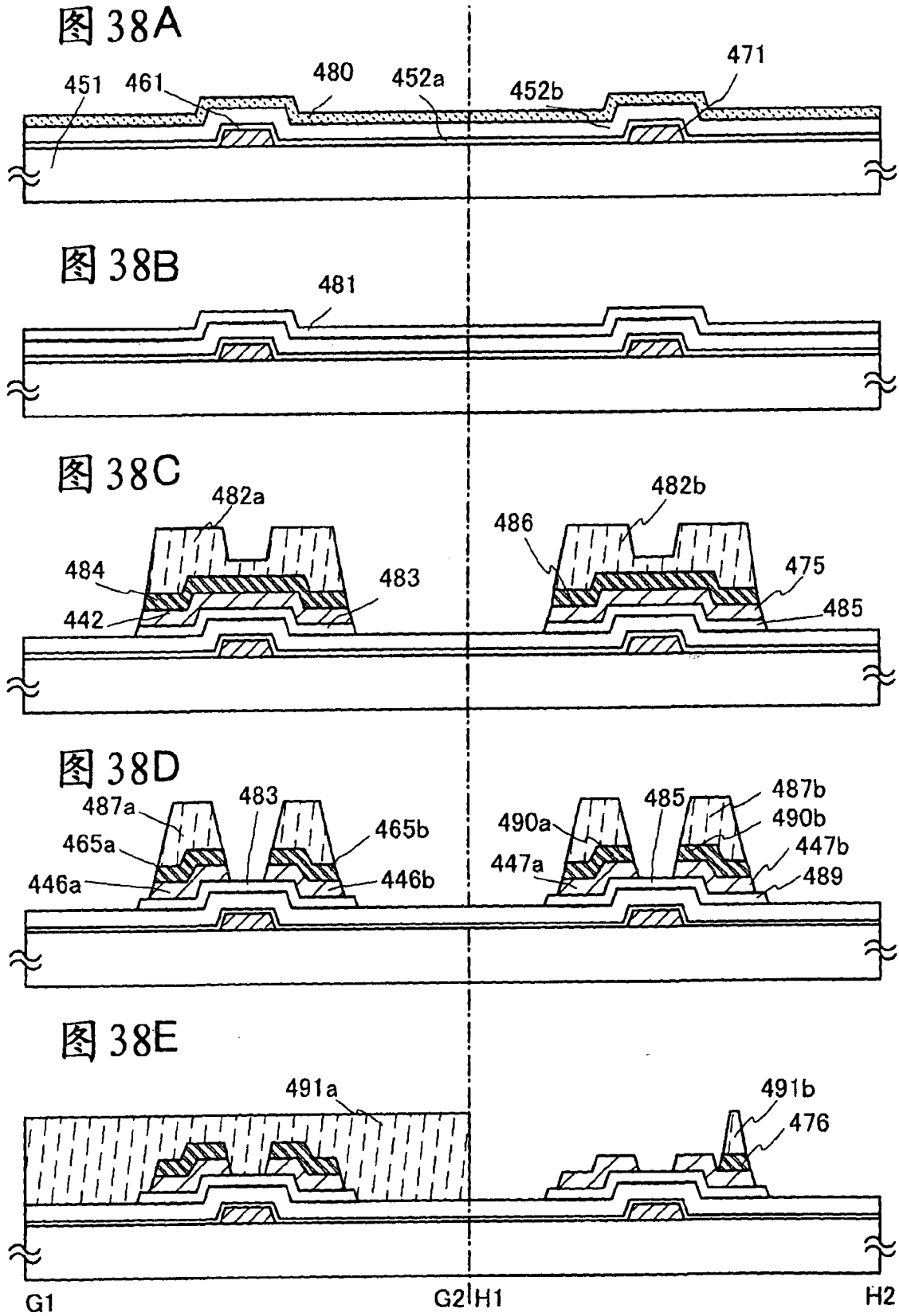
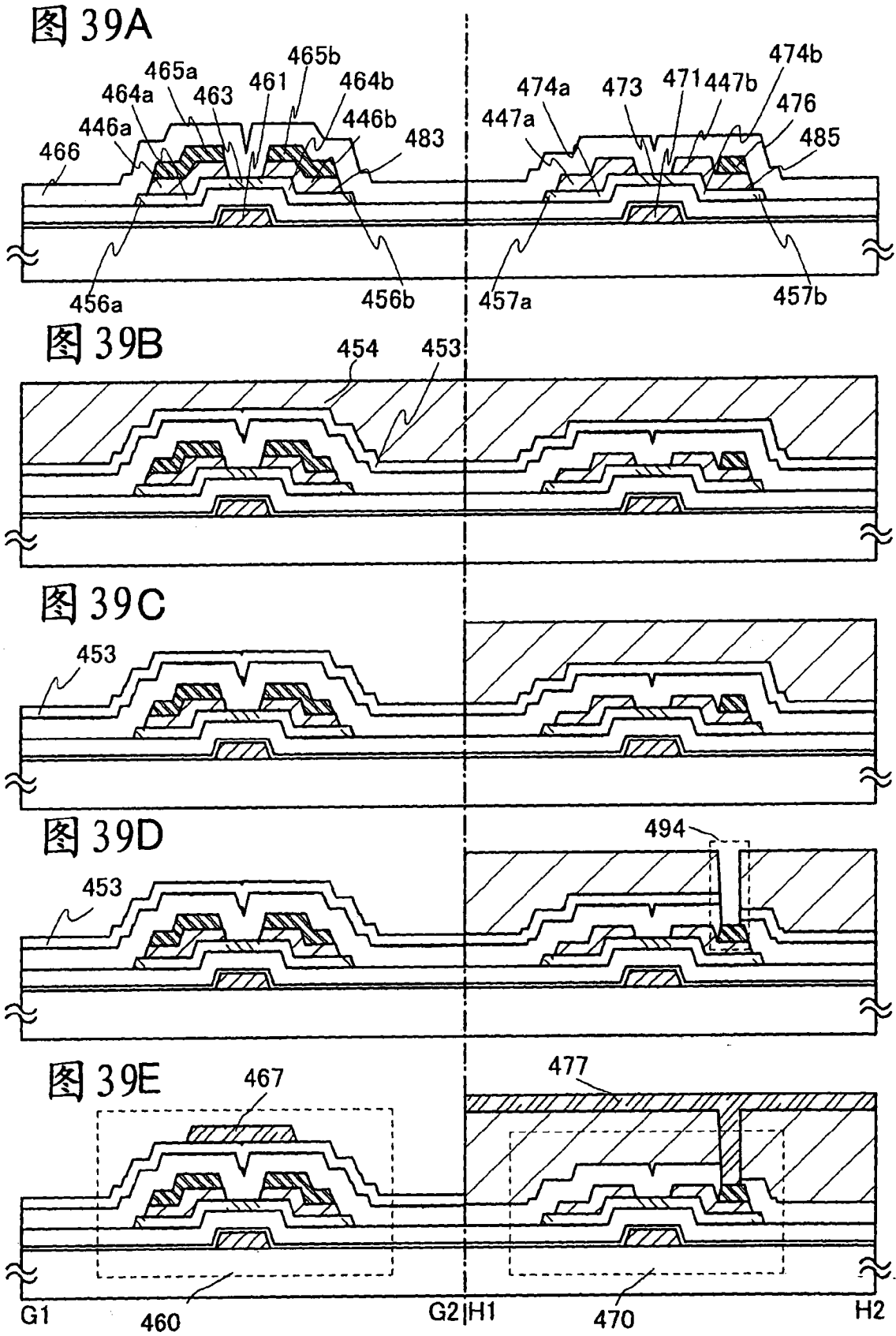
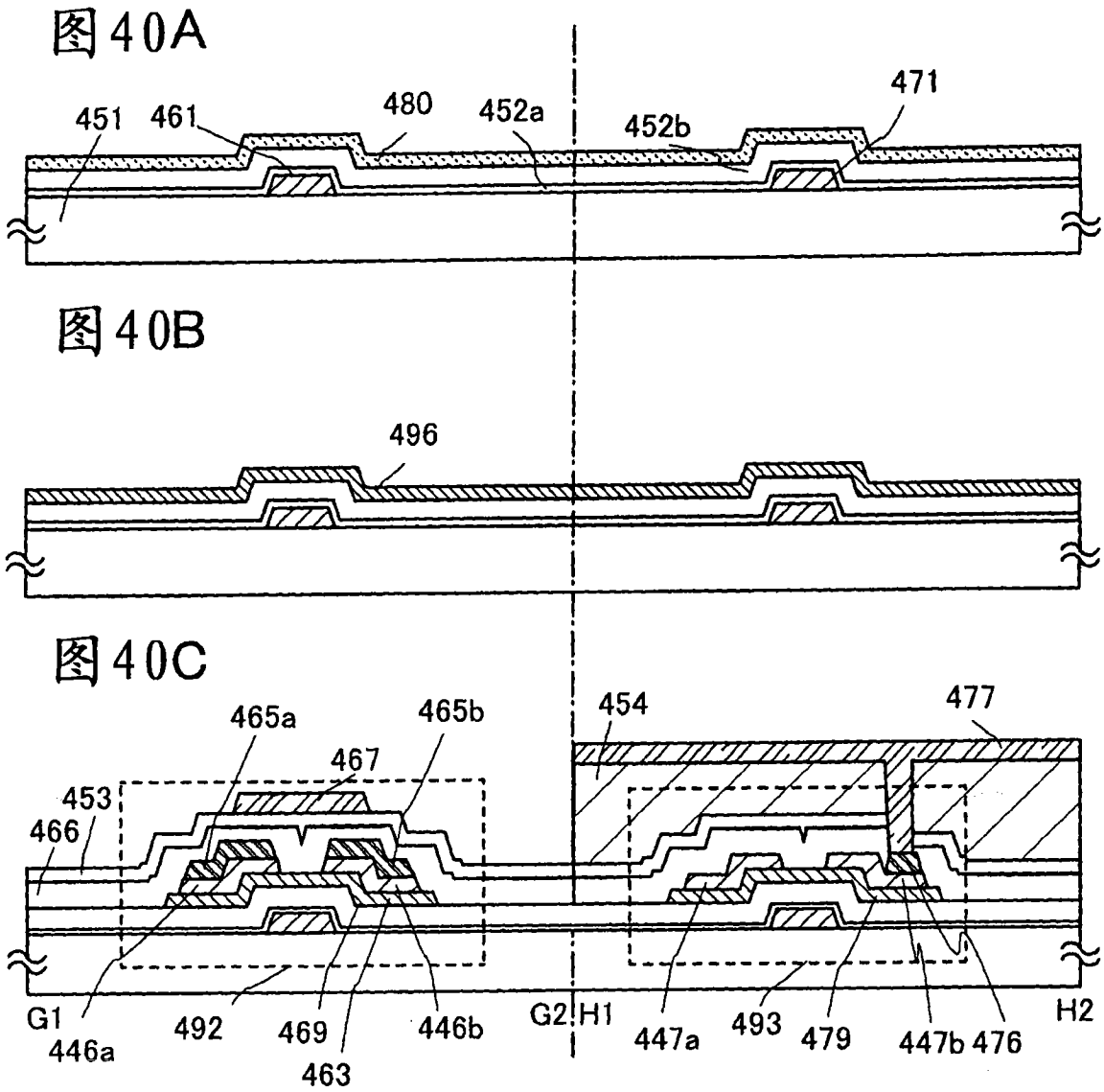


图 37







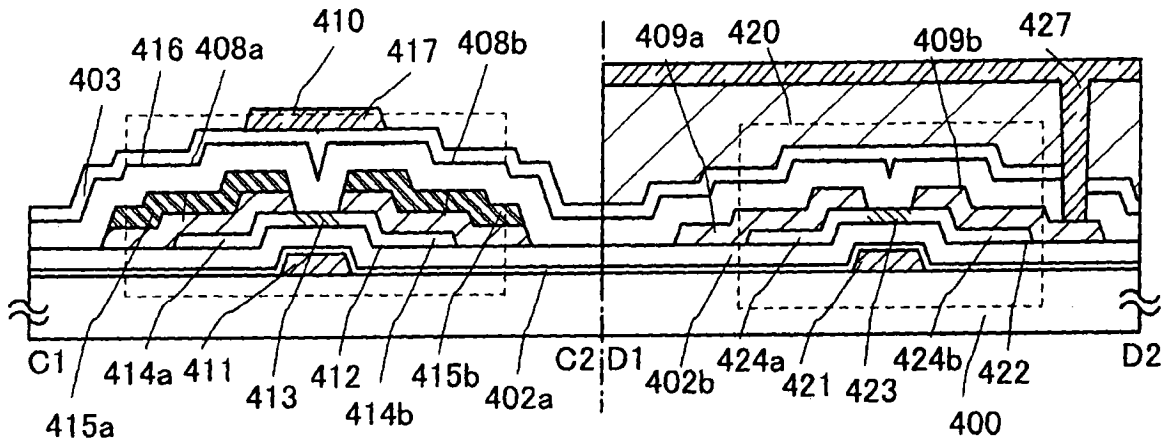


图 41A

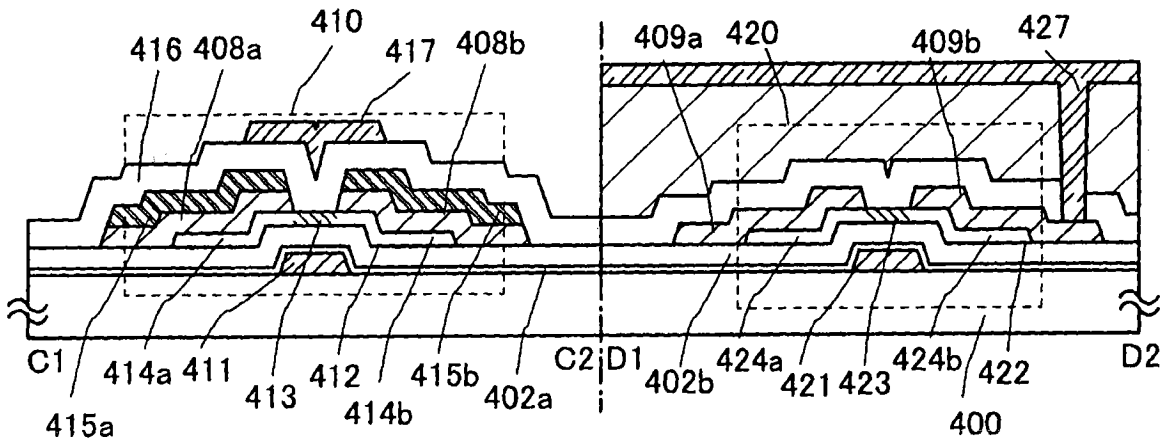


图 41B

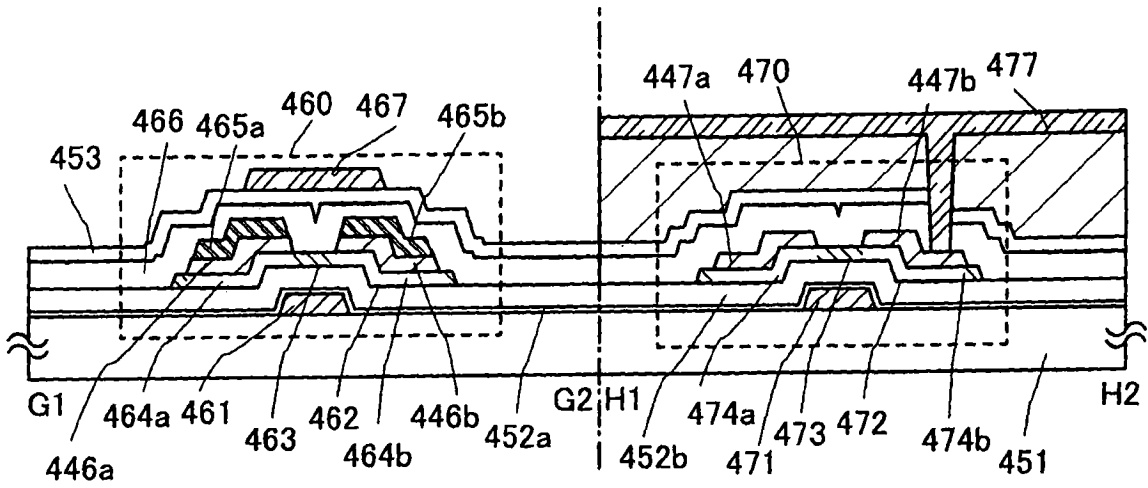


图 42A

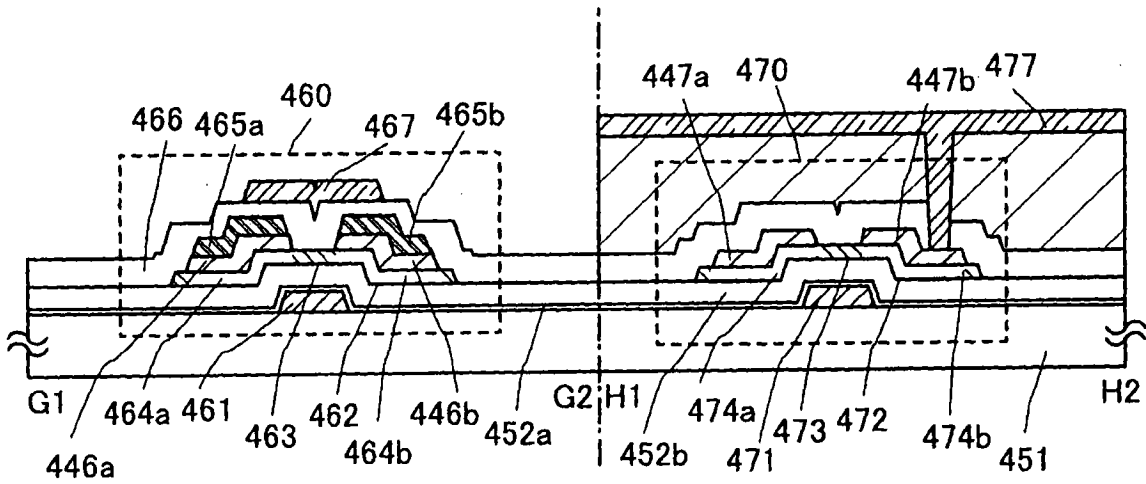


图 42B

图 43A

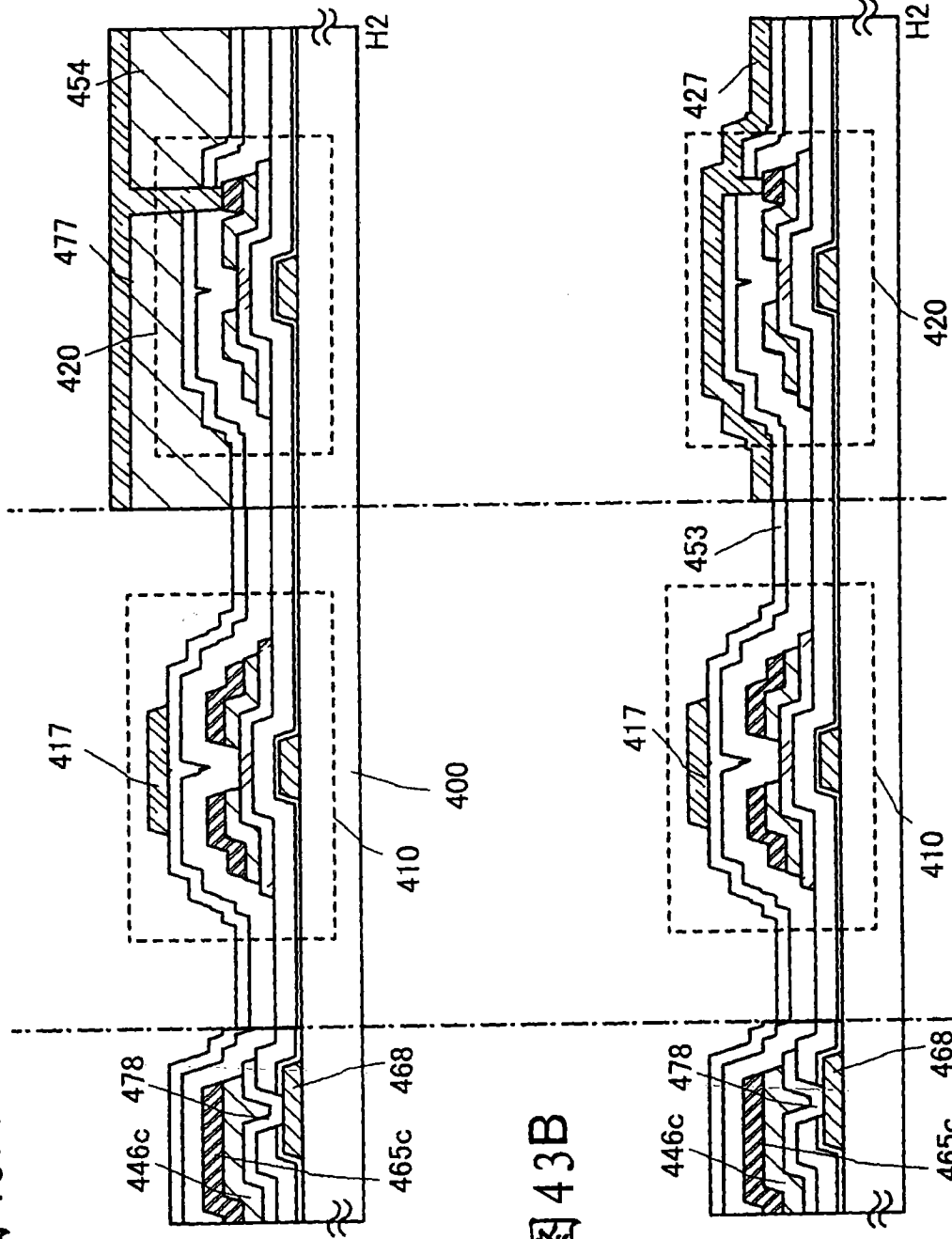
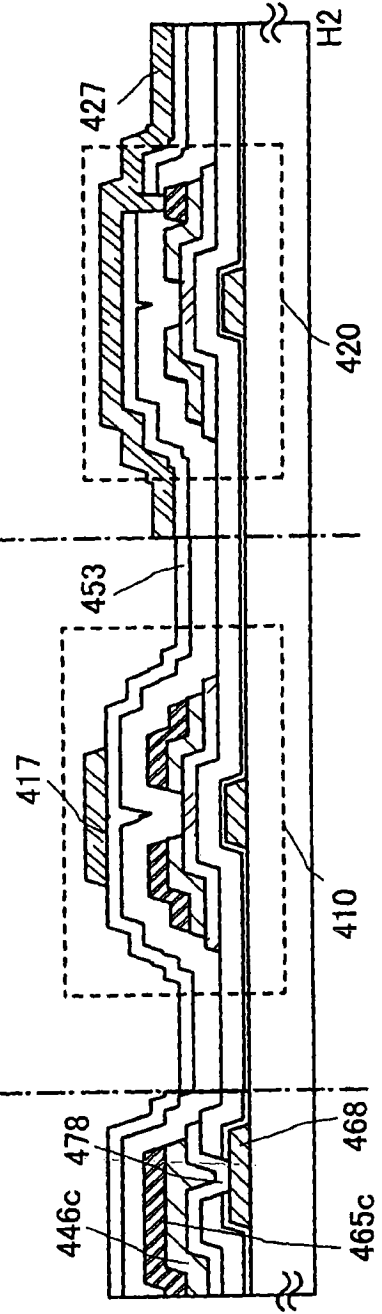
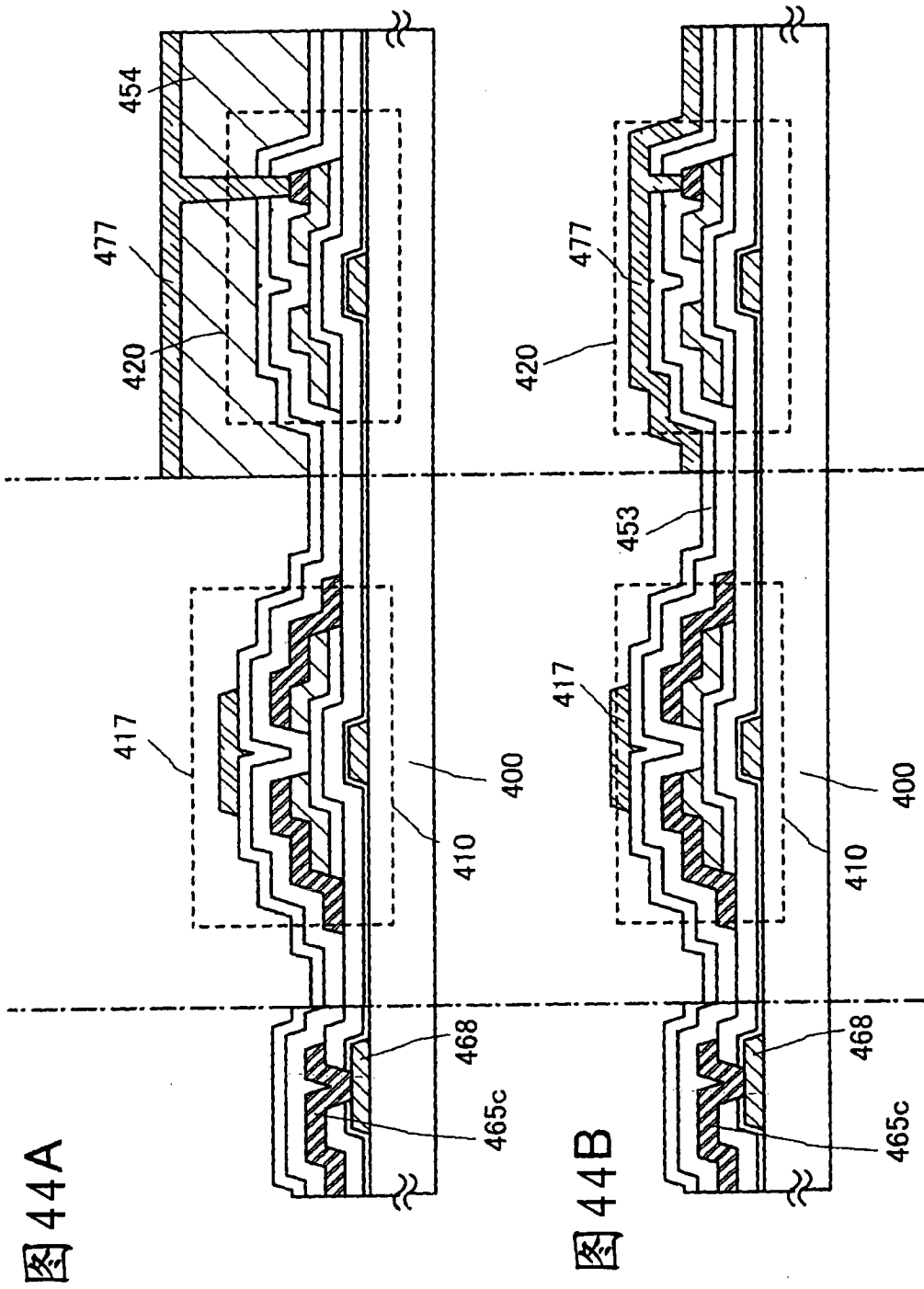


图 43B





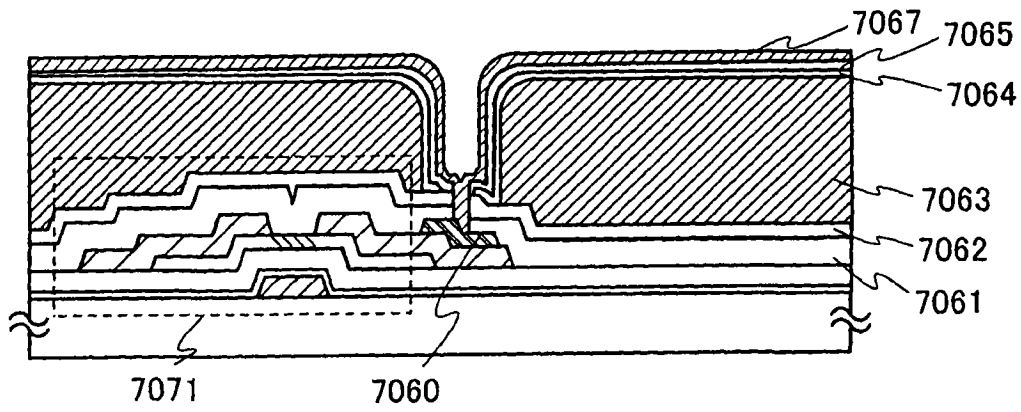


图 45