



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0040125
 (43) 공개일자 2012년04월26일

(51) 국제특허분류(Int. Cl.)
 H01L 33/44 (2010.01) H01L 33/46 (2010.01)
 (21) 출원번호 10-2011-0132245(분할)
 (22) 출원일자 2011년12월09일
 심사청구일자 없음
 (62) 원출원 특허 10-2010-0101227
 원출원일자 2010년10월18일
 심사청구일자 2010년10월18일

(71) 출원인
 서울옵토디바이스주식회사
 경기도 안산시 단원구 산단로163번길 65-16, 1동 36호 (원시동)
 (72) 발명자
 임홍철
 경기도 안산시 단원구 산단로163번길 65-16, 1블럭 36호 (원시동)
 김창연
 경기도 안산시 단원구 산단로163번길 65-16, 1블럭 36호 (원시동)
 김다혜
 경기도 안산시 단원구 산단로163번길 65-16, 1블럭 36호 (원시동)
 (74) 대리인
 특허법인에이아이피

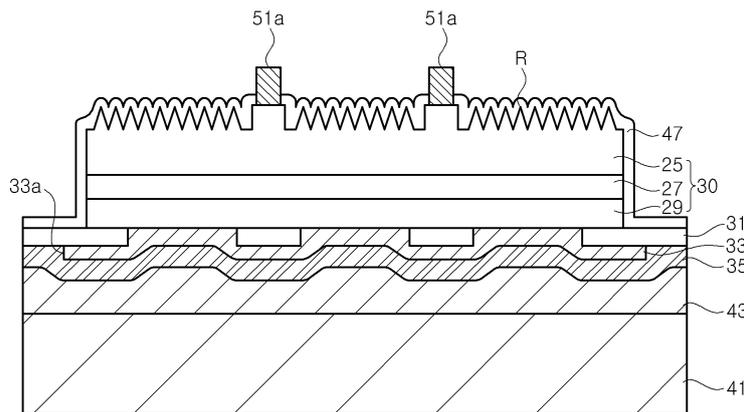
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **고효율 발광 다이오드 및 그것을 제조하는 방법**

(57) 요약

고효율 발광 다이오드 및 그것을 제조하는 방법이 개시된다. 이 발광 다이오드는, 지지기판; 상기 지지기판 상에 위치하고, p형 화합물 반도체층, 활성층 및 n형 화합물 반도체층을 포함하는 반도체 적층 구조체; 지지기판과 반도체 적층 구조체 사이에 위치하고, 반도체 적층 구조체를 노출시키는 적어도 하나의 홈을 갖는 보호층; 보호층과 지지기판 사이에 위치하고 적어도 하나의 홈을 채워 반도체 적층 구조체에 오믹콘택하되, 그 가장자리가 보호층과 지지기판 사이에 위치함과 아울러 반도체 적층 구조체의 가장자리와 지지기판의 가장자리 사이에 위치하는 반사 금속층; 및 지지기판과 반사 금속층 사이에 위치하고 반사 금속층의 가장자리를 덮어 반사 금속층을 둘러싸는 장벽 금속층을 포함한다. 이에 따라, 반사 금속층이 외부에 노출되는 것을 방지하면서도 반사 금속층의 가장자리 근처에서 장벽 금속층에 크랙이 발생하더라도 이 크랙이 발광 다이오드의 전기적 특성 및 신뢰성에 영향을 미치는 것을 방지할 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

지지기판;

상기 지지기판 상에 위치하고, p형 화합물 반도체층, 활성층 및 n형 화합물 반도체층을 포함하는 반도체 적층 구조체;

상기 지지기판과 상기 반도체 적층 구조체 사이에 위치하고, 상기 반도체 적층 구조체를 노출시키는 적어도 하나의 홈을 갖는 보호층;

상기 보호층과 상기 지지기판 사이에 위치하고 상기 적어도 하나의 홈을 채워 상기 반도체 적층 구조체에 오믹 콘택하되, 그 가장자리가 상기 보호층과 상기 지지기판 사이에 위치함과 아울러 상기 반도체 적층 구조체의 가장자리와 상기 지지기판의 가장자리 사이에 위치하는 반사 금속층; 및

상기 지지기판과 상기 반사 금속층 사이에 위치하고 상기 반사 금속층의 가장자리를 덮어 상기 반사 금속층을 둘러싸는 장벽 금속층을 포함하는 발광 다이오드.

청구항 2

청구항 1에 있어서,

상기 보호층은 절연층인 발광 다이오드.

청구항 3

청구항 1에 있어서,

상기 보호층은 상기 반도체 적층 구조체에 쇼트키 콘택하는 금속층인 발광 다이오드.

청구항 4

청구항 1에 있어서,

상기 반도체 적층 구조체 상에 위치하는 제1 전극 패드; 및

상기 제1 전극 패드에서 연장하는 전극 연장부; 및

상기 제1 전극 패드와 상기 반도체 적층 구조체 사이에 개재된 상부 절연층을 더 포함하는 발광 다이오드.

청구항 5

청구항 1에 있어서,

상기 반도체 적층 구조체 상에 위치하는 제1 전극 패드; 및

상기 제1 전극 패드에서 연장하는 전극 연장부를 더 포함하고,

상기 제1 전극 패드 및 상기 전극 연장부는 상기 보호층 영역 상부에 위치하는 발광 다이오드.

청구항 6

청구항 4에 있어서,

상기 반도체 적층 구조체는 거칠어진 표면을 포함하고,

상기 상부 절연층은 상기 거칠어진 표면을 덮되,

상기 상부 절연층은 상기 거칠어진 표면을 따라 요철면을 형성하는 발광 다이오드.

청구항 7

청구항 4에 있어서,

상기 반도체 적층 구조체는 평평한 표면을 포함하고,

상기 제1 전극 패드 및 상기 전극 연장부는 상기 평평한 표면 상에 위치하는 발광 다이오드.

청구항 8

청구항 7에 있어서,

상기 전극 연장부는 상기 반도체 적층 구조체의 평평한 표면에 접촉하는 발광 다이오드.

청구항 9

청구항 1에 있어서,

상기 지지기판은 도전성 기판인 발광 다이오드.

청구항 10

청구항 1에 있어서,

상기 지지기판과 상기 장벽 금속층 사이에 개재된 본딩 금속을 더 포함하는 발광 다이오드.

청구항 11

성장 기판 상에 n형 화합물 반도체층, 활성층 및 p형 화합물 반도체층을 포함하는 반도체 적층 구조체를 형성하고,

상기 반도체 적층 구조체 상에 보호층을 형성하되, 상기 보호층은 상기 반도체 적층 구조체의 상부면을 노출시키는 적어도 하나의 홈을 갖고,

상기 보호층 상에 반사금속층을 형성하되, 상기 반사금속층은 상기 홈을 채움과 아울러 상기 보호층 상에 가장 자리를 갖고,

상기 반사금속층을 덮는 장벽금속층을 형성하되, 상기 장벽금속층은 상기 반사금속층의 가장자리를 덮어 상기 반사금속층을 둘러싸고,

상기 장벽 금속층 상에 지지기판을 부착하고,

상기 성장 기판을 제거하여 상기 반도체 적층 구조체를 노출시키고,

상기 반도체 적층 구조체를 패터닝하여 상기 보호층을 노출시키는 것을 포함하되,

상기 반사금속층의 가장자리는 상기 보호층의 노출된 영역 아래에 위치하는 발광 다이오드 제조 방법.

청구항 12

청구항 11에 있어서,

상기 보호층은 절연층으로 형성된 발광 다이오드 제조 방법.

청구항 13

청구항 11에 있어서,

상기 노출된 반도체 적층 구조체 상에 마스크 패턴을 형성하고,

상기 마스크 패턴을 식각 마스크로 사용하여 상기 반도체 적층 구조체의 상부면을 이방성 식각함으로써 평평한 표면과 함께 거칠어진 표면을 형성하는 것을 더 포함하는 발광 다이오드 제조 방법.

청구항 14

청구항 13에 있어서,

상기 패터닝된 반도체 적층 구조체의 표면을 덮는 상부 절연층을 형성하되, 상기 상부 절연층은 상기 평평한 표

면의 일부 영역을 노출시키는 개구부를 갖고,

상기 상부 절연층 상에 제1 전극 패드를 형성함과 아울러, 상기 제1 전극 패드로부터 연장하는 전극 연장부를 형성하는 것을 더 포함하되,

상기 전극 연장부는 상기 상부 절연층의 개구부 내에 형성되는 발광 다이오드 제조 방법.

청구항 15

청구항 14에 있어서,

상기 제1 전극 패드 및 상기 전극 연장부는 상기 보호층 영역 상부에 위치하는 발광 다이오드 제조 방법..

청구항 16

청구항 14에 있어서,

상기 상부 절연층은 상기 거칠어진 표면을 따라 형성된 요철면을 갖는 발광 다이오드 제조 방법.

청구항 17

청구항 1에 있어서,

상기 지지기판을 분할하여 개별 발광 다이오드들로 분리하는 것을 더 포함하되,

상기 반사금속층은 상기 분할된 지지기판의 가장자리로 둘러싸인 영역 내에 위치하는 발광 다이오드 제조 방법.

명세서

기술분야

[0001] 본 발명은 발광 다이오드 및 그것을 제조하는 방법에 관한 것으로, 더욱 상세하게는 기판 분리 공정을 적용하여 성장기판을 제거한 질화갈륨 계열의 고효율 발광 다이오드 및 그것을 제조하는 방법에 관한 것이다.

배경기술

[0002] 일반적으로 질화갈륨(GaN), 질화알루미늄(AIN) 등과 같은 III족 원소의 질화물은 열적 안정성이 우수하고 직접 천이형의 에너지 밴드(band) 구조를 가지므로, 최근 가시광선 및 자외선 영역의 발광소자용 물질로 많은 각광을 받고 있다. 특히, 질화인듐갈륨(InGaN)을 이용한 청색 및 녹색 발광 소자는 대규모 천연색 평판 표시 장치, 신호등, 실내 조명, 고밀도광원, 고해상도 출력 시스템과 광통신 등 다양한 응용 분야에 활용되고 있다.

[0003] 이러한 III족 원소의 질화물 반도체층은 그것을 성장시킬 수 있는 동종의 기판을 제작하는 것이 어려워, 유사한 결정 구조를 갖는 이종 기판에서 금속유기화학기상증착법(MOCVD) 또는 분자선 증착법(molecular beam epitaxy; MBE) 등의 공정을 통해 성장된다. 이종기판으로는 육방 정계의 구조를 갖는 사파이어(Sapphire) 기판이 주로 사용된다. 그러나, 사파이어는 전기적으로 부도체이므로, 발광 다이오드 구조를 제한한다. 이에 따라, 최근에는 사파이어와 같은 이종기판 상에 질화물 반도체층과 같은 에피층들을 성장시키고, 상기 에피층들에 지지기판을 본딩한 후, 레이저 리프트 오프 기술 등을 이용하여 이종기판을 분리하여 수직형 구조의 고효율 발광 다이오드를 제조하는 기술이 개발되고 있다.

[0004] 일반적으로, 수직형 구조의 발광 다이오드는 종래의 수평형 구조의 발광 다이오드와 비교하여 p층이 아래에 위치하는 구조에 의해 전류분산 성능이 우수하고, 또한 사파이어에 비해 열전도율이 높은 지지기판을 채택함으로써 열 방출 성능이 우수하다. 나아가, 지지기판과 p형 반도체층 사이에 반사금속층을 배치하여 지지기판으로 향하는 광을 반사시킴으로써 광추출 효율을 향상시킬 수 있다.

[0005] 한편, 상기 반사금속층으로는 일반적으로 은(Ag)이 사용된다. 그러나 은(Ag)은 원자 이동이 쉽게 일어나고, 또한 외부에 노출될 경우, 산화에 의해 열화가 잘되기 때문에 전기적 특성이 변형되기 쉽다. 더욱이, 에피층들을 개별 칩 단위로 패터닝하기 위해 에피층들을 식각하는 동안, 은이 노출될 경우, 식각 부산물이 에피층들의 측벽에 달라 붙어 p형 반도체층과 n형 반도체층 사이에 전기적 단락이 유발될 수 있다. 이에 따라, 반사금속층을 장벽금속층으로 덮어 은 원자의 이동을 방지하는 기술이 일반적으로 사용되고 있으며, 나아가 반사금속층의 가장 자리를 상기 장벽 금속층 또는 절연층으로 덮어 반사 금속층이 외부에 노출되는 것을 방지하는 기술이 알려져

있다(예컨대, 미국등록특허 US6,744,071호 참조). 상기 장벽 금속층 및/또는 절연층은 상기 반사금속층의 가장 자리를 덮어 반사금속층이 외부에 노출되는 것을 방지한다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 미국등록특허 US6,744,071호

발명의 내용

해결하려는 과제

[0007] 종래기술에 따르면, 반사금속층을 장벽금속층 또는 절연층과 장벽금속층으로 감싸서 반사금속층이 외부에 노출되는 것을 방지할 수 있으며, 나아가 은 원자의 이동을 방지하여 반사 금속층의 전기적 특성을 유지할 수 있다.

[0008] 그러나 반사금속층의 가장자리를 장벽금속층 또는 절연층으로 덮는 종래기술은 반사금속층의 가장자리 근처에서 절연층 또는 장벽금속층에 스트레스가 집중되어 크랙이 발생하기 쉬운 문제가 있다.

[0009] 도 1은 종래기술에 따라 제조된 수직형 발광 다이오드에서 반사금속층의 가장자리 부분을 나타내는 SEM 단면 사진이다.

[0010] 도 1을 참조하면, p형 반도체층(9) 상에 반사금속층(11)이 형성되고, 반사금속층(11)의 가장자리는 절연층(13)으로 덮인다. 상기 절연층(13)은 반사금속층(11)을 노출시키는 홈(사진에 나타나지 않음)을 갖도록 패터닝되어 있다. 상기 절연층(13) 및 상기 홈에 의해 노출된 반사금속층(11) 상에 장벽금속층(15)이 형성된다. 이어서, 상기 장벽금속층(15) 상에 본딩 금속(17)이 형성되고, 본딩 금속(17)을 개재하여 그 위에 지지기판(사진에 나타나지 않음)이 부착되어 있다. 반사금속층(11)은 은(Ag)을 포함하며, 상기 절연층(13)은 일반적으로 SiO₂로 형성되고, 장벽금속층(15)은 Pt, Ni, Ti 또는 W를 반복 적층하거나 이들의 합금으로 형성된다.

[0011] 도 1에 도시된 바와 같이, 반사금속층(11)의 가장자리 근처에서 절연층(13) 및 장벽금속층(15)에 크랙이 발생되어 있다. 이러한 크랙은, 절연층(13)을 사용하지 않은 경우, 즉 장벽 금속층(15)을 직접 반사 금속층(11) 상에 형성한 경우에도 발생하는 것을 확인하였다. 상기 크랙은 반사금속층(11) 근처에서 폭이 넓게 형성되고 반사금속층(11)에서 멀어질수록 폭이 작아지며, 장벽금속층의 거의 전 두께에 걸쳐 이어져 있다.

[0012] 이러한 크랙은 반사금속층(11)의 열팽창 계수가 절연층(13) 및 장벽금속층(15)의 열팽창 계수에 비해 상대적으로 크기 때문에 발생하는 것으로 예상된다. 즉, 열 공정이 진행될 때, 반사금속층(11)이 절연층(13) 및 장벽금속층(15)에 비해 상대적으로 더 크게 팽창하기 때문에, 반사금속층(11)의 가장자리에 스트레스가 집중되고, 이에 따라 반사금속층(11)에 가까운 절연층(13)에서 크랙이 발생되어 장벽금속층(15)으로 전사되는 것이라 판단된다.

[0013] 상기 크랙의 발생에 따라 반사금속층(11)의 가장자리 근처에서 반사금속층의 전기적 특성이 변형되고, 나아가, 반사금속층(11)과 p형 반도체층(9) 사이에서 계면 박리 등의 문제가 발생되어 반사금속층의 옴믹 특성이 나빠진다. 또한, 상기 크랙이 p형 반도체층(9)의 표면상에서 발생되기 때문에 발광 다이오드의 신뢰성이 악화될 것으로 예상된다.

[0014] 따라서, 본 발명이 해결하려는 과제는 반사금속층(11)이 외부에 노출되는 것을 방지하면서 반사금속층(11)의 가장자리 근처에서 발생하는 크랙에 기인하여 전기적 특성 및 신뢰성이 악화되는 것을 방지할 수 있는 발광 다이오드를 제공하는 것이다.

[0015] 나아가, 본 발명이 해결하려는 다른 과제는 전류 분산 성능 및/또는 광 추출 효율을 개선한 고효율 발광 다이오드를 제공하는 것이다.

과제의 해결 수단

[0016] 본 발명은 고효율 발광 다이오드 및 그것을 제조하는 방법을 제공한다. 본 발명의 일 태양에 따른 발광 다이오드는, 지지기판; 상기 지지기판 상에 위치하고, p형 화합물 반도체층, 활성층 및 n형 화합물 반도체층을 포함하는 반도체 적층 구조체; 상기 지지기판과 상기 반도체 적층 구조체 사이에 위치하고, 상기 반도체 적층 구조체

를 노출시키는 적어도 하나의 홈을 갖는 보호층; 상기 보호층과 상기 지지기판 사이에 위치하고 상기 적어도 하나의 홈을 채워 상기 반도체 적층 구조체에 오믹콘택하되, 그 가장자리가 상기 보호층과 상기 지지기판 사이에 위치함과 아울러 상기 반도체 적층 구조체의 가장자리와 상기 지지기판의 가장자리 사이에 위치하는 반사 금속층; 및 상기 지지기판과 상기 반사 금속층 사이에 위치하고 상기 반사 금속층의 가장자리를 덮어 상기 반사 금속층을 둘러싸는 장벽 금속층을 포함한다.

- [0017] 본 발명의 실시예들에 따르면, 상기 반사 금속층은 보호층, 장벽금속층 및 반도체 적층 구조체에 의해 발광 다이오드 내에 매립되며, 따라서 외부에 노출되지 않는다. 나아가, 상기 반사 금속층의 가장자리가 보호층 아래에 위치하므로, 반사금속층의 가장자리 근처에서 장벽금속층에 크랙이 발생하더라도, 이러한 크랙에 의해 발광 다이오드의 전기적 특성이나 신뢰성에 영향을 미치는 것을 방지할 수 있다. 더욱이, 상기 반사 금속층의 가장자리가 상기 반도체 적층 구조체의 바깥쪽에 위치하도록 함으로써, 상기 크랙에 의해 반사금속층의 특성이 변형되더라도, 반사금속층의 오믹특성이 나빠지는 것을 방지할 수 있으며, 또한 상기 크랙이 반도체 적층 구조체에 영향을 미치는 것을 차단할 수 있다.
- [0018] 상기 보호층은 상기 반도체 적층 구조체, 예컨대 상기 p형 반도체층에 쇼트키 콘택하는 금속층이거나, SiO₂와 같은 단일의 절연층 또는 분포 브래그 반사기와 같은 다중의 절연층일 수 있다. 제조 공정에서 금속 식각 부산물에 의한 단락을 방지하기 위해, 상기 보호층은 절연층인 것이 더 바람직하다.
- [0019] 한편, 상기 발광 다이오드는, 상기 반도체 적층 구조체 상에 위치하는 제1 전극 패드; 상기 제1 전극 패드에서 연장하는 전극 연장부; 및 상기 제1 전극 패드와 상기 반도체 적층 구조체 사이에 개재된 상부 절연층을 더 포함할 수 있다.
- [0020] 상부 절연층을 제1 전극 패드와 반도체 적층 구조체 사이에 배치함으로써, 제1 전극 패드로부터 직접 반도체 적층 구조체로 전류가 집중되어 흐르는 것을 방지할 수 있다.
- [0021] 나아가, 상기 보호층은 복수의 홈들을 가질 수 있으며, 상기 제1 전극 패드 및 상기 전극 연장부는 상기 보호층 영역 상부에 위치할 수 있다. 따라서, 상기 제1 전극 패드 및 상기 전극 연장부로부터 전류가 수직 방향으로 집중되어 흐르는 것을 더욱 방지할 수 있다.
- [0022] 몇몇 실시예들에 있어서, 상기 발광 다이오드는 복수개의 제1 전극 패드; 및 상기 복수개의 제1 전극 패드에서 각각 연장하는 복수개의 전극 연장부들을 포함할 수 있다. 상기 복수개의 제1 전극 패드 및 전극 연장부들이 상기 보호층 영역 상부에 위치할 수 있다.
- [0023] 한편, 상기 반도체 적층 구조체는 거칠어진 표면을 포함할 수 있으며, 상기 상부 절연층은 상기 거칠어진 표면을 덮을 수 있다. 더욱이, 상기 상부 절연층은 상기 거칠어진 표면을 따라 요철면을 형성할 수 있다. 상부 절연층이 요철면을 형성함에 따라, 상기 상부 절연층의 상부면에서 발생하는 내부 전반사를 감소시킬 수 있으며, 따라서 광 추출 효율을 더욱 향상시킬 수 있다.
- [0024] 또한, 상기 반도체 적층 구조체는 평평한 표면을 포함할 수 있으며, 상기 제1 전극 패드 및 상기 전극 연장부는 상기 평평한 표면 상에 위치할 수 있다. 나아가, 상기 전극 연장부는 상기 반도체 적층 구조체의 평평한 표면에 접촉할 수 있다. 또한, 상기 거칠어진 표면은 상기 전극 연장부보다 아래에 위치할 수 있다.
- [0025] 상기 지지기판은 도전성 기판 예컨대, 금속 기판 또는 반도체 기판일 수 있다.
- [0026] 상기 지지기판은 도금 등에 의해 형성될 수도 있으며, 본딩 금속을 이용하여 본딩될 수도 있다.
- [0027] 본 발명의 다른 태양에 따르면, 발광 다이오드 제조 방법이 제공된다. 이 방법은, 성장 기판 상에 n형 화합물 반도체층, 활성층 및 p형 화합물 반도체층을 포함하는 반도체 적층 구조체를 형성하고; 상기 반도체 적층 구조체 상에 보호층을 형성하되, 상기 보호층은 상기 반도체 적층 구조체의 상부면을 노출시키는 적어도 하나의 홈을 갖고; 상기 보호층 상에 반사금속층을 형성하되, 상기 반사금속층은 상기 홈을 채움과 아울러 상기 보호층 상에 가장자리를 갖고; 상기 반사금속층을 덮는 장벽금속층을 형성하되, 상기 장벽금속층은 상기 반사금속층의 가장자리를 덮어 상기 반사금속층을 둘러싸고; 상기 장벽 금속층 상에 지지기판을 부착하고; 상기 성장 기판을 제거하여 상기 반도체 적층 구조체를 노출시키고; 상기 반도체 적층 구조체를 패터닝하여 상기 보호층을 노출시키는 것을 포함한다. 여기서, 상기 반사 금속층의 가장자리는 상기 보호층의 노출된 영역 아래에 위치한다.
- [0028] 이에 따라, 상기 반사 금속층이 외부에 노출되는 것을 방지할 수 있으며, 또한 반사금속층의 가장자리에서 장벽 금속층에 크랙이 발생하더라도 발광 다이오드의 전기적 특성이나 신뢰성이 나빠지는 것을 방지할 수 있다.

[0029] 한편, 상기 방법은, 상기 노출된 반도체 적층 구조체 상에 마스크 패턴을 형성하고, 상기 마스크 패턴을 식각 마스크로 사용하여 상기 반도체 적층 구조체의 상부면을 이방성 식각함으로써 평평한 표면과 함께 거칠어진 표면을 형성하는 것을 더 포함할 수 있다.

[0030] 나아가, 상기 방법은, 상기 패터닝된 반도체 적층 구조체의 표면을 덮는 상부 절연층을 형성하되, 상기 상부 절연층은 상기 평평한 표면의 일부 영역을 노출시키는 개구부를 갖고, 상기 상부 절연층 상에 제1 전극 패드를 형성함과 아울러, 상기 제1 전극 패드로부터 연장하는 전극 연장부를 형성하는 것을 더 포함할 수 있다. 이때, 상기 전극 연장부는 상기 상부 절연층의 개구부 내에 형성된다.

[0031] 또한, 상기 보호층은 복수의 홈들을 가질 수 있으며, 상기 제1 전극 패드 및 상기 전극 연장부는 상기 보호층 영역 상부에 위치할 수 있다.

[0032] 한편, 상기 상부 절연층은 상기 거칠어진 표면을 따라 형성된 요철면을 가질 수 있다.

[0033] 상기 방법은, 상기 지지기판을 분할하여 개별 발광 다이오드들로 분리하는 것을 더 포함할 수 있으며, 이때, 상기 반사금속층은 상기 분할된 지지기판의 가장자리 영역 내에 위치한다.

발명의 효과

[0034] 본 발명에 따르면, 반사금속층이 외부에 노출되는 것을 방지하면서 반사금속층의 가장자리 근처에서 장벽금속층에 크랙이 발생하더라도, 이러한 크랙에 의해 발광 다이오드의 전기적 특성이나 신뢰성에 영향을 미치는 것을 방지할 수 있다. 또한, 제1 전극 패드와 반도체 적층 구조체 사이에 상부 절연층이 개재되어 전류 분산 성능이 개선된 발광 다이오드가 제공될 수 있으며, 상부 절연층이 반도체 적층 구조체의 거칠어진 표면을 따라 요철면을 갖도록 형성됨으로써 발광 다이오드의 광 추출 효율이 개선될 수 있다.

도면의 간단한 설명

[0035] 도 1은 종래기술에 따라 제조된 수직형 발광 다이오드에서 반사금속층의 가장자리 부분을 나타내는 SEM 단면 사진이다.

도 2는 발명의 일 실시예에 따른 발광 다이오드를 설명하기 위한 개략적인 레이아웃도이다.

도 3은 본 발명의 일 실시예에 따른 발광 다이오드를 설명하기 위해 도 2의 절취선 A-A를 따라 취해진 단면도이다.

도 4는 본 발명의 일 실시예에 따른 발광 다이오드를 설명하기 위해 도 2의 절취선 B-B를 따라 취해진 단면도이다.

도 5는 본 발명의 일 실시예에 따른 발광 다이오드를 설명하기 위해 도 2의 절취선 C-C를 따라 취해진 단면도이다.

도 6 내지 도 10은 본 발명의 일 실시예에 따른 발광 다이오드를 제조하는 방법을 설명하기 위한 단면도들로서, 각각 도 2의 절취선 A-A에 대응하는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0036] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 동일한 참조번호는 동일한 구성요소를 나타내며, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수 있다.

[0037] 도 2은 발명의 일 실시예에 따른 발광 다이오드를 설명하기 위한 개략적인 레이아웃도이고, 도 3 내지 도 5는 각각 도 2의 절취선 A-A, B-B 및 C-C를 따라 취해진 단면도이다. 도 2에서 반도체 적층 구조체(30) 아래에 위치하는 보호층(31) 내의 홈(31a) 및 반사 금속층(33)을 점선으로 표시한다.

[0038] 도 2 내지 도 5를 참조하면, 상기 발광 다이오드는 지지기판(41), 반도체 적층 구조체(30), 보호층(31), 반사 금속층(33) 및 장벽 금속층(35)을 포함한다. 상기 발광 다이오드는 또한 본딩 금속(43), 상부 절연층(47), n-전극 패드(51) 및 전극 연장부(51a)를 포함할 수 있다.

- [0039] 지지기판(41)은 화합물 반도체층들을 성장시키기 위한 성장기판과 구분되며, 이미 성장된 화합물 반도체층들에 부착된 2차 기판이다. 상기 지지기판(41)은 도전성 기판, 예컨대 금속 기판 또는 반도체 기판일 수 있으나, 이에 한정되는 것은 아니며, 사파이어와 같은 절연 기판일 수도 있다.
- [0040] 반도체 적층 구조체(30)는 지지기판(41) 상에 위치하며, p형 화합물 반도체층(29), 활성층(27) 및 n형 화합물 반도체층(25)을 포함한다. 여기서, 상기 반도체 적층 구조체(30)는 일반적인 수직형 발광 다이오드와 유사하게 p형 화합물 반도체층(29)이 n형 화합물 반도체층(25)에 비해 지지기판(41) 측에 가깝게 위치한다. 상기 반도체 적층 구조체(30)는 지지기판(41)의 일부 영역 상에 위치한다. 즉, 지지기판(41)이 반도체 적층 구조체(30)에 비해 상대적으로 넓은 면적을 가지며, 반도체 적층 구조체(30)는 상기 지지기판(41)의 가장자리로 둘러싸인 영역 내에 위치한다.
- [0041] n형 화합물 반도체층(25), 활성층(27) 및 p형 화합물 반도체층(29)은 III-N 계열의 화합물 반도체, 예컨대 (Al, Ga, In)_N 반도체로 형성될 수 있다. n형 화합물 반도체층(25) 및 p형 화합물 반도체층(29)은 각각 단일층 또는 다중층일 수 있다. 예를 들어, n형 화합물 반도체층(25) 및/또는 p형 화합물 반도체층(29)은 콘택층과 클래드층을 포함할 수 있으며, 또한 초격자층을 포함할 수 있다. 또한, 상기 활성층(27)은 단일 양자우물 구조 또는 다중 양자우물 구조일 수 있다. 저항이 상대적으로 작은 n형 화합물 반도체층(25)이 지지기판(41)의 반대쪽에 위치함으로써 n형 화합물 반도체층(25)의 상부면에 거칠어진 표면(R)을 형성하는 것이 용이하며, 거칠어진 표면(R)은 활성층(27)에서 생성된 광의 추출 효율을 향상시킨다.
- [0042] 보호층(31)은 반도체 적층 구조체(30)와 지지 기판(41) 사이에 위치하며, 반도체 적층 구조체(30), 예컨대 p형 화합물 반도체층(29)을 노출시키는 홈(31a)을 갖는다. 상기 보호층(31)은 반도체 적층 구조체(30)를 노출시키는 복수의 홈(31a)을 가질 수 있다. 또한, 상기 보호층(31)은 반도체 적층 구조체(30)의 외부로 연장되어 반도체 적층 구조체(30)의 측면 아래에 위치하여, 반사 금속층(33)의 상부면이 반도체 적층 구조체(30)측에 노출되는 것을 방지한다.
- [0043] 보호층(31)은 실리콘 산화막 또는 실리콘 질화막의 단일층 또는 다중층일 수 있으며, 또는 굴절률이 서로 다른 절연층들, 예컨대 SiO₂/TiO₂ 또는 SiO₂/Nb₂O₅를 반복 적층한 분포 브래그 반사기일 수 있다. 또는, 상기 보호층(31)은 반도체 적층 구조체(30), 예컨대 p형 화합물 반도체층(29)에 쇼트키 콘택하는 Ti와 같은 금속층일 수 있다.
- [0044] 반사 금속층(33)은 보호층(31)과 지지기판(41) 사이에 위치하며, 상기 보호층(31)의 홈(31a)을 채워 반도체 적층 구조체(30), 예컨대 p형 화합물 반도체층(29)에 오믹콘택한다. 반사 금속층(33)은 예컨대 Ag와 같은 반사층을 포함할 수 있다. 상기 반사 금속층(33)의 가장자리(33a) 또는 측면은 보호층(31) 아래에 위치한다. 즉, 상기 반사 금속층(33)의 가장자리는 보호층(31)과 지지기판(41) 사이에 위치한다. 나아가, 반사 금속층(33)의 가장자리(33a)는 도 2에 도시한 바와 같이, 반도체 적층 구조체(30)의 가장자리와 지지기판(41)의 가장자리 사이에 위치할 수 있다. 즉, 반사 금속층(33)의 가장자리(33a)로 둘러싸인 영역의 상부 영역 내에 반도체 적층 구조체(30)가 한정되어 위치한다.
- [0045] 한편, 장벽 금속층(35)은 반사 금속층(33)과 지지기판(41) 사이에 위치하며, 반사 금속층(33)의 가장자리(33a)를 덮어 반사 금속층(33)을 둘러싼다. 즉, 상기 반사 금속층(33)의 측면 및 하부면이 장벽금속층(35)으로 덮인다. 장벽 금속층(35)은 반사 금속층(33)의 금속 물질, 예컨대 Ag의 이동을 방지함과 아울러, 반사 금속층(33)의 측면이 외부에 노출되는 것을 방지한다. 장벽 금속층(35)은 예컨대, Pt, Ni, Ti, W 또는 이들의 합금을 포함할 수 있으며, 지지기판(41)의 전면 상에 위치할 수 있다.
- [0046] 한편, 지지기판(41)은 상기 장벽 금속층(35) 상에 분당 금속(43)을 통해 분당될 수 있다. 분당 금속(43)은 예컨대 Au-Sn으로 공용 분당을 이용하여 형성될 수 있다. 이와 달리, 지지기판(41)은 예컨대 도금 기술을 사용하여 장벽 금속층(35) 상에 형성될 수도 있다. 상기 지지기판(41)이 도전성 기판인 경우, p-전극 패드의 기능을 수행할 수 있다. 이와 달리, 상기 지지기판(41)이 절연기판인 경우, 상기 지지기판(41) 상에 위치하는 장벽 금속층(35) 상에 p-전극 패드가 형성될 수 있다.
- [0047] 한편, 반도체 적층 구조체(30)의 상면, 즉 n형 화합물 반도체층(25)의 표면은 거칠어진 표면(R)과 평평한 표면을 포함할 수 있다. 도 3 내지 도 5에 도시된 바와 같이, n-전극 패드(51) 및 전극 연장부(51a)는 평평한 표면 상에 위치할 수 있다. 도시된 바와 같이, 상기 n-전극 패드(51) 및 전극 연장부(51a)는 평평한 표면 상에 한정되어 위치하며, 평평한 표면의 폭에 비해 좁은 폭을 가질 수 있다. 따라서, 반도체 적층 구조체(30)에 언더컷 등의 발생에 의해 전극 패드나 전극 연장부가 박리되는 것을 방지할 수 있어 신뢰성을 높일 수 있다. 한편, 상기

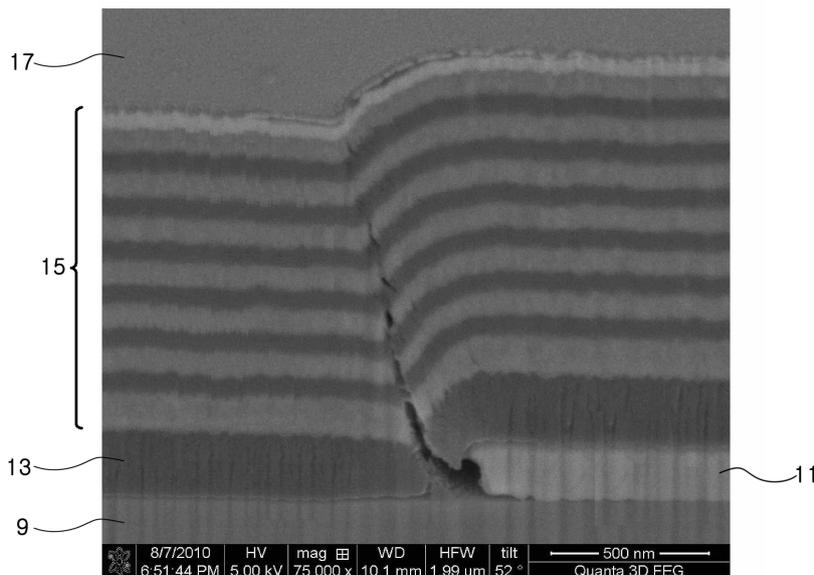
거칠어진 표면(R)은 평평한 표면보다 아래에 위치할 수 있다. 즉, 거칠어진 표면(R) 전극 패드(51) 및 전극 연장부(51a) 아래에 위치한다.

- [0048] n-전극 패드(51)는 반도체 적층 구조체(30) 상에 위치하며, n-전극 패드(51)로부터 전극 연장부(51a)가 연장한다. 반도체 적층 구조체(30) 상에 복수개의 n-전극 패드들(51)이 위치할 수 있으며, 상기 n-전극 패드들(51)로부터 각각 전극 연장부들(51a)이 연장할 수 있다. 상기 전극 연장부들(51a)이 반도체 적층 구조체(30)에 전기적으로 접속되며, n형 화합물 반도체층(25)에 직접 접촉할 수 있다.
- [0049] 상기 n-전극 패드(51)는 또한, 보호층(31) 영역 상부에 위치할 수 있다. 즉, 상기 n-전극 패드(51)의 바로 아래에서는 반사 금속층(33)이 p형 화합물 반도체층(29)에 오믹 콘택하지 않고, 대신에 보호층(31)이 위치한다. 나아가, 상기 전극 연장부(51a) 또한 보호층(31)의 영역 상부에 위치할 수 있다. 이에 따라, 상기 전극 연장부(51a)에서 바로 아래로 전류가 집중적으로 흐르는 것을 방지할 수 있다.
- [0050] 한편, 상부 절연층(47)이 상기 n-전극 패드(51)와 반도체 적층 구조체(30) 사이에 개재된다. 상기 상부 절연층(47)에 의해 n-전극 패드(51)로부터 직접 반도체 적층 구조체(30)로 전류가 흐르는 것이 방지되며, 특히 n-전극 패드(51) 바로 아래에서 전류가 집중되는 것을 방지할 수 있다. 또한, 상기 상부 절연층(47)은 거칠어진 표면(R)을 덮는다. 이때, 상기 상부 절연층(47)은 상기 거칠어진 표면(R)을 따라 형성된 요철면을 가질 수 있다. 상부 절연층(47)의 요철면은 볼록한 형상을 가질 수 있다. 상기 상부 절연층(47)의 요철면에 의해 상기 상부 절연층(47)의 상부면에서 발생하는 내부 전반사를 감소시킬 수 있다.
- [0051] 상기 상부 절연층(47)은 또한 반도체 적층 구조체(30)의 측면을 덮어 반도체 적층 구조체(30)를 외부 환경으로부터 보호할 수 있다. 나아가, 상기 상부 절연층(47)은 반도체 적층 구조체(30)를 노출시키는 개구부를 가질 수 있으며, 상기 전극 연장부(51a)는 상기 개구부 내에 위치하여 반도체 적층 구조체(30)에 접촉할 수 있다.
- [0052] 도 6 내지 도 10는 본 발명의 일 실시예에 따른 발광 다이오드를 제조하는 방법을 설명하기 위한 단면도들이다. 여기서, 상기 단면도들은 각각 도 2의 절취선 A-A를 따라 취해진 단면도에 대응한다.
- [0053] 도 6을 참조하면, 성장 기판(21) 상에 n형 화합물 반도체층(25), 활성층(27) 및 p형 화합물 반도체층(29)을 포함하는 반도체 적층 구조체(30)가 형성된다. 성장 기판(21)은 사파이어 기판일 수 있으나, 이에 한정되는 것은 아니며, 다른 이종기판, 예컨대 실리콘 기판일 수 있다. 상기 n형 및 p형 화합물 반도체층들(25, 29)은 각각 단일층 또는 다중층으로 형성될 수 있다. 또한, 상기 활성층(27)은 단일 양자우물 구조 또는 다중 양자우물 구조로 형성될 수 있다.
- [0054] 상기 화합물 반도체층들은 III-N 계열의 화합물 반도체로 형성될 수 있으며, 금속유기화학기상증착법(MOCVD) 또는 분자선 증착법(molecular beam epitaxy; MBE) 등의 공정에 의해 성장 기판(21) 상에 성장될 수 있다.
- [0055] 한편, 화합물 반도체층들을 형성하기 전, 버퍼층(미도시됨)이 형성될 수 있다. 버퍼층은 성장 기판(21)과 화합물 반도체층들의 격자 부정합을 완화하기 위해 채택되며, 질화갈륨 또는 질화알루미늄 등의 질화갈륨 계열의 물질층일 수 있다.
- [0056] 도 7을 참조하면, 상기 반도체 적층 구조체(30) 상에 보호층(31)이 형성된다. 보호층(31)은 반도체 적층 구조체(30)를 노출시키는 홈(도 1의 31a 참조)을 갖는다. 보호층(31)은 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있으며, 굴절률이 서로 다른 절연층들을 반복 적층함으로써 분포 브래그 반사기로 형성될 수도 있다. 또는, 상기 보호층(31)은 반도체 적층 구조체(30), 예컨대 p형 화합물 반도체층(29)에 쇼트키 콘택하는 금속층으로 형성될 수 있다.
- [0057] 상기 보호층(31) 상에 반사 금속층(33)이 형성된다. 반사 금속층(33)은 보호층(31)을 덮고, 보호층(31) 내의 홈을 채워 반도체 적층 구조체(30)에 오믹콘택한다. 상기 반사 금속층(33)은 은(Ag) 등의 반사성 금속을 포함한다. 한편, 상기 반사 금속층(33)의 가장자리는 보호층(31) 상에 위치한다. 상기 반사 금속층(33)은 개별 발광 다이오드 영역마다 연속적인 하나의 판 형상으로 형성될 수 있다.
- [0058] 이어서, 상기 반사 금속층(33) 상에 장벽 금속층(35)이 형성된다. 장벽 금속층(35)은 반사 금속층(33)의 상부면을 덮고 또한 반사 금속층(33)의 가장자리(33a)를 덮어 그것을 둘러싼다.
- [0059] 도 8을 참조하면, 상기 장벽 금속층(35) 상에 지지기판(41)이 부착된다. 지지기판(41)은 반도체 적층 구조체(30)와 별도로 제작된 후, 본딩 금속(43)을 통해 장벽 금속층(35) 상에 본딩될 수 있다. 이와 달리, 상기 지지기판(41)은 장벽 금속층(35) 상에서 도금되어 형성될 수 있다.

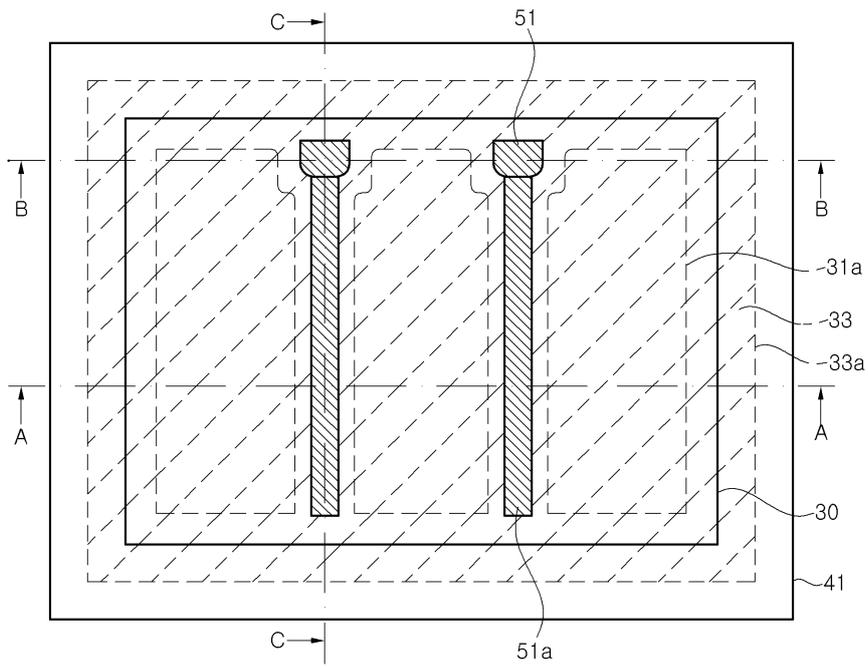
- [0060] 그 후, 상기 성장 기관(21)이 제거되어 반도체 적층 구조체(30)의 n형 화합물 반도체층(25) 표면이 노출된다. 성장 기관(21)은 레이저 리프트 오프(laser lift-off; LLO) 기술을 이용하여 제거될 수 있다.
- [0061] 도 9를 참조하면, 노출된 n형 화합물 반도체층(25) 상에 마스크 패턴(45)이 형성된다. 상기 마스크 패턴(45)은 상기 반사 금속층(33)의 홈에 대응하는 n형 화합물 반도체층(25) 영역을 덮고, 그 외 영역을 노출시킨다. 특히, 상기 마스크 패턴(45)은 향후 n-전극 패드 및 전극 연장부가 형성될 영역을 덮는다. 상기 마스크 패턴(45)은 포토레지스트와 같은 폴리머로 형성될 수 있다.
- [0062] 이어서, 상기 마스크 패턴을 식각 마스크로 사용하여 n형 화합물 반도체층(25) 표면을 이방성 에칭함으로써 n형 화합물 반도체층(25)에 거칠어진 표면(R)을 형성한다. 그 후, 상기 마스크 패턴(45)이 제거된다. 상기 마스크 패턴(45)이 위치하는 n형 화합물 반도체층(25) 표면은 평평한 표면을 유지한다.
- [0063] 한편, 상기 반도체 적층 구조체(30)를 패터닝하여 칩 분할 영역이 형성되고, 상기 보호층(31)이 노출된다. 칩 분할 영역은 거칠어진 표면(R)을 형성하기 전 또는 후에 형성될 수 있다. 상기 반사 금속층(33)의 가장자리는 칩 분할 영역에 노출된 보호층(31) 아래에 위치한다. 따라서, 상기 반사 금속층(33)은 상기 보호층(31)에 의해 외부에 노출되는 것이 방지된다.
- [0064] 도 10을 참조하면, 거칠어진 표면(R)이 형성된 n형 화합물 반도체층(25) 상에 상부 절연층(47)을 형성한다. 상부 절연층(47)은 거칠어진 표면(R)을 따라 형성되어 거칠어진 표면(R)에 대응하는 요철면을 갖는다. 또한, 상기 상부 절연층(47)은 n-전극 패드(51)가 형성될 평평한 표면을 덮는다. 상기 상부 절연층(47)은 또한 칩 분할 영역에 노출된 반도체 적층 구조체(30)의 측면을 덮을 수 있다. 다만, 상기 상부 절연층(47)은 전극 연장부(51a)가 형성될 영역의 평평한 표면을 노출시키는 개구부(47a)를 갖는다.
- [0065] 이어서, 상기 상부 절연층(47) 상에 n-전극 패드(51)를 형성함과 아울러, 상기 개구부(47a) 내에 전극 연장부를 형성한다. 전극 연장부는 n-전극 패드(51)로부터 연장하며, 반도체 적층 구조체(30)에 전기적으로 접촉한다.
- [0066] 그 후, 칩 분할 영역을 따라 지지기관(41)을 분할함으로써 개별 발광 다이오드 칩으로 분리되어 발광 다이오드가 완성된다(도 3 참조). 이때, 상기 보호층(31), 장벽금속층(35) 및 지지기관(41)이 함께 분할될 수 있으며, 따라서 이들의 측면은 나란할 수 있다. 한편, 상기 반사금속층은 상기 분할된 지지기관의 가장자리로 둘러싸인 영역 내에 위치하며, 이에 따라 반사 금속층(33)은 외부로 노출되지 않고 발광 다이오드 내에 매립된다.

도면

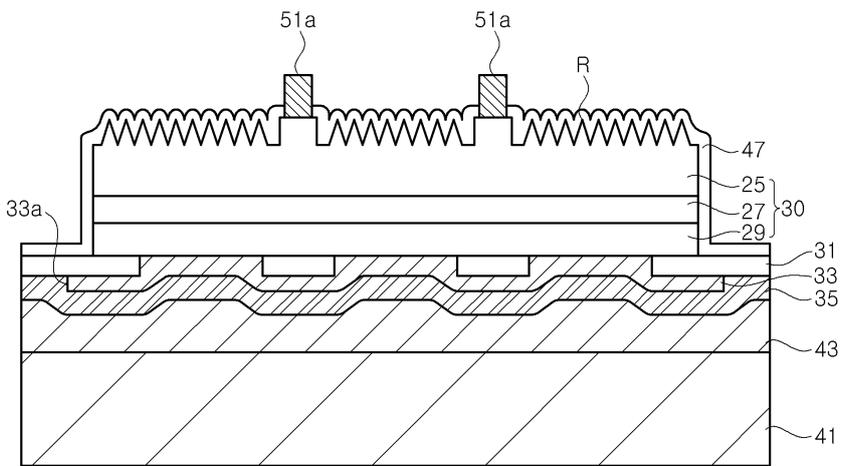
도면1



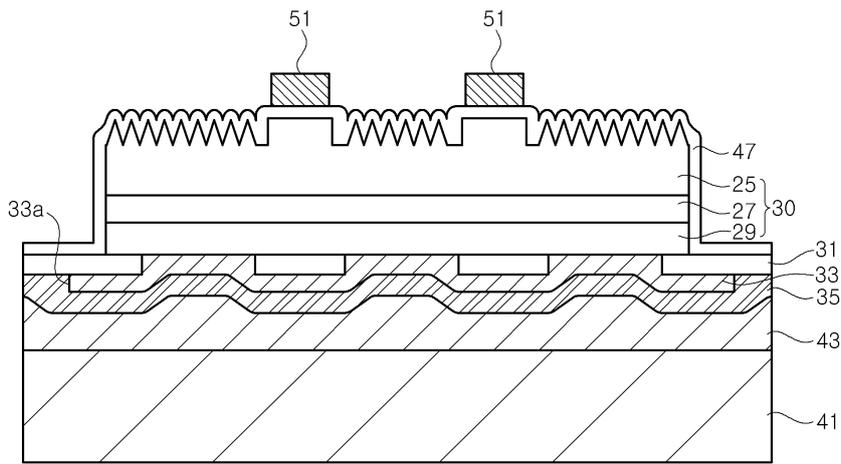
도면2



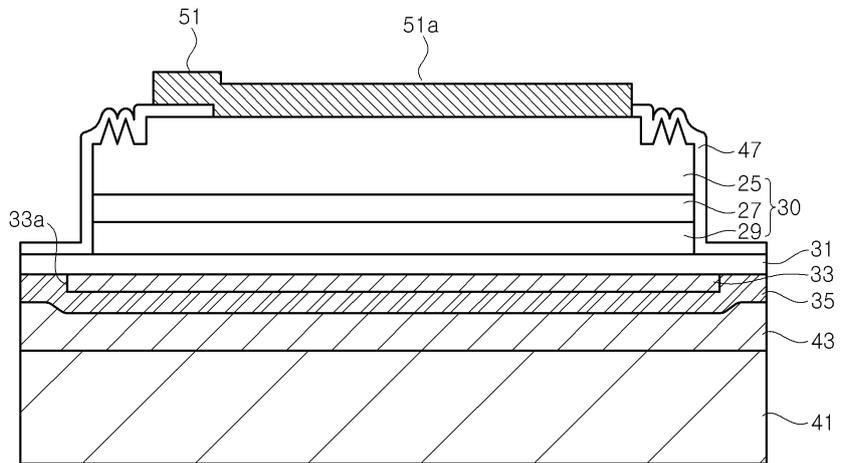
도면3



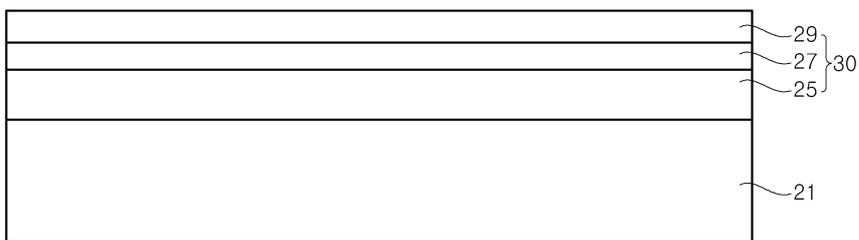
도면4



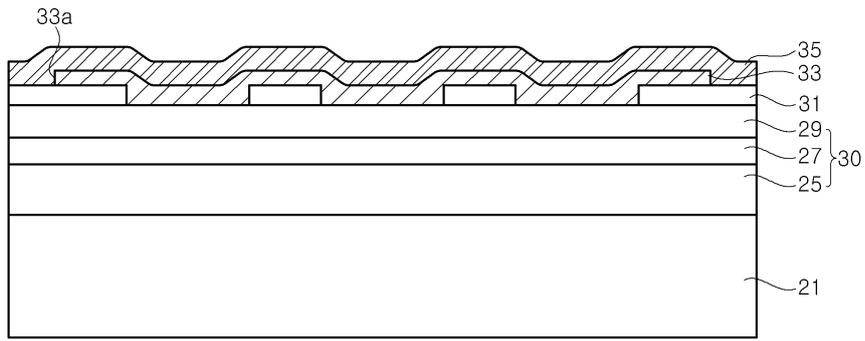
도면5



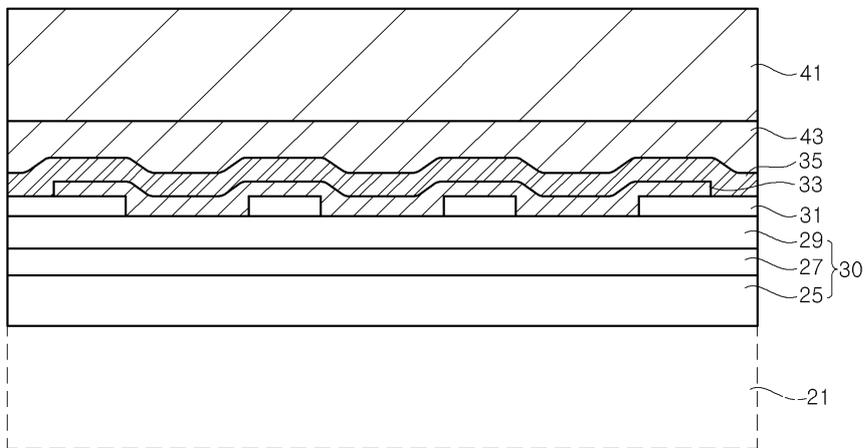
도면6



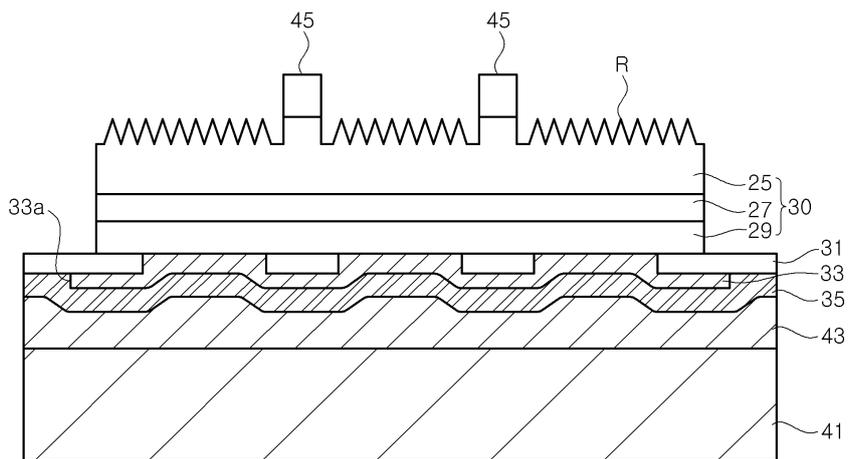
도면7



도면8



도면9



도면10

