



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I619010 B

(45)公告日：中華民國 107 (2018) 年 03 月 21 日

(21)申請案號：103100198

(22)申請日：中華民國 103 (2014) 年 01 月 03 日

(51)Int. Cl. : G06F1/32 (2006.01)

(30)優先權：2013/01/24 日本 2013-010716

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：田村輝 TAMURA, HIKARU (JP)

(74)代理人：林志剛

(56)參考文獻：

US 20090295769A1

US 20100007632A1

US 20100097354A1

US 20100134534A1

US 20100156851A1

審查人員：何偉權

申請專利範圍項數：20 項 圖式數：13 共 71 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

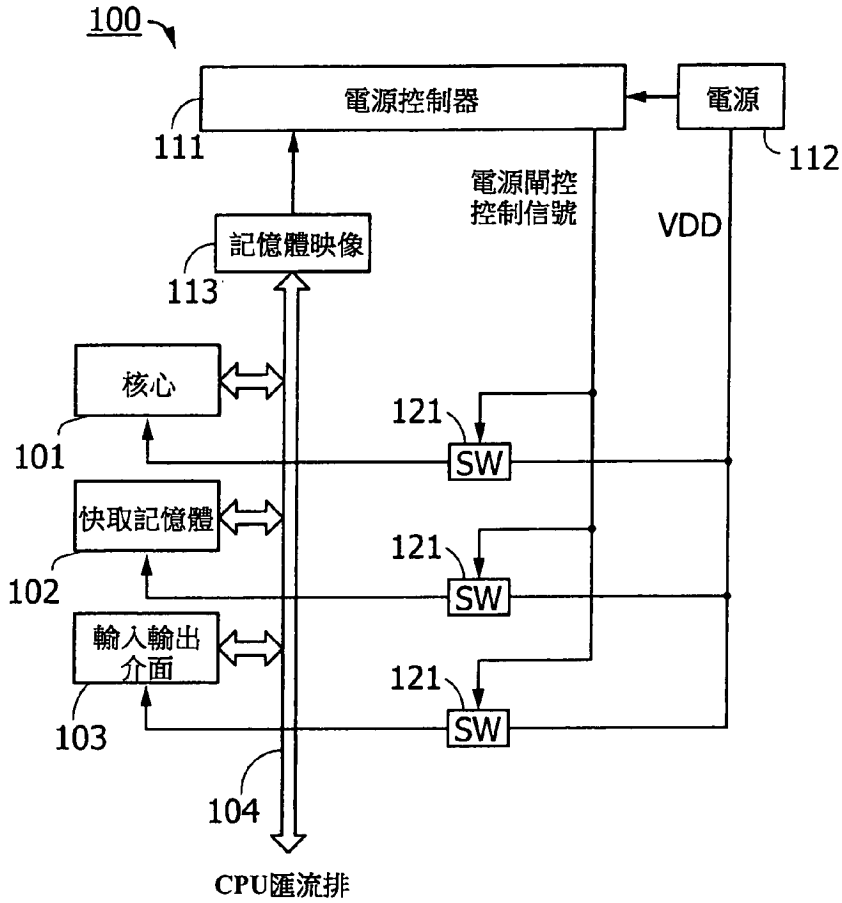
(57)摘要

本發明的目的之一是根據電路的使用狀態高效率地控制對多個電路的電源供應。由位址監控電路監控快取記憶體及輸入輸出介面的存取狀態或待機狀態，並根據該存取狀態或待機狀態進行電源開控。位址監控電路定期獲取且監控信號處理電路與快取記憶體之間的位址信號或信號處理電路與輸入輸出介面之間的位址信號。並且，當快取記憶體及輸入輸出介面中的一個處於待機狀態而另一個處於存取狀態時，對處於待機狀態的電路進行電源開控。

Supply of power to a plurality of circuits is controlled efficiently depending on usage conditions and the like of the circuits. An address monitoring circuit monitors whether a cache memory and an input/output interface are in an access state or not, and performs power gating in accordance with the state of the cache memory and the input/output interface. The address monitoring circuit acquires and monitors an address signal between a signal processing circuit and the cache memory or the input/output interface periodically. When one of the cache memory and the input/output interface is in a standby state and the other is in the access state, power gating is performed on the circuit that is in the standby state.

指定代表圖：

圖 1



符號簡單說明：

- 100 . . . 半導體裝置
- 101 . . . 信號處理電路
- 102 . . . 快取記憶體
- 103 . . . 輸入輸出介面
- 104 . . . 匯流排
- 111 . . . 電源控制電路
- 112 . . . 電源電路
- 113 . . . 位址監控電路
- 121 . . . 電源供應控制開關

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

[0001] 本發明係關於一種物體 (product ; 包括機器 (machine) 、 產品 (manufacture) 及元件 (composition of matter)) 以及方法 (process ; 包括單純方法及生產方法) 。 尤其是，本發明的一個實施例係關於一種半導體裝置、顯示裝置、發光裝置、上述裝置的驅動方法和上述裝置的製造方法。尤其是，本發明的一個實施例係關於例如半導體裝置和驅動方法。

【先前技術】

[0002] 近年來，已進行了以微電腦等半導體裝置的低功耗化為目的的技術開發。

[0003] 作為上述半導體裝置，例如，可以舉出在不需電源供應期間能夠停止對 CPU (Central Processing Unit : 中央處理單元) 及記憶體等供應電源電壓的微電腦等 (例如，專利文獻 1) 。

[0004]

[專利文獻 1] 日本專利申請公開第 2009-116851 號公

報

[0005] 然而，習知的微電腦所降低的功耗並不充分。例如，因為在習知的微電腦中以同一時序控制對 CPU 及記憶體等各電路供應電源電壓，所以對本來不需要電源供應的電路也供應了電源電壓，而浪費了電力。

【發明內容】

[0006] 於是，本發明的一個實施例的目的之一是提供一種可以進一步降低功耗的具有新穎的結構的半導體裝置等。或者，本發明的一個實施例的目的之一是提供一種可以高效率地進行電源閘控的具有新穎的結構的半導體裝置等。或者，本發明的一個實施例的目的之一是提供一種可以高效率地進行時脈閘控的具有新穎的結構的半導體裝置等。或者，本發明的一個實施例的目的之一是提供一種可以降低進行電源閘控時的開銷電力的具有新穎的結構的半導體裝置等。或者，本發明的一個實施例的目的之一是提供一種可靠性高的具有新穎的結構的半導體裝置等。或者，本發明的一個實施例的目的之一是提供一種具有新穎的結構的半導體裝置等。

[0007] 注意，這些目的並不妨礙其他目的的存在。此外，本發明的一個實施例並不需要實現所有上述目的。此外，從說明書、圖式、申請專利範圍等記載中顯然可以看出上述以外的目的的存在，且可以從說明書、圖式、申請專利範圍等記載中抽出上述以外的目的。

[0008] 在本發明的一個實施例中，由位址監控電路監控快取記憶體及輸入輸出介面是否處於存取狀態，並根據快取記憶體及輸入輸出介面的狀態進行電源閘控。藉由採用該結構，實現各電路的最適電源供應，而抑制電力的浪費。

[0009] 明確而言，位址監控電路定期獲取且監控信號處理電路與快取記憶體之間的位址信號或信號處理電路與輸入輸出介面之間的位址信號。並且，當快取記憶體及輸入輸出介面中的一個處於待機狀態而另一個處於存取狀態時，對處於待機狀態的電路進行電源閘控。

[0010] 本發明的一個實施例是一種半導體裝置，包括：電連接到匯流排的信號處理電路、快取記憶體以及輸入輸出介面；監控信號處理電路、快取記憶體及輸入輸出介面是否處於存取狀態的位址監控電路；電連接到信號處理電路、快取記憶體以及輸入輸出介面中的任一個並根據電源閘控控制信號選擇是否對各電路供應電源的第一開關至第三開關；以及根據信號處理電路、快取記憶體及輸入輸出介面的狀態輸出電源閘控控制信號的電源控制電路。

[0011] 在本發明的一個實施例中，較佳的是，半導體裝置包括：分別電連接到信號處理電路、快取記憶體以及輸入輸出介面並根據時脈閘控控制信號選擇是否對各電路供應時脈信號的第一邏輯電路至第三邏輯電路，而電源控制電路根據信號處理電路、快取記憶體及輸入輸出介面的狀態輸出時脈閘控控制信號。

[0012] 在本發明的一個實施例中，較佳的是，半導體裝置包括：信號處理電路、快取記憶體以及輸入輸出介面；第一開關至第三開關的各開關之間的將氧化物半導體膜用於半導體層的電晶體以及電容元件。

[0013] 在本發明的一個實施例中，較佳的是，半導體裝置的電晶體的閘極被供應有時脈閘控控制信號。

[0014] 在本發明的一個實施例中，在半導體裝置中，較佳為在切換電源閘控控制信號之前的期間停止時脈信號的供應以停止電源供應。

[0015] 在本發明的一個實施例中，在半導體裝置中，較佳為在切換電源閘控控制信號之後的期間再次開始時脈信號的供應以再次開始電源供應。

[0016] 藉由本發明的一個實施例，可以提供一種因高效率地進行電源閘控而可以降低功耗且結構新穎的半導體裝置。

【圖式簡單說明】

[0017] 在圖式中：

圖 1 是說明半導體裝置的一個態樣的方塊圖；

圖 2A 至圖 2D 是說明半導體裝置的一個態樣的方塊圖；

圖 3A 和圖 3B 是說明半導體裝置的一個態樣的方塊圖；

圖 4 是說明半導體裝置的一個態樣的工作示意圖；

圖 5 是說明半導體裝置的一個態樣的方塊圖；

圖 6A 和圖 6B 是說明半導體裝置的一個態樣的方塊圖及時序圖；

圖 7 是說明半導體裝置的一個態樣的方塊圖；

圖 8A 和圖 8B 是說明半導體裝置的一個態樣的方塊圖及工作示意圖；

圖 9A 和圖 9B 是說明半導體裝置的一個態樣的方塊圖及工作示意圖；

圖 10A 和圖 10B 是說明半導體裝置的一個態樣的電路圖；

圖 11 是說明半導體裝置的一個態樣的剖面示意圖；

圖 12A 和圖 12B 是示出半導體裝置的製程的流程圖及透視示意圖；

圖 13A 至圖 13E 示出使用半導體裝置的電子裝置。

【實施方式】

[0018] 下面，參照圖式對實施例進行說明。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是實施例可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面的實施例所記載的內容中。注意，在下面說明的發明的結構中，在不同的圖式中共同使用相同的符號來表示相同的部分。

[0019] 另外，在圖式中，為便於清楚地說明，有時對大小、層的厚度或區域進行誇張的描述。因此，本發明並不一定限定於上述尺寸。此外，在圖式中，示意性地示出理想的例子，而不侷限於圖式所示的形狀或數值等。例如，可以包括因雜訊或定時偏差等所引起的信號、電壓或電流的不均勻等。

[0020] 此外，在本說明書等中，電晶體是指至少包括閘極（閘極端子或閘極電極）、汲極以及源極這三個端子的元件。在汲極（汲極端子、汲極區或汲極電極）與源極（源極端子、源極區或源極電極）之間具有通道區，並能夠藉由汲極、通道區以及源極使電流流過。

[0021] 在此，因為源極和汲極根據電晶體的結構或工作條件等而更換，因此很難限定哪個是源極哪個是汲極。因此，有時不將用作源極的部分或用作汲極的部分稱為源極或汲極，而將源極和汲極中的一者稱為第一電極並將源極和汲極中的另一者稱為第二電極。

[0022] 注意，本說明書所使用的“第一”、“第二”、“第三”等序數詞是為了避免構成要素的混淆而附加的，而不是為了在數目方面上進行限定而附加的。

[0023] 注意，在本說明書中，“使 A 與 B 連接”的描述除了使 A 與 B 直接連接的情況以外，還包括使 A 與 B 電連接的情況。在此，“使 A 與 B 電連接”的描述是指當在 A 與 B 之間存在具有某種電作用的目標物時，能夠進行 A 和 B 的電信號的授受。

[0024] 注意，在本說明書中，為了方便起見，使用“上”“下”等表示配置的詞句以參照圖式說明結構的位置關係。另外，結構的位置關係根據描述各結構的方向適當地改變。因此，不侷限於本說明書中所說明的詞句，根據情況可以適當地換詞句。

[0025] 另外，為了便於說明，對圖式中的方塊圖的各電路方塊的位置關係進行了特定，雖然在圖式中不同的電路方塊具有不同的功能，但是有時在實際電路或區域中將其設置為也可以在相同的電路或相同的區域中實現不同的功能。此外，為了說明在圖式中的方塊圖的各電路方塊的功能，雖然在圖式中示出一個電路方塊，但是有時在實際電路或區域中將其設置為藉由多個電路方塊進行一個電路方塊所進行的處理。

[0026] 在本說明書中，“平行”是指在 -10° 以上且 10° 以下的角度的範圍中配置兩條直線的狀態。因此也包括 -5° 以上且 5° 以下的角度的狀態。另外，“垂直”是指在 80° 以上且 100° 以下的角度的範圍中配置兩條直線的狀態。因此也包括 85° 以上且 95° 以下的角度的狀態。

[0027] 另外，在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0028] 另外，按如下順序進行各實施方式的說明。

1. 實施例 1 (基本結構)
2. 實施例 2 (將時脈閘控組合的結構)
3. 實施例 3 (變形例子)

4· 實施例 4 (快取記憶體)

5· 實施例 5 (構成半導體裝置的元件)

6· 實施例 6 (半導體裝置的電子構件及具備該電子構件的電子裝置的結構例子)

[0029]

實施例 1

在本實施例中，對如下半導體裝置的結構例子進行說明：藉由監控半導體裝置內的信號處理電路、快取記憶體以及輸入輸出介面的存取狀態或待機狀態並根據信號處理電路、快取記憶體以及輸入輸出介面的狀態進行電源閘控，實現對各電路的高效率的電源供應。

[0030] 首先，參照圖 1 對半導體裝置的方塊圖的一個例子進行說明。

[0031] 注意，在本說明書中，半導體裝置是指具有半導體元件的裝置。半導體裝置包括用來驅動具有半導體元件的電路的驅動電路等。半導體裝置包括配置於其他基板上的電路等。

[0032] 圖 1 所示的半導體裝置 100 包括：信號處理電路 101 (圖中縮寫為 core) ；快取記憶體 102 (圖中縮寫為 cache) ；以及輸入輸出介面 103 (圖中縮寫為 I/O I/F) 。這些電路藉由匯流排線 104 (圖中縮寫為 CPU_bus) 彼此電連接。

[0033] 另外，圖 1 所示的半導體裝置 100 包括：電源控制電路 111 (圖中縮寫為 Power Controller) ；電源電

路 112（圖中縮寫為 Power）；以及位址監控電路 113（也稱為記憶體映像（memory map）。圖中縮寫為 MEM_map）。

[0034] 另外，圖 1 所示的半導體裝置 100 在信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 的各電路與電源電路 112 之間具有電源供應控制開關（圖中縮寫為 SW）121。

[0035] 信號處理電路 101 是根據被輸入的信號進行運算處理的電路。作為輸入信號，例如可以舉出時脈信號、從快取記憶體 102 輸入的信號以及從輸入輸出介面 103 輸入的信號等。信號處理電路 101 對快取記憶體 102 及輸入輸出介面 103 輸出位址信號，使快取記憶體 102 及輸入輸出介面 103 處於存取狀態。信號處理電路 101 在不從快取記憶體 102 及輸入輸出介面 103 獲取信號時，不對快取記憶體 102 及輸入輸出介面 103 輸出位址信號，使快取記憶體 102 及輸入輸出介面 103 處於待機狀態。注意，本說明書中的信號處理電路是指具有在 CPU 內處理信號的功能的電路。此外，當 CPU 為單核心時，半導體裝置 100 內具有一個信號處理電路，而當 CPU 為多核心時，半導體裝置 100 內具有多個信號處理電路。

[0036] 快取記憶體 102 是在信號處理電路 101 進行運算處理時用來暫時儲存資料的電路。注意，本說明書中的快取記憶體具有如下功能：暫時儲存藉由信號處理電路 101 的運算處理算出的相當於運算結果的信號等資訊，以

實現資料處理的高速化。

[0037] 輸入輸出介面 103 是變換相當於信號處理電路 101 的運算結果的信號而生成輸出信號的電路。輸入輸出介面 103 例如具有生成輸出裝置用的信號的功能。注意，本說明書中的輸入輸出介面具有如下功能：作為介面將相當於信號處理電路的運算結果的信號等資訊輸出到輸出裝置。

[0038] 另外，作為輸出裝置，例如可以舉出：快閃記憶體或硬碟等外部記憶體；以及顯示器、揚聲器或印表機等週邊設備等。

[0039] 信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 的各電路藉由匯流排 104 所包括的資料匯流排、位址匯流排以及控制匯流排進行資料信號、位址信號以及控制信號的輸入輸出。注意，本說明書中的匯流排具有作為半導體裝置 100 內的內部匯流排的功能。藉由匯流排 104，在信號處理電路 101 與快取記憶體 102 或輸入輸出介面 103 之間進行各種信號的輸入輸出，並切換存取狀態或待機狀態。

[0040] 電源控制電路 111 輸出用來控制對信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 供應電源的電源閘控控制信號（圖中記作 power gating control signal）。此外，本說明書中的電源控制電路具有如下功能：生成且輸出用來控制半導體裝置 100 內的各電路的電源閘控及/或時脈閘控的信號。

[0041] 電源電路 112 用來供應對信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 供應電源電壓的電位 (VDD)。此外，本說明書中的電源電路具有如下功能：生成且輸出用來對半導體裝置 100 內的各電路進行電源供應的電位。

[0042] 位址監控電路 113 監控快取記憶體 102 或輸入輸出介面 103 是否處於存取狀態。位址監控電路 113 藉由獲取在信號處理電路 101 與快取記憶體 102 或輸入輸出介面 103 之間進行輸入輸出的位址信號，可以判斷快取記憶體 102 或輸入輸出介面 103 是處於存取狀態還是處於待機狀態。另外，本說明書中的位址監控電路具有如下功能：藉由利用匯流排 104 獲取在信號處理電路 101 與快取記憶體 102 或輸入輸出介面 103 之間進行輸入輸出的位址信號，監控半導體裝置 100 內的各電路的狀態，並且將通知各電路所處於的存取狀態或待機狀態的信號輸出到電源控制電路 111。

[0043] 另外，位址監控電路 113 也可以採用如下結構：為了監控快取記憶體 102 或輸入輸出介面 103 的狀態，藉由作為用來判定各電路的狀態使用預先從信號處理電路 101 輸出的位址信號監控快取記憶體 102 或輸入輸出介面 103 的狀態。

[0044] 電源供應控制開關 121 根據電源閘控控制信號切換再次開始或停止對信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 的各電路的電源供應。注意，

本說明書中的電源供應控制開關 121 具有如下功能：根據電源閘控控制信號切換再次開始或停止對半導體裝置 100 內的各電路的電源供應。

[0045] 圖 1 所示的半導體裝置 100 採用如下結構：由位址監控電路 113 監控快取記憶體 102 或輸入輸出介面 103 是處於存取狀態還是處於待機狀態，根據各電路的狀態進行電源閘控的執行和停止。藉由該結構，可以實現信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 的各電路的最適電源供應，而抑制電力的浪費。注意，電源閘控的執行是指關閉電源供應控制開關 121 而停止對作為目標的電路的電源供應。此外，電源閘控的停止是指開啟電源供應控制開關 121 而再次開始對作為目標的電路的電源供應。此外，在沒有特別的說明的情況下，進行電源閘控是指進行電源閘控的執行和停止。

[0046] 接著，根據快取記憶體 102 或輸入輸出介面 103 的狀態對執行電源閘控的結構進行說明。各電路的狀態可以根據信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 有可能處於的多種狀態來決定。因此，在圖 2A 至圖 2D 及圖 3A 和圖 3B 中，舉出具體例子來說明信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 有可能處於的多種狀態。

[0047] 在圖 2A 至圖 2D 及圖 3A 和圖 3B 中，粗線箭頭表示信號的輸入輸出，並表示在匯流排 104 中產生位址信號的輸入輸出。此外，在圖 2A 至圖 2D 及圖 3A 和圖

3B 中，“I”表示信號處理電路 101 與輸入輸出介面 103 進行信號的輸入輸出的狀態。此外，在圖 2A 至圖 2D 及圖 3A 和圖 3B 中，“C”表示信號處理電路 101 與快取記憶體 102 進行信號的輸入輸出的狀態。此外，在圖 2A 至圖 2D 及圖 3A 和圖 3B 中，“ID”表示附加的電路為待機狀態（閒置狀態（idle state））。此外，在圖 2A 至圖 2D 及圖 3A 和圖 3B 中，“A”表示附加的電路為存取狀態。此外，在圖 2A 至圖 2D 及圖 3A 和圖 3B 中，“PC”表示信號處理電路 101 將用來執行電源閘控的位址信號輸出到快取記憶體 102 的狀態。此外，在圖 2A 至圖 2D 及圖 3A 和圖 3B 中，“PI”表示信號處理電路 101 將用來執行電源閘控的位址信號輸出到輸入輸出介面 103 的狀態。此外，在圖 2A 至圖 2D 及圖 3A 和圖 3B 中，“G”表示附加的電路藉由電源閘控而停止電源供應的狀態。此外，在圖 2A 至圖 2D 及圖 3A 和圖 3B 中，叉號表示附加的電路藉由電源閘控而停止電源供應的狀態。

[0048] 首先，圖 2A 表示信號處理電路 101 與輸入輸出介面 103 進行信號的輸入輸出的狀態。在該狀態下，信號處理電路 101 為“I”，快取記憶體 102 為“ID”，輸入輸出介面 103 為“A”。

[0049] 另外，圖 2B 表示信號處理電路 101 與快取記憶體 102 進行信號的輸入輸出的狀態。在該狀態下，信號處理電路 101 為“C”，快取記憶體 102 為“A”，輸入輸出介面 103 為“ID”。

[0050] 另外，圖 2C 表示信號處理電路 101 執行停止對快取記憶體 102 的電源供應的電源閘控的狀態。在該狀態下，信號處理電路 101 為“PC”，快取記憶體 102 為“G”，輸入輸出介面 103 為“ID”。此外，電源控制電路 111 由電源閘控控制信號關閉連接於快取記憶體 102 的電源供應控制開關 121。

[0051] 另外，圖 2D 表示信號處理電路 101 執行停止對輸入輸出介面 103 的電源供應的電源閘控的狀態。在該狀態下，信號處理電路 101 為“PI”，快取記憶體 102 為“ID”，輸入輸出介面 103 為“G”。此外，電源控制電路 111 由電源閘控控制信號關閉連接於輸入輸出介面 103 的電源供應控制開關 121。

[0052] 另外，圖 3A 表示信號處理電路 101 與輸入輸出介面 103 進行信號的輸入輸出且信號處理電路 101 持續執行停止對快取記憶體 102 的電源供應的狀態。在該狀態下，信號處理電路 101 為“I”，快取記憶體 102 為“G”，輸入輸出介面 103 為“A”。此外，電源控制電路 111 由電源閘控控制信號關閉連接於快取記憶體 102 的電源供應控制開關 121。

[0053] 另外，圖 3B 表示信號處理電路 101 與快取記憶體 102 進行信號的輸入輸出且信號處理電路 101 持續執行停止對輸入輸出介面 103 的電源供應的狀態。在該狀態下，信號處理電路 101 為“C”，快取記憶體 102 為“A”，輸入輸出介面 103 為“G”。此外，電源控制電路 111 由電源

閘控控制信號關閉連接於輸入輸出介面 103 的電源供應控制開關 121。

[0054] 在上述圖 2A 至圖 2D 及圖 3A 和圖 3B 中說明的信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 可能處於的多個狀態由位址監控電路 113 監控並用於切換半導體裝置 100 中的電源閘控。在本實施例中，藉由示出信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 可能處於的多個狀態的變遷的一個例子，具體說明電源閘控的切換。

[0055] 圖 4 示出半導體裝置 100 中的信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 可能處於的多個狀態的變遷的一個例子。此外，在圖 4 中，示出期間 T1 至期間 T12 的狀態，下面說明根據各期間的狀態的電源閘控的切換。

[0056] 首先，期間 T1 中的各電路處於與圖 2A 中相同的狀態。

[0057] 接著，期間 T2 中的各電路處於與圖 2A 中相同的狀態。

[0058] 接著，在期間 T3 中，快取記憶體 102 處於與在期間 T1 及期間 T2 中同樣的待機狀態。因此，電源控制電路 111 為了停止對快取記憶體 102 的電源供應，執行電源閘控。其結果是，期間 T3 中的各電路處於與圖 2C 中相同的狀態。

[0059] 接著，在期間 T4 中，快取記憶體 102 處於與

期間 T3 中相同的電源供應停止的狀態，而輸入輸出介面 103 處於存取狀態。因此，電源控制電路 111 持續停止對快取記憶體 102 的電源供應。其結果是，期間 T4 中的各電路處於與圖 3A 中相同的狀態。與期間 T4 相同，期間 T5 至期間 T7 中的各電路也處於與圖 3A 中相同的狀態。

[0060] 接著，期間 T8 中的各電路處於與圖 2B 中相同的狀態。因此，電源控制電路 111 再次開始對快取記憶體 102 的電源供應，並且將快取記憶體 102 切換到存取狀態。

[0061] 接著，期間 T9 中的各電路處於與圖 2B 中相同的狀態。

[0062] 在期間 T10 中，輸入輸出介面 103 處於與在期間 T8 及期間 T9 中同樣的待機狀態。因此，電源控制電路 111 為了停止對輸入輸出介面 103 的電源供應，執行電源閘控。其結果是，期間 T10 中的各電路處於與圖 2D 中相同的狀態。

[0063] 接著，在期間 T11 中，輸入輸出介面 103 處於與期間 T10 中相同的電源供應停止的狀態，而快取記憶體 102 處於存取狀態。因此，電源控制電路持續停止對輸入輸出介面 103 的電源供應。其結果是，期間 T11 中的各電路處於與圖 3B 中相同的狀態。與期間 T11 相同，期間 T12 的各電路也處於與圖 3B 中相同的狀態。

[0064] 本實施例所示的半導體裝置 100 為如下結構：根據地址監控電路 113，定期取得信號處理電路與快

取記憶體之間的位址信號或信號處理電路與輸入輸出介面之間的位址信號，並且監控快取記憶體及輸入輸出介面的狀態。並且，當快取記憶體及輸入輸出介面中的一個處於待機狀態而另一個處於存取狀態時，可以對處於待機狀態的電路進行電源閘控。因此，本實施例中的半導體裝置 100 可以高效率地進行電源閘控，並可以降低功耗。

[0065] 另外，可以利用與執行電源閘控同樣的的步驟來停止電源閘控。作為一個例子，以如下步驟進行即可：將用於停止電源閘控的判定位址信號輸出到高速記憶體 102 或輸入輸出介面 103，該判定位址信號引發電源控制電路 111 切換電源閘控控制信號並開啟電源供應控制開關 121。此外，以如下步驟停止電源閘控即可：取得輸入輸出到信號處理電路 101 與快取記憶體 102 或輸出輸入介面 103 之間的位址信號，根據取得的位址信號判斷快取記憶體 102 或輸出輸入介面 103 的狀態，該判定結果引發電源控制電路 111 切換電源閘控而開啟電源供應控制開關 121。

[0066] 如上所述，在本實施例的半導體裝置的一個例子中，由位址監控電路 113 監控藉由匯流排 104 彼此電連接的各電路的狀態，並根據各電路的狀態利用電源供應控制開關實現電源供應的最適時機。並且在各電路中，可以使電源供應的最適時機彼此不同。因此，分別使對各電路的電源供應的時機最適化，而可以抑制電力的浪費。

[0067] 本實施例可以與其他實施例適當地組合而實

施。

[0068]

實施例 2

在本實施例中，根據在上述實施例 1 中說明的進行電源閘控的結構以及利用控制時脈閘控的信號的結構，對各電路實現高效率的電源供應的半導體裝置的結構例子進行說明。

[0069] 首先，參照圖 5 對半導體裝置的方塊圖的一個例子進行說明。

[0070] 圖 5 所示的半導體裝置 100 包括：信號處理電路 101；快取記憶體 102；以及輸入輸出介面 103。這些電路藉由匯流排 104 電連接。

[0071] 圖 5 所示的半導體裝置 100 包括：電源控制電路 111；電源電路 112；以及位址監控電路 113。

[0072] 另外，圖 5 所示的半導體裝置 100 在信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 的各電路與電源電路 112 之間具有電源供應控制開關 121。

[0073] 圖 5 所示的電源供應控制開關 121 包括：p 通道型電晶體 122；n 通道型電晶體 123；具有氧化物半導體的電晶體（下面，記作 OS 電晶體 124）；電容元件 125；以及位準轉換器 126（圖中，縮寫為 L.S.）。另外，在許多情況下，用來供應電源的佈線連接於電容元件以維持該佈線的電位。因此，不另行追加電容元件而是將用來維持該佈線的電位的上述電容元件用作電容元件

125。

[0074] 另外，在圖 5 中，為了明確地表示 OS 電晶體 124 包括氧化物半導體層，附上“OS”的符號。

[0075] 另外，圖 5 所示的半導體裝置 100 包括時脈產生電路 131。此外，圖 5 所示的半導體裝置 100 在信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 的各電路與時脈產生電路 131 之間具有邏輯電路 132。

[0076] 圖 5 所示的半導體裝置 100 與在實施例 1 中說明的圖 1 的結構的不同之處在於：圖 5 所示的半導體裝置 100 的電源供應控制開關 121 的結構更具體，其設置有時脈產生電路 131 及邏輯電路 132。於是，在本實施例中，詳細說明與圖 1 不同之處，而重複的說明援用上述實施例 1。

[0077] 電源控制電路 111 除了輸出電源閘控控制信號，還輸出時脈閘控控制信號（clock gating control signal），該時脈閘控控制信號用來控制對各電路的時脈信號的供應。

[0078] 根據電源閘控控制信號控制 p 通道型電晶體 122 及 n 通道型電晶體 123，以使其中一個導通而另一個非導通。例如，當電源閘控控制信號為 L 位準的信號時，p 通道型電晶體 122 成為導通狀態，而 n 通道型電晶體 123 成為非導通狀態，電源供應再次開始。此外，當電源閘控控制信號為 H 位準的信號時，p 通道型電晶體 122 成為非導通狀態，而 n 通道型電晶體 123 成為導通狀態，電

源供應停止。

[0079] 另外，在圖 5 的結構中，雖然說明了電源供應控制開關 121 具有 p 通道型電晶體 122 及 n 通道型電晶體 123 的結構，但是也可以是其他結構。例如，也可以採用只使用 p 通道型電晶體 122，而省略 n 通道型電晶體 123 的結構。

[0080] 由於 OS 電晶體 124 的關態電流（off-state current）極小，因此可以使電荷積蓄於電容元件 125。較佳的是，在即將停止上述電源供應之前利用 OS 電晶體 124 及電容元件 125 積蓄電荷並在再次開始上述電源供應之後立即釋放積蓄的電荷。

[0081] 為了使保持在 OS 電晶體 124 與電容元件 125 之間的節點中的電位以 85°C 保持 10 年（ 3.15×10^8 秒），較佳的是，電容每 $1 \mu\text{F}$ 的的關態電流值及電晶體的通道寬每 $1 \mu\text{m}$ 的關態電流值為 3yA 以上且小於 5yA （尤科托安培（yoctoampere）： 1yA 為 10^{-24}A ）。此時，節點電位的容許的變動較佳為 0.5V 以內。此外，在 60°C 下，上述關態電流較佳為 30yA 以上且小於 40yA 。

[0082] 以如下目的設置位準轉換器 126：在時脈閘控制信號被施加到 OS 電晶體 124 的閘極時，提升電壓以可以控制 OS 電晶體 124 的導通或非導通狀態。注意，也可以省略位準轉換器 126。

[0083] 時脈產生電路 131 是生成對信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 的各電路供

應的時脈信號的電路。注意，本說明書中的時脈產生電路生成且輸出對半導體裝置 100 內的各電路供應的時脈信號。

[0084] 邏輯電路 132 根據時脈閘控控制信號切換再次開始或停止對信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 的各電路的時脈信號的供應。作為邏輯電路 132 的一個例子，可以使用及電路（AND 電路）來構成。

[0085] 圖 5 所示的半導體裝置 100 採用如下結構：由位址監控電路 113 監控各電路的存取狀態或待機狀態，並根據該狀態進行電源閘控及時脈閘控。藉由採用該結構，可以實現信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 的各電路的最適電源供應及時脈信號的供應，而抑制電力的浪費。

[0086] 注意，時脈閘控的執行是指藉由邏輯電路 132 而停止對作為目標的電路供應時脈信號。此外，時脈閘控之後的停止是指藉由邏輯電路 132 而再次開始對作為目標的電路的時脈信號的供應。此外，在沒有特別的說明的情況下，進行時脈閘控是指進行時脈閘控的執行和停止。

[0087] 下面，參照圖 6A 和圖 6B 詳細說明圖 5 所示的使用電源供應控制開關 121 內的電路的工作。圖 6A 示出摘出圖 5 所示的電源供應控制開關 121 的結構及其周圍的結構的電路結構。

[0088] 在圖 6A 所示的電源供應控制開關 121 的結構

中，較佳為在即將停止電源供應之前停止時脈信號的供應。此外，在圖 6A 的結構中，較佳為在再次開始電源供應之後立即再次開始時脈信號的供應。也就是說，在圖 6A 的結構中，較佳為在即將停止電源供應之前使 OS 電晶體 124 處於非導通狀態，使電荷積蓄於電容元件 125，並且在再次開始電源供應之後立即使 OS 電晶體 124 處於導通狀態，使電荷從電容元件 125 釋放。此外，在圖 6A 中，為了進行說明，以 node_P 表示將 OS 電晶體 124 及信號處理電路 101 電連接的佈線上的節點。

[0089] 在圖 6B 中，示出對應於上述說明的時脈閘控控制信號、電源閘控控制信號以及節點 node_P 的電位時序圖。如圖 6B 所示，藉由在即將停止由電源閘控的電源供應之前將時脈閘控控制信號的 H 位準切換到 L 位準而使 OS 電晶體 124 處於非導通狀態，使電荷保持於電容元件 125 中。此外，藉由在再次開始由電源閘控的電源供應之後立即將時脈閘控控制信號的 L 位準切換到 H 位準而使 OS 電晶體 124 處於導通狀態，使電荷從電容元件 125 釋放。

[0090] 藉由進行電源閘控，具有節點 node_P 的佈線進行充電放電。因此，有進行電源閘控時的功耗比不進行電源閘控時的功耗更大的可能性。將該進行電源閘控時的功耗稱作開銷電力。當為了降低功耗而進行電源閘控時，較佳為將開銷電力抑制為小而降低多餘的功耗。尤其是，在頻繁地進行電源閘控的本實施例的結構中，開銷電力的

降低是重要的。

[0091] 另外，也可以將電容元件 125 分割成多個部分。換言之，也可以採用該部分藉由多個 OS 電晶體中的任一個的源極和汲極連接於節點 `node_P` 的結構。

[0092] 在本實施例的結構中，預先對進行電源供應的佈線積蓄電荷，執行電源閘控。因此，如圖 6B 中的箭頭所示，可以使當執行電源閘控時的電位急劇下降。另外，在本實施例的結構中，在停止電源閘控之後釋放積蓄的電荷。因此，可以減少對該佈線充電的電荷的量，所以如圖 6B 中的箭頭所示，可以使當再次開始對該佈線供應電源時的電位急劇上升。因此，可以實現電源閘控的開銷電力的降低。

[0093] 如上所述，除了在實施例 1 中所說明的效果，還可以降低電源閘控的開銷電力。

[0094] 本實施例可以與其他實施例適當地組合而實施。

[0095]

實施例 3

在本實施例中，對上述實施例 1 中說明的信號處理電路 101、快取記憶體 102 以及輸入輸出介面 103 的各電路進行電源閘控的結構及設置副信號處理電路 105（共處理器：圖中縮寫為 `co-processor`）的半導體裝置的結構例子進行說明。

[0096] 首先，參照圖 7 說明半導體裝置的方塊圖的

一個例子。

[0097] 圖 7 所示的半導體裝置 100 包括：信號處理電路 101；快取記憶體 102；輸入輸出介面 103；以及副信號處理電路 105。這些電路藉由匯流排 104 電連接。

[0098] 此外，圖 7 所示的半導體裝置 100 包括：電源控制電路 111；電源電路 112；以及位址監控電路 113。

[0099] 另外，圖 7 所示的半導體裝置 100 在信號處理電路 101、快取記憶體 102、輸入輸出介面 103 以及副信號處理電路 105 的各電路與電源電路 112 之間具有電源供應控制開關 121。

[0100] 圖 7 所示的半導體裝置 100 與在實施例 1 及實施例 2 中說明的圖 1 及圖 5 的結構的不同之處在於：圖 7 中設置有副信號處理電路 105。於是，在本實施例中，詳細說明與圖 1 及圖 5 不同之處，而重複的說明援用上述實施例 1 及實施例 2。

[0101] 副信號處理電路 105 進行如反覆載入和儲存的迴圈處理那樣的資料傳送。注意，本說明書中的副信號處理電路具有進行迴圈處理等資料傳送的功能。

[0102] 圖 7 所示的半導體裝置 100 採用如下結構：由位址監控電路 113 監控信號處理電路 101、快取記憶體 102、輸入輸出介面 103 以及副信號處理電路 105 是處於存取狀態還是處於待機狀態，根據各電路的狀態進行電源閘控。藉由採用該結構，可以實現信號處理電路 101、快

取記憶體 102、輸入輸出介面 103 以及副信號處理電路 105 的各電路的最適電源供應及時脈信號的供應，而抑制電力的浪費。

[0103] 下面，參照圖 8A 和圖 8B 詳細說明圖 7 所示的副信號處理電路 105 的工作。圖 8A 示出外部記憶體 141（圖中縮寫為 ROM）、內部記憶體 142（圖中縮寫為 RAM）、信號處理電路 143 以及副信號處理電路 144 的方塊圖。

[0104] 外部記憶體 141 是快閃記憶體或硬碟等讀取速度較慢的非揮發性記憶體裝置。外部記憶體 141 中儲存有提取（Fetch）到信號處理電路 143 的程式和儲存（Store）到內部記憶體 142 的資料。

[0105] 內部記憶體 142 是 SDRAM（Synchronous Dynamic Random Access Memory：靜態隨機存取記憶體）或 DRAM（Dynamic Random Access Memory：動態隨機存取記憶體）等讀取速度較快的揮發性記憶體裝置。在內部記憶體 142 中，根據提取到信號處理電路 143 中的程式，暫時儲存有從外部記憶體 141 讀取的資料。

[0106] 信號處理電路 143 執行依照被提取進來的程式的處理。此外，信號處理電路 143 根據依照被提取進來的程式進行的處理啟動（Boot up）副信號處理電路 144。

[0107] 副信號處理電路 144 根據提取到信號處理電路 143 的程式，進行從外部記憶體 141 載入（Load）資料且儲存（Store）內部記憶體 142 的處理。

[0108] 注意，副信號處理電路 144 在提取到信號處理電路 143 的程式進行儲存（Store）及載入（Load）的反覆工作的迴圈處理時是有效的。在此情況下，信號處理電路 143 可以在啟動（Boot up）副信號處理電路 144 之後停止對信號處理電路 143 的電源電壓的供應。在副信號處理電路 144 中，即使停止對信號處理電路 143 的電源供應，藉由執行儲存（Store）和載入（Load）的反覆工作，可以實現處理速度的提高及功耗的降低。

[0109] 另外，為了與圖 8A 作比較，在圖 9A 中示出沒有副信號處理電路 144 的方塊圖。在圖 9A 的結構中，信號處理電路 143 根據從外部記憶體 141 被提取進來（Fetch）的程式，從外部記憶體 141 載入（Load）資料，並儲存（Store）內部記憶體 142。

[0110] 接著，參照圖 8B 說明圖 8A 所示的方塊圖中的信號處理電路 143 及副信號處理電路 144 的工作。此外，參照圖 9B 說明圖 9A 所示的方塊圖中的信號處理電路 143 的工作。

[0111] 如上所述，在圖 8A 所示的方塊圖的結構中，藉由設置信號處理電路 143 及副信號處理電路 144，在進行如迴圈處理那樣的反覆的處理時，可以停止對信號處理電路 143 供應電源電壓。另一方面，在圖 9A 所示的方塊圖的結構中，不設置副信號處理電路而只設置信號處理電路 143，在此情況下，在進行如迴圈處理那樣的反覆的處理時，不能停止對信號處理電路 143 供應電源電壓。

[0112] 注意，在圖 8B 及圖 9B 中，“FE”表示信號處理電路 143 收進（Fetch）程式的狀態。此外，在圖 8B 及圖 9B 中，“LO”表示電路載入（Load）資料的狀態。此外，在圖 8B 及圖 9B 中，“ST”表示電路儲存（Store）資料的狀態。此外，在圖 8B 中，“CO”表示信號處理電路 143 將程式解碼，並啟動副信號處理電路 144 的狀態。此外，在圖 8B 中，“BU”表示信號處理電路 143 將副信號處理電路 144 啟動（Boot up）的狀態。此外，在圖 8B 中，“PG”表示信號處理電路 143 的電源閘控的執行。此外，在圖 8B 中，“G”表示電路藉由電源閘控的執行而停止電源供應的狀態。

[0113] 在圖 8A 所示的方塊圖的結構中，設置信號處理電路 143 及副信號處理電路 144。因此，如圖 8B 的期間 T4 至期間 T12 所示，在副信號處理電路進行如迴圈處理那樣的反覆的處理時，可以停止對信號處理電路 143 供應電源電壓。

[0114] 另一方面，在圖 9A 所示的方塊圖的結構中，不設置副信號處理電路而只設置信號處理電路 143。因此，如圖 9B 的期間 T1 至期間 T12 所示，在進行如迴圈處理那樣的反覆的處理時，不能停止對信號處理電路 143 供應電源電壓。因此，在進行如迴圈處理那樣的反覆的處理的情況下，藉由設置副信號處理電路來進一步實現功耗的降低。

[0115] 如上所述，除了在實施例 1 中所說明的效

果，藉由設置副信號處理電路而停止對信號處理電路供應電源電壓，還可以降低功耗。

[0116] 本實施例可以與其他實施例適當地組合而實施。

[0117]

實施例 4

在本實施例中，參照圖式對構成根據所公開的發明的一個實施例的半導體裝置的電路進行說明。

[0118] 包括構成半導體裝置的信號處理電路的暫存器例如可以使用揮發性暫存器和非揮發性暫存器來構成。

[0119] 藉由採用該結構，可以在即將執行電源閘控之前將資料從揮發性暫存器備份到非揮發性暫存器。此外，可以在再次開始電源供應之後立即將儲存在非揮發性暫存器的資料輸入到揮發性暫存器。由此，可以提前再次開始信號處理電路的工作。

[0120] 上述非揮發性暫存器例如可以使用關態電流低的電晶體來形成。此時，上述關態電流低的電晶體具有控制非揮發性暫存器的資料的寫入及保存的功能。

[0121] 作為上述關態電流低的電晶體，例如可以使用具有使用了氧化物半導體膜的半導體層的場效應電晶體。上述包含氧化物半導體的場效應電晶體例如藉由儘量去除氫或水等雜質並供應氧來儘量減少氧缺陷，可以實現較低的關態電流。

[0122] 藉由使用上述關態電流低的電晶體構成非揮

發性暫存器，僅藉由使該電晶體處於關閉狀態就能夠長期間保存資料，因此可以由簡單的結構構成非揮發性暫存器。

[0123] 另外，構成半導體裝置的快取記憶體也與暫存器同樣，可以採用使用上述關態電流低的電晶體且設置揮發性記憶部和非揮發性記憶部的結構。

[0124] 快取記憶體藉由使用關態電流低的電晶體，具有控制記憶單元的資料的寫入及保存的功能。上述快取記憶體即使在停止電源供應時也能夠長時間保存資料。使用關態電流低的電晶體構成的非揮發性記憶部由於可以藉由電晶體的開啟（on）或關閉（off）進行資料的寫入及讀取，因此可以高速地進行資料的輸出輸入。由此，可以提前再次開始快取記憶體的工作。

[0125] 下面，在本實施例中，參照圖 10A 和圖 10B 快取記憶體作為例對作為使用關態電流低的電晶體構成非揮發性記憶部的結構進行說明。

[0126] 圖 10A 示出快取記憶體 400。圖 10A 所示的快取記憶體 400 包括：記憶部 401；字線驅動電路 402；以及位元線驅動電路 403。記憶部 401 中以矩陣狀設置有記憶體電路 404。

[0127] 字線驅動電路 402 及位元線驅動電路 403 控制對記憶體電路 404 的信號的供應，並在讀取時獲取來自記憶體電路 404 的信號。

[0128] 字線驅動電路 402 藉由字線 WL 及寫入控制

線 OSWE 電連接於記憶體電路 404。位元線驅動電路 403 藉由位元線 BL 及反轉位元線 BLB 電連接於記憶體電路 404。

[0129] 圖 10B 示出記憶體電路 404。記憶體電路 404 包括揮發性記憶部 405 和非揮發性記憶部 406。

[0130] 揮發性記憶部 405 包括：電晶體 407；電晶體 408；反相器 409；以及反相器 410。

[0131] 藉由具有上述結構，揮發性記憶部 405 構成 SRAM (Static Random Access Memory：靜態隨機存取記憶體)。SRAM 可以高速地進行資料的讀取及寫入。

[0132] 非揮發性記憶部 406 包括：電晶體 411；電晶體 412；電容元件 413；以及電容元件 414。

[0133] 電晶體 411 及電晶體 412 是關態電流極小的電晶體。藉由將關態電流極小的電晶體用於電晶體 411 及電晶體 412，可以長時間保存電容元件 413 及電容元件 414 的電荷。

[0134] 在此，詳細說明如下氧化物半導體膜：能夠應用於作為關態電流極小的電晶體的電晶體 411 及電晶體 412 且用於 OS 電晶體的半導體層。

[0135] 氧化物半導體膜大致分為單晶氧化物半導體膜和非單晶氧化物半導體膜。非單晶氧化物半導體膜包括非晶氧化物半導體膜、微晶氧化物半導體膜、多晶氧化物半導體膜及 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體) 膜等。

[0136] 非晶氧化物半導體膜具有無序的原子排列並不具有結晶成分。其典型例子是在微小區域中也不具有結晶部而膜整體具有完全的非晶結構的氧化物半導體膜。

[0137] 微晶氧化物半導體膜例如包括 1nm 以上且小於 10nm 的尺寸的微晶（也稱為奈米晶）。因此，微晶氧化物半導體膜的原子排列的有序度比非晶氧化物半導體膜高。因此，微晶氧化物半導體膜的缺陷態密度低於非晶氧化物半導體膜。

[0138] CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部的尺寸為能夠容納於一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部的尺寸為能夠容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。CAAC-OS 膜的缺陷態密度低於微晶氧化物半導體膜。下面，對 CAAC-OS 膜進行詳細的說明。

[0139] 在 CAAC-OS 膜的穿透式電子顯微鏡（TEM：Transmission Electron Microscope）影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0140] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂

面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0141] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0142] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0143] 使用 X 射線繞射（XRD:X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO_4 的結晶的 CAAC-OS 膜時，在繞射角（ 2θ ）為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO_4 結晶的（009）面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0144] 另一方面，當利用從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ 為 56° 附近時常出現峰值。該峰值來源於 InGaZnO_4 結晶的（110）面。在此，將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸（ ϕ 軸）旋轉樣本的條件下進行分析（ ϕ 掃描）。當該樣本是 InGaZnO_4 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於（110）面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察

到明確的峰值。

[0145] 由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0146] 注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0147] 此外，CAAC-OS 膜中的結晶度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面近旁的結晶成長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的結晶度改變，所以有時 CAAC-OS 膜中的結晶度根據區域而不同。

[0148] 注意，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0149] 在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

[0150] 注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

[0151] 以上是對用於 OS 電晶體的半導體層的氧化物半導體的說明。

[0152] 揮發性記憶部 405 及非揮發性記憶部 406 彼此電連接。因此，可以在即將執行電源閘控之前，根據寫入控制線 OSWE 的信號，將揮發性記憶部 405 的資料備份到非揮發性記憶部 406 的資料保存部。

[0153] 另外，因為揮發性記憶部 405 構成 SRAM，所以要求其能夠進行高速工作。另一方面，非揮發性記憶部 406 被要求在停止電力的供應之後長時間地保存資料。例如可以藉由將揮發性記憶部 405 形成於單晶矽基板，並使用氧化物半導體膜形成非揮發性記憶部 406，來實現這種結構。

[0154] 如上所述，可以提高快取記憶體 400 的工作的可靠性。另外，即使關閉 SRAM 也可以確實地使資料恢復，而由於只對一部分的記憶元件進行資料的備份，因此可以降低功耗。

[0155] 注意，在本實施例中，雖然作為揮發性記憶體使用了 SRAM，但是並不侷限於此，也可以使用其他的

揮發性記憶體。

[0156] 本實施例可以與其他實施例適當地組合而實施。

[0157]

實施例 5

在本實施例中，參照圖 11 對構成根據所公開的發明的一個實施例的半導體裝置的元件的剖面結構，明確而言，對構成快取記憶體的元件的剖面結構進行說明。

[0158] 圖 11 示出根據所公開的發明的一個實施例的半導體裝置的剖面結構的一部分的一個例子。在圖 11 中，例示出上述實施例 4 所示的電晶體 411、電容元件 413 以及電晶體 407。

[0159] 在本實施例中，例示出電晶體 407 形成在單晶矽基板上並且將氧化物半導體用於活性層的電晶體 411 形成在電晶體 407 上的情況。電晶體 407 也可以將非晶、微晶、多晶或單晶的矽或鍺等薄膜的半導體用於活性層。或者，在電晶體 407 中，也可以將氧化物半導體用於活性層。當在所有的電晶體中將氧化物半導體用於活性層時，電晶體 411 也可以不層疊在電晶體 407 上，電晶體 411 和電晶體 407 也可以形成在同一層上。

[0160] 當使用薄膜矽形成電晶體 407 時，可以使用：藉由電漿 CVD 法等氣相生長法或濺射法形成的非晶矽；利用雷射退火法等處理使非晶矽結晶化的多晶矽；以及對單晶矽晶片注入氫離子等而使其表層部剝離的單晶矽

等。

[0161] 另外，在上述實施例 4 中說明的記憶體電路 404 所包括的電晶體中，在將氧化物半導體用於電晶體 411 及電晶體 412 並將矽用於包括電晶體 407 的其他電晶體的情況下，相對於使用矽的電晶體的個數，使用氧化物半導體的電晶體的個數少。因此，藉由在使用矽的電晶體上層疊電晶體 411 及電晶體 412，可以緩和電晶體 411 及電晶體 412 的設計規則。

[0162] 如此，藉由採用層疊使用矽的電晶體和使用氧化物半導體的電晶體的結構的暫存器，可以縮小 CPU 的晶片面積。此外，在一個電路框中，使用矽的電晶體的個數比使用氧化物半導體的電晶體的個數多，因此實際上的 CPU 的晶片面積根據使用矽的電晶體的個數決定。

[0163] 在圖 11 中，在半導體基板 800 上形成有 n 通道型電晶體 407。

[0164] 作為半導體基板 800，例如可以使用具有 n 型或 p 型導電性的矽基板、鍺基板、矽鍺基板、化合物半導體基板（GaAs 基板、InP 基板、GaN 基板、SiC 基板、GaP 基板、GaInAsP 基板、ZnSe 基板等）等。在圖 11 中例示使用具有 n 型導電性的單晶矽基板的情況。

[0165] 另外，電晶體 407 與其他電晶體由元件分離絕緣膜 801 電分離。作為元件分離絕緣膜 801 的形成方法，可以使用矽的局部氧化（LOCOS：Local Oxidation of Silicon）法或溝槽隔離法等。

[0166] 明確而言，電晶體 407 包括：形成在半導體基板 800 中且用作源極區或汲極區的雜質區 802 及雜質區 803；閘極電極 804；以及設置在半導體基板 800 與閘極電極 804 之間的閘極絕緣膜 805。閘極電極 804 隔著閘極絕緣膜 805 重疊於形成在雜質區 802 與雜質區 803 之間的通道形成區。

[0167] 電晶體 407 上形成有絕緣膜 809。在絕緣膜 809 中形成有開口部。並且，在該開口部中形成有接觸於雜質區 802 的佈線 810、接觸於雜質區 803 的佈線 811 以及接觸於閘極電極 804 的佈線 812。

[0168] 並且，佈線 810 連接於形成在絕緣膜 809 上的佈線 815，佈線 811 連接於形成在絕緣膜 809 上的佈線 816，佈線 812 連接於形成在絕緣膜 809 上的佈線 817。

[0169] 在佈線 815 至佈線 817 上形成有絕緣膜 820。絕緣膜 820 中形成有開口部，在該開口部中形成有連接到佈線 817 的佈線 821。

[0170] 並且，在圖 11 中，在絕緣膜 820 上形成有電晶體 411 及電容元件 413。

[0171] 電晶體 411 在絕緣膜 820 上包括：包含氧化物半導體的半導體膜 830；半導體膜 830 上的用作源極電極或汲極電極的導電膜 832 及導電膜 833；半導體膜 830、導電膜 832 及導電膜 833 上的閘極絕緣膜 831；以及位於閘極絕緣膜 831 上並在導電膜 832 與導電膜 833 之間重疊於半導體膜 830 的閘極電極 834。另外，導電膜

833 連接於佈線 821。

[0172] 另外，在閘極絕緣膜 831 上且重疊於導電膜 833 的位置設置有導電膜 835。將導電膜 833 與導電膜 835 隔著閘極絕緣膜 831 彼此重疊的部分用作電容元件 413。

[0173] 另外，在圖 11 中例示出電容元件 413 與電晶體 411 都設置在絕緣膜 820 上的情況，但是也可以將電容元件 413 與電晶體 407 都設置在絕緣膜 820 下。

[0174] 並且，在電晶體 411 及電容元件 413 上設置有絕緣膜 841。在絕緣膜 841 中設置有開口部，在該開口部中接觸於閘極電極 834 的導電膜 843 設置在絕緣膜 841 上。

[0175] 另外，在圖 11 中，電晶體 411 在半導體膜 830 的至少一側具有閘極電極 834 即可，但是也可以具有隔著半導體膜 830 存在的一對閘極電極。

[0176] 在電晶體 411 具有隔著半導體膜 830 存在的一對閘極電極的情況下，可以對一個閘極電極供應用來控制開啟或關閉的信號，並對另一個閘極電極被施加外部電位。在後者的情況下，可以對一對電極施加相同位準的電位，也可以只對另一個閘極電極施加接地電位等固定電位。藉由控制對另一個閘極電極施加的電位的位準，可以控制電晶體 411 的臨界電壓。

[0177] 本實施例可以與其他實施例適當地組合而實施。

[0178]

實施例 6

在本實施例中，參照圖 12A 和圖 12B 及圖 13A 至圖 13E 說明將在上述實施例中說明的由電晶體構成的電路應用於電子構件及具備該電子構件的電子裝置的例子。

[0179] 在圖 12A 中，說明將在上述實施例中說明的由電晶體構成的電路應用於電子構件的例子。注意，電子構件也被稱為半導體封裝或 IC 用封裝。該電子構件根據端子取出方向和端子的形狀存在多個規格和名稱。於是，在實施例中，說明其一個例子。

[0180] 藉由組裝製程（後面的製程），並且藉由在印刷電路板上安裝多個能夠裝卸的構件，完成具備如上述實施例 5 的圖 11 所示的電晶體的具有快取記憶體的半導體裝置。

[0181] 後面的製程可以藉由圖 12A 所示的製程完成。明確而言，在由前面的製程得到的元件基板完成（步驟 S1）之後，研磨基板的背面（步驟 S2）。藉由在此步驟使基板薄膜化，可以降低在前面的製程中的基板的翹曲等，而實現構件的小型化。

[0182] 進行研磨基板的背面並將基板分成多個晶片的切割（dicing）製程。並且，進行如下晶片接合（die bonding）製程（步驟 S3）：拾取被切割的各晶片，並將其安裝且接合於引線框架上。該晶片接合製程中的晶片與引線框架的接合可以適當地根據產品選擇合適的方法，如

利用樹脂的接合或利用膠帶的接合等。另外，晶片接合製程中的晶片與引線框架的接合也可以藉由將各晶片安裝於插入物（interposer）上來進行。

[0183] 接著，進行將引線框架的引線與晶片上的電極藉由金屬細線（wire）電連接的打線接合（wire bonding）（步驟 S4）。作為金屬細線可以使用銀線或金線。此外，打線接合可以使用球焊（ball bonding）或楔焊（wedge bonding）。

[0184] 實施由環氧樹脂等密封進行了打線接合的晶片的成型（molding）製程（步驟 S5）。藉由進行成型製程，使電子構件的內部被樹脂填充，可以保護安裝於電子構件內部的半導體裝置及金屬細線免受機械外力的影響，還可以降低因水分或灰塵而導致的特性劣化。

[0185] 接著，對引線框架的引線進行電鍍處理。並且對引線進行切斷及成型加工（步驟 S6）。藉由該電鍍處理可以防止引線生鏽，而在之後將引線安裝於印刷電路板時，可以更加確實地進行焊接。

[0186] 接著，對封裝表面實施標記處理（marking）（步驟 S7）。並且藉由最後的檢驗製程（步驟 S8）完成構成半導體裝置的電子構件（步驟 S9）。

[0187] 上面說明的電子構件可以構成在上述實施例中所說明的半導體裝置。因此，可以使各電路的電源供應期間最適化，而實現能夠降低功耗的電子構件。

[0188] 另外，圖 12B 示出完成的具有半導體裝置的

電子構件的透視示意圖。在圖 12B 中，作為電子構件的一個例子，示出 QFP（Quad Flat Package：四側引腳扁平封裝）的透視示意圖。圖 12B 所示的電子構件 700 示出引線 701 及電晶體部 703。圖 12B 所示的電子構件 700 例如安裝於印刷電路板 702。藉由組合多個這樣的電子構件 700 並使每一個在印刷電路板 702 上彼此電連接，來完成半導體裝置。完成的半導體裝置 704 設置於電子裝置等的內部。

[0189] 接著，說明將上述電子構件用於如下電子裝置的情況：電腦、可攜式資訊終端（也包括行動電話、可攜式遊戲機以及音頻再生裝置等）、電子紙、電視機（也稱為電視或電視接收機）以及數位攝影機等。

[0190] 圖 13A 示出可攜式資訊終端，其包括外殼 901、外殼 902、第一顯示部 903a 和第二顯示部 903b 等。在外殼 901 和外殼 902 中的至少一個中設置有之前的實施例所示的半導體裝置。因此，可以使各電路的電源供應期間最適化，而實現能夠降低功耗的可攜式資訊終端。

[0191] 另外，第一顯示部 903a 為具有觸摸輸入功能的面板，例如如圖 13A 的左圖所示，可以由第一顯示部 903a 顯示的選擇按鈕 904 選擇是進行“觸摸輸入”還是進行“鍵盤輸入”。由於可以以各種各樣的尺寸顯示選擇按鈕，所以各個年齡層的人都能容易使用。在此，例如在選擇“鍵盤輸入”的情況下，如圖 13A 的右圖所示，在第一顯示部 903a 中顯示鍵盤 905。由此，可以如習知的資訊終端

同樣地利用鍵盤迅速地進行文字輸入。

[0192] 另外，圖 13A 所示的可攜式資訊終端如圖 13A 的右圖所示，可以將第一顯示部 903a 及第二顯示部 903b 中的一個卸下。藉由作為第一顯示部 903a 採用具有觸摸輸入功能的面板，可以減輕攜帶時的重量，並可以用一隻手拿著外殼 902 而用另一隻手進行操作，所以很方便。

[0193] 圖 13A 中的可攜式資訊終端可具有在顯示部上顯示各種資訊（例如靜止影像、動態影像和文字影像等）的功能，在顯示部上顯示日曆、日期、時間等的功能，操作或編輯顯示在顯示部上的資訊的功能，控制各種軟體（程式）的處理的功能等。另外，也可以採用在外殼的背面或側面具備外部連接端子（耳機端子、USB 端子等）、儲存介質插入部等的結構。

[0194] 另外，圖 13A 所示的可攜式資訊終端可以採用以無線方式發送且接收資訊的結構。還可以採用以無線方式從電子書籍伺服器購買且下載所希望的書籍資料等的結構。

[0195] 再者，也可以使圖 13A 所示的外殼 902 具有天線、麥克風功能及無線通訊功能，來將其用作行動電話。

[0196] 圖 13B 示出安裝有電子紙的電子書閱讀器 910，該電子書閱讀器由兩個外殼，即外殼 911 及外殼 912 構成。在外殼 911 及外殼 912 中分別設置有顯示部

913 及顯示部 914。外殼 911 及外殼 912 由軸部 915 連接，並且可以以該軸部 915 為軸進行開閉動作。此外，外殼 911 包括電源 916、操作鍵 917 以及揚聲器 918 等。在外殼 911 和外殼 912 中的至少一個中設置有之前的實施例所示的半導體裝置。因此，可以使各電路的電源供應期間最適化，而實現能夠降低功耗的電子書閱讀器。

[0197] 圖 13C 示出電視機，其包括外殼 921、顯示部 922 和支架 923 等。可以藉由外殼 921 所具有的開關和遙控器 924 來進行電視機 920 的操作。在外殼 921 和遙控器 924 中安裝有之前的實施例所示的半導體裝置。因此，可以使各電路的電源供應期間最適化，而實現能夠降低功耗的電視機。

[0198] 圖 13D 示出智慧手機，其主體 930 中包括顯示部 931、揚聲器 932、麥克風 933 和操作按鈕 934 等。設置有之前的實施例所示的半導體裝置在主體 930 中。因此，可以使各電路的電源供應期間最適化，而實現能夠降低功耗的智慧手機。

[0199] 圖 13E 示出數位相機，其包括主體 941、顯示部 942 和操作開關 943 等。設置有之前的實施例所示的半導體裝置在主體 941 中。因此，可以使各電路的電源供應期間最適化，而實現能夠降低功耗的數位相機。

[0200] 如上所述，在本實施例所示的電子裝置中安裝有根據之前的實施例的半導體裝置。因此，可以使各電路的電源供應期間最適化，而實現能夠降低功耗的電子裝

置。

本申請案根據 2013 年 1 月 24 日向日本專利局提出申請的日本專利申請案第 2013-010716 號，其整體內容於此併入參考。

【符號說明】

[0201]

T1：期間

T2：期間

T3：期間

T4：期間

T5：期間

T6：期間

T7：期間

T8：期間

T9：期間

T10：期間

T11：期間

T12：期間

100：半導體裝置

101：信號處理電路

102：快取記憶體

103：輸入輸出介面

104：匯流排

- 105 : 副信號處理電路
- 111 : 電源控制電路
- 112 : 電源電路
- 113 : 位址監控電路
- 121 : 電源供應控制開關
- 122 : p 通道型電晶體
- 123 : n 通道型電晶體
- 124 : OS 電晶體
- 125 : 電容元件
- 126 : 位準轉換器
- 131 : 時脈產生電路
- 132 : 邏輯電路
- 141 : 外部記憶體
- 142 : 內部記憶體
- 143 : 信號處理電路
- 144 : 副信號處理電路
- 400 : 快取記憶體
- 401 : 記憶部
- 402 : 字線驅動電路
- 403 : 位元線驅動電路
- 404 : 記憶體電路
- 405 : 揮發性記憶部
- 406 : 非揮發性記憶部
- 407 : 電晶體

- 408 : 電晶體
- 409 : 反相器
- 410 : 反相器
- 411 : 電晶體
- 412 : 電晶體
- 413 : 電容元件
- 414 : 電容元件
- 700 : 電子構件
- 701 : 引線
- 702 : 印刷電路板
- 703 : 電晶體部
- 704 : 半導體裝置
- 800 : 半導體基板
- 801 : 元件分離絕緣膜
- 802 : 雜質區
- 803 : 雜質區
- 804 : 閘極電極
- 805 : 閘極絕緣膜
- 809 : 絕緣膜
- 810 : 佈線
- 811 : 佈線
- 812 : 佈線
- 815 : 佈線
- 816 : 佈線

- 817 : 佈線
- 820 : 絕緣膜
- 821 : 佈線
- 830 : 半導體膜
- 831 : 閘極絕緣膜
- 832 : 導電膜
- 833 : 導電膜
- 834 : 閘極電極
- 835 : 導電膜
- 841 : 絕緣膜
- 843 : 導電膜
- 901 : 外殼
- 902 : 外殼
- 903a : 顯示部
- 903b : 顯示部
- 904 : 選擇按鈕
- 905 : 鍵盤
- 910 : 電子書閱讀器
- 911 : 外殼
- 912 : 外殼
- 913 : 顯示部
- 914 : 顯示部
- 915 : 軸部
- 916 : 電源

- 917：操作鍵
- 918：揚聲器
- 920：電視機
- 921：外殼
- 922：顯示部
- 923：支架
- 924：遙控器
- 930：主體
- 931：顯示部
- 932：揚聲器
- 933：麥克風
- 934：操作按鈕
- 941：主體
- 942：顯示部
- 943：操作開關

發明摘要

※申請案號：103100198

※申請日：103年01月03日

※IPC分類：G06F 1/32 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明的目的之一是根據電路的使用狀態高效率地控制對多個電路的電源供應。由位址監控電路監控快取記憶體及輸入輸出介面的存取狀態或待機狀態，並根據該存取狀態或待機狀態進行電源閘控。位址監控電路定期獲取且監控信號處理電路與快取記憶體之間的位址信號或信號處理電路與輸入輸出介面之間的位址信號。並且，當快取記憶體及輸入輸出介面中的一個處於待機狀態而另一個處於存取狀態時，對處於待機狀態的電路進行電源閘控。

【 英文 】

Supply of power to a plurality of circuits is controlled efficiently depending on usage conditions and the like of the circuits. An address monitoring circuit monitors whether a cache memory and an input/output interface are in an access state or not, and performs power gating in accordance with the state of the cache memory and the input/output interface. The address monitoring circuit acquires and monitors an address signal between a signal processing circuit and the cache memory or the input/output interface periodically. When one of the cache memory and the input/output interface is in a standby state and the other is in the access state, power gating is performed on the circuit that is in the standby state.

圖式

圖 1

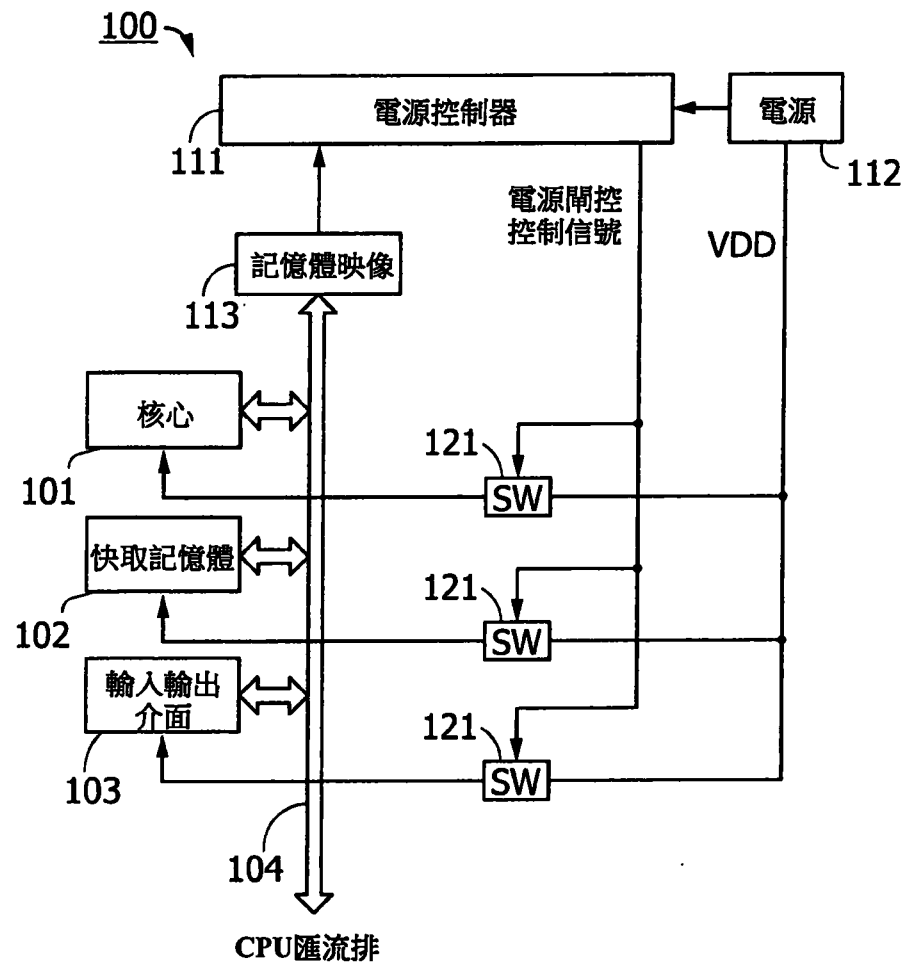


圖 2A

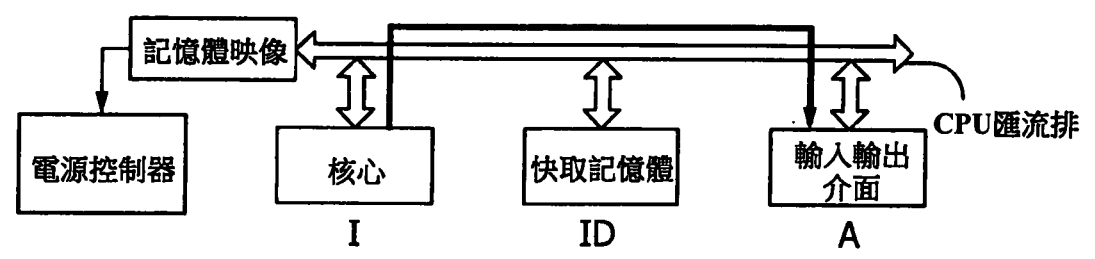


圖 2B

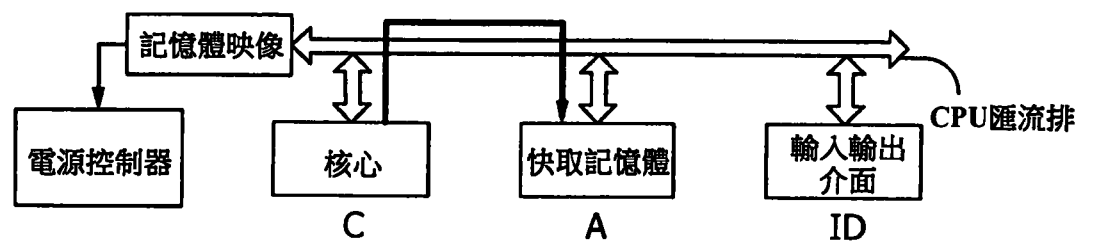


圖 2C

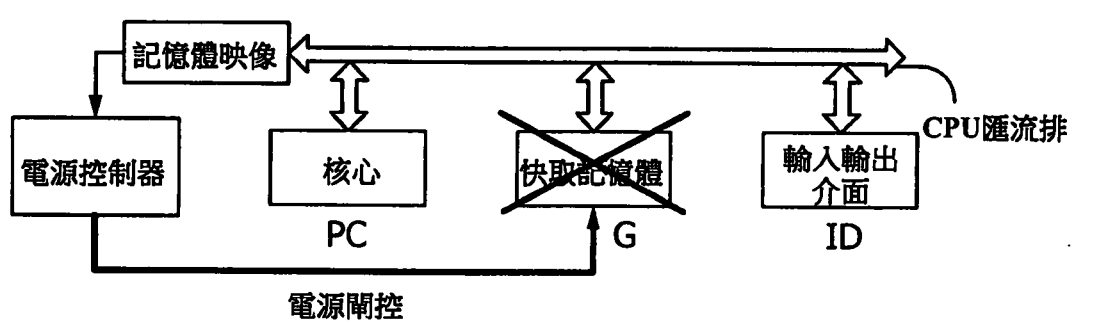


圖 2D

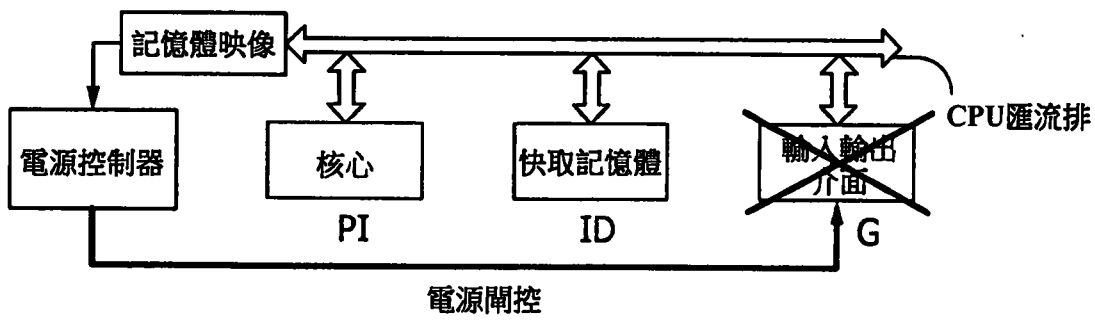


圖 3A

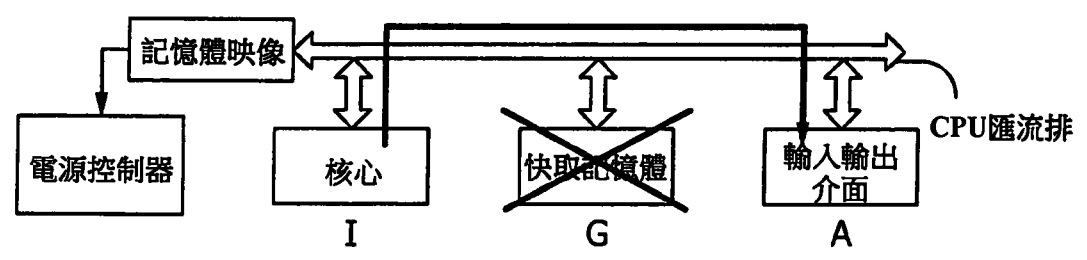


圖 3B

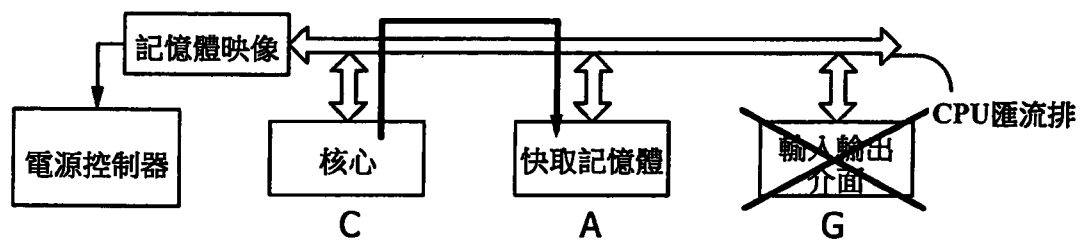


圖 4

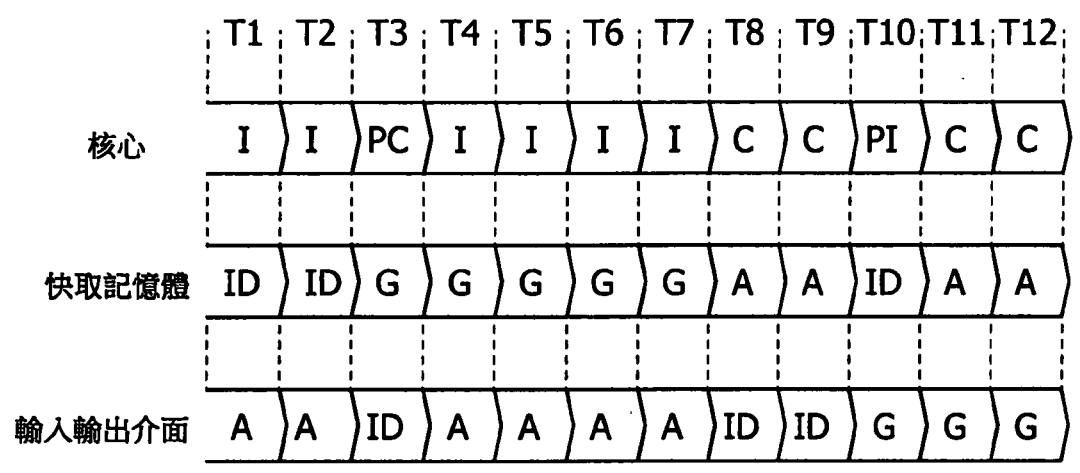


圖 5
100

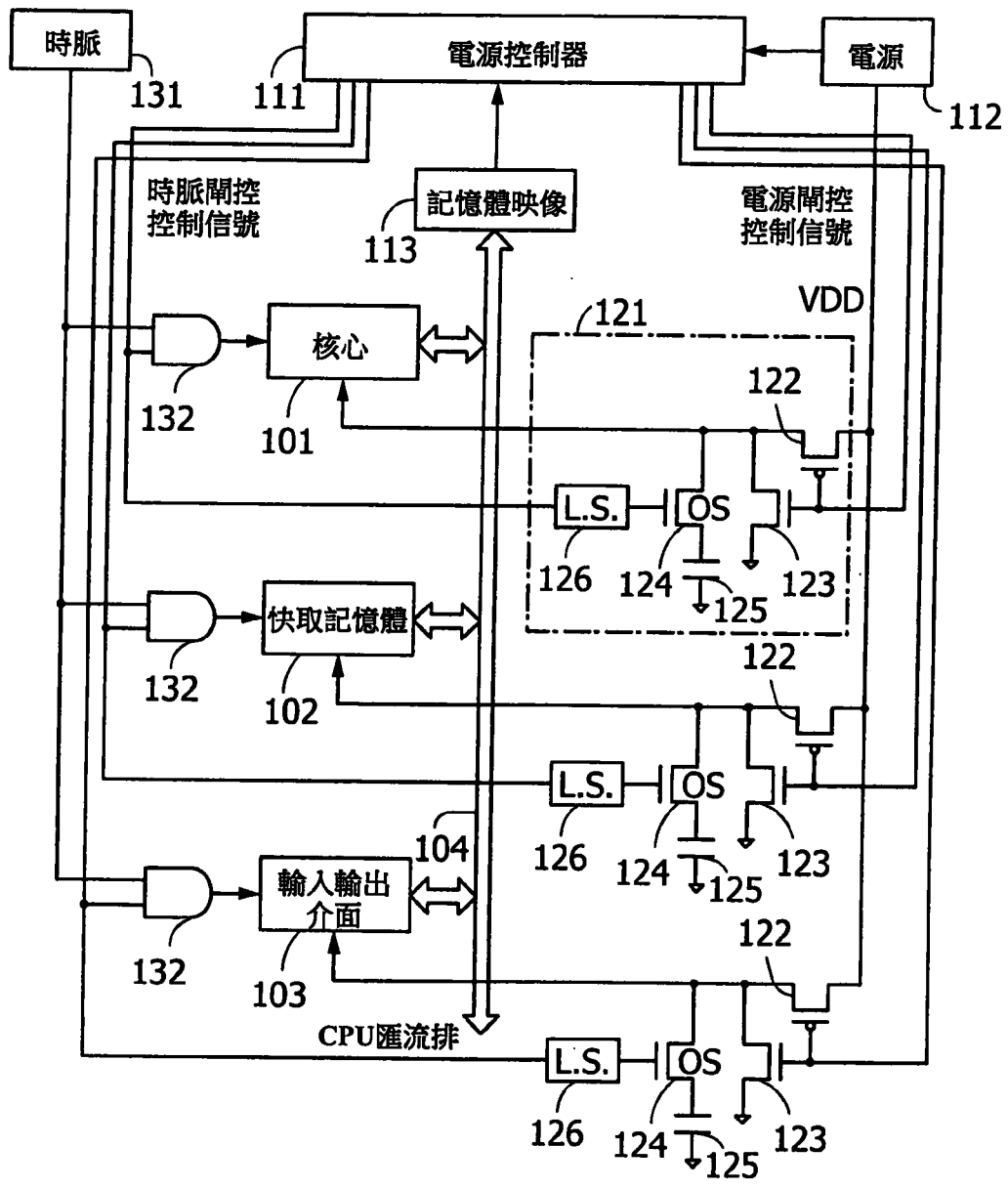


圖 6A

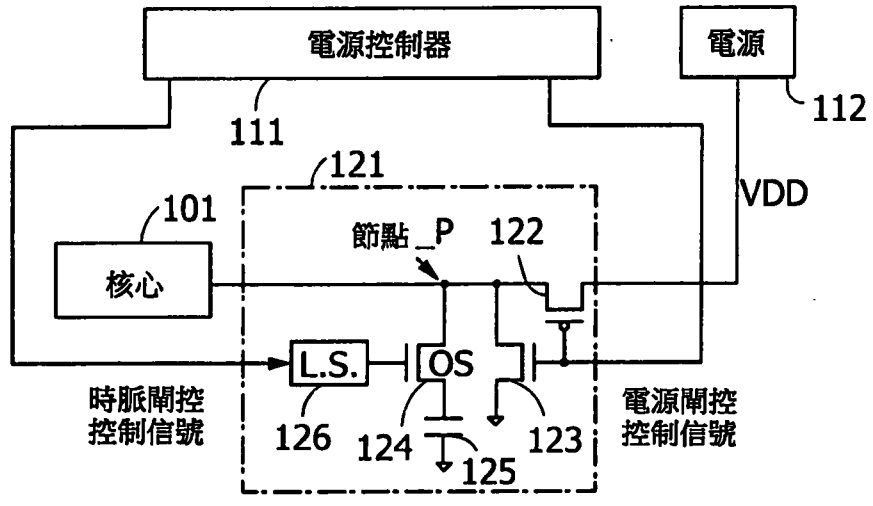


圖 6B

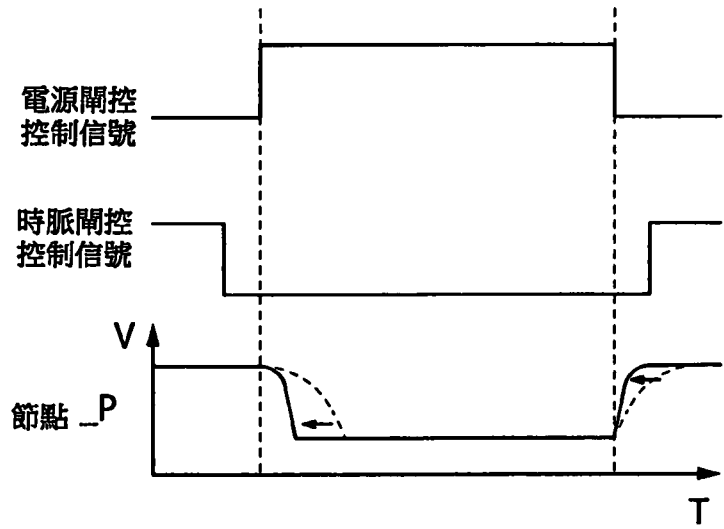


圖 7

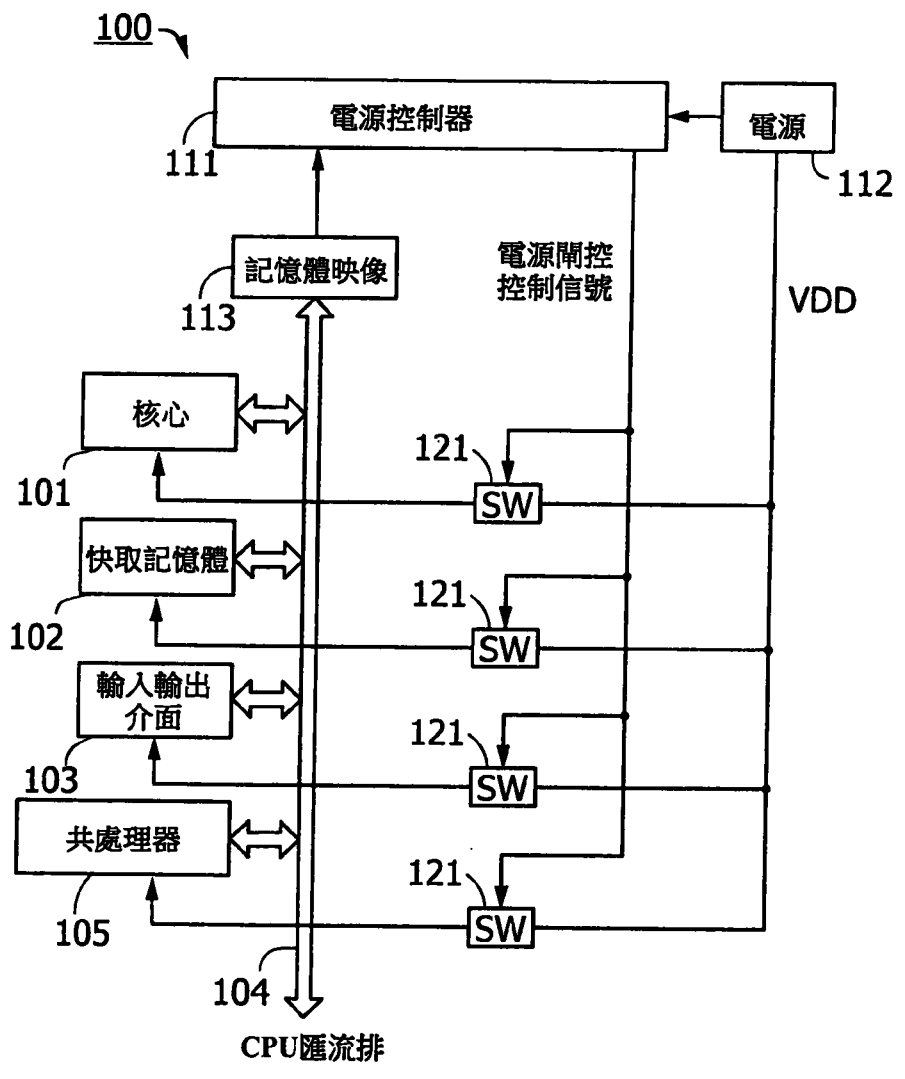


圖 8A

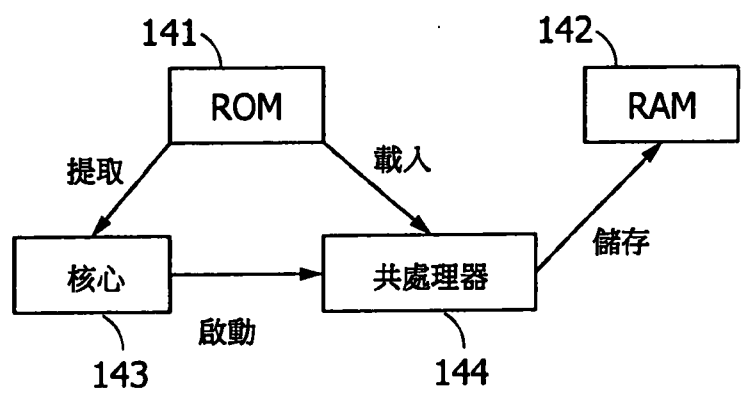


圖 8B

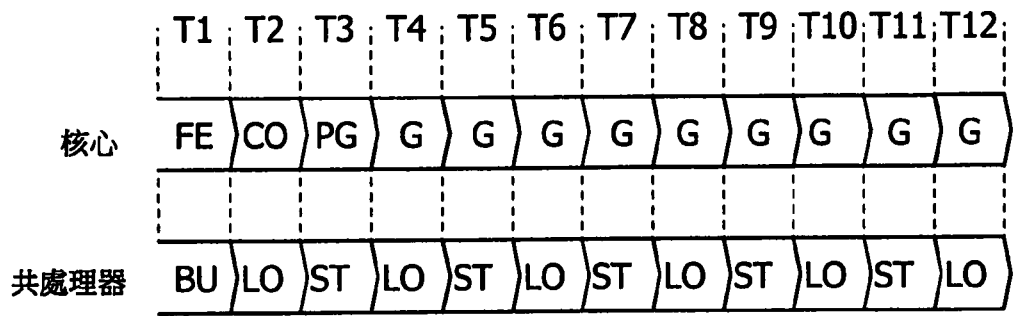


圖 9A

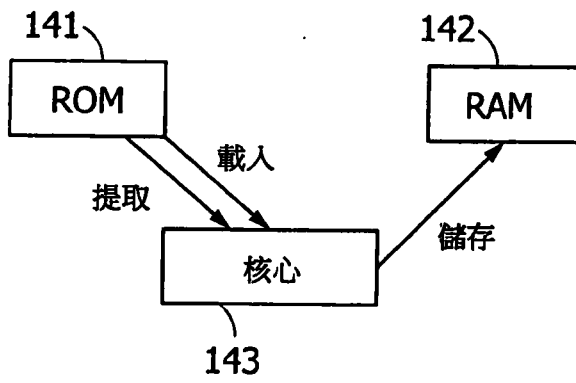


圖 9B

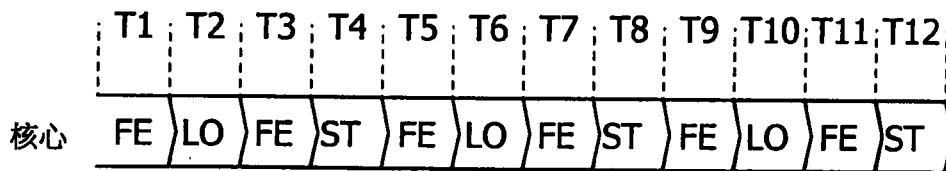


圖 10A

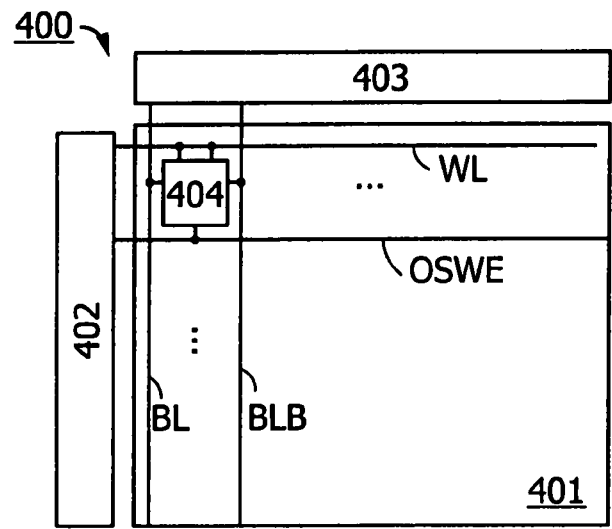


圖 10B

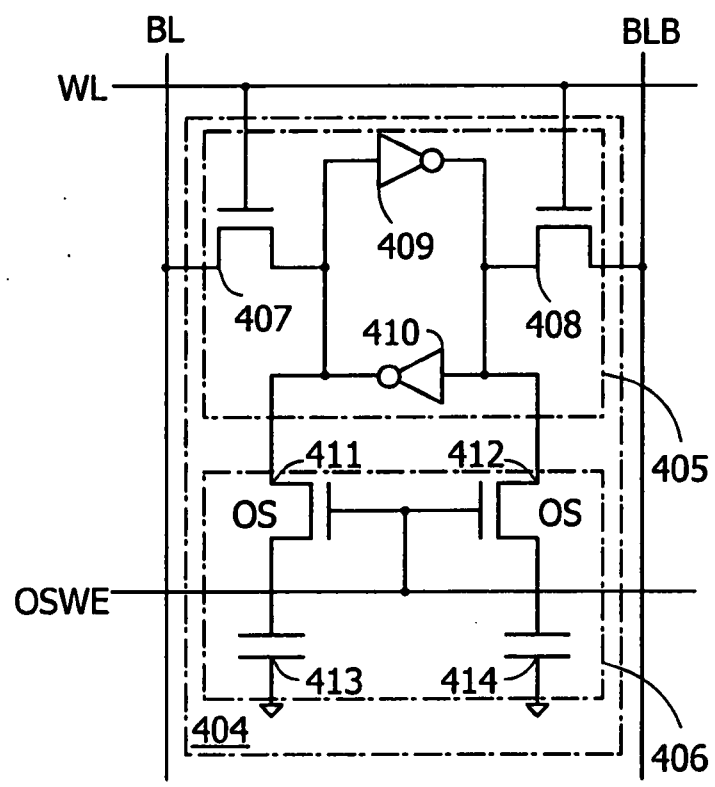


圖 11

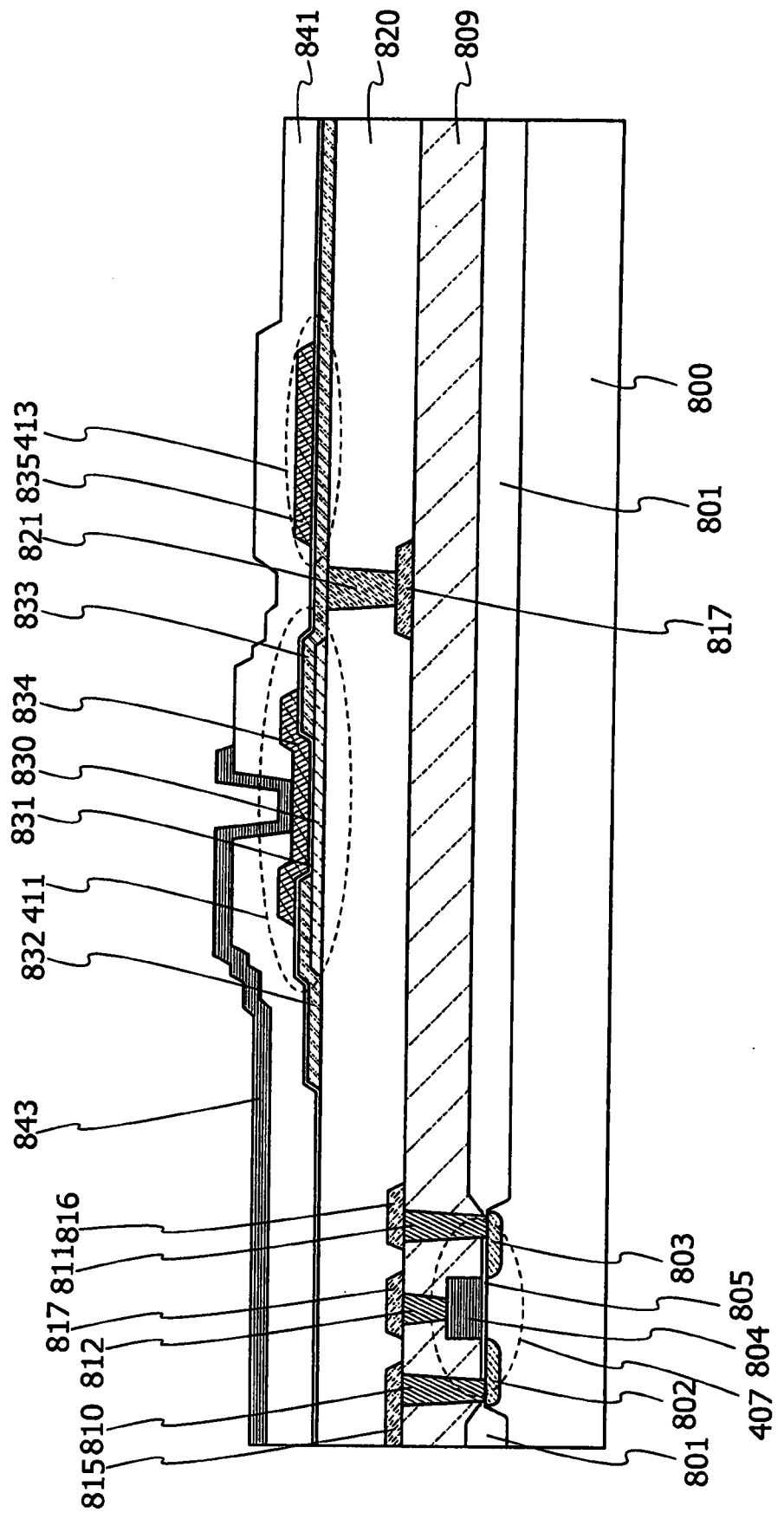


圖 12A

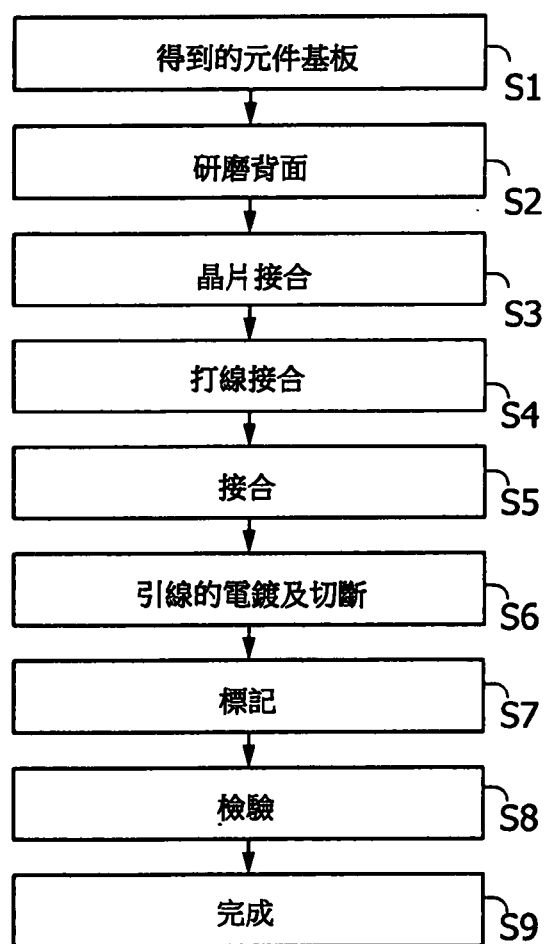


圖 12B

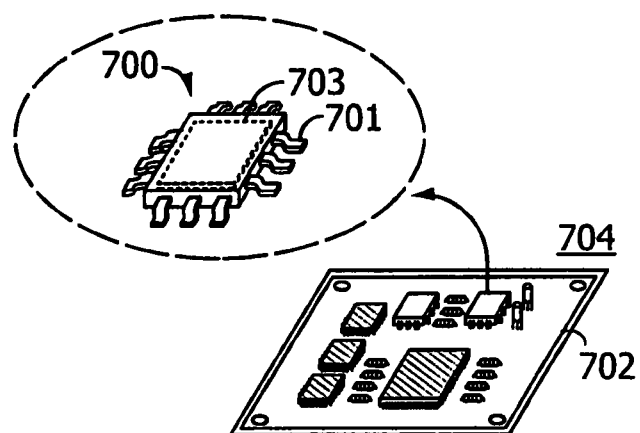


圖 13A

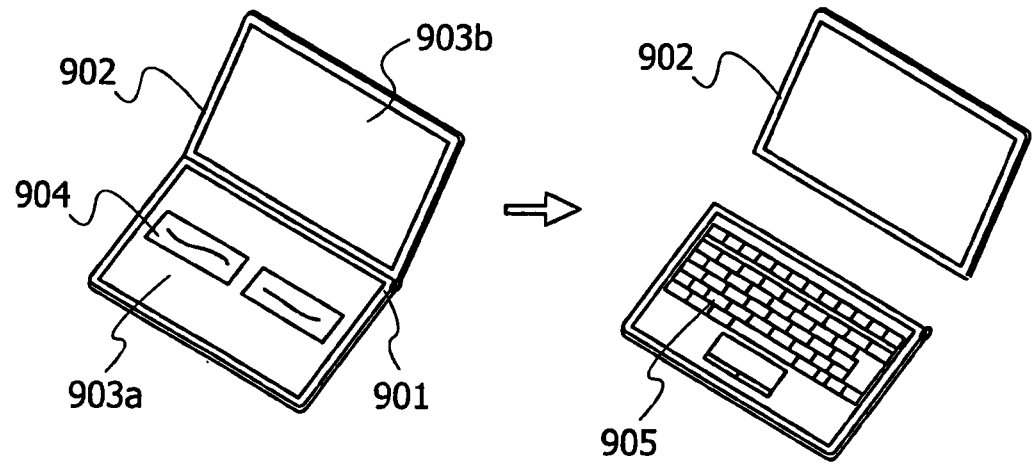


圖 13B

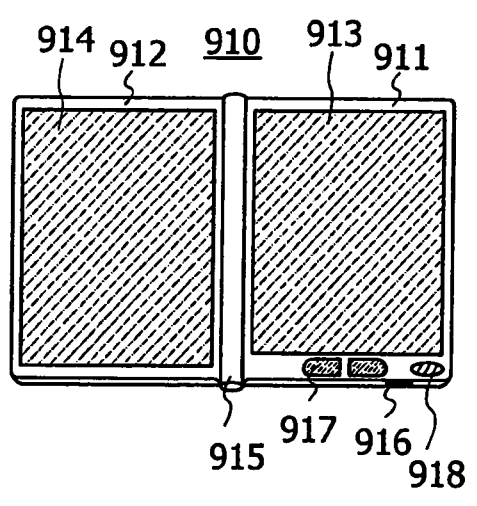


圖 13C

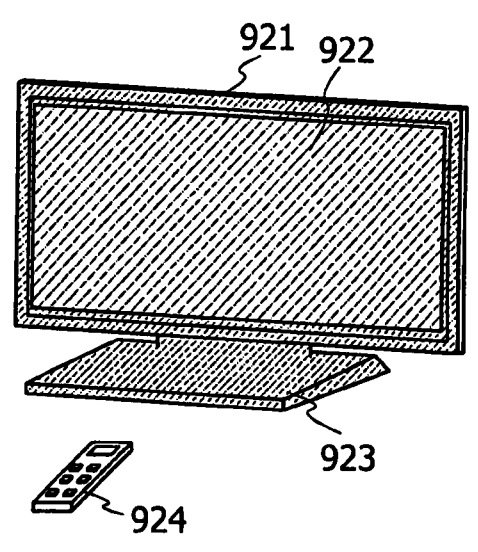


圖 13D

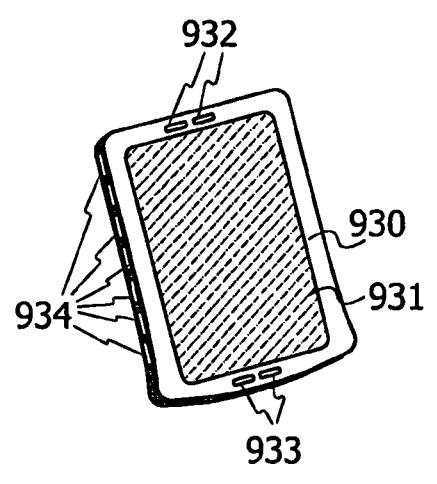
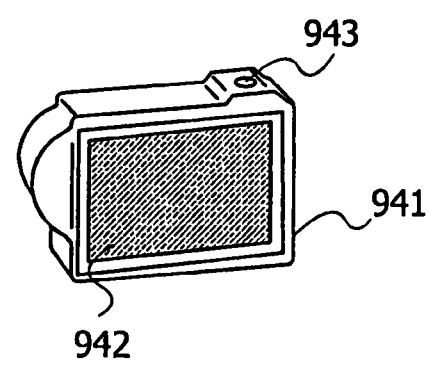


圖 13E



【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

- 100：半導體裝置
- 101：信號處理電路
- 102：快取記憶體
- 103：輸入輸出介面
- 104：匯流排
- 111：電源控制電路
- 112：電源電路
- 113：位址監控電路
- 121：電源供應控制開關

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，包括：

電連接於匯流排的信號處理電路、快取記憶體以及輸入輸出介面；

監控該信號處理電路、該快取記憶體以及該輸入輸出介面是否處於存取狀態的位址監控電路；

第一至第三開關，該第一至第三開關分別電連接於該信號處理電路、該快取記憶體以及該輸入輸出介面，並經配置以選擇是否對應電源閘控控制信號對該信號處理電路、該快取記憶體以及該輸入輸出介面供應電源；以及

根據由位址監控電路監控的該信號處理電路的狀態、該快取記憶體的狀態以及該輸入輸出介面的狀態而輸出電源閘控控制信號的電源控制電路。

2. 根據申請專利範圍第 1 項之半導體裝置，還包括第一至第三邏輯電路，該第一至第三邏輯電路分別電連接於該信號處理電路、該快取記憶體以及該輸入輸出介面，並經配置以選擇是否對應時脈閘控控制信號對該信號處理電路、該快取記憶體以及該輸入輸出介面供應時脈信號，

其中，該電源控制電路係經配置以根據該信號處理電路的狀態、該快取記憶體的狀態以及該輸入輸出介面的狀態而輸出該時脈閘控控制信號。

3. 根據申請專利範圍第 2 項之半導體裝置，還包括：電連接於該第一至第三開關中的一個及該信號處理電路、該快取記憶體以及該輸入輸出介面中的一個的節點；

作為半導體層包含氧化物半導體膜的電晶體；以及藉由該電晶體的源極和汲極而電連接於該節點的電容元件。

4. 根據申請專利範圍第 3 項之半導體裝置，其中，該時脈閘控控制信號被輸入至該電晶體的閘極。

5. 根據申請專利範圍第 2 項之半導體裝置，其中，該時脈閘控控制信號在切換該電源閘控控制信號以停止電源供應之前停止該時脈信號的供應。

6. 根據申請專利範圍第 2 項之半導體裝置，其中，該時脈閘控控制信號在切換該電源閘控控制信號以再次開始電源供應之後再次開始該時脈信號的供應。

7. 一種半導體裝置，包括：

匯流排；

信號處理電路；

藉由該匯流排被供應來自該信號處理電路的第一位址信號的快取記憶體；

藉由該匯流排被供應來自該信號處理電路的第二位址信號的輸入輸出介面；

獲取該第一位址信號及該第二位址信號的位址監控電路；以及

執行該快取記憶體及該輸入輸出介面的電源閘控的電源控制電路，

其中，該電源控制電路係經配置以對應該第一位址信號選擇是否執行該快取記憶體的電源閘控，

其中，該電源控制電路係經配置以對應該第二位址信號選擇是否執行該輸入輸出介面的電源閘控。

8. 根據申請專利範圍第 7 項之半導體裝置，還包括：

電源供應電路；

對該快取記憶體供應電源的第一節點；

對該輸入輸出介面供應電源的節點；

在該電源供應電路與該第一節點之間的第一開關；以及

在該電源供應電路與該第二節點之間的第二開關，

其中，該第一及第二開關的切換由該電源控制電路控制。

9. 根據申請專利範圍第 8 項之半導體裝置，還包括：

作為半導體層包含第一氧化物半導體膜的第一電晶體；

作為半導體層包含第二氧化物半導體膜的第二電晶體；

藉由該第一電晶體的源極和汲極電連接於該第一節點的第一電容元件；以及

藉由該第二電晶體的源極和汲極電連接於該第二節點的第二電容元件，

其中，該第一及第二電晶體的切換由該電源控制電路控制。

10. 根據申請專利範圍第 9 項之半導體裝置，

其中，該電源控制電路在執行該快取記憶體之電源開控之前關閉該第一電晶體，

其中，該電源控制電路在停止該快取記憶體之電源開控之後開啟該第一電晶體，

其中，該電源控制電路在執行該輸入輸出介面的電源開控之前關閉該第二電晶體，並且

其中，該電源控制電路在停止該輸入輸出介面的電源開控之後開啟該第二電晶體。

11. 根據申請專利範圍第 9 項之半導體裝置，

其中，該第一電晶體與該第一開關層疊，並且

其中，該第二電晶體與該第二開關層疊。

12. 一種半導體裝置，包括：

匯流排；

信號處理電路；

藉由該匯流排被供應來自該信號處理電路的第一位址信號的快取記憶體；

經配置以藉由該匯流排被供應來自該信號處理電路的第二位址信號的輸入輸出介面；

經配置以由該信號處理電路啟動的副信號處理電路；

獲取該第一位址信號及該第二位址信號的位址監控電路；以及

執行該信號處理電路、該快取記憶體以及該輸入輸出介面的電源開控的電源控制電路，

其中，該電源控制電路係經配置以根據是否啟動該副信號處理電路選擇是否執行該信號處理電路的電源閘控，

其中，該電源控制電路係經配置以對應該第一位址信號選擇是否執行該快取記憶體的電源閘控，並且

其中，該電源控制電路係經配置以對應該第二位址信號選擇是否執行該輸入輸出介面的電源閘控。

13. 根據申請專利範圍第 12 項之半導體裝置，還包括：

電源供應電路；

對該信號處理電路供應電源的第一節點；

對該快取記憶體供應電源的節點；

對該輸入輸出介面供應電源的節點；

在該電源供應電路與該第一節點之間的第一開關；

在該電源供應電路與該第二節點之間的第二開關；以

及

在該電源供應電路與該第三節點之間的第三開關，

其中，該第一至第三開關的切換由該電源控制電路控制。

14. 根據申請專利範圍第 13 項之半導體裝置，還包括：

作為半導體層包含第一氧化物半導體膜的第一電晶體；

作為半導體層包含第二氧化物半導體膜的第二電晶體；

作為半導體層包含第三氧化物半導體膜的第三電晶體；

藉由該第一電晶體的源極和汲極電連接於該第一節點的第一電容元件；

藉由該第二電晶體的源極和汲極電連接於該第二節點的第二電容元件；以及

藉由該第三電晶體的源極和汲極電連接於該第三節點的第三電容元件，

其中，該第一至第三電晶體的切換由該電源控制電路控制。

15. 根據申請專利範圍第 14 項之半導體裝置，

其中，該電源控制電路在執行該信號處理電路的電源閘控之前關閉該第一電晶體，

其中，該電源控制電路在停止該信號處理電路的電源閘控之後開啟該第一電晶體，

其中，該電源控制電路在執行該快取記憶體的電源閘控之前關閉該第二電晶體，

其中，該電源控制電路在停止該快取記憶體的電源閘控之後開啟該第二電晶體，

其中，該電源控制電路在執行該輸入輸出介面的電源閘控之前關閉該第三電晶體，並且

其中，該電源控制電路在停止該輸入輸出介面的電源閘控之後開啟該第三電晶體。

16. 根據申請專利範圍第 14 項之半導體裝置，

其中，該第一至第三電晶體與該第一至第三開關層疊。

17. 根據申請專利範圍第 12 項之半導體裝置，其中，該信號處理電路包括揮發性暫存器和非揮發性暫存器。

18. 根據申請專利範圍第 17 項之半導體裝置，其中，該非揮發性暫存器包括作為半導體層包含氧化物半導體膜的第一電晶體。

19. 根據申請專利範圍第 18 項之半導體裝置，其中，該揮發性暫存器包括作為半導體層包含單晶矽基板的部分的第二電晶體。

20. 根據申請專利範圍第 19 項之半導體裝置，其中，該第一電晶體與該第二電晶體層疊。