

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4469170号
(P4469170)

(45) 発行日 平成22年5月26日 (2010.5.26)

(24) 登録日 平成22年3月5日 (2010.3.5)

(51) Int.Cl.		F I		
H O 1 L 21/8244 (2006.01)		H O 1 L 27/10	3 8 1	
H O 1 L 27/11 (2006.01)		G 1 1 C 11/34		K
G 1 1 C 11/41 (2006.01)		G 1 1 C 11/40	3 0 1	
G 1 1 C 11/412 (2006.01)				

請求項の数 18 (全 23 頁)

(21) 出願番号	特願2003-420749 (P2003-420749)	(73) 特許権者	390019839
(22) 出願日	平成15年12月18日 (2003.12.18)		三星電子株式会社
(65) 公開番号	特開2004-200702 (P2004-200702A)		S A M S U N G E L E C T R O N I C S
(43) 公開日	平成16年7月15日 (2004.7.15)		C O . , L T D .
審査請求日	平成17年12月7日 (2005.12.7)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2002-081393		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成14年12月18日 (2002.12.18)		Gyeonggi-do 442-742
(33) 優先権主張国	韓国 (KR)		(KR)
		(74) 代理人	100072349
			弁理士 八田 幹雄
		(74) 代理人	100102912
			弁理士 野上 敦
		(74) 代理人	100110995
			弁理士 奈良 泰男

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

2つのポートを有する半導体メモリ装置において、
P⁺活性領域が形成された1つのNウェルと、N⁺活性領域が形成されており前記Nウェルに隣接した1つのPウェルとに分けられたメモリセルを含む半導体基板と、

第1ワードラインと、

第2ワードラインと、

第1ビットラインと、

第1相補ビットラインと、

第2ビットラインと、

第1NMOSTランジスタ、第1PMOSTランジスタ、入力端子、及び出力端子を含む第1CMOSインバータと、

第2NMOSTランジスタ、第2PMOSTランジスタ、入力端子、及び出力端子を含む第2CMOSインバータであって、前記第2CMOSインバータの入力端子が前記第1CMOSインバータの出力端子に連結されて第1メモリノードを構成し、前記第2CMOSインバータの出力端子が前記第1CMOSインバータの入力端子に連結されて第2メモリノードを構成する、第2CMOSインバータと、

ゲートが前記第1ワードラインに連結され、ドレインが前記第1ビットラインに連結され、ソースが前記第1メモリノードに連結されている第3NMOSTランジスタと、

ゲートが前記第1ワードラインに連結され、ドレインが前記第1相補ビットラインに連

結され、ソースが前記第 2 メモリノードに連結されている第 4 NMOS トランジスタと、ゲートが前記第 1 メモリノードに連結され、ソースがグラウンドラインに連結されている第 5 NMOS トランジスタと、

ゲートが前記第 2 ワードラインに連結され、ソースが前記第 5 NMOS トランジスタのドレインに連結されており、ドレインが前記第 2 ビットラインに連結されている第 6 NMOS トランジスタと、を含んでおり、

前記第 1 PMOS トランジスタ及び第 2 PMOS トランジスタは前記半導体基板に形成された前記 N ウェル内の P⁺ 活性領域をソースおよびドレイン領域として当該 N ウェル内に形成されており、

前記第 1 NMOS トランジスタ、第 2 NMOS トランジスタ、第 3 NMOS トランジスタ、第 4 NMOS トランジスタ、第 5 NMOS トランジスタ及び第 6 NMOS トランジスタは前記半導体基板に形成された前記 P ウェル内の N⁺ 活性領域をソースおよびドレイン領域として当該 P ウェル内に形成されており、

前記 N ウェルは前記メモリセルの一隅に位置し、前記メモリセルの残りの部分には P ウェルが位置することを特徴とする半導体メモリ装置。

【請求項 2】

前記メモリセルの N ウェルが複数集まって、前記 P ウェルによって囲まれた 1 つの独立した共通 N ウェルを形成しており、

前記共通 N ウェルと前記半導体メモリ装置の電源とを連結させるためのウェルコンタクトをさらに含むことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 3】

前記共通 N ウェルの前記 P⁺ 活性領域内には前記ウェルコンタクトと連結される第 2 の N⁺ 活性領域がさらに形成されており、前記第 2 の N⁺ 活性領域及び前記 P⁺ 活性領域上には前記第 2 の N⁺ 活性領域と前記 P⁺ 活性領域とを連結するためのシリサイド層がさらに形成されていることを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 4】

前記共通 N ウェルは 4 つのメモリセルによって共有されることを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 5】

前記 P⁺ 活性領域内に形成された前記第 2 の N⁺ 活性領域及び前記ウェルコンタクトは隣接した 2 つのメモリセルによって共有されていることを特徴とする請求項 4 に記載の半導体メモリ装置。

【請求項 6】

隣接したメモリセルに位置した前記 N ウェルを相互に連結する N ウェルブリッジが前記 P ウェルにさらに形成されていることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 7】

前記 N ウェルブリッジの幅は前記 N ウェルの幅の 10% 以上 50% 以下であることを特徴とする請求項 6 に記載の半導体メモリ装置。

【請求項 8】

前記第 2 ワードラインは前記第 1 ワードラインと平行していることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 9】

前記第 2 ビットラインは前記第 1 ビットラインと平行していることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 10】

2 つのポートを有する半導体メモリ装置において、

P⁺ 活性領域が形成された 1 つの N ウェルと、N⁺ 活性領域が形成されており前記 N ウェルに隣接した 1 つの P ウェルとに分けられたメモリセルを含む半導体基板と、

第 1 ワードラインと、

第 2 ワードラインと、

10

20

30

40

50

第1ビットラインと、
 第1相補ビットラインと、
 第2ビットラインと、
 第1NMOSトランジスタ、第1PMOSトランジスタ、入力端子、及び出力端子を含む第1CMOSインバータ、

第2NMOSトランジスタ、第2PMOSトランジスタ、入力端子、及び出力端子を含む第2CMOSインバータであって、前記第2CMOSインバータの入力端子が前記第1CMOSインバータの出力端子に連結されて第1メモリノードを構成し、前記第2CMOSインバータの出力端子は前記第1CMOSインバータの入力端子に連結されて第2メモリノードを構成する第2CMOSインバータと、

10

ゲートが前記第1ワードラインに連結され、ドレインが前記第1ビットラインに連結され、ソースが前記第1メモリノードに連結されている第3NMOSトランジスタと、

ゲートが前記第1ワードラインに連結され、ドレインが前記第1相補ビットラインに連結され、ソースが前記第2メモリノードに連結されている第4NMOSトランジスタと、

ゲートが前記第2ワードラインに連結され、ソースが前記第1メモリノードに連結されており、ドレインが前記第2ビットラインに連結されている第5NMOSトランジスタと、を含んでおり、

前記第1PMOSトランジスタ及び第2PMOSトランジスタは前記半導体基板に形成された前記Nウェル内のP⁺活性領域をソースおよびドレイン領域として当該Nウェル内に形成されており、

20

前記第1NMOSトランジスタ、第2NMOSトランジスタ、第3NMOSトランジスタ、第4NMOSトランジスタ及び第5NMOSトランジスタは前記半導体基板に形成された前記Pウェル内のN⁺活性領域をソースおよびドレイン領域として当該Pウェル内に形成されており、

前記Nウェルは前記メモリセルの一隅に位置し、前記メモリセルの残りの部分にはPウェルが位置することを特徴とする半導体メモリ装置。

【請求項11】

前記メモリセルのNウェルが複数集まって、前記Pウェルによって囲まれた1つの独立した共通Nウェルを形成しており、

30

前記共通Nウェルと前記半導体メモリ装置の電源とを連結させるためのウェルコンタクトをさらに含むことを特徴とする請求項10に記載の半導体メモリ装置。

【請求項12】

前記共通Nウェルの前記P⁺活性領域内には前記ウェルコンタクトと連結される第2のN⁺活性領域がさらに形成されており、前記第2のN⁺活性領域及び前記P⁺活性領域上には前記第2のN⁺活性領域と前記P⁺活性領域とを連結するためのシリサイド層がさらに形成されていることを特徴とする請求項11に記載の半導体メモリ装置。

【請求項13】

前記共通Nウェルは4つのメモリセルによって共有されることを特徴とする請求項11に記載の半導体メモリ装置。

40

【請求項14】

前記P⁺活性領域内に形成された前記第2のN⁺活性領域及び前記ウェルコンタクトは隣接した2つのメモリセルによって共有されていることを特徴とする請求項13に記載の半導体メモリ装置。

【請求項15】

隣接したメモリセルに位置した前記Nウェルを相互に連結するNウェルブリッジが前記Pウェルにさらに形成されていることを特徴とする請求項10に記載の半導体メモリ装置。

【請求項16】

前記Nウェルブリッジの幅は前記Nウェルの幅の10%以上50%以下であることを特

50

徴とする請求項 15 に記載の半導体メモリ装置。

【請求項 17】

前記第 2 ワードラインは前記第 1 ワードラインと平行していることを特徴とする請求項 10 に記載の半導体メモリ装置。

【請求項 18】

前記第 2 ビットラインは前記第 1 ビットラインと平行していることを特徴とする請求項 10 に記載の半導体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ装置に係り、具体的には、ダブルポートSRAM装置のメモリセルレイアウトに関する。

【背景技術】

【0002】

半導体メモリ装置は記憶方式によってDRAM(Dynamic Random Access Memory)とSRAM(Static Random Access Memory)とに分類される。このうち、SRAMは速いスピード特性、低電力消費特性、及び単純な方式による動作といった幾つかの長所を有する。さらに、SRAMは格納された情報を周期的にリフレッシュする必要がなく、しかも、ロジック半導体装置を製造する工程と互換性があるので、組み込みメモリ(エンベデッドメモリ)として多く使われている。

【0003】

一般的なSRAMメモリセルは2つの駆動トランジスタ(またはプルダウントランジスタともいう)と、2つの負荷装置と、2つのパストランジスタ(またはアクセストランジスタともいう)とで構成される。このようなSRAMは負荷装置の種類によって、CMOS型、高負荷抵抗(High Load Resistor:HLR)型及び薄膜トランジスタ(Thin Film Transistor:TFT)型の3つの構造に分類される。CMOS型は負荷装置として、PMOSTランジスタ(P channel type Field Effect Transistor)を使用し、高負荷抵抗型は負荷装置として高抵抗を使用し、薄膜トランジスタ型は負荷装置としてポリシリコン薄膜トランジスタを使用する。

【0004】

したがって、CMOS型SRAM装置のメモリセルは、2つの駆動トランジスタと2つのパストランジスタに加えて、2つの負荷装置として使われる2つのPMOSTランジスタを含んでおり、総計6つのトランジスタで構成される。6つのトランジスタのうち、2つの負荷装置として使われる2つのPMOSTランジスタを除いた残りの4つはNMOSTランジスタ(N channel type Field Effect Transistor)で形成されるのが一般的である。4つのNMOSTランジスタのうち駆動トランジスタの2つは前述したPMOSTランジスタと共にそれぞれインバータをなし、残りの2つのNMOSTランジスタはパストランジスタであり、アクセストランジスタの役割を果たす。

【0005】

CMOS型SRAM装置の作動速度を制約する要素は現在色々がある。例えば、SRAM装置を構成する配線ラインの抵抗特性及び隣接したビットライン及び相補ビットライン間で発生する寄生キャパシタンスの大きさ、そして、データの読取り/書き込み通路となるポートの数などがSRAM装置の作動速度に影響を及ぼす。

【0006】

前述したような、6つのトランジスタよりなつたCMOS型SRAM装置は一般的に単一ポートよりなる。すなわち、1対のビットライン及び相補ビットラインは、2つのパストランジスタを通じて、2つのインバータよりなる各メモリノードと連結されている。6つのトランジスタよりなる単一ポートSRAM装置の等価回路図及びその等価回路が具現

10

20

30

40

50

されたメモリセルレイアウトに対する1つの例が特許文献1に開示されている。

【0007】

単一ポートを有するSRAM装置はパストランジスタを通じて連結されたビットライン及び相補ビットライン（これらを「ビットライン対」という）が入力端子であり、かつ出力端子である。このため、単一ポートSRAM装置は入力及び出力動作を同時に行えない。したがって、単一ポートSRAM装置の場合には作動速度を向上させるのには限界がある。

【0008】

一方、作動速度を向上させるために入力端子及び/または出力端子を幾つか含んでいるマルチポートCMOS SRAM装置が提案されてきた。マルチポートCMOSSRAM装置のメモリセルには通常的に7つ以上のトランジスタが含まれる。そして、場合によっては10つ以上のトランジスタが含まれる場合もある。

【0009】

マルチポートSRAM装置では入力及び出力、すなわち読み取り及び書込み動作をそれぞれのポートを通じて同時に行える。単一ポートSRAM装置の場合にはデータを読み取る間には、同じビットライン対に連結されたメモリセルではデータが書き込めず、遅延時間が発生する。この場合と異なり、マルチポートSRAM装置では同じビットライン対に連結されたメモリセルの場合にもデータを書き込む間、他のメモリセルではデータが読み取れるので、遅延時間が発生しない。

【0010】

高速性能を実現するために、多重ポートSRAM装置を具現するために色々な等価回路図が提案されてきている。そして、等価回路が同じ場合であっても、これを構成する個別素子を半導体基板に配列する方法が種々あり、その方法も色々提案されている。一般的に言えば、システムに要求される性能に適するように各構成素子が配列される。前述したように、SRAMはその特性が、電力の消耗が少ないことと、高速で動作することであるので、この2つの特性が両方とも発揮されるように各素子の配列が行われるか、システム特性によってはこのうちの1つの特性を十分に発揮できるように各素子の配列が行われる。

【0011】

マルチポートを有するCMOSSRAM装置についての等価回路図及びその等価回路を実現するメモリセルレイアウトに対する1つの例が特許文献2に開示されている。図1及び図2はそれぞれ前記した特許文献2に開示された等価回路図及びこの等価回路が具現されたSRAM装置の第1のレイアウトについて図示されている。図1に示された等価回路図は2つのポートを有するCMOSSRAM装置である。図1及び図2に使われた参照符号は前記した特許文献2に開示されたものと同ーである。

【0012】

図1を参照して従来技術による2つのポートを有するSRAM装置（ダブルポートSRAM装置）を簡略に説明すれば、まず、第1PMOSTランジスタP1及び第1NMOSTランジスタN1が第1CMOSインバータを構成し、第2PMOSTランジスタP2及び第2NMOSTランジスタN2は第2CMOSインバータを構成する。第1CMOSインバータ及び第2CMOSインバータの入力端子及び出力端子が相互に交差して連結されており、このように連結される地点が第1メモリノードMA及び第2メモリノードMBである。第1CMOSインバータ及び第2CMOSインバータの入力端子及び出力端子が相互に交差して連結されることによって、この2つのCMOSインバータはフリップフロップ回路を構成する。

【0013】

第3NMOSTランジスタN3及び第4NMOSTランジスタN4はそれぞれパストランジスタであって、アクセストランジスタの役割を果たす。パストランジスタN3、N4のゲートは第1ワードラインWWLに連結されており、ソース及びドレインはそれぞれメモリノードMA、MB及び1対の第1ビットラインWBL1、WBL2に連結されている

10

20

30

40

50

【0014】

第5 NMOSトランジスタN8及び第6 NMOSトランジスタN9はスキヤントランジスタである。スキヤントランジスタN8、N9及びこれと連結された第2ビットラインRBL及び第2ワードラインRWLが第2の出力ポートの役割を果たす。第5 NMOSトランジスタN8のゲートは第1メモリノードMAに連結されており、そのソースはグラウンド、そしてドレインは第6 NMOSトランジスタN9のソースに連結されている。そして、第6 NMOSトランジスタN9のゲートは第2ワードラインRWLに連結されており、ドレインは第2ビットラインRBLに連結されている。

【0015】

このような等価回路によれば、第1ワードラインWWL及び1対の第1ビットラインWBL1、WBL2を選択することによって、第1のポートを通じてデータの読み取り/書き込みが可能となる。そして、第2ワードラインRWL及び第2ビットラインRBLを選択することによって、第2のポートを通じてデータを読み取ることが可能となる。特に、第1のポートの動作如何に関係なく独立的に第2のポートを通じてデータの読み取り可能であるということが本等価回路の特徴である。

【0016】

図1のような等価回路を有するメモリセルを、色々な方式で各構成素子をレイアウトして構成できる。実際に、レイアウト形態によって半導体メモリ素子の性能が多く左右される。図2には図1に示された等価回路が具現された多層構造のデュアルポートSRAMの1つの層に対するレイアウトが図示されている。

【0017】

図2を参照すれば分かるように、従来技術によるダブルポートSRAM装置の一例では、半導体基板に形成された各単位セルが1つのNウェルNWとこのNウェルNWの両側に配置された2つのPウェルPW1及びPW2を含みうる。すなわち、第1PMOSトランジスタP1及び第2PMOSトランジスタP2はNウェルNWに形成されうる。そして、第1NMOSトランジスタN1及び第3NMOSトランジスタN3は第1PウェルPW1に形成され、第2NMOSトランジスタN2、第4NMOSトランジスタN4、第5NMOSトランジスタN8及び第6NMOSトランジスタN9は第2PウェルPW2に形成されうる。

【0018】

このような配列によれば、図面に示してはでないが、1対の第1ビットラインWBL1、WBL2、第2ビットラインRBLを、NウェルNWと第1PウェルPW1の境界面、及びNウェルNWと第2PウェルPW2との境界面に平行に配列することが可能である。

【0019】

したがって、従来技術によれば、第1ビットラインWBL1、WBL2及び第2ビットラインRBLの距離を縮めることによって動作速度の速いSRAM装置を製造しうる。

【0020】

しかし、前述したレイアウトではNウェルNWを挟んで両側に2つのPウェルPW1及びPW2が位置するために、ウェル間の境界面が長く存在するようになる。その結果、それぞれのウェルを隔離させるために境界面に形成される隔離領域が占める面積が広くなり、これによって単位セルの面積が広がる。

【特許文献1】特開平10-178110号公報

【特許文献2】米国特許第6,347,062号公報

【発明の開示】

【発明が解決しようとする課題】

【0021】

本発明が解決しようとする技術的課題は、2つのポートを有していることによってデータの読み取り/書き込み動作を同時に行うことが可能であるとともに、各メモリセルを構成する素子及び配線ラインのレイアウトを効率的に行うことによって、Nウェル及びPウ

10

20

30

40

50

エルが接する境界面を短くして、境界面に形成される隔離領域が占める面積を減少させた半導体メモリ装置を提供するところにある。

【0022】

本発明が解決しようとする他の技術的課題は、不要な配線要素を減少させて配線ラインを効率的に配置することによって性能が高い半導体メモリ装置を提供するところにある。

【課題を解決するための手段】

【0023】

前記した技術的課題を達成するための本発明の一実施例による半導体メモリ装置は、2つのポートを有する半導体メモリ装置において、 P^+ 活性領域が形成された1つのNウェルと、 N^+ 活性領域が形成されており前記Nウェルに隣接した1つのPウェルとに分けられたメモリセルを含む半導体基板と、第1ワードラインと、第2ワードラインと、第1ビットラインと、第1相補ビットラインと、第2ビットラインと、第1NMOSトランジスタ、第1PMOSトランジスタ、入力端子、及び出力端子を含む第1CMOSインバータと、第2NMOSトランジスタ、第2PMOSトランジスタ、入力端子、及び出力端子を含む第2CMOSインバータであって、前記第2CMOSインバータの入力端子が前記第1CMOSインバータの出力端子に連結されて第1メモリノードを構成し、前記第2CMOSインバータの出力端子が前記第1CMOSインバータの入力端子に連結されて第2メモリノードを構成する、第2CMOSインバータと、ゲートが前記第1ワードラインに連結され、ドレインが前記第1ビットラインに連結され、ソースが前記第1メモリノードに連結されている第3NMOSトランジスタと、ゲートが前記第1ワードラインに連結され、ドレインが前記第1相補ビットラインに連結され、ソースが前記第2メモリノードに連結されている第4NMOSトランジスタと、ゲートが前記第1メモリノードに連結され、ソースがグラウンドラインに連結されている第5NMOSトランジスタと、ゲートが前記第2ワードラインに連結され、ソースが前記第5NMOSトランジスタのドレインに連結されており、ドレインが前記第2ビットラインに連結されている第6NMOSトランジスタと、を含んでおり、前記第1PMOSトランジスタ及び第2PMOSトランジスタは前記半導体基板に形成された前記Nウェル内の P^+ 活性領域をソースおよびドレイン領域として当該Nウェル内に形成されており、前記第1NMOSトランジスタ、第2NMOSトランジスタ、第3NMOSトランジスタ、第4NMOSトランジスタ、第5NMOSトランジスタ及び第6NMOSトランジスタは前記半導体基板に形成された前記Pウェル内の N^+ 活性領域をソースおよびドレイン領域として当該Pウェル内に形成されており、前記Nウェルは前記メモリセルの一隅に位置し、前記メモリセルの残りの部分にはPウェルが位置する。

【0024】

前記した技術的課題を達成するための本発明の他の実施例による半導体メモリ装置は、2つのポートを有する半導体メモリ装置において、 P^+ 活性領域が形成された1つのNウェルと、 N^+ 活性領域が形成されており前記Nウェルに隣接した1つのPウェルとに分けられたメモリセルを含む半導体基板と、第1ワードラインと、第2ワードラインと、第1ビットラインと、第1相補ビットラインと、第2ビットラインと、第1NMOSトランジスタ、第1PMOSトランジスタ、入力端子、及び出力端子を含む第1CMOSインバータ、第2NMOSトランジスタ、第2PMOSトランジスタ、入力端子、及び出力端子を含む第2CMOSインバータであって、前記第2CMOSインバータの入力端子が前記第1CMOSインバータの出力端子に連結されて第1メモリノードを構成し、前記第2CMOSインバータの出力端子は前記第1CMOSインバータの入力端子に連結されて第2メモリノードを構成する第2CMOSインバータと、ゲートが前記第1ワードラインに連結され、ドレインが前記第1ビットラインに連結され、ソースが前記第1メモリノードに連結されている第3NMOSトランジスタと、ゲートが前記第1ワードラインに連結され、ドレインが前記第1相補ビットラインに連結され、ソースが前記第2メモリノードに連結されている第4NMOSトランジスタと、ゲートが前記第2ワードラインに連結され、ソ

ースが前記第1メモリノードに連結されており、ドレインが前記第2ビットラインに連結されている第5NMOSトランジスタと、を含んでおり、前記第1PMOSトランジスタ及び第2PMOSトランジスタは前記半導体基板に形成された前記Nウェル内のP⁺活性領域をソースおよびドレイン領域として当該Nウェル内に形成されており、前記第1NMOSトランジスタ、第2NMOSトランジスタ、第3NMOSトランジスタ、第4NMOSトランジスタ及び第5NMOSトランジスタは前記半導体基板に形成された前記Pウェル内のN⁺活性領域をソースおよびドレイン領域として当該Pウェル内に形成されており、前記Nウェルは前記メモリセルの一隅に位置し、前記メモリセルの残りの部分にはPウェルが位置する。

【0026】

また、メモリセルが複数集まって、前記Pウェルによって囲まれた1つの独立した共通Nウェルを形成しており、この場合に半導体メモリ装置は共通Nウェルの前記P⁺活性領域と前記メモリ装置の電源とを連結するためのウェルコンタクトをさらに含むのが望ましい。

【0027】

また、前述した共通NウェルのP⁺活性領域内にはウェルコンタクトと連結される第2のN⁺活性領域がさらに形成されており、第2のN⁺活性領域及びP⁺活性領域上には、第2のN⁺活性領域及びP⁺活性領域とを連結するためのシリサイド層がさらに形成されているのが望ましい。そして、前述した共通Nウェルは4つのメモリセルによって共有されうる。

【0028】

また、P⁺活性領域内に形成されている第2のN⁺活性領域と、この第2N⁺活性領域に連結されるウェルコンタクトとは隣接した2つのメモリセル、すなわち、P⁺活性領域が相互に連結されている2つのメモリセルによって共有されうる。

【0029】

本発明の他の側面によれば、Pウェルに囲まれているNウェルを相互に連結するNウェルブリッジがこのPウェルにさらに形成されうる。そして、この場合にNウェルブリッジの幅はNウェルの幅の10%以上50%以下であるのが望ましい。

【0030】

また、メモリセルのNウェルが複数集まって、残りのPウェルによって囲まれた1つの独立した共通Nウェルを形成しており、この場合に半導体メモリ装置は共通Nウェルの前記P⁺活性領域と電源とを連結するためのウェルコンタクトをさらに含むのが望ましい。

【0031】

また、前述した共通NウェルのP⁺活性領域内にはウェルコンタクトと連結される第2のN⁺活性領域がさらに形成されており、第2のN⁺活性領域及びP⁺活性領域上にはN⁺活性領域及びP⁺活性領域を連結するためのシリサイド層がさらに形成されているのが望ましい。そして、前述した共通Nウェルは4つのメモリセルによって共有されうる。

【0032】

本発明のさらに他の側面によれば、第2ワードラインは第1ワードラインと平行しているのが望ましい。

【0033】

本発明のさらに他の側面によれば、第2ビットラインは第1ビットラインと平行しているのが望ましい。

【発明の効果】

【0034】

金属コンタクトを共有してウェルパワー（電圧）を供給することが十分ではない場合には、PウェルPWの一部領域にNウェルブリッジを追加して孤立されたNウェルを連結することによって、Nウェルブリッジを通じてウェルパワーを十分に供給することができる。

【発明を実施するための最良の形態】

10

20

30

40

50

【 0 0 3 5 】

以下、図面を参照して本発明の望ましい実施例を詳細に説明する。しかし、本発明の実施は色々な他の形態に変形でき、本発明の範囲が後述する実施例に限定されることと解釈されてはならない。本発明の実施例は、当業者に本発明をより完全に説明するために提供されるものである。

【 0 0 3 6 】

なお、図面での要素の形状などは、より明確な説明を強調するために誇張されたものであり、図面上で同じ符号で表示された要素は同じ要素を意味する。また、ある層が他の層または半導体基板の「上」にあると記載される場合、ある層は前記した他の層または半導体基板に接触して存在するかまたはその間に第3の層が介在されうる。

10

【 0 0 3 7 】

図3には、本発明による2つのポートを有する(以下「ダブルポート」という)半導体メモリ装置の等価回路図の一例が図示されている。図3の等価回路図は図1に示された等価回路図と同じであるが、ここでより具体的に説明するためにさらに図示した。そして、符号も変更して表示した。

【 0 0 3 8 】

図3を参照すれば、第1PMOSトランジスタP1及び第1NMOSトランジスタN1は第1CMOSインバータを構成する。そして、第2PMOSトランジスタP2及び第2NMOSトランジスタN2は第2CMOSインバータを構成する。これらのCMOSインバータの入力端子及び出力端子は相互に交差して連結されている。したがって、この4つのMOSトランジスタP1、P2、N1及びN2はフリップフロップ回路を構成する。第1CMOSインバータの出力端子であり、第2CMOSインバータの入力端子である第1メモリノードM1と、第2CMOSインバータの出力端子であり、第1CMOSインバータの入力端子である第2メモリノードM2とにおいてデータが読み取り/書き込み可能である。

20

【 0 0 3 9 】

第3NMOSトランジスタN3及び第4NMOSトランジスタN4はパストランジスタである。すなわち、それぞれ第1メモリノードN1及び第2メモリノードN2に対するアクセストランジスタの役割を果たす。第3NMOSトランジスタN3のゲートは第1ワードラインWLに連結されており、ソースは第1メモリノードN1に連結され、ドレインは第1ビットラインBLに連結されている。第4NMOSトランジスタN4のゲートも第1ワードラインWLに連結されており、ソースは第2メモリノードN2に連結され、ドレインは第1相補ビットライン/BLに連結されている。

30

【 0 0 4 0 】

第5NMOSトランジスタN5及び第6NMOSトランジスタN6はダブルポートを実現するためにシングルポートを有する半導体SRAM装置に追加されたものである。すなわち、示された等価回路によれば、第5NMOSトランジスタN5及び第6NMOSトランジスタN6を動作させて第1メモリノードM1に格納されたデータを読み取ることができる。

【 0 0 4 1 】

第5NMOSトランジスタN5のゲートは第1メモリノードN1に連結されており、ソースはグラウンドラインに連結されており、ドレインは第6NMOSトランジスタN6のソースに連結されている。そして、第6NMOSトランジスタN6のゲートは、第2ワードライン、すなわちスキャンアドレスライン(Scan Address Line: SALL)に連結されており、第6NMOSトランジスタN6のドレインは第2ビットライン、すなわちスキャンデータアウトライン(Scan Data Out Line: SDOL)に連結されている。

40

【 0 0 4 2 】

このような回路構成によれば、第1ワードラインWL、第1ビットラインBL及び第1相補ビットライン/BLを選択することによって、メモリノードM1、M2に対しデー

50

タの読取り／書き込みが可能である。これが第1のポートである。そして、第2ワードラインSAL及び第2ビットラインSDOLを選択することによって、やはりメモリノードM1に対してデータを読み取ることが可能である。これが第2のポートである。特に、このような等価回路図を有するメモリ装置では第2のポートに基づいてデータを読み取る動作が第1のポートの動作とは独立的に行われる場合があり、メモリノードN1、N2の状態に何の影響も及ぼさない。

【0043】

前述したように、このような等価回路図は以前から多用されている回路構成である。しかし、本発明によれば、同じ等価回路図を構成する構成素子を実際半導体基板のメモリセルにレイアウト（配置）する方法が従来技術と異なる。図3に示された等価回路が具現された半導体メモリ装置のレイアウトは図4ないし図10に示されている。

10

【0044】

図4には、図3に示された等価回路が具現された半導体メモリ装置のメモリセルに対する第1のレイアウトの一実施例が示されている。第1のレイアウトには、半導体基板及びこの半導体基板に形成された1つのPウェルPW領域と1つのNウェルNW領域、PウェルPWに形成されたN⁺拡散領域、NウェルNWに形成されたP⁺拡散領域、そしてこの基板上に形成されたポリシリコン配線層及び金属コンタクトMCの位置が示されている。

【0045】

さらに具体的に説明すれば、半導体基板には1つのPウェルPW及び1つのNウェルNWが形成されている。NウェルNWは2つのPMOSTランジスタP1及びP2が形成される領域であり、PウェルPWは6つのNMOSTランジスタN1、N2、N3、N4、N5及びN6が形成される領域である。したがって、PウェルPWが占める面積がNウェルNWが占める面積より広い。

20

【0046】

そして、NウェルNWはメモリセル全体で一隅に形成されることが望ましい。本発明ではPウェルPW及びNウェルNWが接する面に形成される隔離領域（図面で太線に表示された部分）が占める面積を縮小することによって、1つのセルが占める面積を縮小しようとするものである。したがって、隔離領域を最小化できるようにNウェルNWを一隅に配置することが望ましい。

【0047】

NウェルNWとPウェルPWとがそれぞれ1つずつ形成され、またNウェルNWがセル全体のうち一隅に配置されれば、NウェルNWとPウェルPWとが接する面に形成される隔離領域が縮小でき、各素子を連結してデータを入出力するための配線ラインを効率的に配置できる。本発明のようにセルの一隅にNウェルNWを配置するレイアウトによれば、前述した特許文献2に掲載された第1のレイアウトと比較した時、単位セルの占める面積を約6%程度減らせる。

30

【0048】

そして、このように一隅にNウェルNWを配置すれば、メモリセルが2つまたは4つ集合した場合に、このNウェルNWが相互隣接して1つの独立したNウェルを形成する。そして、他の構成素子及び配線ラインも隣接セルとの関係で対称的に配列できる。この場合には、金属コンタクトMCかビアコンタクトVCを含む各種配線も効率的に配置できる長所がある。4つのメモリセルが集まって、各隅に形成されたNウェルNWが、4つのメモリセルの各Pウェルによって囲まれた1つの独立した共通Nウェル領域NW_cを形成しているレイアウトの一例が図5に示されている。

40

【0049】

次いで、図4を参照すれば、第1及び第2ポリシリコン配線層PL1及びPL2がNウェルNWからPウェルPWまで延長されて隔離領域を横断して形成される。第1ポリシリコン配線層PL1及び第2ポリシリコン配線層PL2は一定間隔を維持したまま相互平行に形成されることが望ましい。NウェルNWに位置する第1及び第2ポリシリコン配線層PL1及びPL2の一端はそれぞれ第1PMOSTランジスタP1及び第2PMOSTラ

50

ンジスタ P 2 のゲート電極の役割を果たし、P ウェル P W に位置した第 1 及び第 2 ポリシリコン配線層 P L 1 及び P L 2 の他端はそれぞれ第 1 N M O S トランジスタ N 1 及び第 2 N M O S トランジスタ N 2 のゲート電極の役割を果たす。

【 0 0 5 0 】

基板面に沿う x 軸方向（第 1 の方向）と x 軸方向に垂直な y 軸方向（第 2 の方向）を図に示されるようにとる。ここで、図面に示されるように、N ウェル N W が x 軸方向に伸延した矩形形状にセルの一隅に位置する場合、第 1 及び第 2 ポリシリコン配線層 P L 1 及び P L 2 は y 軸方向に伸延して形成することが望ましい。但し、P ウェル P W 領域に位置する第 1 及び第 2 ポリシリコン配線層 P L 1 及び P L 2 の端部は、第 3 ポリシリコン配線層 P L 3 と第 3 N M O S トランジスタ N 3 及び第 4 N M O S トランジスタ N 4 が形成される空間を確保するために y 軸方向にはそれほど高く伸びないようにすることが望ましい。

10

【 0 0 5 1 】

次いで、図 4 を参照すれば、第 3 ポリシリコン配線層 P L 3 が P ウェル P W に形成される。第 3 ポリシリコン配線層 P L 3 はメモリセルを基準とした時、P ウェル P W の片側から反対側の端部まで x 軸方向に伸延して形成される。これは第 3 ポリシリコン配線層 P L 3 が隣接したメモリセルの第 3 ポリシリコン配線層 P L 3 と x 軸方向に連結し続けられているためである。このように、x 軸方向に伸延されて連結された第 3 ポリシリコン配線層 P L 3 が第 1 ワードライン W L になる。そして、第 3 ポリシリコン配線層 P L 3 は第 3 N M O S トランジスタ N 3 及び第 4 N M O S トランジスタ N 4 のゲート電極としての役割もする。

20

【 0 0 5 2 】

第 3 ポリシリコン配線層 P L 3 の中間領域に位置した曲がった部分は、他の素子、例えば、第 5 N M O S トランジスタ N 5 及び第 6 N M O S トランジスタ N 6 の配置を考慮したものであって、任意的である。したがって、他の実施例では本図面で示す曲がった部分は存在しない場合もある。

【 0 0 5 3 】

次いで、図 4 を参照すれば、第 5 N M O S トランジスタ N 5 及び第 6 N M O S トランジスタ N 6 のゲート電極としての役割をできる第 4 ポリシリコン配線層 P L 4 及び第 5 ポリシリコン配線層 P L 5 が P ウェル P W に形成される。ここで、第 5 ポリシリコン配線層 P L 5 の一端をセルの境界面に位置させることによって、隣接したセルの第 5 ポリシリコン配線層（図 5 参照）と連結されるように形成することが望ましい。こうすれば、第 5 ポリシリコン配線層 P L 5 と連結される金属コンタクト M C を隣接した 2 つのセルに共有させることによって金属コンタクト M C の数を減らせる。

30

【 0 0 5 4 】

次いで、N⁺ 活性領域及び P⁺ 活性領域を形成することについて説明する。

【 0 0 5 5 】

図 4 を参照すれば、第 1 ポリシリコン配線層 P L 1 を挟んで、その両側に位置した N ウェル N W に P 型不純物を注入してそれぞれ P⁺ 活性領域 P A 1 1 及び P A 1 2 を形成する。その結果、第 1 ポリシリコン配線層 P L 1 をゲート電極として使用する第 1 P M O S トランジスタ P 1 が形成される。第 1 P M O S トランジスタ P 1 のソース P A 1 2 は電源ライン V d d と連結されるように金属コンタクト M C と連結され、第 1 P M O S トランジスタ P 1 のドレイン P A 1 1 は上部配線層、すなわち第 1 メモリノード N 1 と連結されるように他の金属コンタクト M C と連結される。

40

【 0 0 5 6 】

そして、第 2 ポリシリコン配線層 P L 2 を挟んで、両側のウェル P W にも P 型不純物を注入して P⁺ 活性領域 P A 1 2 及び P A 1 3 を形成する。その結果、第 2 ポリシリコン配線層 P L 2 をゲート電極として使用する第 2 P M O S トランジスタ P 2 が形成される。第 2 P M O S トランジスタ P 2 のソース P A 1 2 は電源ライン V d d と連結されるように金属コンタクト M C と連結され、第 2 P M O S トランジスタ P 2 のドレイン P A 1 3 は上部配線層、すなわち第 2 メモリノード N 2 と連結されるように他の金属コンタクト M C と連

50

結される。

【0057】

本発明の望ましい実施例によれば、第1 PMOSトランジスタP1のソースPA12及び第2 PMOSトランジスタP2のソースPA12は金属コンタクトMCが共有できる。それによって、単位セルに存在する金属コンタクトMCの数を減らせる。この場合に示したように、y軸の下方、すなわち、第1及び第2ポリシリコン配線層PL1及びPL2が延長されている方向と反対方向に突出された部分があるようにN⁺活性領域を形成し、ここに共有金属コンタクトMCを形成することがさらに望ましい。

【0058】

第1及び第2 PMOSトランジスタP1及びP2のソースPA12が共有金属コンタクトMCと連結される場合、その共有金属コンタクトMCはメモリセルの境界面で第1及び第2 PMOSトランジスタP1及びP2のソースPA12と連結させることが望ましい。第1及び第2 PMOSトランジスタP1及びP2のソースPA12と共有金属コンタクトMCがセルの境界面で連結されれば、隣接したメモリセルの第1及び第2 PMOSトランジスタのソースもこの共有金属コンタクトMCを通じて連結できる。それによって、全体の半導体メモリ装置で金属コンタクトの数を減らせる。

【0059】

このような配置は2つまたは4つのセルが集まって1つの独立した共通NウェルNW_Cを形成し、この共通NウェルNW_Cが周辺PウェルPWに囲まれて孤立される場合にさらに有用である。周辺PウェルPWによって孤立された共通NウェルNW_Cにはウェルコンタクトを通じてウェルパワーを供給する必要があるが、前述したように金属コンタクトMCがセルの境界面に位置する場合には、この金属コンタクトMCを通じて独立した共通NウェルNW_C、すなわち2つまたは4つのセルに形成されたNウェルNWにウェルパワーを同時に供給できる。

【0060】

NウェルNWにウェルパワーを供給する役割についても共通化する金属コンタクトMCを形成する場合に、この金属コンタクトMCとP⁺活性領域PA12とが連結される所にN型不純物を注入してN⁺活性領域(第2のN⁺活性領域)NA10をさらに形成することが望ましい。これはウェルパワーが供給される所にダイオードが形成されて半導体装置の電気的特性が劣化されることを防止するためである。すなわち、本発明の望ましい実施例によれば、セルの境界面に位置しているP⁺活性領域PA12の突出された部分にN⁺活性領域NA10が追加形成され、その上部に金属コンタクトMCが位置する。

【0061】

図6は、図4のAA'ラインに沿って切断した概略的な断面図が示されている。図6には第1 PMOSトランジスタP1ソース及び第2 PMOSトランジスタP2のソースと連結され、また、孤立されたNウェルNWに電源を供給する役割も共にする金属コンタクトMCとその下部のN⁺活性領域NA10、そして、P⁺活性領域PA12、そして、N⁺活性領域NA10及びP⁺活性領域PA12を連結するシリサイドが示されている。

【0062】

図6を参照すれば、半導体基板に形成されたNウェルNWにウェルパワーを供給するためのN⁺活性領域NA10及びP⁺活性領域PA12がそれぞれ形成されている。そして、N⁺活性領域及NA10及びP⁺活性領域PA10の上部にはシリサイドが形成されている。金属コンタクトMCを通じて供給される電流がシリサイドを通じて流れれば、その結果、1つの金属コンタクトを通じてN⁺活性領域NA10のみならずP⁺活性領域PA12にも電源電圧が供給できる。

【0063】

このようにトランジスタのソースに連結される電源ラインと孤立されたウェルにエネルギーを供給するウェルパワーラインとが1つの金属コンタクトを共有するために、ウェルパワーラインと連結される金属コンタクトを追加形成する必要がない。したがって、追加的な金属コンタクトによって単位セルの面積が広がることが防止できる。

【0064】

図7には、本発明の他の望ましい実施例による半導体メモリセルのレイアウトが示されている。図7を参照すれば、図4の半導体メモリセルレイアウトにNウェルブリッジ(NM bridge)がさらに追加された。このNウェルブリッジはPウェルPWにN型不純物を注入することによって形成されるが、NウェルNWとPウェルPWとの境界面とセルの境界面間に位置したPウェルPWに形成することが望ましい。

【0065】

このように、各セルにNウェルブリッジを追加すれば、ウェルコンタクトを通じずにも孤立されたNウェルNWに電源が供給できる。すなわち、セルアレイの外部からこのNウェルブリッジを通じて孤立されたNウェルNWに電源を供給する。しかし、ウェルコンタクトなしにNウェルブリッジのみ形成されている場合には孤立されたNウェルNWに電源を十分に供給し難い。それはNウェルブリッジの抵抗が相当大きいためである。したがって、Nウェルブリッジはウェルコンタクトが形成されている構造に追加形成することが望ましい。

【0066】

次いで、図4を参照すれば、第1ポリシリコン配線層PL1を挟んで、両側のウェルPWにN型不純物を注入してN⁺活性領域NA11及びNA12を形成する。その結果、第1ポリシリコン配線層PL1をゲート電極として使用する第1NMOSTランジスタN1が形成される。

【0067】

そして、第2ポリシリコン配線層PL2を挟んで、両側のNウェルNWにもN型不純物を注入してN⁺活性領域NA12及びNA13を形成する。その結果、第2ポリシリコン配線層PL2をゲート電極として使用する第2NMOSTランジスタN2が形成される。

【0068】

第1ポリシリコン配線層PL1及び第2ポリシリコン配線層PL2間に形成されるN⁺活性領域NA22は突出された部分を生じさせることが望ましい。突出された部分があれば、金属コンタクトMCを通じて突出されたN⁺活性領域NA22、すなわち第1NMOSTランジスタN1及び第2NMOSTランジスタN2のソース領域が上部のグラウンドラインと効率的に連結させうる。また、この金属コンタクトMCを第1NMOSTランジスタN1及び第2NMOSTランジスタN2が共有できることによって単位セルに含まれる金属コンタクトMCの数も減らせる。

【0069】

次いで、図4を参照すれば、第3ポリシリコン配線層PL3を挟んで、両側のウェルPWにN型不純物を注入してN⁺活性領域NA21、NA23、NA24及びNA25を形成する。その結果、第3ポリシリコン配線層PL3をゲート電極として使用する第3NMOSTランジスタN3が形成される。第3NMOSTランジスタN3のソースNA21は第1NMOSTランジスタN1のドレインと連結される。第3NMOSTランジスタN3のドレインNA24は金属コンタクトMCを通じて上部配線層と連結される。この金属コンタクトMCは隣接したセルと共有できるようにセルの境界面に形成することが望ましい。

【0070】

そして、第3ポリシリコン配線層PL3をゲート電極として使用する第4NMOSTランジスタN4も形成される。第4NMOSTランジスタN4のソースNA23は第2NMOSTランジスタN2のドレインと連結される。第4NMOSTランジスタN3のドレインNA25は他の金属コンタクトMCを通じて上部配線層と連結される。この金属コンタクトMCは隣接したセルと共有できるようにセルの境界面に形成することが望ましい。

【0071】

したがって、第1NMOSTランジスタN1が第3NMOSTランジスタN3と直列連結されている。また、示したように第1ポリシリコン配線層PL1と第3ポリシリコン配線層PL3が垂直配置される場合には、第1NMOSTランジスタN1のドレインと第3

10

20

30

40

50

NMOSトランジスタN3のソースとが連結される領域であるN⁺活性領域NA21は曲がった模様になりうる。ここで、N⁺活性領域NA21は第1メモリノードM1に該当する地点である。このN⁺活性領域NA21は金属コンタクトMCを通じて上部配線層と連結される。

【0072】

同じく、第2NMOSトランジスタN2が第4NMOSトランジスタN4と直列連結されている。また、示したように第2ポリシリコン配線層PL2と第3ポリシリコン配線層PL3とが垂直配置される場合には、第2NMOSトランジスタN2のドレインと第4NMOSトランジスタN4のソースとが連結される領域であるN⁺活性領域NA23は曲がった模様になりうる。ここで、N⁺活性領域NA23は第2メモリノードM2に該当する

10

【0073】

そして、第2NMOSトランジスタN2のドレインと第4NMOSトランジスタN4のソースとが連結される領域であるN⁺活性領域NA21の一部と第4ポリシリコン配線層PL4の一端とが相互重なるようにすることが望ましい。この場合に第1メモリノードN1に該当する地点と上部金属配線層(図7のML12)とを連結する金属コンタクトMCを利用し、第5NMOSトランジスタN5のゲート電極の役割を果たす第4ポリシリコン配線層PL4も電氣的に共に連結できる。それによって、第1メモリノードN1に第4

20

【0074】

次いで、図4を参照すれば、第4ポリシリコン配線層PL4の他端を挟んで、側に位置したPウェルPWにN型不純物を注入してN⁺活性領域NA31及びNA32を形成する。その結果、第4ポリシリコン配線層PL4をゲート電極として使用し、ソース及びドレインはそれぞれ符号がNA31及びNA32であるN⁺活性領域に第5NMOSトランジスタN5が形成される。第5NMOSトランジスタN5のソース領域NA31は金属コンタクトMCを通じて上部配線層(第2ビットライン)と連結されてグラウンド状態に接地される。そして、この金属コンタクトMCは隣接したセルと共有できるようにセルの境界面に形成されることが望ましい。

【0075】

30

また、第5ポリシリコン配線層PL5の一端を挟んで、両側に位置したPウェルPWにN型不純物を注入してN⁺活性領域NA32及びNA33を形成する。その結果、第5ポリシリコン配線層PL5をゲート電極として使用し、ソース及びドレインはそれぞれ符号がNA33及びNA32であるN⁺活性領域に第6NMOSトランジスタN6が形成される。第6NMOSトランジスタN6のソース領域NA33は他の金属コンタクトMCを通じて第2ビットラインと連結される。

【0076】

ポリシリコン配線層PL1、PL2、PL3、PL4及びPL5もそれぞれ他の金属コンタクトMCを通じて上部配線層と連結される。単に、第3ポリシリコン配線層PL3に連結される金属コンタクトMCは示されていないが、これは第3ポリシリコン配線層PL3が隣接したセルの第3ポリシリコン配線層とx軸方向に相互に連結されているためである。

40

【0077】

次に、図4の上部に位置する半導体メモリ装置のレイアウトについて説明する。図8には図4に示されたレイアウトの上部に示される半導体メモリ装置のレイアウトの一実施例が示されている。図8で点線に示された部分はNウェルNWとPウェルPWとの境界面、すなわち隔離領域が位置する領域である。

【0078】

図8を参照すれば、図8には図4に示された層の上部に位置する第1金属配線層が示されている。第1メモリノードM1に電氣的に連結される導電体、すなわち第1PMOST

50

ランジスタP1のドレインPA11と連結される金属コンタクトMC、第1NMOSトランジスタN1のドレインと第3NMOSトランジスタN3のソースNA21とが連結され、そして第4ポリシリコン配線層PL4が連結される金属コンタクトMC、そして第2PMOSトランジスタP2及び第2NMOSトランジスタN2のゲート電極としての役割を果たす第2ポリシリコン配線層PL2と連結される金属コンタクトMCを電氣的に連結する第1金属配線層ML11が形成される。

【0079】

図3の等価回路図に示したように、第1金属配線層ML11によって第1NMOSトランジスタN1のドレイン、第3NMOSトランジスタN3のソース、第1PMOSトランジスタP1のドレイン及び第2CMOSインバータの入力端子が電氣的に連結される。

10

【0080】

さらに、第2メモリノードM2に電氣的に連結される導電体、すなわち第2PMOSトランジスタP2のドレインPA13と連結される金属コンタクトMC、第2NMOSトランジスタN2のドレインと第4NMOSトランジスタN4のソースNA23とが連結される金属コンタクトMC、及び第1PMOSトランジスタP1及び第1NMOSトランジスタN1のゲート電極としての役割を果たす第1ポリシリコン配線層PL1と連結される金属コンタクトMCを電氣的に連結する第1金属配線層ML12が同じ層に形成される。

【0081】

図3の等価回路図に示したように、第1金属配線層ML12によって第2NMOSトランジスタN2のドレイン、第4NMOSトランジスタN4のソース、第2PMOSトランジスタP2のドレイン及び第1CMOSインバータの入力端子が電氣的に連結される。

20

【0082】

さらに、金属コンタクトMCを通じてN⁺拡散領域NA22に接地電位(グラウンドポテンシャル)を印加し、さらに他の金属コンタクトMCを通じてN⁺拡散領域NA22及びNA31に設置電位V_{ss}が印加できるように、この金属コンタクトMCを連結する第1金属配線層M13が形成される。言い換えれば、第1金属配線層M13は接地電位ラインの役割をし、その結果、第1及び第2NMOSトランジスタN1及びN2のソースNA22と第5NMOSトランジスタN5のソースNA31が接地状態となる。

【0083】

また、図8に示された層の上部に形成される第2金属配線層及び第3金属配線層と電氣的に連結するための第1金属配線層M14、M15、M16及びM17がそれぞれ形成されている。

30

【0084】

さらに、金属コンタクトMCを通じてNウェルNWに形成されているP⁺活性領域PA12及びこのP⁺活性領域内にウェル電源を供給するために形成されたN⁺活性領域NA11に電源電位V_{dd}が印加できるように第1金属配線層M18が形成される。言い換えれば、第1金属配線層M18は電源電位ラインの役割をし、その結果、第1PMOSトランジスタP1のソースPA12と電源が電氣的に連結され、第2PMOSトランジスタP2のソースPA12と電源も電氣的に連結される。また、第1金属配線層M18はNウェルNWが孤立された場合にもウェルコンタクトの役割を果たす金属コンタクトMCを通じてNウェルNWと電氣的に連結される。

40

【0085】

それぞれ接地電位ライン及び電源電位ラインの役割を果たす第1金属配線層M13及びM18はx軸方向に伸延するように形成することが望ましい。そして、2つまたは4つのセルに形成されたNウェルNWが集まって独立したNウェルを形成する場合、第1金属配線層M18、すなわち電源電位ラインはセルの境界面上に形成することが望ましい。

【0086】

次に、図8の上部に位置する半導体メモリ装置のレイアウトについて具体的に説明する。図9には図8に示されたレイアウトの上部に形成される半導体メモリ装置のレイアウトの一実施例が示されている。図9で点線で示された部分もNウェルNWとPウェルPWと

50

の境界面、すなわち隔離領域が位置する領域である。

【0087】

図9を参照すれば、図9には図7及び図8の上部に位置する第2金属配線層が示されている。第2ワードライン(スキャンアドレスライン(Scan Address Line: SAL)ともいう)がx軸と平行に形成されており、第2ワードラインSALは第5ポリシリコン配線層PL5と電氣的に連結される。具体的には、この電氣的な連結のために、第2ワードラインは、セルの境界面に位置したビアコンタクトVC1と連結され、このビアコンタクトVC1が、図8に示したように第5ポリシリコン配線層PL5と連結された金属コンタクトMCと連結されている。第2ワードラインSALは第1ワードライン、すなわち図4に示された第3ポリシリコン配線層PL3と平行に形成することが望ましい。

10

【0088】

さらに、図9に示された層の上部に形成される金属配線層などと連結するために第1ビアコンタクトVC1及び第2ビアコンタクトVC2を連結するための第2金属配線層M23、M24及びM26がそれぞれ形成される。

【0089】

次に、図9の上部に位置する半導体メモリ装置のレイアウトについて説明する。図10には、図9に示されたレイアウトの上部に示される半導体メモリ装置のレイアウトの一実施例が示されている。図10で点線で表示された部分もNウェルNWとPウェルPWとの境界面、すなわち隔離領域が位置する領域である。

20

【0090】

図10を参照すれば、図10には図9に示された層の上部に位置する第3金属配線層が示されている。第1ビットラインBL及び第1相補ビットライン/BLが相互平行にy軸方向にセルの一端から他端まで形成されている。第1ビットラインBL及び第1相補ビットライン/BLは通常的に第1ワードラインと垂直した方向に形成される。

【0091】

そして、第1ビットラインBL及び第1相補ビットライン/BLは一端、すなわち、1つのセルの境界面で第2ビアコンタクトVC2と連結されて第3金属配線層ML34及びML33を形成する。その結果、例えば、第1ビットラインBLは第3金属配線層ML34で第2ビアコンタクトVC2と連結され、第2ビアコンタクトVC2は第2金属配線層ML24で第1ビアコンタクトVC1と連結され(図9参照)、第1ビアコンタクトVC1は第1金属配線層ML14で金属コンタクトMCと連結され(図8参照)、そして、この金属コンタクトMCは第3NMOSトランジスタN3のドレインと連結されているので(図4参照)、第1ビットラインBLが第3NMOSトランジスタN3のドレインと電氣的に連結される。

30

【0092】

また、第1相補ビットライン/BLは第3金属配線層ML33で第2ビアコンタクトVC2と連結され、第2ビアコンタクトVC2は第2金属配線層ML23で第1ビアコンタクトVC1と連結され(図9参照)、第1ビアコンタクトVC1は第1金属配線層ML15で金属コンタクトMCと連結され(図8参照)、そして、この金属コンタクトMCは第4NMOSトランジスタN4のドレインと連結されているので(図4参照)、第1相補ビットライン/BLが第4NMOSトランジスタN4のドレインと電氣的に連結される。

40

【0093】

次いで、図10を参照すれば、第2ビットライン(スキャンデータアウトライン(Scan Data Out Line: SDOL)ともいう)がy軸方向に伸延されてセルの一端から他端まで形成されている。第2ビットラインSDOLは第1ビットラインと平行した方向に形成されることが望ましい。

【0094】

そして、第2ビットラインSDOLはセル内部の任意のある地点で第2ビアコンタクトVC2と連結されて第3金属配線層ML36を形成する。その結果、第2ビットラインS

50

D O Lは第3金属配線層M L 3 6で第2ビアコンタクトV C 2と連結され、第2ビアコンタクトV C 2は第2金属配線層M L 2 6で第1ビアコンタクトV C 1と連結され(図9参照)、第1ビアコンタクトV C 1は第1金属配線層M L 1 7で金属コンタクトM Cと連結され(図8参照)、そして、この金属コンタクトM Cは第6 N M O SトランジスタN 6のドレインと連結されているので(図4参照)、第2ビットラインS D O Lが第6 N M O SトランジスタN 6のドレインと電氣的に連結される。

【0095】

第1ビットラインB L、第1相補ビットライン/B L及び第2ビットラインS D O Lはセルの一端から他端まで互いに平行に形成することが望ましい。その結果、相異なるメモリセルに形成された第3 N M O SトランジスタN 3のドレイン端子が第1ビットラインB Lを通じて相互に連結され、相異なるメモリセルに形成された第4 N M O SトランジスタN 4のドレイン端子が第1相補ビットライン/B Lを通じて相互に連結され、そして相異なるメモリセルに形成された第6 N M O SトランジスタN 6のドレイン端子が第2ビットラインS D O Lを通じて相互に連結される。

10

【0096】

次に、本発明の第2実施例によるダブルポート半導体メモリ装置について説明する。図11に本発明の第2実施例によるダブルポート半導体メモリ装置についての等価回路図が示されている。図11に示された等価回路図には図3に示されたものと異なり、総計7つのM O Sトランジスタが含まれている。図3に示されたものと同じ構成素子は同じ番号を使用した。

20

【0097】

図11を参照すれば、第1 P M O SトランジスタP 1及び第1 N M O SトランジスタN 1は第1 C M O Sインバータを構成する。そして、第2 P M O SトランジスタP 2及び第2 N M O SトランジスタN 2は第2 C M O Sインバータを構成する。これら C M O Sインバータの入力端子及び出力端子は相互に交差して連結されている。したがって、この4つのM O SトランジスタP 1、P 2、N 1及びN 2はフリップフロップ回路を構成する。この等価回路図によれば、第1 C M O Sインバータの出力端子であり、第2 C M O Sインバータの入力端子である第1メモリノードM 1と、第2 C M O Sインバータの出力端子であり、第1 C M O Sインバータの入力端子である第2メモリノードM 2とにおいてデータの読み取り/書き込み可能である。

30

【0098】

第3 N M O SトランジスタN 3及び第4 N M O SトランジスタN 4はパストランジスタである。すなわち、それぞれ第1メモリノードN 1及び第2メモリノードN 2に対するアクセスランジスタの役割を果たす。第3 N M O SトランジスタN 3のゲートは第1ワードラインW Lに連結されており、ソースは第1メモリノードN 1に連結され、ドレインは第1ビットラインB Lに連結されている。第4 N M O SトランジスタN 4のゲートも第1ワードラインW Lに連結されており、ソースは第2メモリノードN 2に連結され、ドレインは第1相補ビットライン/B Lに連結されている。

【0099】

第5 N M O SトランジスタN 5 'はダブルポートを実現するために単一ポートトランジスタに追加されたものである。すなわち、第5 N M O SトランジスタN 5 'のソースは第1メモリノードN 1に連結されているので、第5 N M O SトランジスタN 5 'を動作させて第1メモリノードM 1に格納されたデータを読み取ることが可能である。そして、第5 N M O SトランジスタN 5 'のゲートは第2ワードラインS A Lに連結されており、第5 N M O SトランジスタN 5 'のドレインは第2ビットラインS D A Lに連結されている。

40

【0100】

このような回路構成によれば、第1ワードラインW L、第1ビットラインB L及び第1相補ビットライン/B Lを選択することによって、メモリノードM 1、M 2に対してデータを読み取り/書き込み可能である。これが第1のポートである。そして、第2ワードラインS A L及び第2ビットラインS D O Lを選択することによってもメモリノードM 1に対

50

してデータを読み取れる。これが第2のポートである。特に、このような等価回路図を有するメモリ装置では第2のポートに基づいてデータを読み取る動作が第1ポートの動作とは独立的に行え、メモリノードN1、N2の状態に何の影響を及ぼさない。

【0101】

前述したように、このような等価回路図は以前から多用されている回路構成である。しかし、本発明によれば、このような等価回路図を実際半導体基板にレイアウトする方法が従来技術と異なる。すなわち、本発明によるレイアウトでは第1PウェルPW1/NウェルNW/第2PウェルPW2とメモリセルとが3つのウェルに分けられるのではなく、第1実施例のようにそれぞれ1つのNウェルNWとPウェルPWとに分けられる。そして、その具体的な配置は色々と実現できる。

10

【0102】

一例として、図4に示されたようにNウェルNWに第1PMOSTランジスタP1及び第2PMOSTランジスタP2が形成され、残りの第1NMOSTランジスタN1、第2NMOSTランジスタN2、第3NMOSTランジスタN3、第4NMOSTランジスタN4及び第5NMOSTランジスタN5'はPウェルPWに形成される。但し、第5NMOSTランジスタN5'は第1実施例の第5NMOSTランジスタN5及び第6NMOSTランジスタN6に相当する役割を果たす。したがって、第5NMOSTランジスタN5'の配列及びこれを連結する配線はこれを考慮して図4ないし図10の構成とは異なるように配置されねばならず、その具体的な配置は第1実施例を参照すれば、当業者に明確なことである。

20

【0103】

前述した本発明の実施例によれば、1つのNウェルNW及び1つのPウェルPWを含むメモリセルにダブルポート半導体メモリ装置が具現できる。したがって、メモリセルが1つのNウェルNW及びこのNウェルNWの両側に位置した2つのPウェルPWを含んでいる場合より各ウェルが接する部分を縮小させることができる。したがって、相異なるウェルが接する所に形成される隔離領域が占める面積を減少させうる。そして、単位セルで隔離領域が占める面積が縮まるために窮極的には単位セルが占める面積を縮小させうる。

【0104】

単位セルが占める面積が縮まれば、集積度の向上に有利であるだけでなく単位セルを構成する素子を連結するための配線層を縮められる。したがって、本発明による半導体メモリ装置は動作速度が向上し、消費電力もその分、低減される。

30

【0105】

また、本発明の一実施例でNウェルNWがPウェルPWに囲まれて孤立される場合にもウェルコンタクトを追加形成する必要がない。すなわち、電源電位ラインと連結される金属コンタクトが形成される位置にN型不純物を注入してN⁺活性領域(第2のN⁺活性領域)を形成し、このN⁺活性領域(第2のN⁺活性領域)と周囲のP⁺活性領域をシリサイドを通じて連結することによってV_{dd}ラインがウェルパワーラインの役割も兼ねるようにできる。したがって、本発明の一実施例によればウェルコンタクトを形成するためにメモリセルの面積が追加的に増加することが防止できる。

【産業上の利用可能性】

40

【0106】

本発明は、半導体メモリ分野、特に内蔵型メモリとして使われる半導体SRAM分野に有用に利用できる。

【図面の簡単な説明】

【0107】

【図1】従来技術によるダブルポート半導体メモリ装置の等価回路を示しているメモリセル等価回路図である。

【図2】従来技術によるダブルポート半導体メモリ装置のメモリセルに対する第1のレイアウトを示す図である。

【図3】本発明の一実施例によるダブルポート半導体メモリ装置の等価回路を示すメモリ

50

セル等価回路図である。

【図4】図3に示された等価回路が具現された半導体メモリ装置のメモリセルについて第1のレイアウトの第1実施例を示す図である。

【図5】図4に示されたセルレイアウトを含む半導体メモリ装置について4つのセルを共に示す4つのセルレイアウトを示す図である。

【図6】図4に示されたセルレイアウトを含む半導体メモリ装置に対するAA'ラインに沿って切断した概略的な断面図である。

【図7】図3に示された回路が具現された半導体メモリ装置のメモリセルについて第1のレイアウトの第2実施例を示す図である。

【図8】図3に示された回路が具現された半導体メモリ装置のメモリセルについて第2の層のレイアウト(第1金属層)を示す図である。

【図9】図3に示された回路が具現された半導体メモリ装置のメモリセルについて第3の層のレイアウト(第2金属層)を示すダイアグラムである。

【図10】図3に示された回路が具現された半導体メモリ装置のメモリセルに対する第3の層のレイアウト(第3金属層)を示すダイアグラムである。

【図11】本発明によるダブルポートを有する半導体メモリ装置の等価回路の他の例を示すメモリセル等価回路図である。

【符号の説明】

【0108】

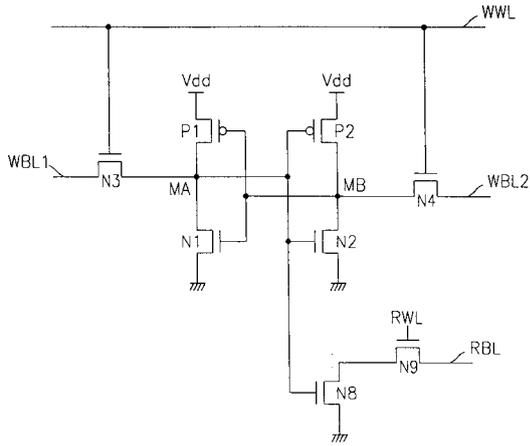
BL 第1ビットライン、
 /BL 第1相補ビットライン、
 WL 第1ワードライン、
 Vdd 電源ライン、
 P1 第1PMOSトランジスタ、
 P2 第2PMOSトランジスタ、
 N1 第1NMOSトランジスタ、
 N2 第2NMOSトランジスタ、
 N3 第3NMOSトランジスタ、
 N4 第4NMOSトランジスタ、
 N5 第5NMOSトランジスタ、
 N6 第6NMOSトランジスタ、
 M1 第1メモリノード、
 M2 第2メモリノード、
 SDOL スキャンデータアウトライン、
 SAL スキャンアドレスライン。

10

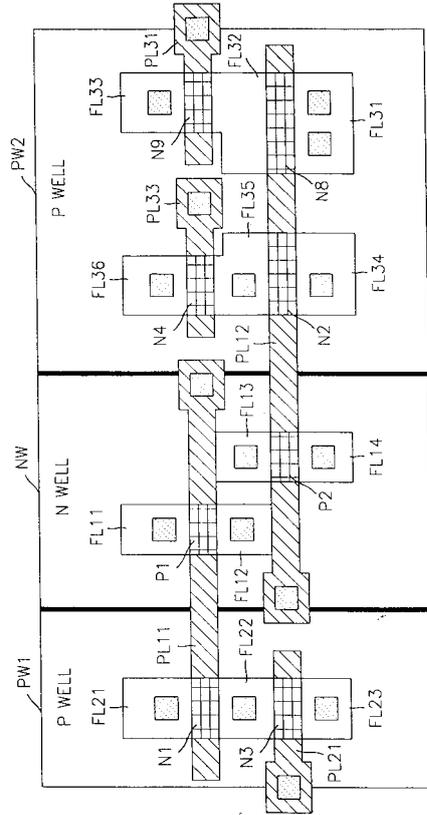
20

30

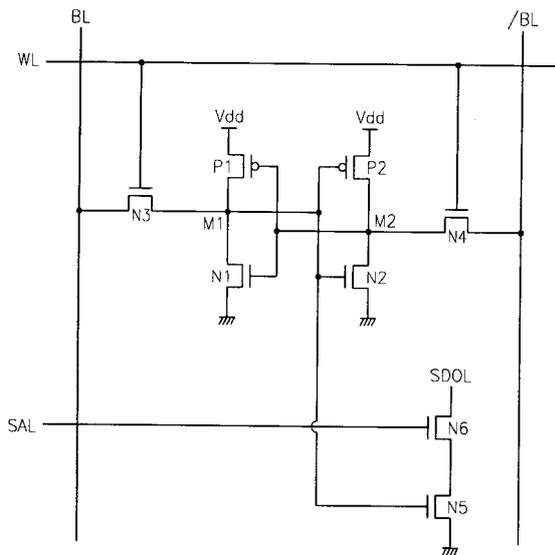
【 図 1 】



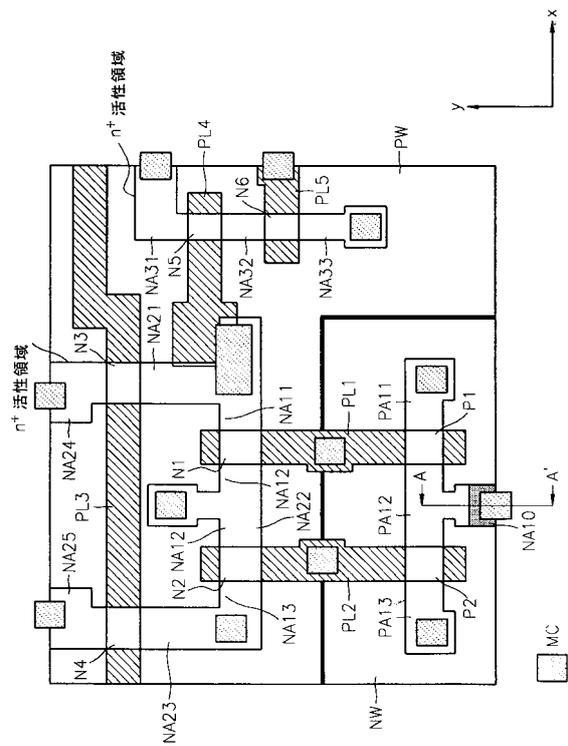
【 図 2 】



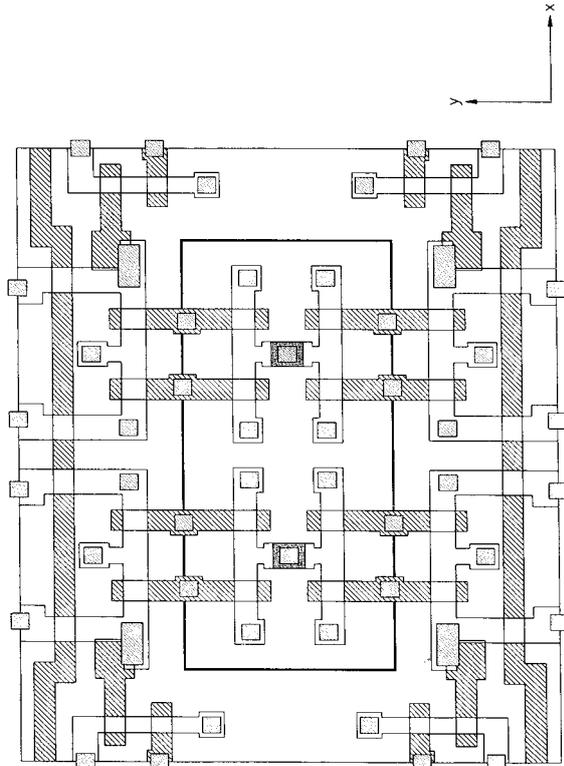
【 図 3 】



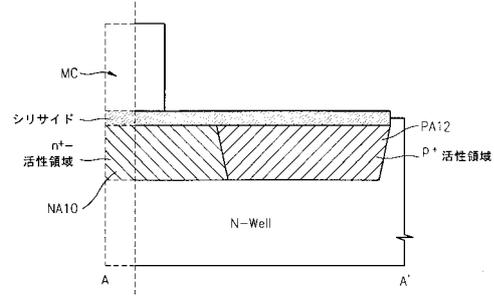
【 図 4 】



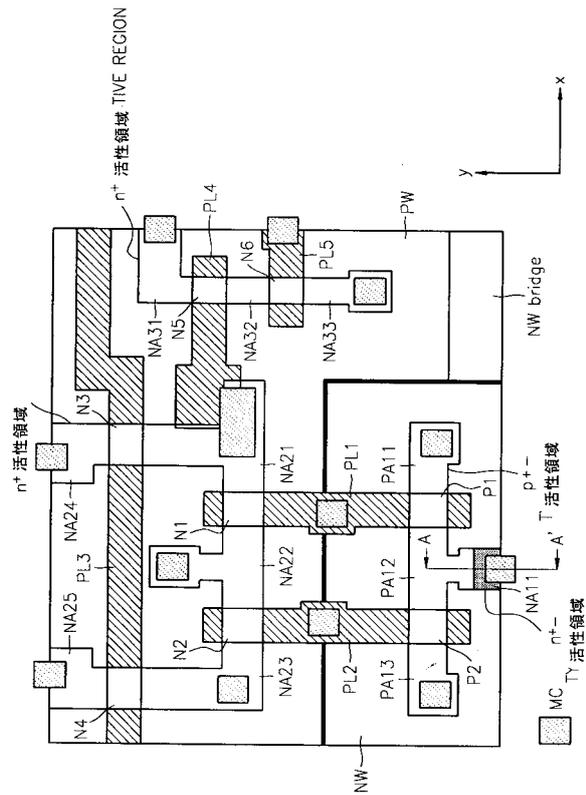
【図5】



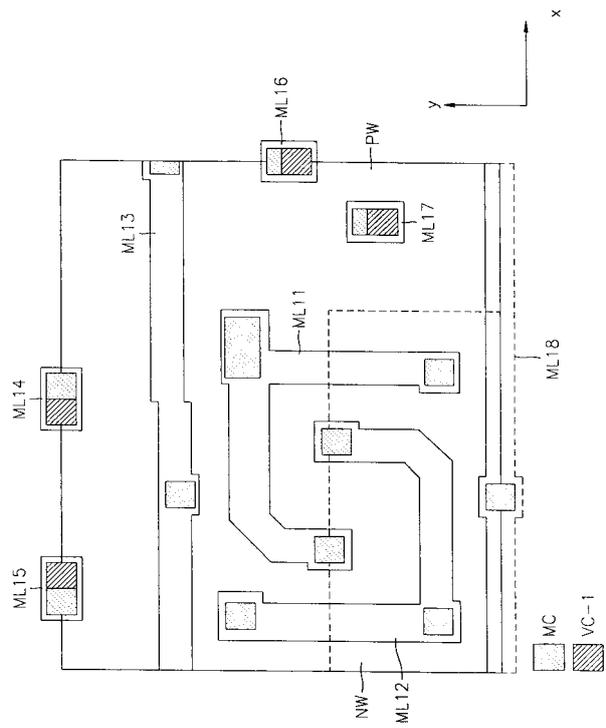
【図6】



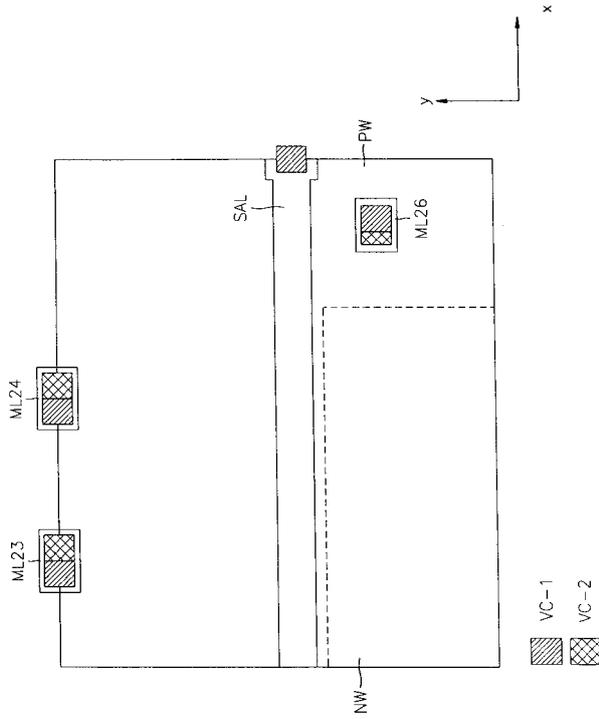
【図7】



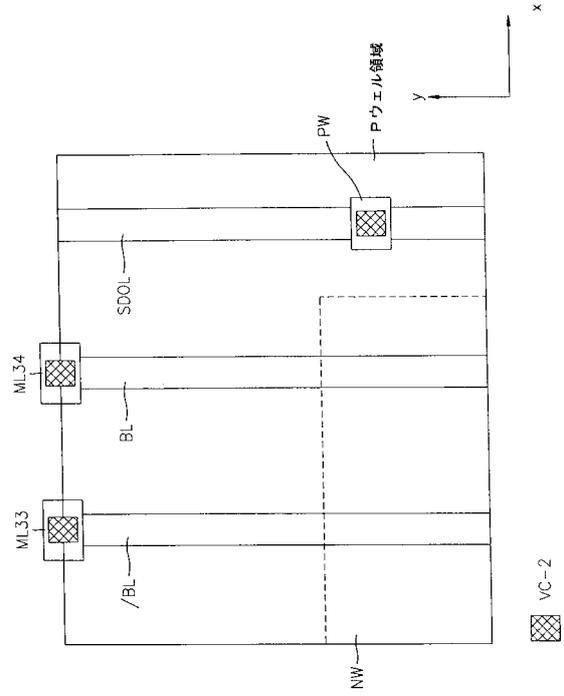
【図8】



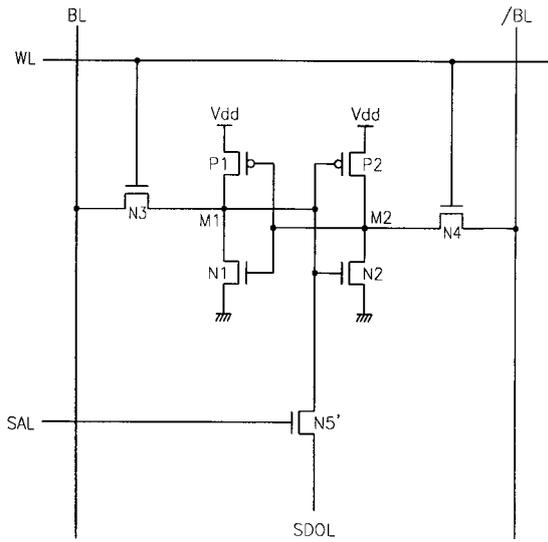
【図 9】



【図 10】



【図 11】



フロントページの続き

- (74)代理人 100111464
弁理士 齋藤 悦子
- (74)代理人 100114649
弁理士 宇谷 勝幸
- (74)代理人 100124615
弁理士 藤井 敏史
- (72)発明者 李 泰 政
大韓民国京畿道華城郡台安邑半月里 8 6 5 - 1 番地 新靈通現代アパート 1 0 7 棟 1 1 0 2 号
- (72)発明者 金 炳 善
大韓民国京畿道水原市勸善区勸善洞 1 2 3 5 番地 豊林アパート 3 0 1 棟 1 1 0 2 号
- (72)発明者 李 準 こう
大韓民国京畿道城南市盆唐区亭子洞 1 1 0 番地 ハンソルマウル 青岳アパート 1 0 7 棟 1 1 0 1 号

審査官 小川 将之

- (56)参考文献 特開 2 0 0 0 - 1 3 3 7 2 4 (J P , A)
特開 2 0 0 2 - 0 4 3 4 4 1 (J P , A)
特開 2 0 0 2 - 0 7 4 9 6 5 (J P , A)
特開 2 0 0 2 - 2 2 2 8 7 4 (J P , A)
特開 2 0 0 2 - 3 5 9 2 9 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 4 4
G 1 1 C 1 1 / 4 1
G 1 1 C 1 1 / 4 1 2
H 0 1 L 2 7 / 1 1