



(12)发明专利

(10)授权公告号 CN 104051329 B

(45)授权公告日 2017.07.28

(21)申请号 201310410420.2

(22)申请日 2013.09.10

(65)同一申请的已公布的文献号
申请公布号 CN 104051329 A

(43)申请公布日 2014.09.17

(30)优先权数据
61/794,847 2013.03.15 US
13/898,641 2013.05.21 US

(73)专利权人 台湾积体电路制造股份有限公司
地址 中国台湾新竹

(72)发明人 庄俊杰 杨敦年 刘人诚 洪丰基
许慈轩 蔡纾婷 高敏峰

(74)专利代理机构 北京德恒律治知识产权代理有限公司 11409
代理人 章社泉 孙征

(51)Int.Cl.
H01L 21/768(2006.01)
H01L 23/528(2006.01)

(56)对比文件
CN 102237338 A,2011.11.09,
US 7453150 B1,2008.11.18,
CN 102468279 A,2012.05.23,
US 2012223440 A1,2012.09.06,

审查员 王俊山

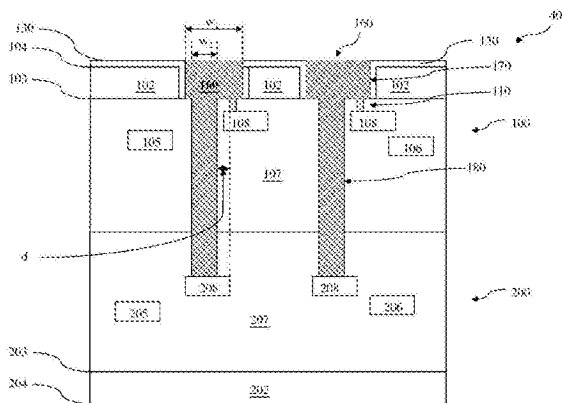
权利要求书2页 说明书7页 附图8页

(54)发明名称

用于堆叠器件的互连结构和方法

(57)摘要

本发明公开了一种堆叠集成电路(IC)器件以及方法。堆叠IC器件包括第一半导体元件和接合在第一半导体元件上的第二半导体元件。第一半导体元件包括第一衬底、第一衬底中的公共导电部件、第一层间介电(ILD)层、第一互连部件,以及将第一互连部件连接至公共导电部件的导电插塞。第二半导体元件包括第二衬底、第二衬底上的第二ILD层以及第二ILD层中的第二互连部件。器件还包括导电深插塞,其与第一半导体元件中的公共导电部件和第二互连部件相连接。导电深插塞与导电插塞之间由所述第一ILD层分开。本发明还公开了用于堆叠器件的互连结构和方法。



1. 一种堆叠器件,包括:
第一半导体元件,包括:
第一衬底;
位于所述第一衬底中的公共导电部件;
形成在所述第一衬底上方的第一介电层中的第一互连部件;和
将所述第一互连部件连接至所述公共导电部件的导电插塞;
第二半导体元件,接合到所述第一半导体元件,所述第二半导体元件包括:
第二衬底;和
形成在所述第二衬底上方的第二层间介电层中的第二互连部件;以及
导电深插塞,连接至所述第一半导体元件中的公共导电部件和所述第二半导体元件中的第二互连部件,并通过所述第一介电层与所述导电插塞分隔开;所述导电深插塞形成为连续地穿过所述第一介电层和所述第二层间介电层的一部分。

2. 根据权利要求1所述的堆叠器件,其中,所述导电深插塞连接在所述第一互连部件和所述第二互连部件之间。

3. 根据权利要求1所述的堆叠器件,其中,所述公共导电部件的宽度大于所述导电深插塞的宽度。

4. 根据权利要求1所述的堆叠器件,其中,所述导电插塞和所述导电深插塞各自与所述公共导电部件直接连接。

5. 根据权利要求1所述的堆叠器件,其中,所述第一半导体元件包括图像传感器。

6. 根据权利要求1所述的堆叠器件,其中,所述第二半导体元件包括专用集成电路。

7. 一种堆叠集成电路器件,包括:

第一半导体元件,具有第一互连部件以及连接至所述第一互连部件的导电插塞;

第二半导体元件,接合在所述第一半导体元件上,所述第二半导体元件包括第二互连部件;以及

导电深插塞,连接在所述第一互连部件和所述第二互连部件之间,其中,所述导电深插塞包括:

上部,连接至所述第一半导体元件中的导电插塞;和

下部,连接至所述第二半导体元件中的第二互连部件;

所述第一半导体元件中的第一层间介电层;以及

所述第二半导体元件中的第二层间介电层;

其中,所述导电深插塞形成为连续地穿过所述第一层间介电层和所述第二层间介电层的一部分。

8. 根据权利要求7所述的堆叠集成电路器件,其中,所述导电深插塞的所述上部的宽度大于所述下部的宽度。

9. 根据权利要求7所述的堆叠集成电路器件,其中,所述导电深插塞与所述导电插塞被所述第一层间介电层分隔开。

10. 根据权利要求7所述的堆叠集成电路器件,还包括:

所述第一半导体元件中的第一衬底。

11. 根据权利要求10所述的堆叠集成电路器件,其中,所述导电深插塞的上部位于所述

第一衬底中。

12. 根据权利要求7所述的堆叠集成电路器件,其中,所述第一半导体元件包括图像传感器。

13. 根据权利要求7所述的堆叠集成电路器件,其中,所述第二半导体元件包括专用集成电路。

14. 一种形成堆叠集成电路器件的方法,包括:

提供第一半导体元件,所述第一半导体元件包括:

第一衬底;

位于所述第一衬底上的第一层间介电层;

所述第一层间介电层中的第一互连部件;和

所述第一层间介电层中的导电插塞,其中,所述导电插塞连接所述第一衬底和所述第一互连部件;

将所述第一半导体元件接合在第二半导体元件上,所述第二半导体元件包括:

第二衬底;

位于所述第二衬底上方的第二层间介电层;和

所述第二层间介电层中的第二互连部件;

在所述第一衬底中形成衬底沟槽以露出所述导电插塞和所述第一层间介电层;

在所述第一衬底和所述衬底沟槽的侧壁上沉积介电隔离层;

从所述衬底沟槽的底部去除所述介电隔离层以露出所述第一层间介电层;

在所述衬底沟槽中形成深互连沟槽图案掩模;

通过所述深互连沟槽图案掩模来蚀刻所述第一层间介电层以及部分所述第二层间介电层,以形成连接至所述第二互连部件的第一深互连沟槽;

去除图案化的掩模以形成第二深互连沟槽,所述第二深互连沟槽包括作为上部的所述衬底沟槽以及作为下部的所述第一深互连沟槽;以及

用导电材料填充所述第二深互连沟槽以形成连接所述第一半导体元件和第二半导体元件的导电深插塞。

15. 根据权利要求14所述的形成堆叠集成电路器件的方法,其中,通过光刻工艺和相对于所述第一层间介电层具有足够蚀刻选择比的选择性蚀刻来形成所述衬底沟槽。

16. 根据权利要求15所述的形成堆叠集成电路器件的方法,其中,所述第一层间介电层用作蚀刻停止层。

17. 根据权利要求14所述的形成堆叠集成电路器件的方法,其中,所述导电深插塞的所述上部的宽度大于所述下部的宽度。

用于堆叠器件的互连结构和方法

[0001] 本专利申请要求2013年3月15日提交的美国申请No.61/794,847的权益,在此通过引用将其全文并入本文中。

技术领域

[0002] 本发明涉及半导体技术领域,更具体地,涉及一种用于堆叠器件的互连结构和方法。

背景技术

[0003] 半导体集成电路(IC)工业经历了快速发展。在IC演进过程中,功能密度(即,每个芯片面积上的互连结构器件的数量)普遍增加,而几何面积(即,使用制造工艺可制造的最小组件(或线))减小。该尺寸缩小的工艺通常通过增加生产效率和降低相关成本来提供益处。

[0004] 随着半导体技术的进一步发展,堆叠IC器件出现以作为进一步减少半导体器件物理尺寸的有效替代物。在堆叠IC器件中,诸如逻辑、存储、处理器电路等有源电路制造在不同的半导体晶圆上。两个或更多半导体晶圆可一个安装在另一个的顶部以进一步减小IC器件的形状因数。例如,两个半导体晶圆可通过适合的接合技术接合到一起。堆叠IC器件的一个优势特征是可获得更高的密度。尽管现存的堆叠半导体器件及其制造方法通常能够满足它们的预期目的,但是它们并不是在所有方面都令人满意。期望该领域的改进。

发明内容

[0005] 为了解决现有技术中所存在的问题,根据本发明的一个方面,提供了一种器件,包括:

[0006] 第一半导体元件,包括:

[0007] 第一衬底;

[0008] 位于所述第一衬底中的公共导电部件;

[0009] 形成在所述第一衬底上方的第一介电层中的第一互连部件;和

[0010] 将所述第一互连部件连接至所述公共导电部件的导电插塞;

[0011] 第二半导体元件,接合到所述第一半导体元件,所述第二半导体元件包括:

[0012] 第二衬底;和

[0013] 形成在所述第二衬底上方的第二层间介电层中的第二互连部件;以及

[0014] 导电深插塞,连接至所述第一半导体元件中的公共导电部件和所述第二半导体元件中的第二互连部件,并通过所述第一介电层与所述导电插塞分隔开。

[0015] 在可选实施例中,所述导电深插塞形成为穿过所述第一介电层并部分地穿过所述第二介电层。

[0016] 在可选实施例中,所述导电深插塞连接在所述第一互连部件和所述第二互连部件之间。

- [0017] 在可选实施例中,所述公共导电部件的宽度基本大于所述导电深插塞的宽度。
- [0018] 在可选实施例中,所述导电插塞和所述导电深插塞各自与所述公共导电部件直接连接。
- [0019] 在可选实施例中,所述第一半导体元件包括图像传感器。
- [0020] 在可选实施例中,所述第二半导体元件包括专用集成电路(ASIC)。
- [0021] 根据本发明的另一方面,还提供了一种堆叠集成电路器件,包括:
- [0022] 第一半导体元件,具有第一互连部件以及连接至所述第一互连部件的导电插塞;
- [0023] 第二半导体元件,接合在所述第一半导体元件上,所述第二半导体元件包括第二互连部件;以及
- [0024] 导电深插塞,连接在所述第一互连部件和所述第二互连部件之间,其中,所述导电深插塞包括:
- [0025] 上部,连接至所述第一半导体元件中的导电插塞;和
- [0026] 下部,连接至所述第二半导体元件中的第二互连部件。
- [0027] 在可选实施例中,所述导电深插塞的所述上部的宽度基本大于所述下部的宽度。
- [0028] 在可选实施例中,所述器件还包括:所述第一半导体元件中的第一层间介电(ILD)层;以及,所述第二半导体元件中的第二层间介电(ILD)层。
- [0029] 在可选实施例中,所述导电深插塞形成为穿过所述第一ILD层和部分所述第二ILD层。
- [0030] 在可选实施例中,所述导电深插塞与所述导电插塞被所述第一ILD层分隔开。
- [0031] 在可选实施例中,所述器件还包括:所述第一半导体元件中的第一衬底。
- [0032] 在可选实施例中,所述导电深插塞的上部位于所述第一衬底中。
- [0033] 在可选实施例中,所述第一半导体元件包括图像传感器。
- [0034] 在可选实施例中,所述第二半导体元件包括专用集成电路(ASIC)。
- [0035] 在本发明的又一方面,还提供了一种方法,包括:
- [0036] 提供第一半导体元件,所述第一半导体元件包括:
- [0037] 第一衬底;
- [0038] 位于所述第一衬底上的第一层间介电(ILD)层;
- [0039] 所述第一ILD层中的第一互连部件;和
- [0040] 所述第一ILD层中的导电插塞,其中,所述导电插塞连接所述第一衬底和所述第一互连部件;
- [0041] 将所述第一半导体元件接合在第二半导体元件上,所述第二半导体元件包括:
- [0042] 第二衬底;
- [0043] 位于所述第二衬底上方的第二层间介电(ILD)层;和
- [0044] 所述第二ILD层中的第二互连部件;
- [0045] 在所述第一衬底中形成衬底沟槽以露出所述导电插塞和所述第一层间介电层;
- [0046] 在所述第一衬底和所述衬底沟槽的侧壁上沉积介电隔离层;
- [0047] 从所述衬底沟槽的底部去除所述介电隔离层以露出所述第一ILD层;
- [0048] 在所述衬底沟槽中形成深互连沟槽(DIT)图案掩模;
- [0049] 通过所述DIT图案掩模来蚀刻所述第一ILD层以及部分所述第二ILD层,以形成连

接至所述第二互连部件的第一DIT;

[0050] 去除图案化的掩模以形成第二DIT,所述第二DIT包括作为上部的所述衬底沟槽以及作为下部的所述第一DIT;以及

[0051] 用导电材料填充所述第二DIT以形成连接所述第一半导体元件和第二半导体元件的导电深插塞。

[0052] 在可选实施例中,通过光刻工艺和相对于所述第一ILD层具有足够蚀刻选择比的选择性蚀刻来形成所述衬底沟槽。

[0053] 在可选实施例中,所述第一ILD层用作蚀刻停止层。

[0054] 在可选实施例中,所述导电深插塞的所述上部的宽度基本大于所述下部的宽度。

附图说明

[0055] 当结合附图进行阅读时,根据下面详细的描述可以更好地理解本发明。应该强调的是,根据工业中的标准实践,各种部件没有被按比例绘制并且仅仅用于说明的目的。实际上,为了清楚的讨论,各种部件的数量和尺寸可以被任意增加或减少。

[0056] 图1为根据本发明各个方面的堆叠集成电路(IC)器件的截面图。

[0057] 图2为制造根据本发明各个方面的堆叠IC器件的示例方法的流程图。

[0058] 图3-9为根据图2的方法构造的堆叠IC器件在不同制造阶段的截面图。

具体实施方式

[0059] 下面公开的内容提供了许多不同的实施例或者例子,用以实现本发明的不同特征。下面将描述组件和布置的具体例子以简化本发明。当然它们仅为举例说明而并不旨在限制本发明。例如,在以下描述中,第一部件形成在第二部件上方或者在第二部件上可以包括第一部件与第二部件形成直接接触的实施例,也可以包括附加部件形成在第一部件和第二部件之间即第一部件和第二部件不直接接触的实施例。此外,本发明在多个例子中重复引用数字和/或字母。该重复是为了简化和清楚的目的,并且其自身并不表明所讨论的不同实施例和/或结构之间的关系。

[0060] 此外,在此可使用诸如“在...之下”、“在...下面”、“下面的”、“在...上面”、以及“上面的”等空间关系术语,以便于描述如图中所示的一个元件或部件与另一元件或部件的关系。应当理解,除图中所示的方位之外,空间关系术语将包括使用或操作中的装置的各种不同的方位。例如,如果翻转图中所示的装置,则被描述为在其他元件或部件“下面”或“之下”的元件将被定位为在其他元件或部件的“上面”。因此,示例性术语“在...下面”包括在上面和在下面的方位。装置可以以其它方式定位(旋转90度或在其他方位),并且通过在此使用的空间关系描述符进行相应地解释。

[0061] 图1是根据本发明的各个方面的在接合工艺之前的堆叠IC器件400的截面图。图1为了清晰起见已被简化以更好地说明本发明的发明构思。堆叠IC器件400包括堆叠在第二半导体晶圆200的顶部上的第一半导体晶圆100。例如,第一半导体晶圆100包括图像传感器,诸如背照式(BSI)图像传感器、互补型金属氧化物半导体(CMOS)图像传感器(CIS)、电荷耦合器件(CCD)、有源像素传感器(APS)或者无源像素传感器。图像传感器可通过本领域已知的互补金属氧化物半导体(CMOS)工艺技术来制造。例如,p型光有源区域(photo active

region)和n型光电有源区域形成在图像传感器晶圆的衬底上方以形成PN结,该PN结用作为光电二极管。图像传感器晶圆100可包括产生与撞击光电有源区域的光的强度和亮度相关的信号的晶体管。第二半导体晶圆200是专用集成电路(ASIC)晶圆。

[0062] 如图1中所示,第一半导体晶圆100(示出为倒置位置)包括具有第一表面103和第二表面104的衬底102。在一些实施例中,衬底102包括诸如硅或锗的基本半导体和/或诸如硅锗、碳化硅、砷化镓、砷化铟、氮化镓和磷化铟的化合物半导体。其他示例性衬底材料包括诸如碳化硅锗、磷砷化镓、磷化镓铟的合金半导体。衬底102还可包含非半导体材料,包括钠钙玻璃、石英玻璃、熔融石英、氟化钙(CaF₂)和/或其他适合的材料。在一些实施例中,衬底102具有在其中限定的一个或多个层,诸如外延层。例如,在一个实施例中,衬底102包括一个覆盖在块状半导体上方的外延层。其他分层衬底包括绝缘体上半导体(SOI)衬底。在一个这样的SOI衬底中,衬底102包括通过诸如注氧隔离(SIMOX)工艺形成的隐埋氧化(BOX)层。在多种实施例中,衬底102可为平面衬底、鳍、纳米线的形式,和/或本领域技术人员所知的其他形式。

[0063] 衬底102可包括一个或多个掺杂区。在所描述的实施例中,衬底102掺杂有p型掺杂剂。合适的p型掺杂剂包括硼、镓、铟、其他合适的p型掺杂剂,和/或它们的组合。衬底102还可包括掺杂有n型掺杂剂的一个或多个区域,n型掺杂剂包括诸如磷、砷、其他合适的n型掺杂剂,和/或它们的组合。可在多个步骤或技术中使用诸如离子注入或扩散的工艺来实施掺杂。

[0064] 在各种实施例中,衬底102可为平面衬底、鳍、纳米线的形式,和/或本领域技术人员所知的其他形式。

[0065] 第一半导体晶圆100可包括各种无源和有源微电子部件。这些部件可包括诸如图像传感器元件的主要部件105,以及诸如一个或多个场效应晶体管的外围电路元件106。其他例子包括P沟道场效应晶体管(PEFT)、N沟道FET(NFET)、金属氧化物半导体场效应晶体管(MOSFET)、CMOS晶体管、FinFET、高压晶体管、高频晶体管、双极结型晶体管、电阻器、电容器、二极管、保险丝、其他合适的器件,和/或它们的组合。在一些实施例中,外围电路元件106可操作为与图像传感器元件105交互或控制图像传感器元件105。尽管,在另一些实施例中,外围电路元件106与主要元件105除了并置在同一衬底102上之外,并不具有功能关联性。

[0066] 第一传感器晶圆100包括形成在衬底102的第一表面103之上用于隔离目的的第一层间介电(ILD)层107。第一ILD层107可包括二氧化硅、氮化硅、氮氧化硅、TEOS氧化物、磷硅酸盐玻璃(PSG)、硼磷硅酸盐玻璃(BPSG)、氟化硅玻璃(FSG)、碳掺杂硅氧化物、氟化非晶碳、聚对二甲苯、聚酰亚胺、其他合适的材料和/或它们的组合。用于形成ILD层的常规方法包括热氧化、化学汽相沉积(CVD)、高密度等离子体CVD(HDP-CVD)、物理汽相沉积(PVD)、原子层沉积(ALD)、旋涂沉积,和/或其他合适的沉积工艺。第一ILD层107可包括由不同的介电材料形成的多层。

[0067] 第一半导体晶圆100包括形成在衬底102上并配置成恰当地连接衬底102中的多个掺杂区的第一互连部件108,从而产生功能设计电路。例如,第一互连部件108包括具有形成在多个金属层上的水平金属线的多层互连结构(MLI)以及用于垂直连接不同金属层的金属线或者至衬底102的金属线的接触/通孔部件。通过包括沉积、光刻和蚀刻的集成工艺来形

成第一连接部件108。

[0068] 在本实施例中,导电插塞110形成在衬底102上方以使得导电接塞110的一个端部连接至第一互连部件108而其另一个端部连接至衬底102。导电插塞110可由以下传导材料制成:诸如铜、铝、铝/硅/铜合金、钛、氮化钛、钨、多晶硅、金属硅化物和/或它们的组合。可通过包括光刻、蚀刻和沉积的步骤来形成导电插塞110。作为一个实例,在形成第一互连部件108之前,通过光刻和蚀刻处理在第一ILD层107中形成沟槽。然后,用导电材料填充沟槽以形成导电插塞110。然后,第一互连部件108形成在导电插塞110的顶部。

[0069] 第一半导体晶圆100中还可包括其他部件,并且上文描述的一些部件可在第一半导体晶圆100的其他实施例中替换或省略。

[0070] 相比于第一半导体晶圆100,第二半导体晶圆200可包括相似或不同的元件。例如,第二半导体晶圆200包括具有表面203和204的衬底202、主要元件205、外围元件206、ILD层207、以及互连部件208。

[0071] 图2是根据本发明各方面的形成堆叠IC器件的方法300的流程图。图3-9是根据图2的方法的经受各工艺的堆叠IC器件实例400的截面图。可以理解,在该方法之前、期间、以及之后可提供额外的步骤,而在其他实施例中,所描述的一些步骤可被替换或省略。

[0072] 参考图2和图3,方法300开始于步骤302,使用适合的诸如直接接合的接合技术将第一半导体晶圆100和第二半导体晶圆200接合到一起。在一些实施例中,多个接合焊盘分别形成在第一半导体晶圆100和第二半导体晶圆200中。此外,位于第二半导体晶圆200的接合焊盘与它们所对应的位于第一半导体晶圆100的接合焊盘面对面地相对准。根据一些实施例,在直接接合工艺中,第一半导体晶圆100和第二半导体晶圆200之间的连接可通过以下方式实现:金属对金属接合(例如,铜对铜接合)、电介质对电介质接合(例如,氧化物对氧化物接合)、金属对电介质接合(例如,铜对氧化物接合)或任何它们的组合。在一些实施例中,第一半导体晶圆100和第二半导体晶圆200通过合适的三维结构相互连接。还可使用粘附层。

[0073] 参考图2和图4,方法300进行到步骤304,在衬底102中形成衬底沟槽120。衬底沟槽120形成为使得露出第一ILD层107和至少部分导电插塞110。可通过光刻和蚀刻工艺来形成衬底沟槽120。作为一个实例,图案化的光刻胶层可通过旋涂涂敷、曝光和显影工艺形成在衬底102上方。然后,衬底102通过图案化光刻胶蚀刻。蚀刻工艺可包括干法蚀刻工艺、湿法蚀刻工艺和/或它们的组合。蚀刻工艺还可包括选择性湿法蚀刻或选择性干法蚀刻。示例性湿法蚀刻溶液包括四甲基氢氧化胺(TMAH)、HF/HNO₃/CH₃COOH溶液,或其他适合的溶液。示例性干蚀刻工艺可包括使用氯基化学物的偏压等离子体蚀刻工艺。其他示例干蚀刻剂气体包括CF₄、NF₃、SF₆以及He。在一些实施例中,相对于第一ILD层107和导电插塞110具有足够的蚀刻选择比来进行选择性蚀刻。在这种情况下,第一ILD层107用作蚀刻停止层以改善蚀刻工艺窗。

[0074] 参考图2和图5,方法300进行到步骤306,在衬底102的第二表面104及衬底沟槽120的侧壁上形成隔离层130。隔离层130提供密封衬底102的电隔离。隔离层130可包括诸如氧化硅、氮化硅、氮氧化硅、聚酰亚胺或其他合适材料的介电材料。隔离层130可通过CVD、PVD、ALD和/或其他合适的沉积工艺来形成。在一个实施例中,进行另外的光刻和蚀刻工艺以去除衬底沟槽120底部的隔离层130。由于侧壁上的隔离层130,衬底沟槽120具有第一宽度w₁。

[0075] 参考图2和图6,方法300进行到步骤308,形成具有第二宽度 w_2 的深互连沟槽(DIT)开口145的图案化掩模140,并与衬底沟槽120对准。图案化掩模140可为光刻胶层。使用合适的沉积和光刻技术将图案化掩模140形成在第二表面104的顶部上。在本实施例中,DIT开口145与位于第二半导体晶圆200中的互连部件208相对准并与第一ILD层107中的导电插塞110具有距离 d 。

[0076] 参考图2和图7,方法300进行到步骤310,形成从第一半导体晶圆100到第二半导体晶圆200中的互连部件208的第一DIT150。可通过经由DIT开口145蚀刻第一半导体晶圆100中的第一ILD层107和第二半导体晶圆200中的第二ILD层207来形成第一DIT150。DIT150形成成为具有与DIT开口145的第二宽度 w_2 大致相似的宽度。合适的蚀刻工艺包括干法蚀刻、各向异性湿法蚀刻,或任何其他合适的各向异性蚀刻。

[0077] 参考图2和图8,方法300进行到步骤312,移除图案化掩模140以形成第二DIT155。作为例子,图案化光刻胶掩模140通过诸如湿法剥离或 O_2 等离子体灰化等工艺移除。在一个实施例中,第二DIT155形成为包括作为上部的具有第一宽度 w_1 的衬底沟槽120和作为下部的具有第二宽度 w_2 的第一DIT150。并且,导电插塞110暴露在第二DIT155的上部中。

[0078] 参考图2和图9,方法300进行到步骤314,用导电材料填充第二DIT155以形成深互连插塞(DIP)160。DIP160包括高导电性、低电阻金属、元素金属、过渡金属等。例如,DIP160包括铜,诸如铜锰(CuMn)、铜铝(CuAl)或铜硅(CuSi)的铜合金,然而可选地也可使用其他材料,诸如钨、铝。可使用本领域已知的任何合适的方法来形成DIP160,诸如PVD、溅射、CVD、电镀和/或类似方法。在一个实施例中,DIP160还被阻挡层所环绕以防止扩散和/或提供材料粘附。阻挡层可包括氮化钛(TiN)、氮化钽(TaN)、氮化钨(WN)、氮化钛硅(TiSiN)或氮化钽硅(TaSiN)。DIP160形成为具有第一宽度为 w_1 的上部和第二宽度为 w_2 的下部。此外,如果需要期望形态,可实施化学机械抛光(CMP)以去除导电材料从而达到平坦化的效果。

[0079] 在本实施例中,DIP160的上部分别与衬底插塞110(第一半导体晶圆100)以及DIP160的下部(第二半导体晶圆200)连接,DIP160的上部被称为第一和第二半导体晶圆的公共导电部件170。公共导电部件170具有第一宽度 w_1 。DIP160的下部被称为导电深插塞180并且具有第二宽度 w_2 。 w_1 基本上大于 w_2 。导电深插塞180与衬底插塞110在第一ILD层107中相隔距离 d 。

[0080] 应注意,虽然图9示出了两个半导体晶圆堆放在一起,但本领域技术人员应识别出图9中示出的堆叠IC器件仅为例子。可存在许多替换、变化和调整。例如,堆叠IC器件可容纳多于两个的晶圆。

[0081] 基于上述内容,本发明提供了采用互连结构以在两个半导体晶圆之间提供电连接的堆叠IC器件以及制造方法。互连结构配置成使第一和第二半导体晶圆各自连接至第一晶圆内的公共导电部件。第一半导体晶圆通过形成在第一半导体晶圆内的导电插塞连接至公共导电部件,而第二半导体晶圆通过另一传导插塞连接至公共导电部件,其中该另一传导插塞经过第一半导体晶圆和部分第二半导体晶圆。互连结构能够以短的连接长度、密集的互连部件布局 and 减小的导电插塞纵宽比来提供两个半导体晶圆之间的电连接。

[0082] 本发明提供了堆叠IC器件的许多不同实施例。堆叠IC器件包括第一晶圆和接合到第一晶圆上的第二晶圆。第一晶圆包括第一衬底、第一衬底中的公共导电部件、形成在第一衬底之上的第一层间介电(ILD)层中的多个第一互连组件、第一ILD层中的第一互连部件,

以及将第一互连部件连接至公共导电部件的导电插塞。第二晶圆包括第二衬底,形成在第二衬底之上的第二ILD层中的多个第二互连组件,以及第二ILD层中的第二互连部件。该器件还包括在第一晶圆中连接至公共导电部件的导电深插塞及在第二晶圆中的第二互连部件。导电深插塞与导电插塞被第一ILD层分开。

[0083] 在另一实施例中,堆叠IC器件包括第一半导体晶圆。第一半导体晶圆包括第一互连部件和连接至第一互连部件的导电插塞。堆叠IC器件还包括接合在第一半导体晶圆上的第二半导体晶圆。第二半导体晶圆包括第二互连部件。堆叠IC器件还包括连接在第一和第二互连部件之间的导电深插塞。导电性深插塞包括连接至第一半导体晶圆中的导电插塞的上部以及连接至第二半导体晶圆中的第二互连部件的下部。

[0084] 在另一实施例中,用于制造堆叠IC器件的方法包括提供第一半导体晶圆。第一半导体晶圆包括第一衬底、在第一衬底上方的第一层间介电(ILD)层、第一ILD层中的第一互连部件,以及第一ILD层中的导电插塞。导电插塞与第一衬底和第一互连部件连接。所述方法还包括将第一半导体晶圆接合在第二半导体晶圆上。第二半导体晶圆包括第二衬底、第二衬底上的第二层间介电(ILD)层,以及第二ILD层中的第二互连部件。所述方法还包括在第一衬底中形成衬底沟槽以露出导电插塞和第一ILD层,在第一衬底和衬底沟槽的侧壁上沉积介电隔离层,然后从衬底沟槽的底部去除介电隔离层以露出第一ILD层,在衬底沟槽中形成深互连沟槽(DIT)图案化掩模,通过DIT图案化掩模来蚀刻第一ILD和部分第二ILD以形成连接至第二互连部件的第一DIT,移除图案化掩模以形成第二DIT,并且以导电材料来填充第二DIT以形成将第一和第二半导体晶圆连接的导电深插塞。

[0085] 上面论述了若干实施例的部件,使得本领域共同技术人员可以更好地理解本发明的各个方面。本领域技术人员应该理解,可以很容易地使用本发明作为基础来设计或更改其他用于达到与这里所介绍实施例相同的目的和/或实现相同优点的处理和结构。本领域共同技术人员也应该意识到,这种等效构造并不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,可以进行多种变化、替换以及改变。

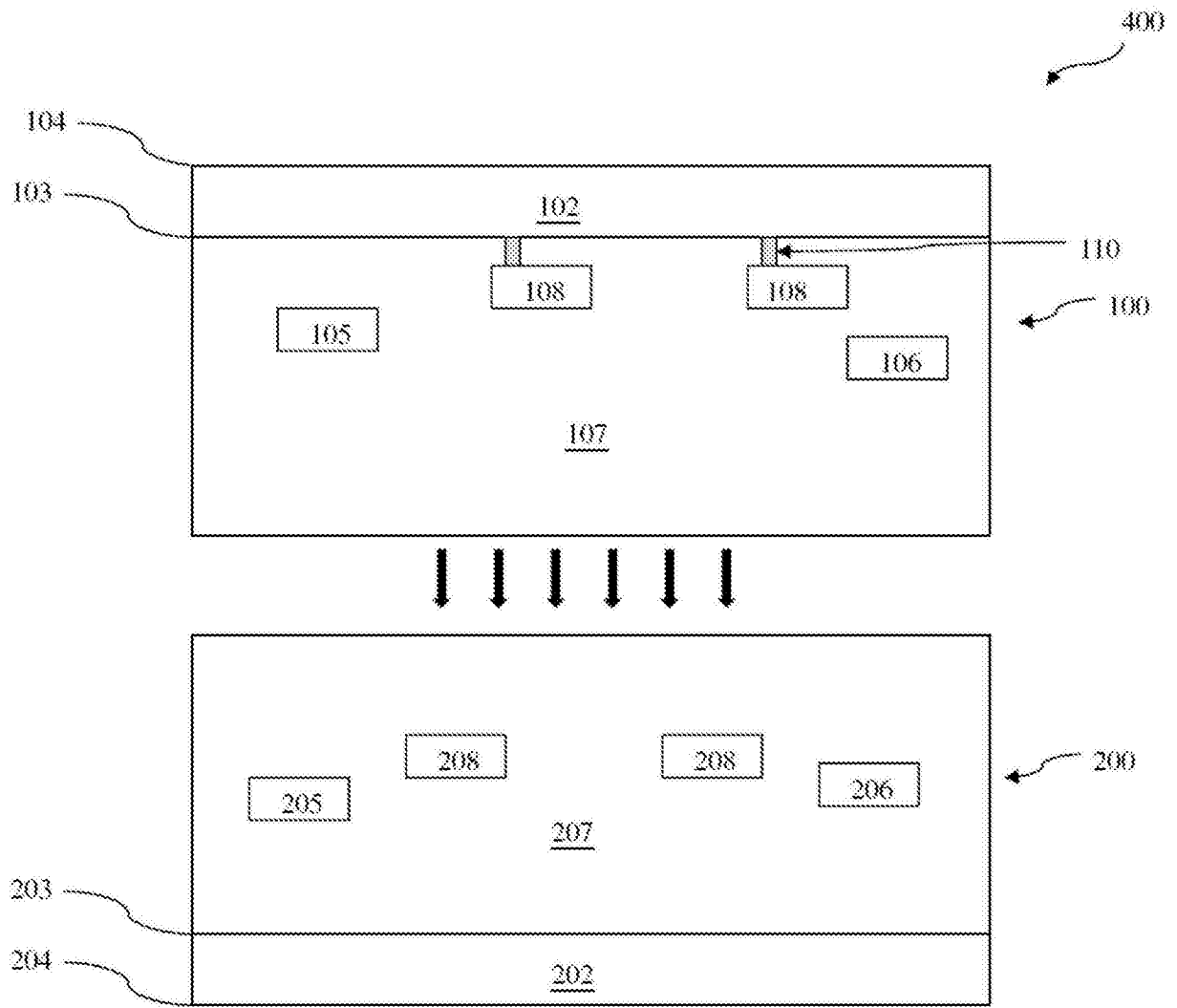


图1

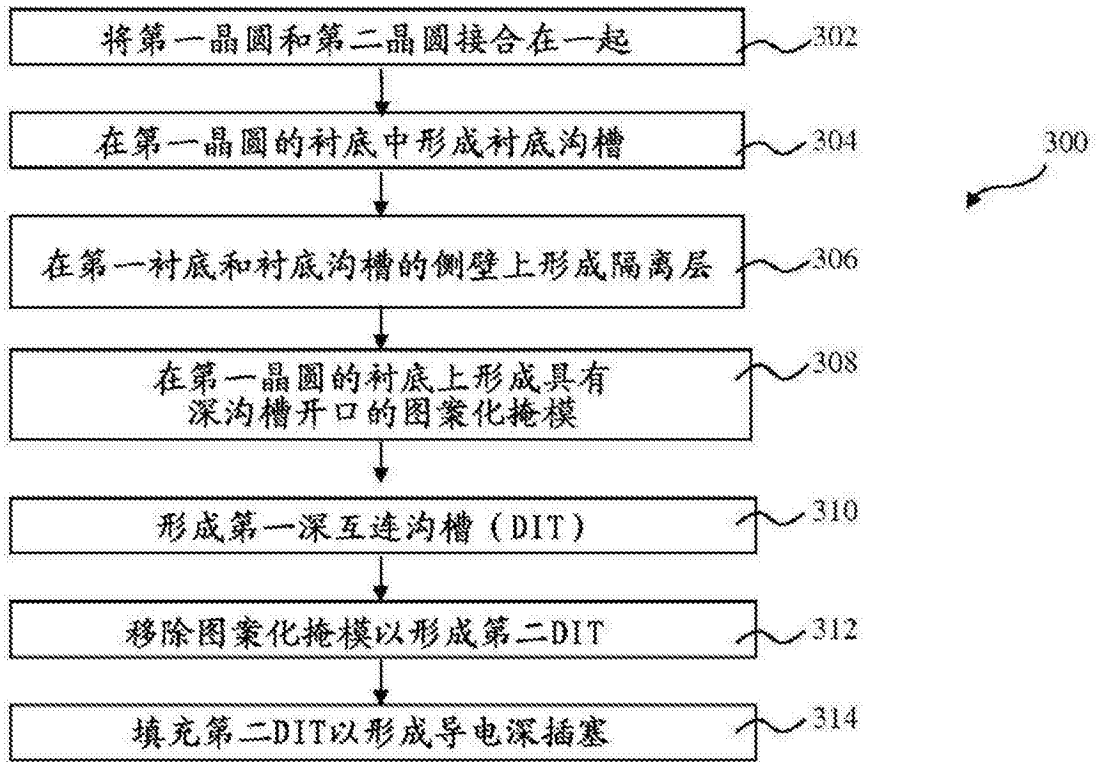


图2

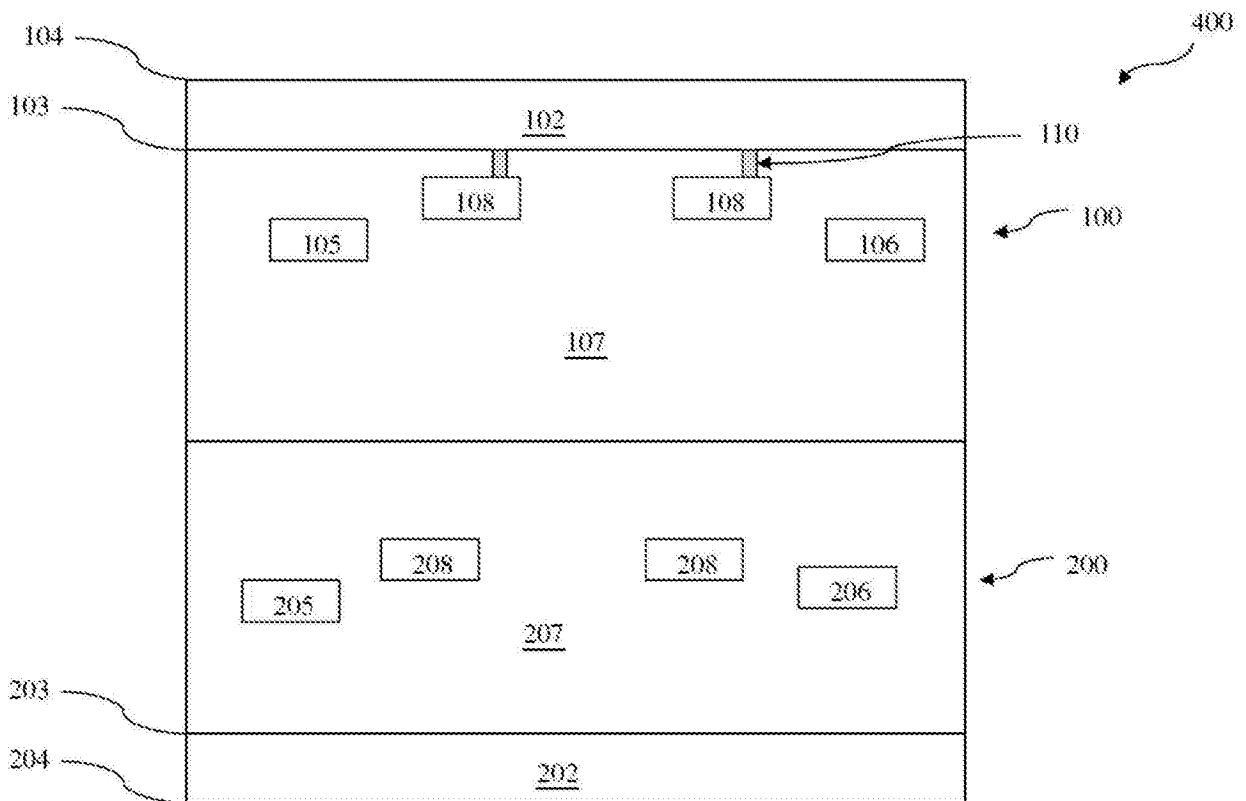


图3

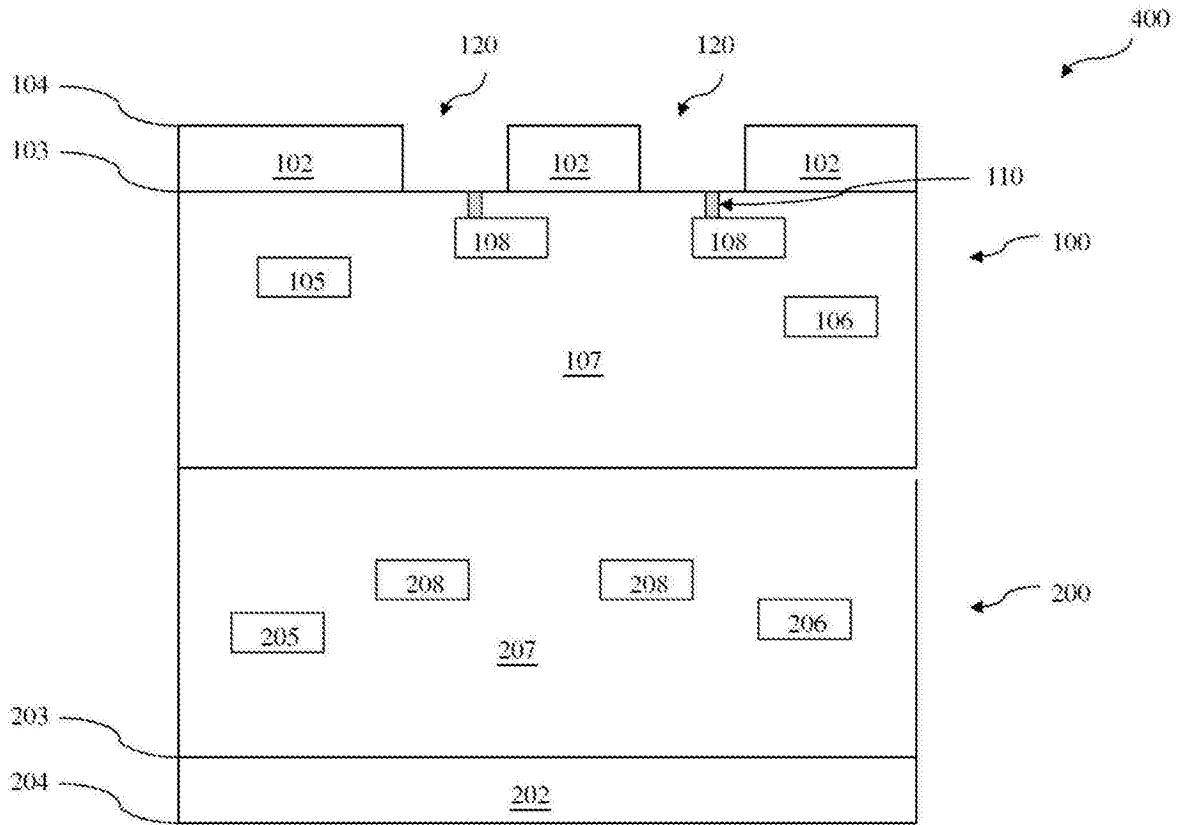


图4

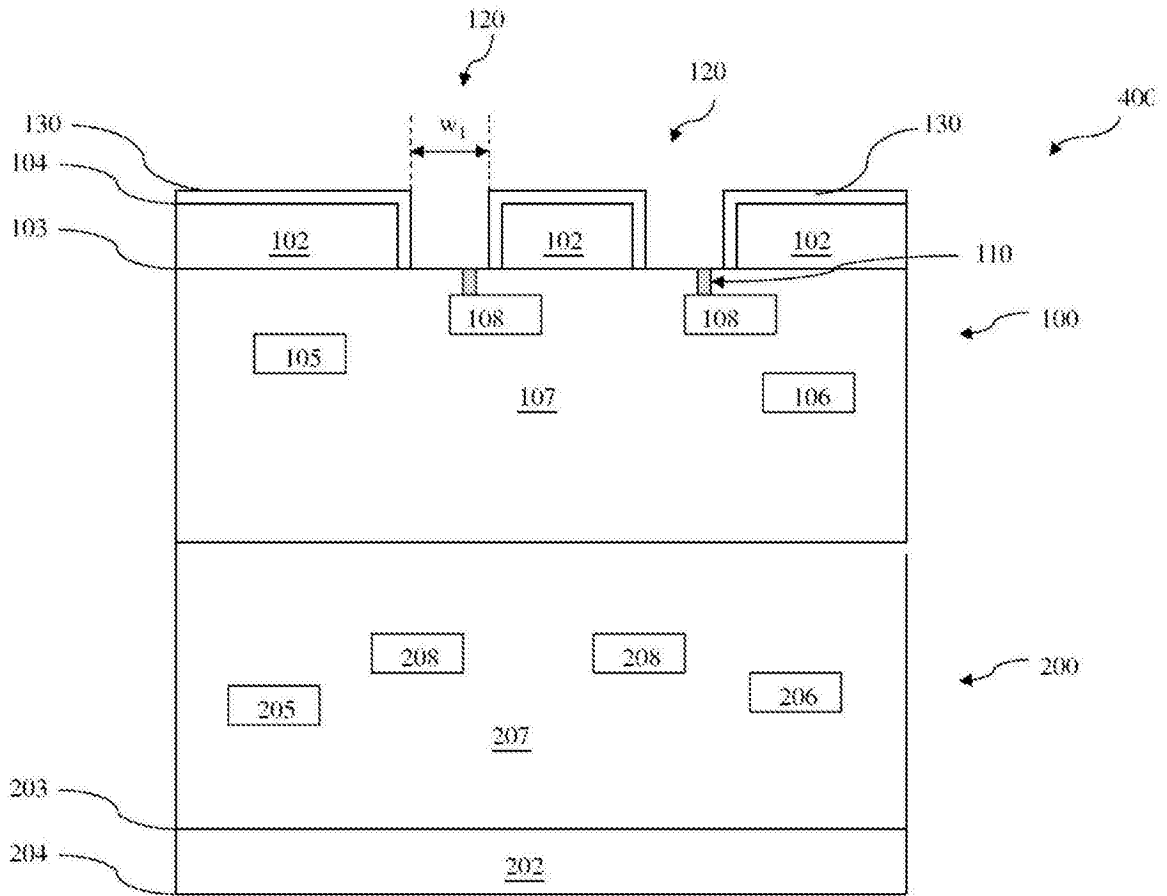


图5

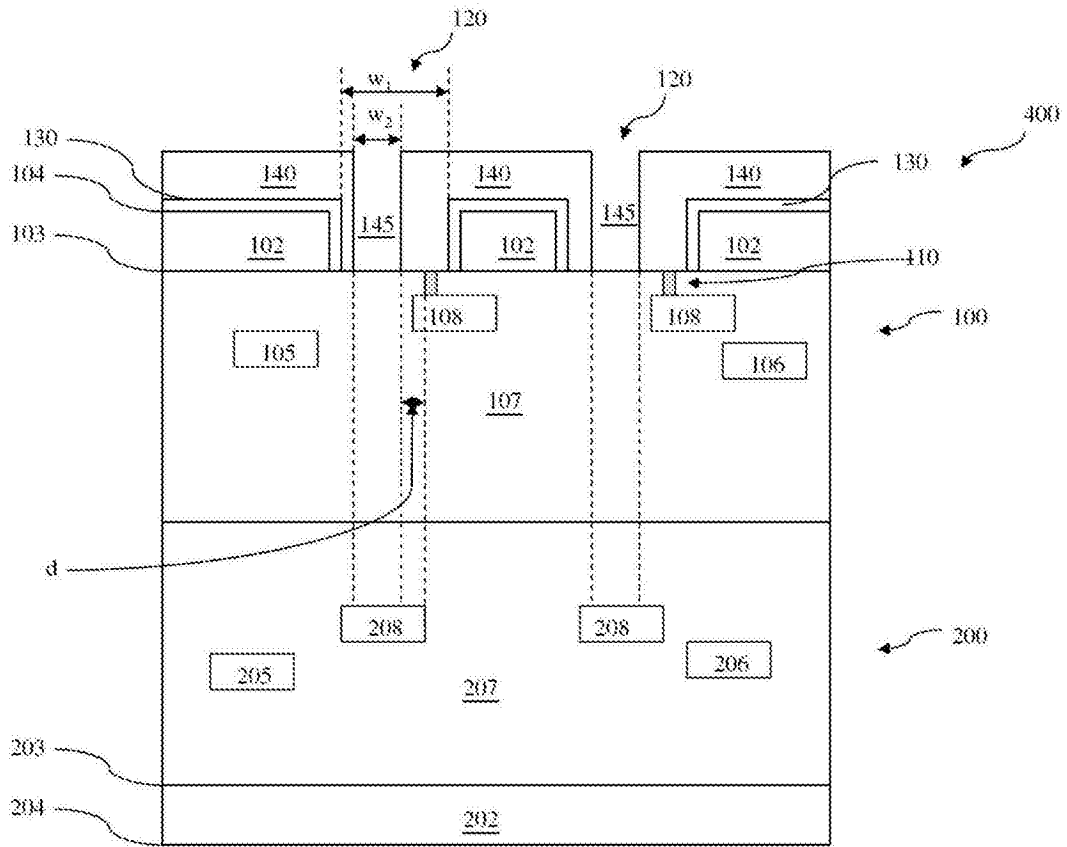


图6

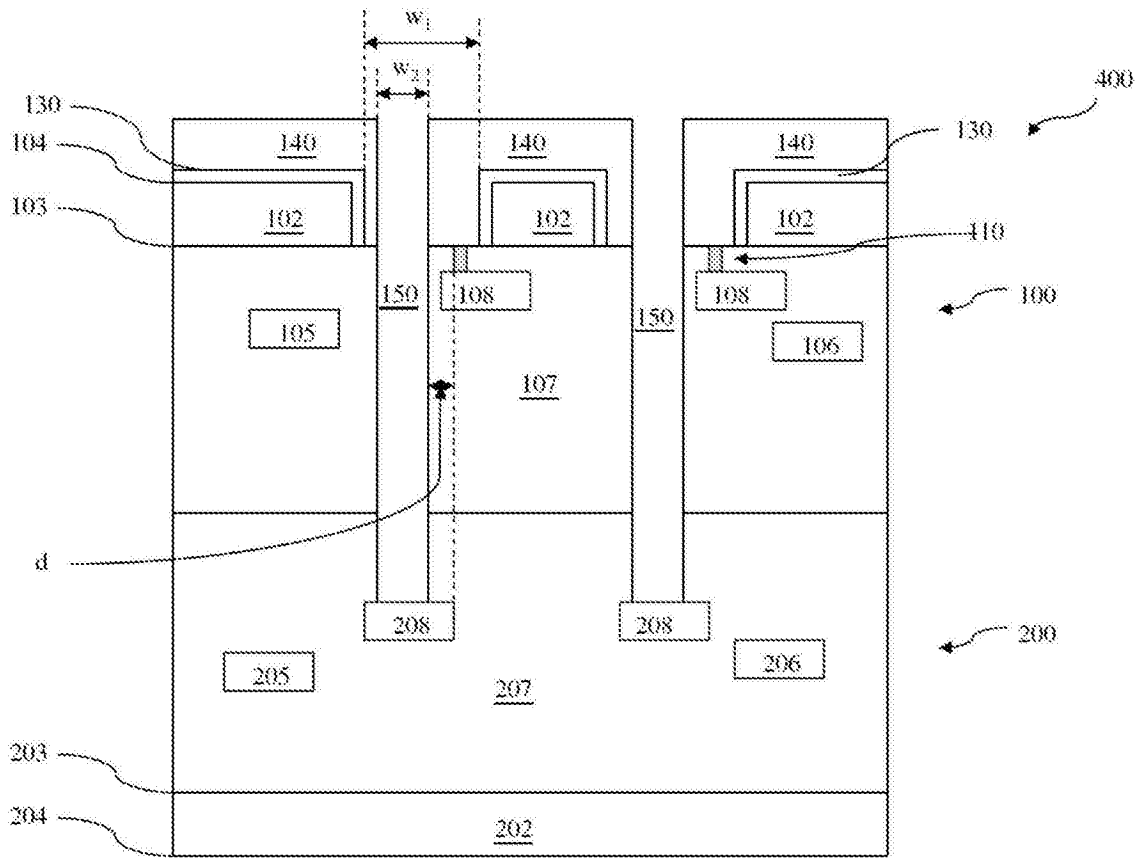


图7

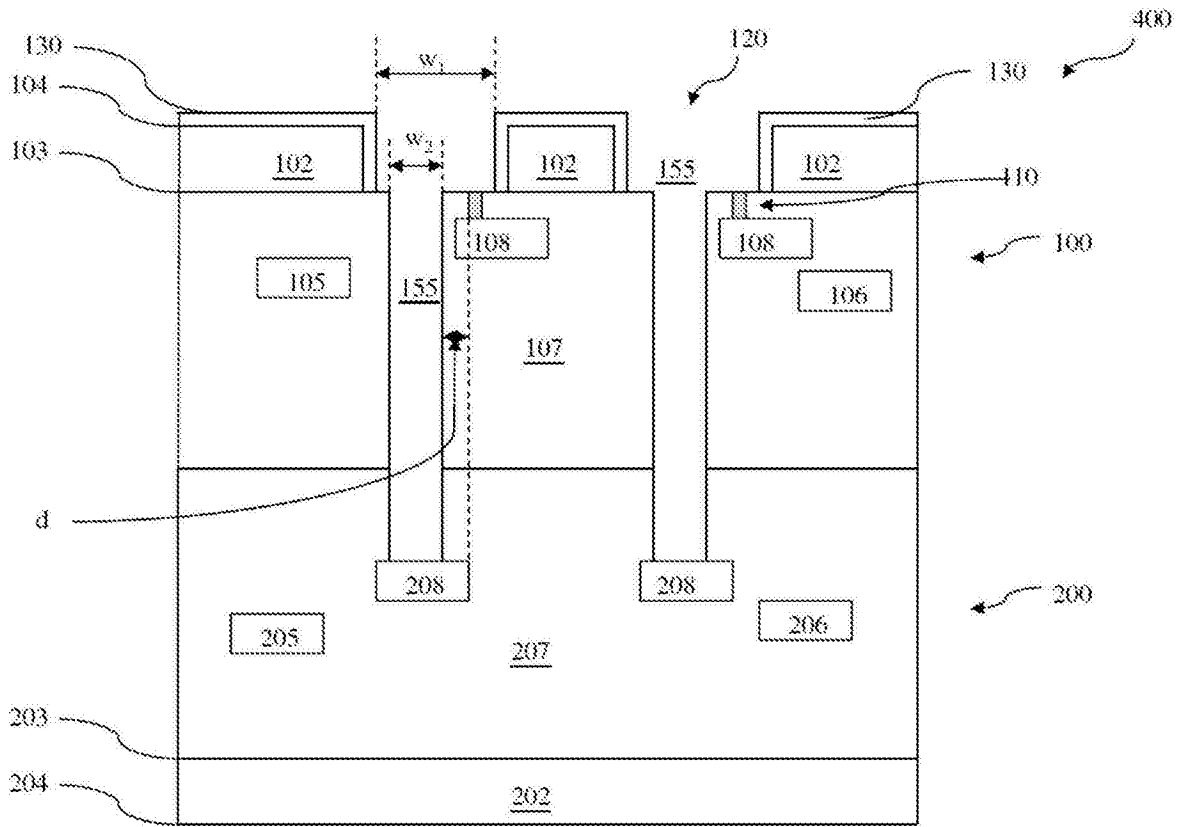


图8

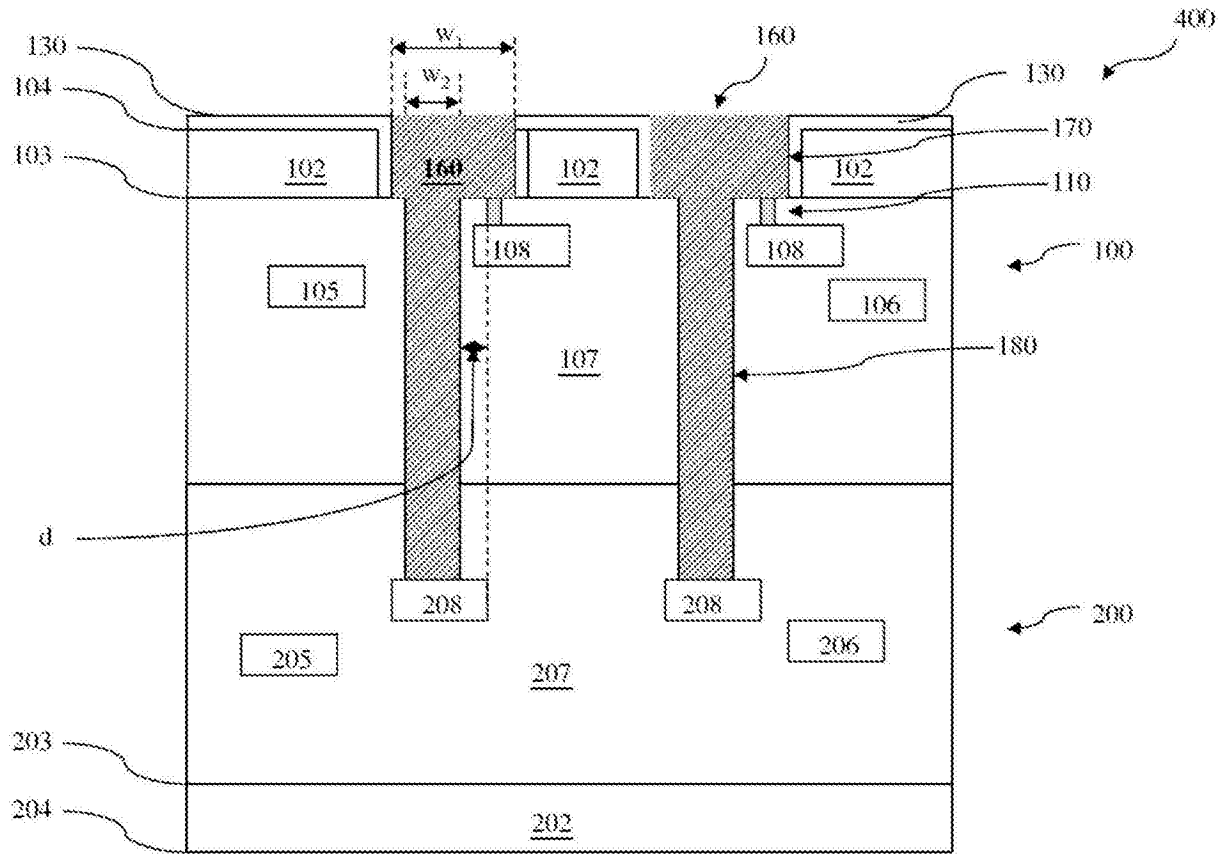


图9