



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월12일
 (11) 등록번호 10-1906974
 (24) 등록일자 2018년10월04일

(51) 국제특허분류(Int. Cl.)
 H01L 27/14 (2006.01)
 (21) 출원번호 10-2011-0038442
 (22) 출원일자 2011년04월25일
 심사청구일자 2016년04월22일
 (65) 공개번호 10-2012-0120707
 (43) 공개일자 2012년11월02일
 (56) 선행기술조사문헌
 KR1020060069186 A*
 JP2009272534 A*
 JP2010074137 A*
 JP2009204466 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 전상훈
 서울특별시 서초구 사임당로 169, 우성2차 아파트
 18동 907호 (서초동)
 송이현
 경기도 성남시 분당구 수내로 174 203동 1901호
 (수내동, 푸른마을벽산신성아파트)
 (뒷면에 계속)
 (74) 대리인
 리앤목특허법인

전체 청구항 수 : 총 25 항

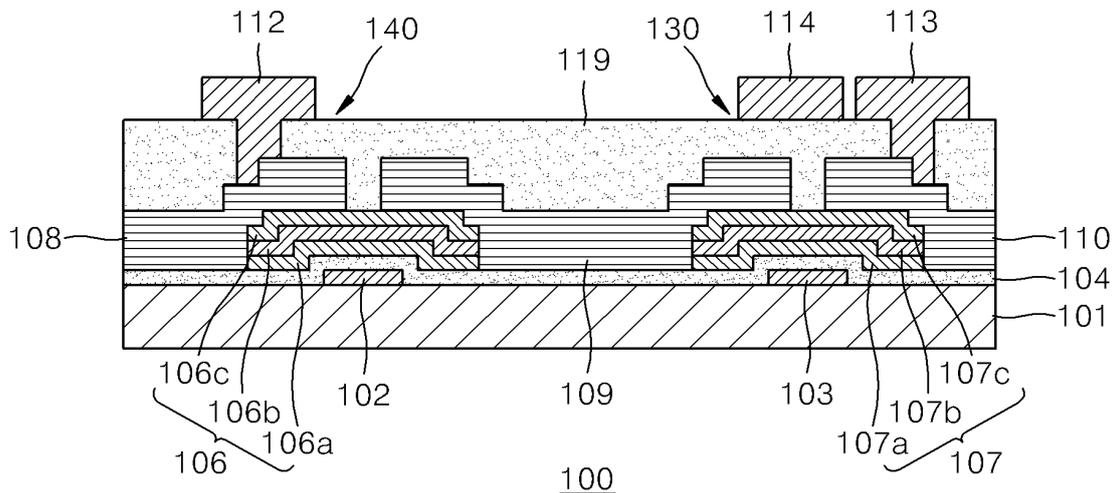
심사관 : 심병로

(54) 발명의 명칭 **광센싱 장치 및 그 구동 방법**

(57) 요약

광센싱 화소 내의 광센서 트랜지스터와 스위치 트랜지스터가 각각 동일한 구조의 산화물 반도체 트랜지스터로 이루어지는 광센싱 장치 및 상기 광센싱 장치의 동작 신뢰성을 향상시킬 수 있는 구동 방법이 개시된다. 개시된 광센싱 장치에 따르면, 광센싱 화소 내의 광센서 트랜지스터와 스위치 트랜지스터는 하나의 기판 위에서 동일한 구조로 인접하여 형성되며, 스위치 트랜지스터에 광이 입사하는 것을 방지하기 위하여 스위치 트랜지스터의 광입사면에는 광차폐막이 더 배치된다. 또한, 개시된 광센싱 장치의 구동 방법에 따르면, 시간의 흐름에 따른 스위치 트랜지스터의 문턱 전압 시프트를 방지하기 위하여, 광차폐막에는 음(-)의 바이어스 전압이 인가된다.

대표도 - 도1



(72) 발명자

안승연

경기도 화성시 동탄숲속로 103 802동 1301호 (능동, 동탄숲속마을자연환경남아너스빌아파트)

김창정

경기도 용인시 수지구 정평로 61, 성지아파트 504동 1102호 (풍덕천동)

김영

경기도 용인시 수지구 수풍로 90, 삼성4차아파트 108동 501호 (풍덕천동)

명세서

청구범위

청구항 1

광을 감지하기 위한 광센서 트랜지스터, 상기 광센서 트랜지스터로부터 데이터를 출력하기 위한 스위치 트랜지스터, 및 상기 스위치 트랜지스터의 광입사면에 배치된 도전성 광차폐막을 각각 포함하는, 다수의 광센싱 화소들의 어레이;

각각의 광센싱 화소에 게이트 전압 및 음의 바이어스 전압을 제공하기 위한 제 1 게이트 드라이버; 및

각각의 광센싱 화소로부터 광센싱 신호를 받아 데이터 신호를 출력하기 위한 신호 출력부;를 포함하는 광센싱 장치로서,

상기 제 1 게이트 드라이버는, 상기 광센싱 장치의 동작 시간과 상기 스위치 트랜지스터의 문턱 전압 사이의 관계에 관한 미리 측정된 데이터, 상기 스위치 트랜지스터의 기준 문턱 전압에 관한 데이터, 및 상기 광차폐막에 인가된 음의 바이어스 전압과 상기 스위치 트랜지스터의 문턱 전압 사이의 관계에 관한 미리 측정된 데이터를 더 포함하는 광센싱 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 게이트 드라이버는 각각의 광센싱 화소 내의 스위치 트랜지스터의 게이트 전극에 연결되어 게이트 전압을 제공하는 게이트 라인, 및 각각의 광센싱 화소 내의 도전성 광차폐막에 연결되어 음의 바이어스 전압을 제공하는 바이어스 라인을 포함하는 광센싱 장치.

청구항 3

제 2 항에 있어서,

상기 광센싱 화소들의 어레이는 다수의 열과 행으로 배열된 다수의 광센싱 화소들을 포함하며, 상기 제 1 게이트 드라이버는 행 방향을 따라 배열되어 있는 다수의 게이트 라인을 포함하고, 각각의 게이트 라인은 동일한 행을 따라 배열되어 있는 다수의 광센싱 화소들에 게이트 전압을 제공하는 광센싱 장치.

청구항 4

제 3 항에 있어서,

상기 제 1 게이트 드라이버는 행 방향을 따라 배열되어 있는 다수의 바이어스 라인을 포함하며, 각각의 바이어스 라인은 동일한 행을 따라 배열되어 있는 다수의 광센싱 화소들에 음의 바이어스 전압을 제공하는 광센싱 장치.

청구항 5

제 2 항에 있어서,

상기 제 1 게이트 드라이버의 바이어스 라인은 모든 광센싱 화소들에 동시에 동일한 음의 바이어스 전압을 제공하도록 구성된 광센싱 장치.

청구항 6

제 1 항에 있어서,

각각의 광센싱 화소에 리셋 신호를 제공하기 위한 제 2 게이트 드라이버를 더 포함하는 광센싱 장치.

청구항 7

제 6 항에 있어서,

상기 제 2 게이트 드라이버는 각각의 광센싱 화소 내의 광센서 트랜지스터의 게이트 전극에 연결되어 리셋 신호를 제공하는 리셋 라인을 포함하는 광센싱 장치.

청구항 8

제 7 항에 있어서,

상기 광센싱 화소들의 어레이는 다수의 열과 행으로 배열된 다수의 광센싱 화소들을 포함하며, 상기 제 2 게이트 드라이버는 행 방향을 따라 배열되어 있는 다수의 리셋 라인을 포함하고, 각각의 리셋 라인은 동일한 행을 따라 배열되어 있는 다수의 광센싱 화소들에 리셋 신호를 제공하는 광센싱 장치.

청구항 9

제 1 항에 있어서,

상기 광센서 트랜지스터와 상기 스위치 트랜지스터는 채널막으로서 산화물 반도체 재료를 사용하는 산화물 반도체 트랜지스터인 광센싱 장치.

청구항 10

제 9 항에 있어서,

상기 광센서 트랜지스터와 상기 스위치 트랜지스터에 사용되는 산화물 반도체 재료는 서로 동일한 광센싱 장치.

청구항 11

제 9 항에 있어서,

상기 산화물 반도체 재료는 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO를 포함하는 산화물 반도체 재료이거나, 또는 상기 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO에 Hf, Zr, Ti, Ta, Ga, Nb, V, Al, Ga 및 Sn 중에서 적어도 하나의 재료가 더 포함된 산화물 반도체 재료인 광센싱 장치.

청구항 12

제 1 항에 있어서,

상기 광센싱 화소는:

기판;

상기 기판 위에 부분적으로 형성된 제 1 게이트 전극과 제 2 게이트 전극;

상기 기판과 제 1 및 제 2 게이트 전극을 덮도록 형성된 게이트 절연막;

상기 게이트 절연막 상에서 상기 제 1 게이트 전극과 대향하여 배치된 제 1 채널막;

상기 게이트 절연막 상에서 상기 제 2 게이트 전극과 대향하여 배치된 제 2 채널막;

상기 제 1 채널막의 제 1 측면에 형성된 제 1 소스/드레인 전극;

상기 제 1 채널막의 제 2 측면과 상기 제 2 채널막의 제 1 측면 사이에 형성된 제 2 소스/드레인 전극;

상기 제 2 채널막의 제 2 측면에 형성된 제 3 소스/드레인 전극; 및

상기 제 1 내지 제 3 소스/드레인 전극과 상기 제 1 및 제 2 채널막을 덮도록 형성된 투명 절연층을 포함하는 광센싱 장치.

청구항 13

제 12 항에 있어서,

상기 광센서 트랜지스터는 상기 제 1 게이트 전극, 게이트 절연막, 제 1 채널막, 제 1 및 제 2 소스/드레인 전극 및 투명 절연층을 포함하며, 상기 스위치 트랜지스터는 상기 제 2 게이트 전극, 게이트 절연막, 제 2 채널막, 제 2 및 제 3 소스/드레인 전극 및 투명 절연층을 포함하는 광센싱 장치.

청구항 14

제 12 항에 있어서,

상기 광차폐막은 상기 제 2 채널막을 가리도록 상기 투명 절연층 위에 부분적으로 형성되어 있는 광센싱 장치.

청구항 15

삭제

청구항 16

광센싱 화소의 광센싱 데이터 출력을 제어하는 스위치 트랜지스터 및 상기 스위치 트랜지스터에 대하여 배치된 도전성 광차폐막을 포함하는 광센싱 장치가 동작하는 단계;

상기 스위치 트랜지스터의 문턱 전압이 기준 문턱 전압보다 낮은 지 확인하는 단계; 및

상기 스위치 트랜지스터의 문턱 전압이 기준 문턱 전압보다 낮으면, 상기 도전성 광차폐막에 음의 바이어스 전압을 인가하여 상기 스위치 트랜지스터의 문턱 전압을 양의 방향으로 이동시키는 단계;를 포함하는 광센싱 장치의 구동 방법.

청구항 17

제 16 항에 있어서,

상기 음의 바이어스 전압은 상기 스위치 트랜지스터에 게이트 전압이 인가될 때 상기 광차폐막에 인가되며, 상기 스위치 트랜지스터에 게이트 전압의 인가가 중단될 때 상기 광차폐막에 음의 바이어스 전압의 인가가 중단되는 광센싱 장치의 구동 방법.

청구항 18

제 17 항에 있어서,

상기 광센싱 장치는 다수의 열과 행으로 배열된 다수의 광센싱 화소들의 어레이를 포함하며, 상기 게이트 전압과 음의 바이어스 전압은 상기 다수의 광센싱 화소들 내의 상기 스위치 트랜지스터와 상기 광차폐막에 한 행씩 순차적으로 각각 제공되는 광센싱 장치의 구동 방법.

청구항 19

제 16 항에 있어서,

상기 광센싱 장치가 동작하는 동안 상기 광차폐막에 지속적으로 음의 바이어스 전압이 인가되는 광센싱 장치의 구동 방법.

청구항 20

제 16 항에 있어서,

상기 스위치 트랜지스터의 문턱 전압이 기준 문턱 전압보다 낮은 지 확인하는 단계는:

상기 광센싱 장치의 동작 시간을 모니터링하는 단계;

상기 광센싱 장치의 동작 시간과 상기 스위치 트랜지스터의 문턱 전압 사이의 관계에 관한 미리 측정된 데이터를 참조하여 상기 스위치 트랜지스터의 문턱 전압을 예측하는 단계; 및

상기 예측된 문턱 전압과 기준 문턱 전압을 비교하는 단계;를 포함하는 광센싱 장치의 구동 방법.

청구항 21

제 16 항에 있어서,

상기 스위치 트랜지스터의 문턱 전압이 기준 문턱 전압보다 낮은 지 확인하는 단계는:

상기 광센싱 장치가 동작하는 동안 상기 스위치 트랜지스터의 문턱 전압을 측정하는 단계; 및

상기 측정된 문턱 전압과 기준 문턱 전압을 비교하는 단계;를 포함하는 광센싱 장치의 구동 방법.

청구항 22

제 21 항에 있어서,

상기 문턱 전압의 측정은 미리 정해진 일정한 시간 간격으로 수행되는 광센싱 장치의 구동 방법.

청구항 23

제 16 항에 있어서,

상기 도전성 광차폐막에 음의 바이어스 전압을 인가하여 상기 스위치 트랜지스터의 문턱 전압을 양의 방향으로 이동시키는 단계는, 상기 광차폐막에 인가된 음의 바이어스 전압과 상기 스위치 트랜지스터의 문턱 전압 사이의 관계에 관한 미리 측정된 데이터를 참조하여 상기 음의 바이어스 전압을 조절하는 단계를 포함하는 광센싱 장치의 구동 방법.

청구항 24

제 16 항에 있어서,

상기 도전성 광차폐막에 음의 바이어스 전압을 인가하여 상기 스위치 트랜지스터의 문턱 전압을 양의 방향으로 이동시키는 단계는:

상기 스위치 트랜지스터의 문턱 전압이 기준 문턱 전압과 같거나 또는 그보다 커질 때까지,

미리 정해진 일정한 증분만큼 음의 바이어스 전압을 증가시킨 후 상기 도전성 광차폐막에 음의 바이어스 전압을 인가하는 단계; 및

상기 스위치 트랜지스터의 문턱 전압이 기준 문턱 전압보다 낮은 지 확인하는 단계;를 반복하는 광센싱 장치의 구동 방법.

청구항 25

제 16 항에 있어서,

상기 스위치 트랜지스터는 채널막으로서 산화물 반도체 재료를 사용하는 산화물 반도체 트랜지스터인 광센싱 장치의 구동 방법.

청구항 26

제 25 항에 있어서,

상기 산화물 반도체 재료는 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO를 포함하는 산화물 반도체 재료이거나, 또는 상기 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO에 Hf, Zr, Ti, Ta, Ga, Nb, V, Al, Ga 및 Sn 중에서 적어도 하나의 재료가 더 포함된 산화물 반도체 재료인 광센싱 장치의 구동 방법.

발명의 설명

기술 분야

[0001] 광센싱 장치 및 그 구동 방법을 개시한다. 더욱 상세하게는, 광센싱 화소 내의 광센서 트랜지스터와 스위치 트랜지스터가 각각 동일한 구조의 산화물 반도체 트랜지스터로 이루어지는 광센싱 장치 및 상기 광센싱 장치의 동작 신뢰성을 향상시킬 수 있는 구동 방법을 개시한다.

배경 기술

[0002] 산화물 반도체 트랜지스터는 채널의 재료로서 산화물 반도체를 사용하는 트랜지스터이다. 예를 들어, 산화물 반도체 트랜지스터는 기판, 기판 위에 배치된 게이트, 게이트의 주위를 덮도록 기판과 게이트 위에 배치된 게이트 절연막, 게이트 절연막 위로 배치된 산화물 반도체 채널층, 및 상기 채널층의 양측을 덮도록 배치된 소스와 드레인을 포함할 수 있다. 이러한 산화물 반도체 트랜지스터는, 채널층으로서 사용되는 산화물 반도체의 재료에

따라 빛에 민감한 특성을 가질 수 있다. 예를 들어, 빛에 민감한 산화물 반도체 재료로서 ZnO 계열의 산화물 반도체, 예컨대 ZnO, TaZnO, InZnO(IZO), GaInZnO(GIZO) 등을 들 수 있다. 이러한 산화물 반도체 재료를 채널층으로서 사용할 경우, 산화물 반도체 트랜지스터는 입사광의 파장이나 광량에 따라 문턱 전압 및 드레인 전류가 변하는 특성이 있기 때문에, 광센싱 소자로서 활용될 수 있다.

[0003] 상술한 특성으로 인하여, 산화물 반도체 트랜지스터는 현재 광센싱 소자로서 널리 사용되고 있는 PN 접합 구조의 포토다이오드를 대체하는 것이 가능하다. 특히, 산화물 반도체 트랜지스터는 포토다이오드보다 큰 광전류를 발생시킬 수 있기 때문에, 산화물 반도체 트랜지스터를 광센싱 소자로서 사용할 경우, 광전류로 인해 발생한 전하를 일정 시간 동안 축적하기 위하여 광센싱 화소 내에서 일반적으로 사용되는 커패시터를 생략할 수 있다. 예를 들어, 광센싱 화소는 광을 감지하기 위한 산화물 반도체 트랜지스터와 데이터를 출력을 위한 스위치 트랜지스터만으로도 간단히 구성될 수 있다. 따라서 산화물 반도체 트랜지스터는, 빛을 감지하는 다양한 기기들, 예를 들어 촬상 장치나 또는 광터치 스크린 패널 등에서 유용하게 사용될 수 있다.

발명의 내용

해결하려는 과제

[0004] 광센싱 화소 내의 광센서 트랜지스터와 스위치 트랜지스터가 각각 동일한 구조의 산화물 반도체 트랜지스터로 이루어지는 광센싱 장치를 제공한다.

[0005] 또한, 상기 광센싱 장치의 동작 신뢰성을 향상시킬 수 있는 구동 방법을 제공한다.

과제의 해결 수단

[0006] 본 발명의 일 유형에 따른 광센싱 장치는, 광을 감지하기 위한 광센서 트랜지스터, 상기 광센서 트랜지스터로부터 데이터를 출력하기 위한 스위치 트랜지스터, 및 상기 스위치 트랜지스터의 광입사면에 배치된 도전성 광차폐막을 각각 포함하는, 다수의 광센싱 화소들의 어레이; 각각의 광센싱 화소에 게이트 전압 및 음의 바이어스 전압을 제공하기 위한 제 1 게이트 드라이버; 및 각각의 광센싱 화소로부터 광센싱 신호를 받아 데이터 신호를 출력하기 위한 신호 출력부;를 포함할 수 있다.

[0007] 또한, 상기 제 1 게이트 드라이버는 각각의 광센싱 화소 내의 스위치 트랜지스터의 게이트 전극에 연결되어 게이트 전압을 제공하는 게이트 라인, 및 각각의 광센싱 화소 내의 도전성 광차폐막에 연결되어 음의 바이어스 전압을 제공하는 바이어스 라인을 포함할 수 있다.

[0008] 상기 광센싱 화소들의 어레이는 다수의 열과 행으로 배열된 다수의 광센싱 화소들을 포함하며, 상기 제 1 게이트 드라이버는 행 방향을 따라 배열되어 있는 다수의 게이트 라인을 포함하고, 각각의 게이트 라인은 동일한 행을 따라 배열되어 있는 다수의 광센싱 화소들에 게이트 전압을 제공할 수 있다.

[0009] 일 실시예에 따르면, 상기 제 1 게이트 드라이버는 행 방향을 따라 배열되어 있는 다수의 바이어스 라인을 포함하며, 각각의 바이어스 라인은 동일한 행을 따라 배열되어 있는 다수의 광센싱 화소들에 음의 바이어스 전압을 제공할 수 있다.

[0010] 다른 실시예에 따르면, 상기 제 1 게이트 드라이버의 바이어스 라인은 모든 광센싱 화소들에 동시에 동일한 음의 바이어스 전압을 제공하도록 구성될 수 있다.

[0011] 또한 상기 광센싱 장치는, 각각의 광센싱 화소에 리셋 신호를 제공하기 위한 제 2 게이트 드라이버를 더 포함할 수 있다.

[0012] 상기 제 2 게이트 드라이버는 각각의 광센싱 화소 내의 광센서 트랜지스터의 게이트 전극에 연결되어 리셋 신호를 제공하는 리셋 라인을 포함할 수 있다.

[0013] 또한, 상기 제 2 게이트 드라이버는 행 방향을 따라 배열되어 있는 다수의 리셋 라인을 포함하고, 각각의 리셋 라인은 동일한 행을 따라 배열되어 있는 다수의 광센싱 화소들에 리셋 신호를 제공할 수 있다.

[0014] 일 실시예에 따르면, 상기 광센서 트랜지스터와 상기 스위치 트랜지스터는 채널막으로서 산화물 반도체 재료를 사용하는 산화물 반도체 트랜지스터일 수 있다.

[0015] 또한, 상기 광센서 트랜지스터와 상기 스위치 트랜지스터에 사용되는 산화물 반도체 재료는 서로 동일할 수 있다.

- [0016] 예를 들어, 상기 산화물 반도체 재료는 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO를 포함하는 산화물 반도체 재료이거나, 또는 상기 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO에 Hf, Zr, Ti, Ta, Ga, Nb, V, Al, Ga 및 Sn 중에서 적어도 하나의 재료가 더 포함된 산화물 반도체 재료일 수 있다.
- [0017] 일 실시예에 따르면, 상기 광센싱 화소는, 기관; 상기 기관 위에 부분적으로 형성된 제 1 게이트 전극과 제 2 게이트 전극; 상기 기관과 제 1 및 제 2 게이트 전극을 덮도록 형성된 게이트 절연막; 상기 게이트 절연막 상에서 상기 제 1 게이트 전극과 대향하여 배치된 제 1 채널막; 상기 게이트 절연막 상에서 상기 제 2 게이트 전극과 대향하여 배치된 제 2 채널막; 상기 제 1 채널막의 제 1 측면에 형성된 제 1 소스/드레인 전극; 상기 제 1 채널막의 제 2 측면과 상기 제 2 채널막의 제 1 측면 사이에 형성된 제 2 소스/드레인 전극; 상기 제 2 채널막의 제 2 측면에 형성된 제 3 소스/드레인 전극; 및 상기 제 1 내지 제 3 소스/드레인 전극과 상기 제 1 및 제 2 채널막을 덮도록 형성된 투명 절연층을 포함할 수 있다.
- [0018] 여기서, 상기 광센서 트랜지스터는 상기 제 1 게이트 전극, 게이트 절연막, 제 1 채널막, 제 1 및 제 2 소스/드레인 전극 및 투명 절연층을 포함하며, 상기 스위치 트랜지스터는 상기 제 2 게이트 전극, 게이트 절연막, 제 2 채널막, 제 2 및 제 3 소스/드레인 전극 및 투명 절연층을 포함할 수 있다.
- [0019] 또한, 상기 광차폐막은 상기 제 2 채널막을 가리도록 상기 투명 절연층 위에 부분적으로 형성될 수 있다.
- [0020] 또한, 상기 제 1 게이트 드라이버는, 상기 광센싱 장치의 동작 시간과 상기 스위치 트랜지스터의 문턱 전압 사이의 관계에 관한 미리 측정된 데이터, 상기 스위치 트랜지스터의 기준 문턱 전압에 관한 데이터, 및 상기 광차폐막에 인가된 음의 바이어스 전압과 상기 스위치 트랜지스터의 문턱 전압 사이의 관계에 관한 미리 측정된 데이터를 더 포함할 수 있다.
- [0021] 한편, 본 발명의 다른 유형에 따른 광센싱 장치의 구동 방법은, 광센싱 화소의 광센싱 데이터 출력을 제어하는 스위치 트랜지스터 및 상기 스위치 트랜지스터에 대향하여 배치된 도전성 광차폐막을 포함하는 광센싱 장치가 동작하는 단계; 상기 스위치 트랜지스터의 문턱 전압이 기준 문턱 전압보다 낮은 지 확인하는 단계; 및 상기 스위치 트랜지스터의 문턱 전압이 기준 문턱 전압보다 낮으면, 상기 도전성 광차폐막에 음의 바이어스 전압을 인가하여 상기 스위치 트랜지스터의 문턱 전압을 양의 방향으로 이동시키는 단계;를 포함할 수 있다.
- [0022] 일 실시예에서, 상기 음의 바이어스 전압은 상기 스위치 트랜지스터에 게이트 전압이 인가될 때 상기 광차폐막에 인가되며, 상기 스위치 트랜지스터에 게이트 전압의 인가가 중단될 때 상기 광차폐막에 음의 바이어스 전압의 인가가 중단될 수 있다.
- [0023] 상기 광센싱 장치는 다수의 열과 행으로 배열된 다수의 광센싱 화소들의 어레이를 포함하며, 상기 게이트 전압과 음의 바이어스 전압은 상기 다수의 광센싱 화소들 내의 상기 스위치 트랜지스터와 상기 광차폐막에 한 행씩 순차적으로 각각 제공될 수 있다.
- [0024] 다른 실시예에서, 상기 광센싱 장치가 동작하는 동안 상기 광차폐막에 지속적으로 음의 바이어스 전압이 인가될 수 있다.
- [0025] 일 실시예에서, 상기 스위치 트랜지스터의 문턱 전압이 기준 문턱 전압보다 낮은 지 확인하는 단계는, 상기 광센싱 장치의 동작 시간을 모니터링하는 단계; 상기 광센싱 장치의 동작 시간과 상기 스위치 트랜지스터의 문턱 전압 사이의 관계에 관한 미리 측정된 데이터를 참조하여 상기 스위치 트랜지스터의 문턱 전압을 예측하는 단계; 및 상기 예측된 문턱 전압과 기준 문턱 전압을 비교하는 단계;를 포함할 수 있다.
- [0026] 다른 실시예에서, 상기 스위치 트랜지스터의 문턱 전압이 기준 문턱 전압보다 낮은 지 확인하는 단계는, 상기 광센싱 장치가 동작하는 동안 상기 스위치 트랜지스터의 문턱 전압을 측정하는 단계; 및 상기 측정된 문턱 전압과 기준 문턱 전압을 비교하는 단계;를 포함할 수 있다.
- [0027] 예를 들어, 상기 문턱 전압의 측정은 미리 정해진 일정한 시간 간격으로 수행될 수 있다.
- [0028] 일 실시예에서, 상기 도전성 광차폐막에 음의 바이어스 전압을 인가하여 상기 스위치 트랜지스터의 문턱 전압을 양의 방향으로 이동시키는 단계는, 상기 광차폐막에 인가된 음의 바이어스 전압과 상기 스위치 트랜지스터의 문턱 전압 사이의 관계에 관한 미리 측정된 데이터를 참조하여 상기 음의 바이어스 전압을 조절하는 단계를 포함할 수 있다.
- [0029] 다른 실시예에서, 상기 도전성 광차폐막에 음의 바이어스 전압을 인가하여 상기 스위치 트랜지스터의 문턱 전압을 양의 방향으로 이동시키는 단계는, 상기 스위치 트랜지스터의 문턱 전압이 기준 문턱 전압과 같거나 또는 그

보다 커질 때까지, 미리 정해진 일정한 증분만큼 음의 바이어스 전압을 증가시킨 후 상기 도전성 광차폐막에 음의 바이어스 전압을 인가하는 단계; 및 상기 스위치 트랜지스터의 문턱 전압이 기준 문턱 전압보다 낮은 지 확인하는 단계;를 반복할 수 있다.

발명의 효과

[0030] 개시된 광센싱 장치는 각각의 광센싱 화소 내의 광센서 트랜지스터와 스위치 트랜지스터가 동일한 구조의 산화물 반도체 트랜지스터로 이루어지기 때문에, 광센싱 화소의 구조가 단순하고 그 제조 방법이 간단하다. 또한, 개시된 광센싱 장치의 구동 방법에 따르면, 산화물 반도체 트랜지스터에서 통상적으로 발생할 수 있는 문턱 전압의 시프트 현상을 간단하게 방지할 수 있어서, 광센싱 장치의 동작 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0031] 도 1은 본 발명의 일 실시예에 따른 광센싱 장치의 하나의 광센싱 화소의 구조를 개략적으로 도시하는 단면도이다.
 도 2는 도 1에 도시된 본 발명의 일 실시예에 따른 광센싱 장치의 하나의 광센싱 화소에 대한 회로도를 개략적으로 도시한다.
 도 3은 시간의 흐름에 따른 산화물 반도체 트랜지스터의 문턱 전압 시프트 현상을 보이는 그래프이다.
 도 4는 광차폐막에 음(-)의 바이어스 전압을 인가하였을 때 스위치 트랜지스터의 문턱 전압이 양(+)의 방향으로 시프트되는 현상을 보이는 그래프이다.
 도 5는 본 발명의 일 실시예에 따른 광센싱 장치의 구동 방법을 보이는 타이밍도이다.
 도 6은 본 발명의 다른 실시예에 따른 광센싱 장치의 구동 방법을 보이는 타이밍도이다.
 도 7은 도 5에 도시된 방법으로 구동되는 본 발명의 일 실시예에 따른 광센싱 장치의 개략적인 구성을 예시적으로 보이는 블록도이다.
 도 8은 도 6에 도시된 방법으로 구동되는 본 발명의 다른 실시예에 따른 광센싱 장치의 개략적인 구성을 예시적으로 보이는 블록도이다.
 도 9는 동작 시간과 스위치 트랜지스터의 문턱 전압 사이의 관계를 예시적으로 보이는 그래프이다.
 도 10은 광차폐막에 인가된 음의 바이어스 전압과 스위치 트랜지스터의 문턱 전압 사이의 관계를 예시적으로 보이는 그래프이다.
 도 11은 광차폐막에 적절한 음의 바이어스 전압이 인가될 수 있도록 바이어스 전압을 조절하기 위한 본 발명의 일 실시예에 따른 방법을 보이는 흐름도이다.
 도 12는 광차폐막에 적절한 음의 바이어스 전압이 인가될 수 있도록 바이어스 전압을 조절하기 위한 본 발명의 다른 실시예에 따른 방법을 보이는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0032] 이하, 첨부된 도면들을 참조하여, 광센싱 장치 및 그 구동 방법에 대해 상세하게 설명한다. 이하의 도면들에서 동일한 참조부호는 동일한 구성요소를 지칭하며, 도면상에서 각 구성요소의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다.

[0033] 도 1은 본 발명의 일 실시예에 따른 광센싱 장치의 하나의 광센싱 화소(100)의 구조를 개략적으로 도시하는 단면도이다. 도 1을 참조하면, 광센싱 화소(100)는 하나의 기판(101) 위에 형성된 스위치 트랜지스터(130)와 광센서 트랜지스터(140)를 포함할 수 있다. 도 1에 도시된 바와 같이, 스위치 트랜지스터(130)와 광센서 트랜지스터(140)는 기판(101) 위에서 직렬로 연결되어 있다. 예를 들어, 스위치 트랜지스터(130)와 광센서 트랜지스터(140)는 하나의 공통 소스/드레인 전극(109)을 가질 수 있다. 또한, 스위치 트랜지스터(130)와 광센서 트랜지스터(140)는 동일한 광민감성 산화물 반도체 트랜지스터 구조를 갖는다. 다만, 스위치 트랜지스터(130)의 동작이 입사광에 의해 영향을 받지 않도록, 스위치 트랜지스터(130)의 광입사면에는 입사광을 차단하기 위한 광차폐막(114)이 더 배치될 수 있다.

[0034] 더욱 구체적으로 설명하자면, 광센싱 화소(100)는 기판(101), 기판(101) 위에 각각 부분적으로 형성된 제 1 계

이트 전극(102)과 제 2 게이트 전극(103), 상기 기판(101)과 제 1 및 제 2 게이트 전극(102, 103) 위에 전체적으로 도포된 게이트 절연막(104), 제 1 게이트 전극(102)과 대향하는 게이트 절연막(104) 상의 위치에 형성된 제 1 채널막(106), 제 2 게이트 전극(103)과 대향하는 게이트 절연막(104) 상의 위치에 형성된 제 2 채널막(107), 제 1 채널막(106)과 제 2 채널막(107)의 양측에 각각 형성된 제 1 내지 제 3 소스/드레인 전극(108, 109, 110), 상기 제 1 내지 제 3 소스/드레인 전극(108, 109, 110)과 제 1 및 제 2 채널막(106, 107) 위에 전체적으로 형성된 투명 절연층(119), 투명 절연층(119)을 관통하여 제 1 소스/드레인 전극(108)에 연결된 제 1 배선(112), 투명 절연층(119)을 관통하여 제 3 소스/드레인 전극(110)에 연결된 제 2 배선(113), 및 스위치 트랜지스터(130)의 제 2 채널막(107)을 가리도록 투명 절연층(119) 위에 형성된 광차폐막(114)을 포함할 수 있다.

[0035] 이러한 광센싱 화소(100)의 구조에서, 제 1 게이트 전극(102), 게이트 절연막(104), 제 1 채널막(106), 제 1 및 제 2 소스/드레인 전극(108, 109) 및 제 1 배선(112)은 광센서 트랜지스터(140)를 구성한다. 또한, 제 2 게이트 전극(103), 게이트 절연막(104), 제 2 채널막(106), 제 2 및 제 3 소스/드레인 전극(109, 110) 및 제 2 배선(113)은 스위치 트랜지스터(130)를 구성할 수 있다. 따라서, 게이트 절연막(104)과 제 2 소스/드레인 전극(109)은 광센서 트랜지스터(140)와 스위치 트랜지스터(130)에 의해 공유된다. 도 1에 도시된 바와 같이, 제 1 소스/드레인 전극(108)은 제 1 채널막(106)의 좌측 일부 영역과 상기 제 1 채널막(106)의 좌측에 있는 게이트 절연막(104)을 덮도록 형성된다. 또한, 제 2 소스/드레인 전극(109)은 제 1 채널막(106)의 우측 일부 영역과 제 2 채널막(107)의 좌측 일부 영역 및 상기 제 1 채널막(106)과 제 2 채널막(107) 사이의 게이트 절연막(104)을 덮도록 형성된다. 그리고, 제 3 소스/드레인 전극(110)은 제 2 채널막(107)의 우측 일부 영역과 상기 제 2 채널막(107)의 우측에 있는 게이트 절연막(104)을 덮도록 형성될 수 있다.

[0036] 기판(101)과 게이트 절연막(104)은 절연성 재료로 이루어 질 수 있다. 만약, 본 발명에 따른 광센싱 장치가 디스플레이 패널의 디스플레이 화소 내에 통합되거나 또는 디스플레이 패널의 표면 위에 부착되는 광터치 스크린 패널로서 사용되는 경우, 기판(101)과 게이트 절연막(104)은 투명한 절연성 재료로 이루어질 수 있다. 예를 들어, 기판(101)은 유리로 이루어질 수 있으며, 게이트 절연막(104)은 SiO₂와 같은 투명한 절연성 재료로 이루어질 수 있다. 그러나, 본 발명에 따른 광센싱 장치가 일반적인 촬상 소자로서 사용되는 경우, 기판(101)과 게이트 절연막(104)이 투명할 필요는 없다. 또한, 제 1 내지 제 3 소스/드레인 전극(108, 109, 110)은 도전성 금속 또는 도전성 금속 산화물 재료로 이루어질 수 있다. 본 발명에 따른 광센싱 장치가 광터치 스크린 패널로서 사용되는 경우, 상기 제 1 내지 제 3 소스/드레인 전극(108, 109, 110)은 예를 들어 ITO와 같이 투명한 도전성 재료로 이루어질 수 있다. 투명 절연층(119)은 예를 들어 SiO₂와 같은 투명한 절연성 재료로 이루어질 수 있다. 또한, 제 1 배선(112), 제 2 배선(113) 및 광차폐막(114)은 동일한 도전성 재료, 예를 들어 금속이나 도전성 금속 산화물로 이루어질 수 있다. 특히, 광차폐막(114)의 두께는 빛이 투과되지 않도록 그 재료의 표면 깊이(skin depth)보다 두꺼울 수 있다.

[0037] 한편, 제 1 및 제 2 채널막(106, 107)은 빛에 민감한 산화물 반도체 재료로 이루어질 수 있다. 예컨대, 그러한 산화물 반도체 채널 재료로서 ZnO, InO, SnO, InZnO, ZnSnO, InSnO 등과 같은 산화물 반도체 재료를 사용하거나, 또는 전술한 산화물 반도체 재료에 Hf, Zr, Ti, Ta, Ga, Nb, V, Al, Ga, Sn 등의 재료가 하나 이상 추가적으로 혼합된 재료를 사용할 수 있다. 제 1 및 제 2 채널막(106, 107)은 각각 단일한 하나의 산화물 반도체층으로 이루어질 수도 있지만, 도 1에 도시된 바와 같이, 다층 구조로 이루어질 수도 있다. 예로서, 도 1에는 각각의 채널막(106, 107)이 하부 채널막(106a, 107a), 중심 채널막(106b, 107b) 및 상부 채널막(106c, 107c)을 포함하는 3층 구조로 이루어진 예를 도시하고 있다.

[0038] 예를 들면, 중심 채널막(106b, 107b)은 상술한 채널 재료들 중에서 광에 대한 민감도가 가장 높은 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO로 이루어질 수 있다. 하부 채널막(106a, 107a)은 중심 채널막(106b, 107b)의 재료에 의해 트랜지스터의 문턱 전압이 지나치게 낮아지는 것을 방지하기 위한 문턱 전압 조절층이다. 예를 들어, 하부 채널막(106a, 107b)은 XZnO, XInO, XSnO, XInZnO, XZnSnO 또는 XInSnO(여기서, X는 Hf, Zr, Ti, Ta, Ga, Nb, V, Al, Ga, Sn 중에서 적어도 하나)로 이루어질 수 있다. 트랜지스터의 문턱 전압은 하부 채널막(106a, 107b)의 재료 및 두께에 따라 0V에 가깝게 조절될 수 있다. 또한, 상부 채널막(106c, 107c)은 중심 채널막(106b, 107b)을 보호하는 보호막의 역할을 할 수 있다. 예를 들어, 소스/드레인 전극(108, 109, 110)을 형성하는 동안, 상부 채널막(106c, 107c)은 식각 정지막(etch stopper)의 역할을 할 수 있다. 또한, 상기 상부 채널막(106c, 107c)은 외부의 물질에 의한 중심 채널막(106b, 107b)의 변형을 방지하기 위한 패시베이션막(passivation layer)의 역할을 할 수 있다. 이러한 상부 채널막(106c, 107c)은 예컨대, MZnO, MInO, MSnO, MInZnO, MZnSnO 또는 MInSnO(여기서, M은 Hf, Zr, Ti, Ta, Ga, Nb, V, Al, Ga, Sn 중에서 적어도 하나)로 이루어

어질 수 있다.

[0039] 도 2는 도 1에 도시된 본 발명의 일 실시예에 따른 광센싱 장치의 하나의 광센싱 화소(100)에 대한 회로도를 개략적으로 도시하고 있다. 도 2를 참조하면, 광센싱 화소(100)는 서로 직렬로 연결된 광센서 트랜지스터(140)와 스위치 트랜지스터(130)를 포함할 수 있다. 예를 들어, 광센서 트랜지스터(140)와 스위치 트랜지스터(130)는 도 1의 제 2 소스/드레인 전극(109)을 통해 서로 연결될 수 있다. 광센서 트랜지스터(140)는 입사광을 감지하기 위한 광센싱 소자의 역할을 하며, 스위치 트랜지스터(130)는 광센싱 신호를 출력시키기 위한 스위치의 역할을 한다. 또한, 도 2에 도시된 바와 같이, 광센싱 화소(100)는 스위치 트랜지스터(130)의 게이트 전극(103)에 연결되는 게이트 라인(Gate), 스위치 트랜지스터(130)의 제 3 소스/드레인 전극(110)에 연결되는 데이터 라인(Data), 광센서 트랜지스터(140)의 제 1 소스/드레인 전극(108)에 연결되는 구동 전압 라인(Vdd) 및 광센서 트랜지스터(140)의 게이트 전극(102)에 연결되는 리셋 라인(Vreset)을 더 포함할 수 있다. 예를 들어, 데이터 라인(Data)은 제 2 배선(113)을 통해 제 3 소스/드레인 전극(110)에 전기적으로 연결되며, 구동 전압 라인(Vdd)은 제 1 배선(112)을 통해 제 1 소스/드레인 전극(108)에 전기적으로 연결된다. 또한, 스위치 트랜지스터(130)의 문턱 전압 시프트 현상을 방지하기 위하여, 광센싱 화소(100)는 광차폐막(114)에 음(-)의 바이어스 전압을 인가하기 위한 바이어스 라인(Vbias)을 더 포함할 수 있다.

[0040] 이러한 광센싱 화소(100)의 구조에서, 게이트 라인(Gate)을 통해 스위치 트랜지스터(130)에 게이트 전압이 인가되면, 스위치 트랜지스터(130)가 ON 상태가 된다. 그러면, 스위치 트랜지스터(130)를 통해 광센서 트랜지스터(140)로부터 데이터 라인(Data)으로 전류가 흐르게 된다. 이때, 광센서 트랜지스터(140)로부터 데이터 라인(Data)으로 흐르는 전류의 양은 광센서 트랜지스터(140)에 입사하는 빛의 세기에 따라 변화하게 된다. 따라서, 데이터 라인(Data)을 통해 흐르는 전류의 양을 측정하면 광센서 트랜지스터(140)에 입사하는 빛의 세기를 계산할 수 있다. 반면, 스위치 트랜지스터(130)에 게이트 전압이 인가되지 않는 동안에는, 스위치 트랜지스터(130)가 OFF 상태가 되므로 데이터 라인(Data)에 전류가 흐르지 않게 된다.

[0041] 그런데, 채널의 재료로서 산화물 반도체를 사용하는 산화물 반도체 트랜지스터에서는, 빛과 전기로 인한 스트레소로 인하여 시간이 흐름에 따라 문턱 전압이 점차 음의 방향으로 이동하는 현상이 발생할 수 있다. 만약, 광센싱 화소(100)의 스위치 트랜지스터(130)에서 이러한 현상이 발생할 경우, 스위치 트랜지스터(130)의 ON/OFF 동작이 정확하지 않게 이루어질 수 있다. 예를 들어, 게이트 전압이 인가되지 않았는데도 스위치 트랜지스터(130)가 OFF 상태에 있지 않고 ON 상태에 머무를 수도 있다. 이는 광센싱 화소(100)의 동작 신뢰성을 저하시키는 원인이 된다. 특히, 본 발명에 따른 광센싱 장치가 광터치 스크린 패널로서 사용되는 경우, 디스플레이 패널로부터 입사하는 광(예를 들어, 액정 디스플레이 패널의 경우, 백라이트 광)으로 인해 이러한 문턱 전압 시프트 현상이 가속화될 수 있다. 도 3은 시간의 흐름에 따른 산화물 반도체 트랜지스터의 문턱 전압 시프트 현상을 예시적으로 보이는 그래프이다. 예를 들어, 약 60°C 정도의 온도에서 산화물 반도체 트랜지스터에 약 -20V의 게이트 전압과 약 10V의 구동 전압이 인가되는 동안, 약 10,000 nit(cd/m²)의 빛이 산화물 반도체 트랜지스터에 조사되면, 도 3의 그래프에 도시된 바와 같이, 시간이 흐를수록 산화물 반도체의 문턱 전압이 음의 방향으로 이동하는 것을 확인할 수 있다.

[0042] 따라서, 스위치 트랜지스터(130)에서 문턱 전압 시프트 현상이 발생하는 것을 방지하기 위하여, 광차폐막(114)에 음(-)의 바이어스 전압을 인가할 수 있다. 도 1의 단면도를 참조할 때, 게이트 전극(103)의 위쪽에 음 전위가 형성되면, 에너지 밴드 이론에 따라 스위치 트랜지스터(130)를 ON 시키기 위해 게이트 전극(103)에 인가되어야 하는 전압이 증가하여야 하기 때문이다. 도 4는 광차폐막(114)에 음의 바이어스 전압을 인가하였을 때 스위치 트랜지스터(130)의 문턱 전압이 양(+)의 방향으로 시프트되는 현상을 예시적으로 보이는 그래프이다. 도 4의 그래프를 참조하면, 게이트 전극(103)의 폭이 약 2 μ m, 길이가 약 50 μ m, 게이트 절연막(104)의 두께가 약 15nm일 때, 광차폐막(114)에 인가되는 음의 바이어스 전압이 커질수록 스위치 트랜지스터(130)의 문턱 전압이 더 양의 방향으로 이동한다는 것을 알 수 있다. 도 4에서 Vds는 스위치 트랜지스터(130)의 드레인과 소스 간의 전압을 나타낸다. 따라서, 스위치 트랜지스터(130)의 문턱 전압이 음의 방향으로 시프트되는 만큼 광차폐막(114)에 인가되는 음의 바이어스 전압을 증가시키면, 문턱 전압의 음 방향 이동을 상쇄시킬 수 있다. 결과적으로, 광차폐막(114)에 음의 바이어스 전압을 인가함으로써, 스위치 트랜지스터(130)의 문턱 전압이 고정될 수 있다.

[0043] 상술한 구조의 광센싱 화소(100)를 갖는 광센싱 장치에서, 광차폐막(114)에 음의 바이어스 전압을 인가하는 방식은 두 가지 방식이 있을 수 있다. 예를 들어, 도 5에 도시된 바와 같이, 스위치 트랜지스터(130)를 ON시키기 위하여 스위치 트랜지스터(130)에 게이트 전압이 인가되는 동안에만 광차폐막(114)에 음의 바이어스 전압이 인가될 수 있다. 도 5를 참조하면, 광센싱 화소(100)로부터 광센싱 데이터를 읽어들이기 위하여 광센싱 화소(100)

0)의 게이트 라인(Gate)을 통해 스위치 트랜지스터(130)에 게이트 전압이 소정의 시간동안 인가된다. 이와 동시에, 스위치 트랜지스터(130)의 광차폐막(114)에 음의 바이어스 전압을 인가함으로써, 스위치 트랜지스터(130)의 문턱 전압을 양의 방향으로 이동시킨다. 그러면, 광 및 전기적 스트레스에 의해 스위치 트랜지스터(130)의 문턱 전압이 음의 방향으로 이동되었다라든가 광차폐막(114)에 음의 바이어스 전압이 인가된 동안 다시 양의 방향으로 이동되므로, 스위치 트랜지스터(130)는 최초 설계된 게이트 전압에서 ON 될 수 있다. 그런 후, 스위치 트랜지스터(130)에 게이트 전압의 인가가 중단되면, 그와 동시에 광차폐막(114)에 음의 바이어스 전압의 인가도 중단된다. 광센싱 화소(100)로부터 광센싱 데이터를 읽어들이 후에는, 도 5에 도시된 바와 같이, 리셋 라인(Vreset)을 통해 광센서 트랜지스터(140)의 게이트 전극(102)에 양의 리셋 신호를 인가한다. 리셋 신호는 빛에 노출된 동안 광센서 트랜지스터(140)의 채널막(106)의 경계면에 축적된 전하들을 제거함으로써 광센서 트랜지스터(140)를 초기화하기 위한 신호이다. 리셋 신호에 의해 광센서 트랜지스터(140)는 빛을 받기 전의 초기 상태로 되돌아갈 수 있다.

[0044] 또 다른 방식으로, 도 6에 도시된 바와 같이, 광센싱 장치가 동작하는 동안 광차폐막(114)에 지속적으로 음의 바이어스 전압이 인가될 수도 있다. 도 6을 참조하면, 스위치 트랜지스터(130)와 광센서 트랜지스터(140)에 각각 게이트 전압과 리셋 신호를 인가하는 방식은 도 5에서 설명한 방식과 동일하다. 그러나, 도 6에 도시된 방식은, 스위치 트랜지스터(130)에 대한 게이트 전압의 인가 여부와 관계 없이 항상 광차폐막(114)에 음의 바이어스 전압이 인가된다는 점에서 도 5에 도시된 방식과 차이가 있다.

[0045] 한편, 광센싱 장치는 다수의 상술한 광센싱 화소(100)들의 어레이와 상기 다수의 광센싱 화소(100)들을 각각 구동시키기 위한 구동 회로들을 포함할 수 있다. 도 7은 도 5에 도시된 방식으로 구동될 수 있는 본 발명의 일 실시예에 따른 광센싱 장치(200)의 개략적인 구성을 예시적으로 보이는 블록도이다. 도 7을 참조하면, 본 발명의 일 실시예에 따른 광센싱 장치(200)는 입사광을 감지하는 다수의 광센싱 화소(100)들의 어레이, 게이트 전압과 음의 바이어스 전압을 상기 다수의 광센싱 화소(100)들에 각각 순차적으로 제공하기 위한 제 1 게이트 드라이버(210), 상기 다수의 광센싱 화소(100)들에 리셋 신호를 각각 순차적으로 제공하기 위한 제 2 게이트 드라이버(220) 및 각각의 광센싱 화소(100)로부터 광센싱 데이터를 받아서 출력하기 위한 신호 출력부(230)를 포함할 수 있다.

[0046] 도 7에 도시된 바와 같이, 도 1 및 도 2에 도시된 구조를 갖는 다수의 광센싱 화소(100)들은 다수의 열(column)과 행(row)으로 배열될 수 있다. 예를 들어, 다수의 광센싱 화소(100)들은 n개의 행과 m개의 열을 갖는 어레이의 형태로 배열될 수 있다. 제 1 게이트 드라이버(210)는 각각의 광센싱 화소(100)들을 개별적으로 활성화시켜 각각의 광센싱 화소(100)로부터 광센싱 데이터가 출력되도록 제어하는 역할을 한다. 이를 위하여, 제 1 게이트 드라이버(210)는 행 방향을 따라 배열된 다수의 게이트 라인을 포함할 수 있다. 각각의 게이트 라인은 동일한 행을 따라 배열되어 있는 모든 광센싱 화소(100)들, 특히 광센싱 화소(100) 내의 스위치 트랜지스터(130)의 게이트 전극(103)에 연결된다. 또한, 제 1 게이트 드라이버(210)는 스위치 트랜지스터(130)의 문턱 전압 시프트를 방지하기 위하여 음의 바이어스 전압을 각각의 광센싱 화소(100)에 제공하는 역할을 한다. 이를 위하여, 제 1 게이트 드라이버(210)는 행 방향을 따라 배열된 다수의 바이어스 라인을 포함할 수 있다. 각각의 바이어스 라인은 동일한 행을 따라 배열되어 있는 광센싱 화소(100)들, 특히 광센싱 화소(100) 내의 스위치 트랜지스터(130)의 광차폐막(114)에 연결된다.

[0047] 또한, 제 2 게이트 드라이버(220)는 각각의 광센싱 화소(100)들로부터 광센싱 데이터를 읽어들이 후에 광센싱 화소(100) 내의 광센서 트랜지스터(140)를 초기화시키는 역할을 한다. 이를 위하여, 제 2 게이트 드라이버(220)는 행 방향을 따라 배열된 다수의 리셋 라인을 포함할 수 있다. 각각의 리셋 라인은 동일한 행을 따라 배열되어 있는 모든 광센싱 화소(100)들, 특히 광센싱 화소(100) 내의 광센서 트랜지스터(140)의 게이트 전극(102)에 연결된다. 그리고, 신호 출력부(230)는 각각의 광센싱 화소(100)들로부터 발생하는 광센싱 데이터를 받아 신호를 출력하는 역할을 한다. 이를 위하여, 신호 출력부(230)는 열 방향을 따라 배열된 다수의 데이터 라인들을 포함할 수 있다. 각각의 데이터 라인은 동일한 열을 따라 배열되어 있는 모든 광센싱 화소(100)들, 특히 광센싱 화소(100) 내의 스위치 트랜지스터(130)의 제 3 소스/드레인 전극(110)에 연결될 수 있다.

[0048] 이러한 광센싱 장치(200)의 구조에서, 제 1 게이트 드라이버(210)는 다수의 게이트 라인과 바이어스 라인을 통해 광센싱 화소(100)에 도 5에 도시된 바와 같은 게이트 전압과 음의 바이어스 전압을 광센싱 화소(100)들에 한 번씩 순차적으로 제공한다. 예를 들어, 제 1 게이트 드라이버(210)는 n 번째 행의 광센싱 화소(100)들에 게이트 전압과 음의 바이어스 전압을 동시에 제공한 후에, n+1 번째 행의 광센싱 화소(100)들에 게이트 전압과 음의 바이어스 전압을 동시에 제공한다. 한편, 제 2 게이트 드라이버(220)는, 제 1 게이트 드라이버(210)가 n+1 번째 행의 광센싱 화소(100)들에 게이트 전압과 음의 바이어스 전압을 제공하는 동안, 도 5에 도시된 바와 같이, n

번째 행의 광센싱 화소(100)들에 리셋 신호를 제공할 수 있다.

[0049] 도 8은 도 6에 도시된 방식으로 구동될 수 있는 본 발명의 다른 실시예에 따른 광센싱 장치(200')의 개략적인 구성을 예시적으로 보이는 블록도이다. 도 8에 도시된 광센싱 장치(200')는, 도 7의 광센싱 장치(200)와 마찬가지로, 입사광을 감지하는 다수의 광센싱 화소(100)들의 어레이, 다수의 광센싱 화소(100)들에 게이트 전압과 음의 바이어스 전압을 제공하기 위한 제 1 게이트 드라이버(210'), 다수의 광센싱 화소(100)들에 리셋 신호를 제공하기 위한 제 2 게이트 드라이버(220) 및 각각의 광센싱 화소(100)로부터 광센싱 데이터를 받아서 출력하기 위한 신호 출력부(230)를 포함할 수 있다. 도 8에 도시된 광센싱 장치(200')의 경우, 제 1 게이트 드라이버(210')의 바이어스 라인이 모든 광센싱 화소(100)들에 한꺼번에 연결되어 있다는 점에서 도 7에 도시된 광센싱 장치(200)와 차이가 있다. 따라서, 도 8에 도시된 광센싱 장치(200')에서 모든 광센싱 장치(200)에는 동시에 동일한 음의 바이어스 전압이 인가될 수 있다. 예를 들어, 도 6에 도시된 바와 같이, 제 1 게이트 드라이버(210')는 스위치 트랜지스터(130)에 대한 게이트 전압의 인가 여부와 관계 없이 항상 음의 바이어스 전압을 모든 광센싱 장치(200)들에 동시에 인가할 수 있다. 도 8에 도시된 광센싱 장치(200')의 나머지 구성 및 동작은 도 7에서 설명한 광센싱 장치(200)의 구성 및 동작과 동일할 수 있다.

[0050] 본 발명의 일 실시예에 따르면, 광차폐막(114)에 인가되는 음의 바이어스 전압은 스위치 트랜지스터(130)의 문턱 전압 시프트 정도에 따라 변화할 수 있다. 앞서 설명한 바와 같이, 산화물 반도체를 포함하는 스위치 트랜지스터(130)의 문턱 전압은 시간의 경과에 따라 음의 방향으로 점차 이동한다. 따라서, 광차폐막(114)에 인가되는 음의 바이어스 전압도 그에 따라 증가할 필요가 있다. 또한, 광센싱 장치(200,200')의 동작 초기에는 스위치 트랜지스터(130)의 문턱 전압 시프트가 거의 없는 상태이므로, 동작 초기부터 광차폐막(114)에 음의 바이어스 전압을 인가할 필요는 없다. 또한, 광차폐막(114)에 인가되는 음의 바이어스 전압을 매 순간마다 조절할 필요는 없으며, 스위치 트랜지스터(130)의 문턱 전압이 일정한 한계를 벗어날 때만 광차폐막(114)에 인가되는 음의 바이어스 전압을 조절하는 것도 가능하다.

[0051] 예를 들어, 광센싱 장치(200,200')의 동작 시간과 스위치 트랜지스터(130)의 문턱 전압 사이의 관계를 예시적으로 보이는 도 9의 그래프를 참조하면, 동작 초기에 스위치 트랜지스터(130)의 문턱 전압은 원래 설계된 문턱 전압 V_{th0} 를 유지한다. 그리고, 시간 t_1 에서 스위치 트랜지스터(130)의 문턱 전압은 V_{th1} 으로 떨어진다. 계속해서, 광센싱 장치(200,200')가 동작하는 동안, 시간 t_2 에서 스위치 트랜지스터(130)의 문턱 전압은 V_{th2} 로 떨어지고, 시간 t_3 에서 문턱 전압은 V_{th3} 까지 떨어지게 된다. 또한, 광차폐막(114)에 인가된 음의 바이어스 전압과 스위치 트랜지스터(130)의 문턱 전압 사이의 관계를 예시적으로 보이는 도 10의 그래프를 참조하면, 음의 바이어스 전압이 V_1 일 때 스위치 트랜지스터(130)의 문턱 전압은 ΔV_{th1} 만큼 증가하며, V_2 일 때는 ΔV_{th2} 만큼, V_3 일 때는 ΔV_{th3} 만큼 각각 증가하게 된다. 따라서, $\Delta V_{th1} = V_{th0} - V_{th1}$, $\Delta V_{th2} = V_{th0} - V_{th2}$, $\Delta V_{th3} = V_{th0} - V_{th3}$ 라고 각각 가정할 때, 시간 t_1 에서는 광차폐막(114)에 V_1 의 바이어스 전압을 인가하고, 시간 t_2 에서는 V_2 의 바이어스 전압을 인가하며, 시간 t_3 에서는 V_3 의 바이어스 전압을 인가할 수 있다. 이렇게 광차폐막(114)에 인가되는 음의 바이어스 전압을 조절함으로써, 스위치 트랜지스터(130)의 결과적인 문턱 전압을 항상 일정하게 유지시킬 수 있다.

[0052] 도 11은 상술한 원리에 따라 광차폐막(114)에 적절한 음의 바이어스 전압이 인가될 수 있도록 바이어스 전압을 조절하기 위한 본 발명의 일 실시예에 따른 방법을 보이는 흐름도이다. 도 11의 흐름도를 참조하면, 광센싱 장치(200,200')가 동작하기 시작하면, 단계(S10)에서 광센싱 장치(200,200')가 동작하기 시작하면 광센싱 장치(200,200')의 동작 시간을 실시간으로 모니터링한다. 이러한 과정은 예를 들어, 광센싱 장치(200,200')의 제 1 게이트 드라이버(210,210')에서 수행될 수 있다. 그런 후, 단계(S11)에서, 도 9에 도시된 것과 같은 광센싱 장치(200,200')의 동작 시간과 스위치 트랜지스터(130)의 문턱 전압 사이의 관계를 이용하여 스위치 트랜지스터(130)의 문턱 전압을 예측한다. 광센싱 장치(200,200')의 동작 시간과 스위치 트랜지스터(130)의 문턱 전압 사이의 관계는 미리 실험을 통해 측정될 수 있다. 측정된 결과 데이터는, 예를 들어, 제 1 게이트 드라이버(210,210') 내의 메모리(도시되지 않음)에 저장될 수 있다. 제 1 게이트 드라이버(210,210')는 메모리에 저장된 관계 데이터를 참조하여, 현재 시간에서 스위치 트랜지스터(130)의 문턱 전압을 예측할 수 있다.

[0053] 그런 후, 단계(S12)에서 스위치 트랜지스터(130)의 예측된 문턱 전압이 허용 범위를 벗어났는지 확인한다. 예를 들어, 제 1 게이트 드라이버(210,210')의 메모리에는 기준 문턱 전압에 관한 데이터가 저장되어 있을 수 있다. 제 1 게이트 드라이버(210,210')는 예측된 문턱 전압과 기준 문턱 전압을 비교한 후, 예측된 문턱 전압이 기준 문턱 전압보다 낮다면, 단계(S13)에서 광차폐막(114)에 인가되는 음의 바이어스 전압을 증가시킨다. 만약 예측된 문턱 전압이 허용 범위 내에 있다면, 광차폐막(114)에 인가되는 음의 바이어스 전압을 그대로 유지한다. 예를 들어, 도 9 및 도 10의 예를 참조하면, 아직 시간 t_0 이 지나지 않았다면, 광차폐막(114)에 인가되는 음의

바이어스 전압을 0V로 유지한다. 그리고, 광센싱 장치(200,200')의 동작 시간이 t1에 도달하면, 제 1 게이트 드라이버(210,210')는 광차폐막(114)에 인가되는 음의 바이어스 전압을 V1으로 증가시킨다. 이러한 동작을 수행하기 위하여, 제 1 게이트 드라이버(210,210')의 메모리에는 광차폐막(114)에 인가된 음의 바이어스 전압과 스위치 트랜지스터(130)의 문턱 전압 사이의 관계에 관한 미리 측정된 결과 데이터가 저장되어 있을 수 있다.

[0054] 한편, 스위치 트랜지스터(130)의 문턱 전압을 실제로 측정하여 음의 바이어스 전압을 조절하는 것도 가능하다. 도 12는 스위치 트랜지스터(130)의 문턱 전압을 직접 측정하여 광차폐막(114)에 인가되는 음의 바이어스 전압을 조절하는 본 발명의 또 다른 실시예에 따른 방법을 보이는 흐름도이다. 도 12를 참조하면, 광센싱 장치(200,200')가 동작하는 동안, 단계(S20)에서 제 1 게이트 드라이버(210,210')는 스위치 트랜지스터(130)의 문턱 전압을 측정한다. 문턱 전압의 측정은 예를 들어, 매 순간마다 실시간으로 수행될 수도 있다. 그러나, 스위치 트랜지스터(130)의 문턱 전압 시프트는 비교적 긴 시간에 걸쳐 천천히 일어나므로, 미리 정해진 일정한 시간 간격으로 문턱 전압의 측정이 수행될 수도 있다. 또한, 문턱 전압의 측정은 광센싱 장치(200,200') 내의 모든 스위치 트랜지스터(130)들에 대해 수행될 필요는 없으며, 미리 선택된 수 개(예컨대, 3 내지 12개)의 스위치 트랜지스터(130)의 문턱 전압만을 측정할 수도 있다.

[0055] 그런 후, 단계(S21)에서 제 1 게이트 드라이버(210,210')는 측정된 스위치 트랜지스터(130)의 문턱 전압이 허용 범위를 벗어났는 지를 확인한다. 앞서 설명한 바와 같이, 제 1 게이트 드라이버(210,210')의 메모리에는 기준 문턱 전압에 관한 데이터가 저장되어 있을 수 있다. 제 1 게이트 드라이버(210,210')는 측정된 문턱 전압과 기준 문턱 전압을 비교한 후, 예측된 문턱 전압이 기준 문턱 전압보다 낮다면, 단계(S22)에서 광차폐막(114)에 인가되는 음의 바이어스 전압을 증가시킨다. 바이어스 전압의 증가량은 메모리에 미리 저장되어 있는 도 10의 관계 데이터를 참조하여 결정될 수 있다. 또는, 미리 정해진 일정한 증분만큼만 바이어스 전압을 증가시킬 수도 있다. 그런 후, 단계(S23)에서 스위치 트랜지스터(130)의 변화된 문턱 전압을 다시 측정한다. 그리고, 단계(S24)에서 스위치 트랜지스터(130)의 변화된 문턱 전압을 기준 문턱 전압과 다시 비교한다. 만약, 문턱 전압이 여전히 허용 범위를 벗어난다면, 단계(S22)로 돌아가서 광차폐막(114)에 인가되는 음의 바이어스 전압을 다시 증가시킨다. 이러한 방식으로, 스위치 트랜지스터(130)의 문턱 전압이 허용 범위 내에 들어올 때까지, 즉 스위치 트랜지스터(130)의 문턱 전압이 기준 문턱 전압과 같거나 또는 그보다 커질 때까지 단계(S22) 내지 단계(S24)를 반복할 수 있다.

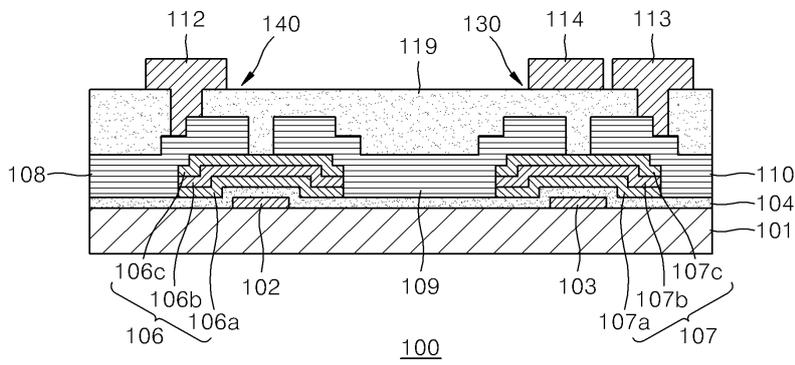
[0056] 지금까지, 본 발명의 이해를 돕기 위하여 광센싱 장치 및 그 구동 방법에 대한 예시적인 실시예가 설명되고 첨부된 도면에 도시되었다. 그러나, 이러한 실시예는 단지 본 발명을 예시하기 위한 것이고 이를 제한하지 않는다는 점이 이해되어야 할 것이다. 그리고 본 발명은 도시되고 설명된 설명에 국한되지 않는다는 점이 이해되어야 할 것이다. 이는 다양한 다른 변형이 본 기술분야에서 통상의 지식을 가진 자에게 일어날 수 있기 때문이다.

부호의 설명

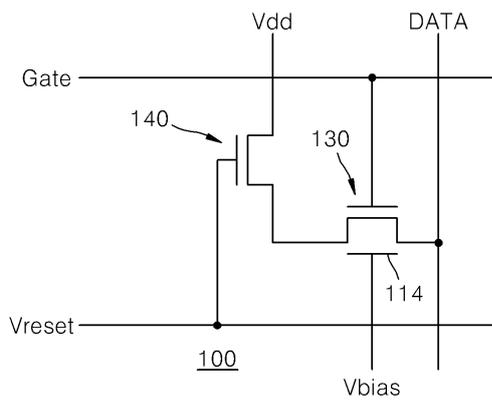
[0057] 100.....광센싱 화소	101.....기관
102, 103...게이트 전극	104.....게이트 절연막
106, 107...채널막	108, 109, 110...소스/드레인 전극
112, 113...배선	114.....광차폐막
119.....투명 절연층	130.....스위치 트랜지스터
140.....광센서 트랜지스터	200, 200'...광센싱 장치
210, 220...게이트 드라이버	230.....신호 출력부

도면

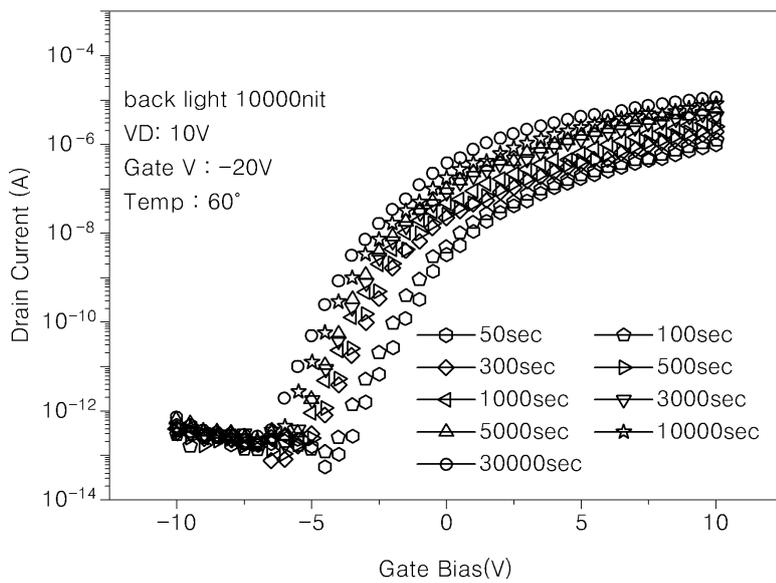
도면1



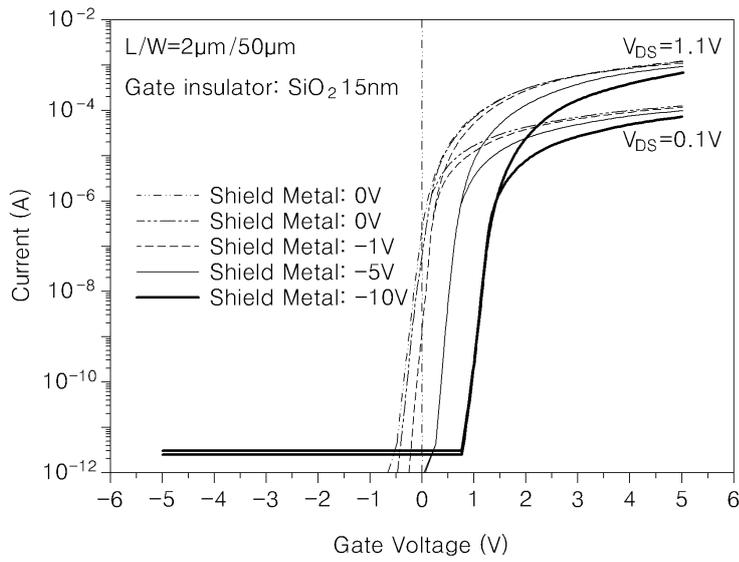
도면2



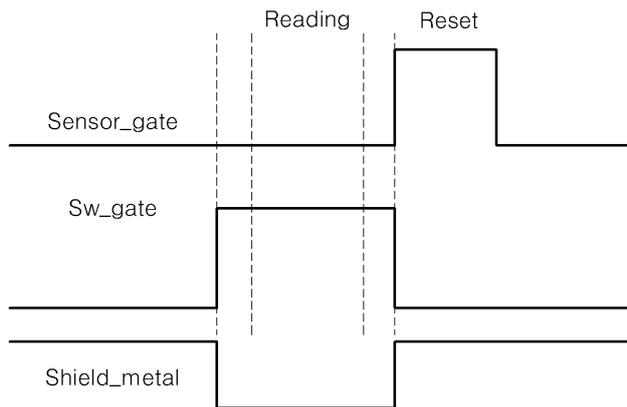
도면3



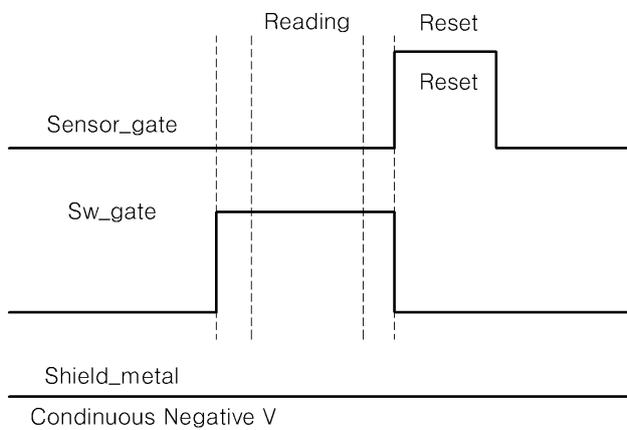
도면4



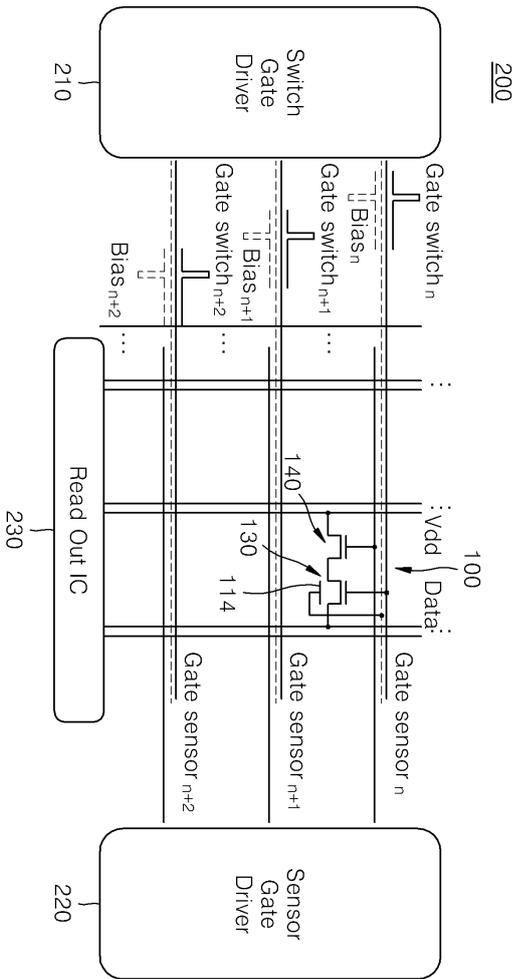
도면5



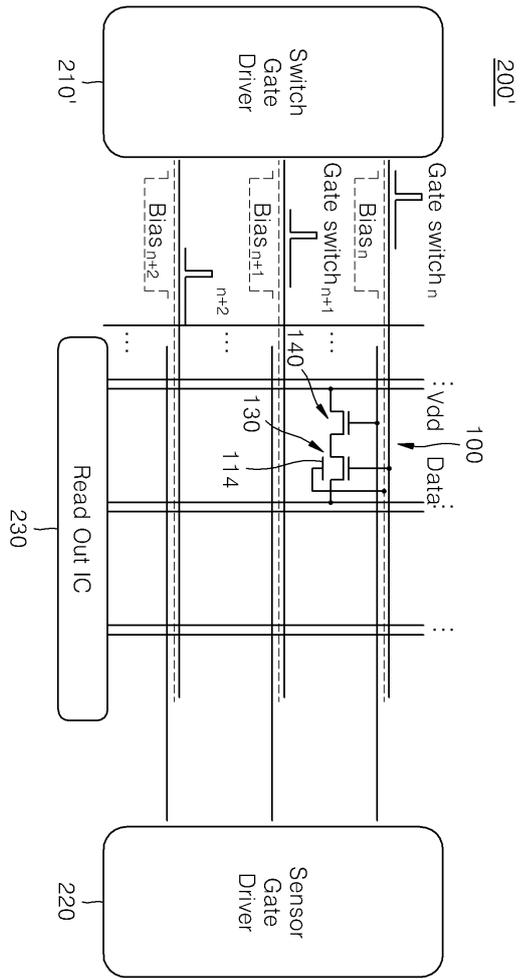
도면6



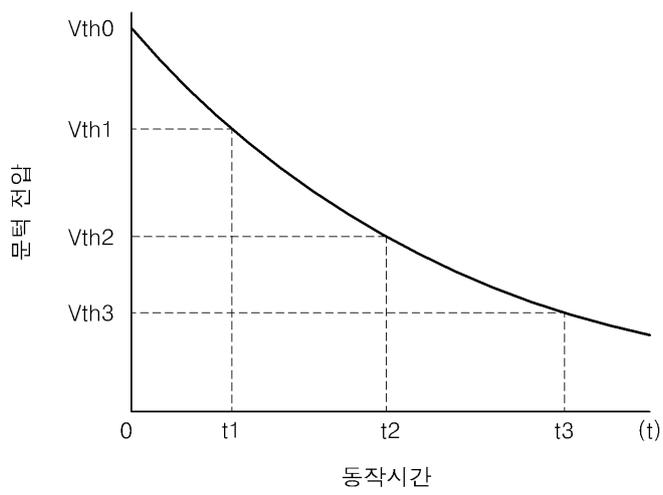
도면7



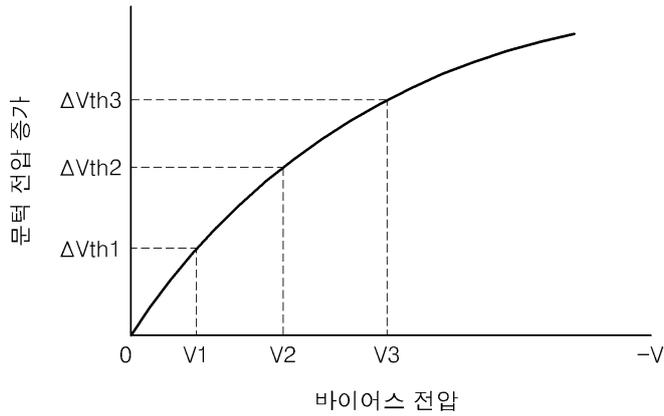
도면8



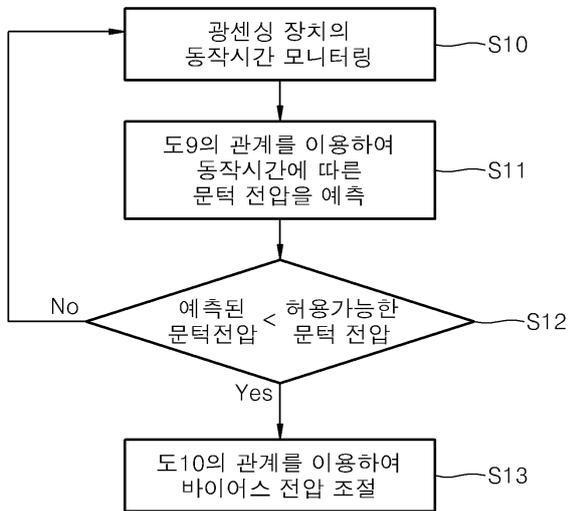
도면9



도면10



도면11



도면12

