

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 12/16 (2006.01)

G11C 11/40 (2006.01)

G11C 11/34 (2006.01)



[12] 发明专利说明书

专利号 ZL 03149353. X

[45] 授权公告日 2006年4月19日

[11] 授权公告号 CN 1252600C

[22] 申请日 2003.6.16 [21] 申请号 03149353. X

[30] 优先权

[32] 2002.10.8 [33] JP [31] 295130/02

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 大石司

审查员 赵强

[74] 专利代理机构 中国专利代理(香港)有限公司

司

代理人 杨凯 叶恺东

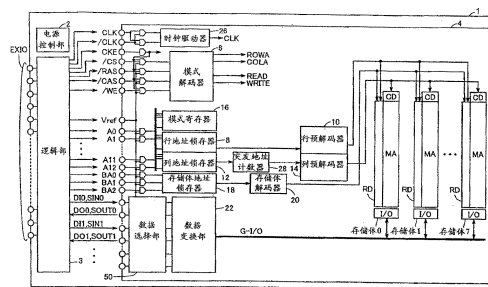
权利要求书 1 页 说明书 23 页 附图 18 页

[54] 发明名称

待机时可非易失性地转移数据的半导体装置

[57] 摘要

电源控制部(2)在切断要设为待机状态的相应的电路模块的电源或者整个芯片的电源之前,对该相应的电路模块激活控制信号ST,使该电路模块将数据处理后的运算结果向存储器部(4)转移。电源控制部(2)对处于待机状态的该相应的电路模块再次供给电源时,激活电源供给开始后的控制信号RES,将转移到存储器部(4)的数据恢复到相应的电路模块。进行数据转移和恢复时,电路模块中的触发器串联,采用与通常不同的通路进行数据转送。从而,提供可保持内部信息且高速转移到降低消耗功率的待机模式的半导体装置。



1. 一种具有第1、第2动作模式的半导体装置，包括：
非易失地记忆数据的记忆部；
- 5 在所述第1、第2模式中分别采用第1、第2数据转送通路向所述记忆部发送数据的逻辑电路部，
所述逻辑电路部根据施加到所述记忆部及所述逻辑电路部的电源电位从标准动作电位向待机电位变化的预告信号，将所述第1模式中处理的结果信息，在所述第2模式中采用所述第2数据转送通路转移到所述记忆部。
- 10 2. 如权利要求1所述的半导体装置，其特征在于：
为了降低电源电流，所述待机电位设定成比所述标准动作电位低的电位，
所述逻辑电路部包括多个触发器，用以易失性地保持所述第1模式中的处理结果。
- 15 3. 如权利要求2所述的半导体装置，其特征在于：
当所述电源电位从所述待机电位恢复到所述标准动作电位时，所述逻辑电路部从所述记忆部读出数据，采用所述第2数据转送通路，将数据设定到所述多个触发器。
- 20 4. 如权利要求1所述的半导体装置，其特征在于：
所述逻辑电路部包括多个保持电路，用以易失性地保持所述第1模式中的处理结果，
所述多个保持电路在所述第2数据转送通路上串联，
所述多个保持电路的保持数据采用所述第2数据转送通路，串行
- 25 转送到所述记忆部。

待机时可非易失性地转移数据的半导体装置

5

技术领域

本发明涉及半导体装置，具体地说，涉及电源断开时可向内置的薄膜磁性体存储元件转移处理数据的半导体装置。

10

背景技术

近年，可在半导体装置上集成大规模电路，开发出逻辑电路和大电容存储器集成在一个芯片的系统LSI (large-scale integrated circuit: 大规模集成电路)。这样的系统LSI中，逻辑电路部和存储器部经由规定的端口进行地址，指令，数据等的信息交换。

15

另外，为了进一步提高性能，使晶体管的栅极氧化膜薄膜化并缩小晶体管的栅极长度。这样的栅极氧化膜的薄膜化会导致新的栅极泄漏电流的增大。另外，栅极长度的缩小导致截止状态的晶体管的源极-漏极间泄漏电流的增大。

20

作为针对这些泄漏电流增大的解决方法，有在待机时截止电源电压的方法。但是，电源电压若截止，逻辑电路内的触发器和易失性的存储器的数据消失。因而，通过截止电源电压实现消耗电流的降低的场合，要将数据事先转移到系统LSI所安装的印刷线路板等中另外配置的转移用存储器。作为转移用存储器，例如，有闪速EEPROM (electrically erasable programmable read only memory: 电擦除可编程只读存储器) 等。

25

另外，作为传统的半导体装置，提出了可保持静态存储器 (SRAM) 的高速性且可实现非易失性的半导体装置。(例如，特开平7-226088号公报的第3-4页，图1)。

该技术中，由2个晶体管构成触发器，同时，将该2个晶体管与2个选择晶体管连接，构成SRAM存储单元部。另外，各自具备浮置栅极和控制栅极2个栅极，由漏极与电源线连接的2个非易失性晶体管构成记忆SRAM存储单元部的状态的非易失性存储单元部。通过将该非易失性存储单元部与SRAM存储单元部连接，可同时实现SRAM的高速性和EPROM及Flash-EPROM等的非易失性。

但是，向浮置栅极写入数据的闪速EEPROM等，在写入阶段需要数毫秒的时间。由于该时间非常长，电源电压截止前的处理时间必须变长。结果，到实现消耗电流降低的待机模式的转移延迟了该部分时间。

另外，由于数据的读出时间也比较长，因而闪速EEPROM在恢复电源后读出数据，将易失性存储器和触发器的数据返回到原始状态所需要的时间必须变长。从而，装置的启动也花费相当的时间。

另外，在外部的印刷电路板设置暂时转移用的存储器，不仅增加系统全体的元件数，而且外部的印刷电路板的面积也增加，因而不经济。

发明内容

本发明的目的是提供可保持内部信息且高速转移到降低消耗功率的待机模式的半导体装置。

本发明的半导体装置，是具有第1、第2动作模式的半导体装置，包括：非易失地记忆数据的记忆部和在第1、第2模式中分别采用第1、第2数据转送通路向记忆部发送数据的逻辑电路部。逻辑电路部根据施加到记忆部及逻辑电路部的电源电位从标准动作电位向待机电位变化的预告信号，将第1模式中处理的结果信息，在第2模式中采用第2数据转送通路转移到记忆部。

本发明的另一方面的半导体装置包括数据保持电路，数据保持电路包括：易失性地保持数据的锁存电路；接受锁存电路的保持信息

及激活信号的写入控制电路；激活信号为激活状态时，从写入控制电路接受保持信息所对应的电流，根据电流所对应的磁场非易失地重写记忆数据的薄膜磁性体存储单元。

5 从而，本发明的主要优点为，通过另外设置与通常的数据转送通路不同的数据转移时的数据转送用通路，可在不妨碍通常动作的情况下转移数据，通过将电源电压从标准动作电位变化到待机电位，可降低待机时的消耗电流。

10 本发明的其他优点为，通过向易失性锁存电路附加薄膜磁性体存储单元，在想转移锁存电路的数据时，不需要复杂的转送动作，可高速转移数据，在待机模式下，将电源电压设在待机电位，可有效降低待机时的消耗电流。

图面的简单说明

15 图1是表示本发明实施例1的半导体装置1的电源控制的全体构成的概略方框图。

图2是更详细说明存储器部4的构成的半导体装置1的方框图。

图3是图2的存储阵列MA所包含的具有磁性隧道结的存储单元的构成的概略图。

图4是说明从MTJ存储单元读出数据的动作的概念图。

20 图5是说明向MTJ存储单元写入数据的动作的概念图。

图6是说明向MTJ存储单元进行数据写入时的数据写入电流和隧道磁阻元件的磁化方向的关系的概念图。

图7是表示图2中的数据选择部50的构成的电路图。

图8是表示图1中的逻辑电路3.n的构成的电路图。

25 图9是数据保持部76的构成的更详细的电路图。

图10是说明实施例1的半导体装置1的数据转送动作的动作波形图。

图11是表示实施例2的半导体装置201的构成的方框图。

图12是表示图11中的电路模块203A~203D所包含的数据保持电路210的构成的电路图。

图13是向数据保持电路210的隧道磁阻元件写入数据"1"的说明图。

5 图14是说明数据写入的动作波形图。

图15是表示向存储单元216写入"0"时的图。

图16是表示从数据保持电路210的存储单元216读出数据"1"时的图。

图17是说明从存储单元216读出数据的动作的动作波形图。

10 图18是读出已写入存储单元216的数据"0"的说明图。

图19是采用图12所示数据保持电路210的构成的触发器300的构成的电路图。

图20是说明图11所示半导体装置201的电源控制的动作波形图。

15 最佳实施例的说明

以下，参照图面详细说明本发明的实施例。另外，图中相同符号表示相同或相当部分。

[实施例1]

20 图1是本发明实施例1的半导体装置1的电源控制的全体构成的概略方框图。

参照图1，半导体装置1包括：接受外部提供的电源电位VCC的电源端子T1、接受外部提供的接地电位GND的接地端子T2以及与外部进行信号交换的端子EXI0。

25 半导体装置1还包括：逻辑部3、存储器部4、开关电路SWL1~SWLn及SWM、电源控制部2。

逻辑部3包括逻辑电路3.1~3.n。如后所述，逻辑电路3.1~3.n包括：以触发器等为代表的暂时记忆数据的电路和以AND电路等为代表的组合电路。

电源控制部2进行开关电路SWL1 ~ SWLn及SWM的导通/截止控制，同时，向逻辑部3及存储器部4输出控制信号ST、RES。

5 逻辑部3在通常动作时，进行规定的运算处理，将结果作为数据输入信号DI向存储器部4输出。另外，逻辑部3从存储器部4接受数据输出信号D0，作为规定的运算处理所必要的的数据。逻辑部3向存储器部4输出数据收发所必要的时钟信号CLK、指令信号CMD、地址信号ADD。

10 电源控制部2为了降低消耗功率，使分别向逻辑电路3.1 ~ 3.n及存储器部4提供电源电位VCC的开关电路SWL1 ~ SWLn及SWM仅仅在动作必要时导通，而对动作所不必要的电路模块，切断电源使之处于待机状态。

电源控制部2在电源的切断之前，对要设为待机状态的相应的电路模块激活控制信号ST，使该电路模块将数据处理后的运算结果向存储器部4转移。

15 电源控制部2对处于待机状态的相应的电路模块再次供给电源时，激活电源供给开始后的控制信号RES，将转移到存储器部4的数据恢复到相应的电路模块。

20 另外，电源控制部2在预告截止外部的芯片的电源电位VCC时，向逻辑电路3.1 ~ 3.n发送控制信号ST，使这些电路将数据处理后的运算结果向存储器部4转移。

电源控制部2在处于截止状态的电源电位VCC再次供给时，对逻辑电路3.1 ~ 3.n激活电源供给开始后的控制信号RES，将转移到存储器部4的数据恢复到逻辑电路3.1 ~ 3.n。

图2是更详细说明存储器部4的构成的半导体装置1的方框图。

25 参照图2，存储器部4是包含后面说明的作为存储单元的隧道磁阻元件的MRAM (Magnetic Random Access Memory: 磁性随机存取存储器)。

存储器部4从逻辑部3接收：互补的时钟信号CLK、/CLK；可输入

存储器部4的使能信号CKE; 识别指令的输入的信号/CS; 表示输入了行指令的信号/RAS; 表示输入了列指令的信号/CAS; 读/写的识别信号即信号/WE; 判定输入信号的H电平/L电平的基准电位Vref; 地址信号A0 ~ A12; 内置的8个存储体的3比特的存储体地址BA0 ~ BA2; 数据输入信号DI0 ~ DI_m、SI0 ~ SI_n。然后, 存储器部4将数据输出信号D00 ~ D0_m、SOUT0 ~ SOUT_n向逻辑部3输出。这里, m取大于n的数。

在信号/CS激活期间, 存储器部4在时钟的上升沿识别指令。

地址信号A0 ~ A12用于行地址的输入及列地址的输入。另外, 地址信号的一部分也使用于模式寄存器16的写入。

存储器部4包括: 识别输入的指令的模式解码器6; 保持动作模式的模式寄存器16; 从地址端子获取行地址的行地址锁存器8; 从地址端子获取列地址的列地址锁存器12; 从存储体地址获取存储体地址信号的存储体地址锁存器18; 对存储体地址锁存器18输出的存储体地址解码, 激活对应的存储体的存储体解码器20。

存储器部4还包括: 接受行地址锁存器8输出的地址, 向行解码器RD输出对应的信号的行预解码器10; 突发动作时发生连续列地址的突发地址计数器28; 接受突发地址计数器28输出的地址, 将对应的信号向列解码器CD输出的列预解码器14。

存储器部4还包括数据选择部50、数据变换部22、全局数据总线G-I/O和存储体BANK0 ~ BANK7。

数据选择部50选择输入数据输入信号DI0 ~ DI_n的通路和输入数据输入信号SI0 ~ SI_n的通路之一。另外, 数据选择部50选择输出数据输出信号D00 ~ D0_n的通路和输出数据输出信号SOUT0 ~ SOUT_n的通路之一。

数据变换部22在数据选择部50和全局数据总线G-I/O之间变换数据速率, 进行数据收发。

全局数据总线G-I/O与8个存储体BANK0 ~ BANK7进行数据的收发。存储体BANK0 ~ BANK7包括后述的作为存储阵列MA的记忆元件的薄膜

磁性体，可非易失地保持数据。

近年，作为以低消耗功率可记忆非易失的数据的记忆装置，MRAM装置备受注目。MRAM装置是采用半导体集成电路中形成的多个薄膜磁性体进行非易失数据的记忆，可对各个薄膜磁性体随机存取的记忆装置。

特别地，发表了通过采用利用磁性隧道结(MTJ:Magnetic Tunnel Junction)的薄膜磁性体作为存储单元，显著改进MRAM装置的性能的技术。

图3是表示图2的存储阵列MA所包含的具有磁性隧道结的存储单元(以下，简称「MTJ存储单元」)的构成的概略图。

参照图3，MTJ存储单元包括：根据记忆数据电平变化电气电阻的隧道磁阻元件TMR和用于在数据读出时形成通过隧道磁阻元件TMR的读出电流 I_s 的通路的存取元件ATR。由于存取元件ATR通常用场效应晶体管形成，以下，存取元件ATR也称为存取晶体管ATR。存取晶体管ATR连接在隧道磁阻元件TMR和固定电压（接地电压 V_{ss} ）之间。

存储阵列MA中配置有对MTJ存储单元指示数据写入的写字线WWL、执行数据读出的读字线RWL，以及在数据读出及数据写入中，传达记忆数据的数据电平所对应的电气信号的数据线即比特线BL。

图4是说明从MTJ存储单元读出数据的动作的概念图。

参照图4，隧道磁阻元件TMR包括：具有固定的一定磁化方向的强磁性体层（以下，简称「固定磁化层」）FL和磁化成外部等的已知磁场所对应的方向的强磁性体层（以下，简称「自由磁化层」）VL。固定磁化层FL及自由磁化层VL之间，设有用绝缘体膜形成的隧道阻挡层(隧道膜)TB。自由磁化层VL根据写入的记忆数据，磁化成与固定磁化层FL同一方向或与固定磁化层FL相反方向。固定磁化层FL、隧道阻挡层TB及自由磁化层VL形成磁性隧道结。

数据读出时，响应读字线RWL的激活，存取晶体管ATR变成导通状态。从而，从比特线BL经由隧道磁阻元件TMR、存取晶体管ATR到达

接地结点的电流通路上可流过读出电流 I_s 。

隧道磁阻元件TMR的电气电阻根据固定磁化层FL及自由磁化层VL各自的磁化方向的相对关系而变化。具体地说，固定磁化层FL的磁化方向和自由磁化层VL的磁化方向同向的场合与两者的磁化方向反向的场合相比，隧道磁阻元件TMR的电气电阻值变小。

从而，自由磁化层VL若磁化成记忆数据所对应的方向，由读出电流 I_s 在隧道磁阻元件TMR中产生的电压变化因记忆数据电平而异。从而，存储单元数据的读出时，向存储单元施加恒电压，若用电流检出型的读出放大器检知读出电流 I_s 根据保持的数据而变化，则可进行数据的读出，另外，例如，比特线BL预充电到一定电位后，若读出电流 I_s 流过隧道磁阻元件TMR，则通过检知比特线BL的电压，可读出MTJ存储单元的记忆数据。

图5是说明对MTJ存储单元写入数据的动作的概念图。

参照图5，数据写入时，使读字线RWL去激活，相应地，存取晶体管ATR变成非导通状态。该状态中，用以使自由磁化层VL磁化成写入数据所对应的方向的数据写入电流分别流入写字线WWL及比特线BL。自由磁化层VL的磁化方向根据流过比特线BL的数据写入电流所产生的磁场 $H(BL)$ 确定。

图6是说明向MTJ存储单元写入数据时的数据写入电流和隧道磁阻元件的磁化方向的关系的概念图。

参照图6，横轴 $H(EA)$ 表示向隧道磁阻元件TMR内的自由磁化层VL中磁化容易轴(EA: Easy Axis)方向施加的磁场。另一方面，纵轴 $H(HA)$ 表示向自由磁化层VL中磁化困难轴(HA: Hard Axis)方向作用的磁场。磁场 $H(EA)$ 及 $H(HA)$ 分别对应于由流过比特线BL及写字线WWL的电流所产生的2个磁场。

MTJ存储单元中，固定磁化层FL的固定磁化方向沿着自由磁化层VL的磁化容易轴，自由磁化层VL根据记忆数据的电平("1"及"0")，沿着磁化容易轴方向，磁化成与固定磁化层FL同向或反向。以下，

本说明书中，自由磁化层VL的2种磁化方向所分别对应的隧道磁阻元件TMR的电气电阻分别用R1及R0(其中， $R1 > R0$)表示。MTJ存储单元与这样的自由磁化层VL的2种磁化方向对应，可记忆1比特的数据("1"及"0")。

5 仅仅在施加的磁场H(EA)及H(HA)之和达到图中所示星状特性线的外侧区域的场合，自由磁化层VL的磁化方向可重写。即，施加的数据写入磁场为与星状特性线的内侧区域相当的强度时，自由磁化层VL的磁化方向不变化。

10 如星状特性线所示，通过对自由磁化层VL施加磁化困难轴方向的磁场，可以降低沿着使磁化方向变化所必要的磁化容易轴的磁场的阈值。

15 如图6的示例，在设计数据写入时的动作点时，数据写入对象即MTJ存储单元中，磁化容易轴方向的数据写入磁场设计成强度为 H_{WR} 。即，设计流过比特线BL或写字线WWL的数据写入电流的值，使得可获得该数据写入磁场 H_{WR} 。一般，数据写入磁场 H_{WR} 表示成磁化方向的切换所必要的切换磁场 H_{SW} 和余量 ΔH 的和。即， $H_{WR} = H_{SW} + \Delta H$ 。

20 为了重写MTJ存储单元的记忆数据，即隧道磁阻元件TMR的磁化方向，必须向写字线WWL和比特线BL两者流过规定电平以上的数据写入电流。从而，隧道磁阻元件TMR中的自由磁化层VL根据沿着磁化容易轴(EA)的数据写入磁场的方向，磁化成与固定磁化层FL的磁化方向同向或反向。一旦写入隧道磁阻元件TMR的磁化方向，即MTJ存储单元的记忆数据可非易失地保持，直到执行新的数据写入。

25 这样，隧道磁阻元件TMR根据施加的数据写入磁场，对应可重写的磁化方向改变其电气电阻。通过使隧道磁阻元件TMR中的自由磁化层VL的2个磁化方向与记忆数据的电平("1"及"0")分别对应，可执行非易失的数据的记忆。

图7是表示图2中的数据选择部50的构成的电路图。

参照图7，数据选择部50包括：输入缓冲器电路51、52、61、62；

输出缓冲器电路56、58、66、68；复用器54、64以及去复用器59、69。

5 输入缓冲器电路51以参照电位Vref作为阈值电平判定信号DI0的电平并向内部传达结果。输入缓冲器电路52以参照电位Vref作为阈值电平判定信号SIN0的电平并向内部传达结果。输入缓冲器电路61以参照电位Vref作为阈值电平判定信号DIn的电平并向内部传达结果。输入缓冲器电路62以参照电位Vref作为阈值电平判定信号SINn的电平并向内部传达结果。

10 复用器54根据信号ST选择输入缓冲器电路51、52的输出之一，作为信号IDI0向内部输出。复用器64根据信号ST选择输入缓冲器电路61、62的输出之一，作为信号IDIn向内部输出。

去复用器59根据信号RES选择输出缓冲器电路56、58之一，向其提供图2的数据变换部22提供的信号ID00。输出缓冲器电路56向逻辑部3输出信号D00。输出缓冲器电路58向逻辑部3输出信号SOUT0。

15 去复用器69根据信号RES选择输出缓冲器电路66、68之一，向其提供图2的数据变换部22提供的信号ID0n。输出缓冲器电路66向逻辑部3输出信号D0n。输出缓冲器电路68向逻辑部3输出信号SOUTn。

数据选择部50还包括输入缓冲器电路70、72、输出缓冲器电路71、73。输入缓冲器电路70、72和输出缓冲器电路71、73中，不根据信号ST和信号RES进行数据转送通路的切换。

20 输入缓冲器电路70以参照电位Vref作为阈值电平判定信号DIn+1的电平，向存储器部4输出信号IDIn+1。输入缓冲器电路72以参照电位Vref作为阈值电平判定信号DI_m的电平，向存储器部4输出信号IDI_m。

25 输出缓冲器电路71接受来自存储器部4的信号ID0n+1，向逻辑部3输出信号D0n+1。输出缓冲器电路73接受来自存储器部4的信号ID0_m，向逻辑部3输出信号D0_m。

图8是表示图1中的逻辑电路3.n的构成的电路图。

参照图8，逻辑电路3.n包括：根据信号ST、RES向存储器部4输出

指令信号CMD及地址信号ADD的存储器控制部75和根据信号ST、RES产生时钟信号CK, /CK, TR, /TR, TRB的时钟发生部74。

5 逻辑电路3.n包括: 根据时钟发生部74的输出进行数据的收发的数据保持部76和根据数据保持部76输出的信号Q1 ~ Qk进行规定的运算并输出信号D1 ~ Dk的组合电路78。

组合电路78是与以前的状态无关, 若输入信号确定则与之对应的输出信号也唯一确定的电路, 例如, 由AND电路、NAND电路、NOR电路、OR电路等的逻辑栅极电路的组合而构成。

10 数据保持部76包括: 将存储器部提供的信号SOUTn作为信号DT1接收, 将组合电路输出的信号D1作为输入接收的触发器81; 接收触发器的输出信号Q1的锁存器91; 接收锁存器91的输出信号DT2和组合电路78的输出信号D2并输出信号Q2的触发器82; 接受信号Q2并输出信号DT3的锁存器92; 接受信号DTk和组合电路78的输出信号Dk并输出信号Qk的触发器8k。触发器8k输出的信号Qk提供给组合电路78, 同时作为信号SINn提供给存储器部4。

15 在通常动作时, 从存储器部4读出的数据Don提供给组合电路78, 进行规定的处理后, 该处理结果作为信号D1 ~ Dn暂时保持在触发器81 ~ 8k。另外, 触发器81 ~ 8k中保持的数据作为信号Q1 ~ Qk输入组合电路78, 进行规定的处理, 处理结果作为信号DIn向存储器部4输出。

20 电源控制部2若激活控制信号ST, 则触发器81 ~ 8k成为串联状态。暂时保持到此为止的处理结果的触发器81 ~ 8k的保持内容依次移位, 通过与通常动作时不同的通路, 作为信号SINn输出到存储器部4。

25 另外, 电源控制部2若激活控制信号RES, 则触发器81 ~ 8k成为串联状态。转移到存储器部4的到此为止的处理结果作为信号SOUTn从存储器部4读出, 依次读入触发器81 ~ 8k。这样, 经由与通常动作时不同的通路, 从存储器部4向逻辑电路3.n读入数据。逻辑电路3.n可利用以前的处理结果进行后续的处理。

图9是更详细表示数据保持部76的构成的电路图。

参照图9，数据保持部76包括触发器81～83、锁存器91、92。

触发器81包括根据转送时钟信号TR而导通的传输门101、主锁存器102和从锁存器103。

- 5 主锁存器102包括：时钟信号/CK为H电平时接收激活的信号D1并反相的时钟反相器111；接收时钟反相器111的输出并反相的反相器112；在时钟信号CK为H电平时激活，接受反相器112的输出并反相，再返回反相器112的输入结点的时钟反相器113。

- 10 从锁存器103包括：时钟信号CK为H电平时导通的传输门114、反相器116以及时钟信号TRB为H电平时激活的时钟反相器117。

传输门114连接到反相器112的输出和反相器116的输入之间。反相器116的输出通过时钟反相器117反馈到反相器116的输入。传输门101连接到接收存储器部4提供的信号SOUTn的结点和反相器116的输入结点之间。

- 15 触发器81还包括接受反相器116的输出并反相、输出信号Q1的反相器104。

- 20 锁存器91包括传输门121、反相器122、124以及时钟反相器123。传输门121设置在反相器104的输出和反相器122的输入之间。传输门121在时钟信号/TR为H电平时导通。时钟反相器123在转送时钟信号TRH电平时激活，将反相器122的输出反馈到反相器122的输入。反相器124接受反相器122的输出并反相，输出信号DT2，该信号DT2提供给触发器82。

另外，触发器82、83的构成与触发器81相同，对应要素附上同一符号，省略其说明。

- 25 另外，锁存器92具有与锁存器91同样的构成，对应要素附上同一符号，省略其说明。

触发器81、82、83连接2个锁存器即主锁存器102和从锁存器103。通常，根据互补的时钟CK、/CK控制输入该2个锁存器的信号，将数

据移位一个时钟，并从输入D1、D2、D3分别转送到输出Q1、Q2、Q3。时钟信号CK、/CK若停止，此时的数据成为保持在锁存器的状态。

5 这里，在电源截止时和电源导通时串行转送保持数据的场合，在通常动作的时钟信号CK、/CK停止的状态下，利用其他转送时钟TR、/TR进行转送。该场合，各触发器成为串联状态，可依次转送各触发器锁存的数据。

10 从而，电源截止时，逻辑部3锁存的数据向存储器部4转送时，从串联的最前列的触发器中保持的数据开始依次向存储器部4转送数据。另外，反之，电源恢复时从存储器部4向逻辑部3进行的数据转送中，从存储器部4依次向串联的最后列的触发器输入数据，并依次转送到串联的触发器。

这里，作为系统LSI中的保持数据的示例例举了触发器，系统LSI中的所有的数据的保持结点都可以是该转送的对象。

15 例如，SRAM的存储单元数据和DRAM阵列的存储单元数据等的易失性存储阵列中的数据也同样可向MRAM转送。另外，其他非易失性存储器如闪速EEPROM，其数据的写入速度慢，在没有写入数据的时间、如瞬时停电的情况下，暂时将数据记忆到MRAM。然后，在电源恢复后的一定时期将暂时记忆到闪速EEPROM的数据写回原处。

20 这样，对于触发器，通过另外设置与通常的数据转送通路不同的电源截止时的数据转送用的转送用通路，因而可在不会妨碍通常动作的情况下进行数据转移。另外，通过串联逻辑部3的触发器，削减了转送通路的配线根数，从而削减了禁用区域（area penalty），而且，任何场所的触发器都可采用该通路进行转送。

25 图10是说明实施例1的半导体装置1的数据转送动作的动作波形图。

参照图2、图10，在时刻 $t_1 \sim t_2$ 中的通常动作时，系统LSI中配置的逻辑部3和存储器部4将存储器部4的规定的端口作为接口，进行地址、指令、数据等的信号数据的交换。存储体BANK0 ~ BANK7和进

行数据的串并变换、并串变换的数据变换部22通过全局数据总线G-I/O连接。该数据变换部和存储器部4的输入输出端口之间，配置数据选择部50。通常动作时，数据选择部通过传达信号DI0~DI_n、D00~D0_n的通路，与逻辑部3进行数据通信。

- 5 在时刻t₂，从外部输入截止该系统LSI的电源的预告，即电源截止指令。另外，该电源截止指令也可考虑根据该系统LSI自身规定的计时器动作而发出。响应该电源截止指令，电源控制部2使信号ST激活。该信号ST用以转移逻辑部的规定逻辑电路处理中的数据。因而，对应的逻辑电路根据该信号而变成功能锁定状态。该功能锁定状态
- 10 中，时钟信号CK、/CK停止，逻辑电路的触发器内的数据维持保持在触发器内的锁存器的状态。

因而，为了进行触发器的串行转送，转送用的时钟信号TR、/TR由图8的时钟发生部74发生。

- 在时刻t₃~t₄中，从对应的逻辑电路串行输出数据，该数据作为
- 15 信号SIN0~SIN_n提供给存储器部4。写入该数据所必要的指令CMD、地址信号ADD由图8的存储器控制部72发生。

地址用以指定存储器部4内的存储器块的空闲地址空间。例如，空闲空间的设定可通过对应各存储器块设置表示电源截止时是否有必要保持数据的旗标，对该旗标信号未被激活的块进行依次写入。

- 20 然后，逻辑部3的数据向存储器部4的转送结束后，在时刻t₄，电源成为截止状态，系统LSI停止动作。

接着，说明电源恢复的情况。

- 电源恢复后，在时刻t₅，再输入时钟信号，在时刻t₆，发出电源导通指令。响应该指令开始恢复动作。电源控制部2响应电源导通指令激活信号RES。该时刻，由于功能锁定仍未解除，逻辑部的触发器和存储器部的数据选择部50的设定维持串行转送状态。
- 25 在时刻t₇~t₈，发生转送时钟TR，进行串行转送，读出写入MRAM内的空闲空间的数据，数据恢复到逻辑部3的触发器。触发器内的锁

存储器成为保持原数据的状态后，在时刻 t_8 使信号RES去激活，解除功能锁定，开始通常的逻辑部的处理。

5 如上所述，作为存储器部4，由于内置了MRAM，因而，即使完全切断待机状态中半导体装置的电源电压VCC也不丢失信息。另外，由于转送采用与通常的通路不同的通路进行串行转送，因而可容易地访问逻辑部的很多数据保持结点。另外，除了电源电位VCC完全为0V以外，为了降低消耗功率，也可设定成比动作时低的电位。

[实施例2]

10 系统LSI由多个电路模块构成，最近，随着晶体管的微细化，其集成度不断增加。但是，另一方面，伴随动作电压的降低，晶体管阈值降低，导致晶体管的泄漏电流增加。另外，晶体管的栅极氧化膜的薄膜化也使栅极氧化膜的泄漏电流增大。而且，晶体管的源极/漏极和基片之间形成寄生PN二极管。PN二极管上施加了反方向的电压，伴随着微细化，晶体管的源极/漏极的不纯物浓度上升，PN二极管的反方向泄漏电流增大。

15 以上3个泄漏电流的问题导致整个系统LSI的待机时的电流增加。实施例2中，说明使系统LSI的待机时的电流降低的其他构成。

20 正在研究系统LSI中的多个电路模块中，仅仅激活动作的电路模块的电源、而截止待机状态的电路模块的电源的技术。但是，若使电源去激活，则电路模块中的各结点的电位信息也同时消失。为了防止这种现象，尝试向电路中的锁存器等的结点附加例如具有浮置栅极的非易失性存储单元，使得即使电源去激活，信息也不消失。但是，这些非易失性存储器对锁存器信息进行编程时花费相当的时间，因而不可行。

25 即使在电路模块的电源控制方面，由于从电源导通迁移到截止的迁移时间和从电源截止迁移到导通的迁移时间的允许时间短，也要求高速进行数据的转移和恢复。实施例2中，作为非易失性存储元件，采用MRAM等中使用的隧道磁阻元件。隧道磁阻元件的特征为，

编程所必要的时间可在1ns以下，可高速写入。

图11是表示实施例2的半导体装置201的构成的方框图。

参照图11，半导体装置201包括：从外部分别接收电源电位VCC、
5 接地电位GND的端子T1A、T2A；开关电路SWA～SWD；电路模块203A～
203D。半导体装置201是包括作为大规模逻辑电路的电路模块203A～
203D的系统LSI。

开关电路SWA连接到端子T1A和电路模块203A之间。开关电路SWB
10 连接到端子T1A和电路模块203B之间。开关电路SWC连接到端子T1A和
电路模块203C之间。开关电路SWD连接到端子T1A和电路模块203D之
间。

半导体装置201还包括：进行开关电路SWA～SWD的导通控制的同
时，分别向电路模块203A～203D提供控制信号STA～STD的电源控制
部202。

图12是表示图11中的电路模块203A～203D所包含的数据保持电路
15 210的构成的电路图。

参照图12，数据保持电路210包括：反相器212；锁存电路214；OR
电路215；存储单元216；电流驱动电路218、220；N沟道MOS晶体管222、
224、226、228。

反相器212接受信号POR1并反相。OR电路215接受信号PRO和信号
20 /POR1。锁存电路214保持结点N1和结点N2的互补的数据。N沟道MOS
晶体管222响应信号POR1D而导通，将结点N1的电位作为信号P0输出。
信号POR1D是信号POR延迟后的信号。N沟道MOS晶体管224响应信号
POR1D而导通，将结点N2的电位作为信号/P0输出。

N沟道MOS晶体管226连接到结点N1和结点N3之间，其栅极接受信
25 号/POR2。N沟道MOS晶体管228连接到结点N2和结点N4之间，其栅极
接受信号/POR2。

锁存电路214包括：连接到电源结点和结点N1之间，栅极与结点N2
连接的P沟道MOS晶体管230；连接到结点N1和接地结点之间，栅极与

5 结点N2连接的N沟道MOS晶体管232；连接到电源结点和结点N2之间，栅极与结点N1连接的P沟道MOS晶体管234；连接到结点N2和接地结点之间，栅极与结点N1连接的N沟道MOS晶体管236；连接到结点N1和结点N2之间，栅极接受信号POR1的P沟道MOS晶体管238；连接到结点N1和结点N2之间，栅极接受反相器212的输出的N沟道MOS晶体管240。

结点N1的电位作为信号W1提供给电流驱动电路218、220。另外，结点N2的电位作为信号W0提供给电流驱动电路218、220。

10 电流驱动电路218包括：接受信号W0和信号PRO的AND电路242；接受信号W1和信号PRO的AND电路244；连接到电源结点和结点N3之间，栅极接受AND电路242的输出的N沟道MOS晶体管246；连接到结点N3和接地结点之间，栅极接受AND电路244的输出的N沟道MOS晶体管248。

15 电流驱动电路220包括：接受信号W1和信号POR的AND电路252；接受信号W0和信号PRO的AND电路254；连接到电源结点和结点N4之间，栅极接受AND电路252的输出的N沟道MOS晶体管256；连接到结点N4和接地结点之间，栅极接受AND电路254的输出的N沟道MOS晶体管258。

存储单元216包括：接受OR电路215的输出并反相的反相器266；连接到结点N3和结点N4之间，栅极接受OR电路215的输出的N沟道MOS晶体管268；连接到结点N3和结点N4之间，栅极接受反相器266的输出的P沟道MOS晶体管270。

20 存储单元216包括：连接到结点N3和接地结点之间的隧道磁阻元件264；连接到结点N4和接地结点之间的隧道磁阻元件262；在隧道磁阻元件262、264中产生写入用的磁场的写位线WDL；响应信号PRO而导通写位线WDL的一端并连接到电源结点的N沟道MOS晶体管260。写位线WDL的另一端与接地结点连接。

25 实施例2中，触发器内采用的锁存器部分等的保持电路210中，向保持结点附加了MRAM中采用的隧道磁阻元件262、264。晶体管268、270组成的传输门若导通，则形成连接结点N3和结点N4的通路，该通路作为图5所示的写入时的比特线BL而工作。

从而，电源截止时可以简单的动作将锁存数据写入隧道磁阻元件。

另外，电源恢复时，通过断开结点N3和结点N4，使结点N3、N4分别与锁存电路的结点N1、N2连接，可自动恢复锁存数据。与实施例1
5 相比，电源截止时和恢复时的控制简化，另外时间也显著缩短。

图13是说明向数据保持电路210的隧道磁阻元件写入数据"1"的图。

图14是说明数据写入的动作波形图。

参照图13、图14，在时刻 $t_0 \sim t_1$ ，锁存电路214与其他电路经由
10 晶体管222、224进行信号 P_0 、 $\overline{P_0}$ 交换，进行通常的锁存器动作。该状态中 P_{OR1} 是H电平，信号 $\overline{P_{OR2}}$ 是L电平。结果，晶体管226、228变成截止状态，且晶体管238、240也变成截止状态。

从而，锁存电路214中，晶体管230、232作为一个反相器动作，
另外晶体管234、236作为一个反相器动作。因而，锁存电路214作为
15 这2个反相器交差连接而成的通常的锁存电路而动作，其输出即结点N1、N2通过晶体管222、224与其他电路连接。

此时，结点N1、N2的电位作为信号 W_1 、 W_0 ，一直提供给电流驱动
电路218、220。

时刻 t_1 中，进入待机模式前，为了转移锁存电路214的保持数据，
20 激活写入控制信号 P_{R0} 。对此响应，晶体管268、270变成导通状态。然后，例如锁存电路214的保持值，即结点N1的保持值为H电平、结点N2的保持值为L电平的场合，信号 W_1 变成H电平，向存储单元216进行"1"的写入。此时写入信号 P_{R0} 变成H电平，因而AND电路244、252的输出都变成H电平。然后，N沟道MOS晶体管248、256变成导通状态。
25 从电源结点向接地结点形成电流通路。

该电流通路由晶体管256、268、270、248形成。同时，N沟道MOS
晶体管260导通，电流流入写位线 WDL 。从而自由磁化层被磁化，隧
道磁阻元件262的电阻值变成 R_{min} ，隧道磁阻元件264的电阻值变成

Rmax。通过这样设定2个隧道磁阻元件的电阻值，对存储单元216进行的数据"1"的写入结束。

5 在时刻t2，向该隧道磁阻元件的写入结束后，使写入信号PRO去激活。在时刻t3~t4，电源电位VCC下降，在时刻t4以后，系统LSI成为待机模式。

待机模式中，使电源电位VCC成为截止状态，则流过晶体管的源极漏极间的泄漏电流和流过栅极氧化膜的栅极泄漏电流以及流过源极/漏极和基片间的结泄漏电流等的不必要电流从消耗电流除去。

图15是表示向存储单元216写入"0"的场合的图。

10 参照图15，表示了锁存电路214的结点N2成为H电平、结点N1成为L电平的场合进行写入的情况。此时，控制信号W0成为H电平，控制信号W1成为L电平。

15 写入信号PRO若激活，则AND电路242、254的输出变成H电平，N沟道MOS晶体管246、258导通。由于响应写入控制信号PRO，晶体管268、270也变成导通状态，因而电流从结点N3流向结点N4。由于响应写入控制信号PRO，写位线WDL中也流入电流，因而自由磁化层被磁化，隧道磁阻元件264的电阻值变成Rmin，隧道磁阻元件262的电阻值变成Rmax。从而数据"0"的写入结束。

20 图16是表示从数据保持电路210的存储单元216读出数据"1"的场合的图。

图17是说明从存储单元216读出数据的动作的动作波形图。

参照图16、图17，说明预先向存储单元216写入数据"1"，设定隧道磁阻元件264的电阻值为Rmax、隧道磁阻元件262的电阻值为Rmin的场合。

25 首先在时刻t1，电源电位VCC开始上升。在时刻t1~t2，信号POR1是L电平，信号/POR1、/POR2是H电平。在时刻t1~t2，晶体管226、228设成导通状态，且晶体管238、240也设成导通状态。

最初，电源电位VCC的激活的同时，锁存电路214的电源电位也上

升。但是通过晶体管238、240，结点N1和结点N2短路，因而互补的结点N1和结点N2之间不产生电位差。

在时刻 t_2 ，信号POR1若从L电平变化到H电平，则晶体管238、240从导通状态变成非导通状态。此时由于信号/POR2是H电平，因而晶体管226、228保持导通状态。由于隧道磁阻元件264的电阻值 R_{max} 比隧道磁阻元件262的电阻值 R_{min} 大，因而电流 I_2 比电流 I_1 大。从而互补的结点的电位失去平衡，导致结点N2的电位变得比结点N1低。通过锁存电路214的内部的交差连接的反相器的放大动作，时刻 $t_2 \sim t_3$ 中写入隧道磁阻元件中的数据反映在锁存电路214的互补的结点N1、N2的电位上。从而结点N1的电位成为H电平，结点N2的电位成为L电平。

在时刻 t_3 ，若信号/POR从H电平变化到L电平，则晶体管226、228成为非导通状态，存储单元216从锁存电路214切断。但是，为了准备下次数据转移，电流驱动电路218、220中总是施加了作为信号W1、W0的锁存电路的保持值。

如上所述，存储单元216的隧道磁阻元件262、264的电阻值作为锁存电路214的保持数据被读出。

图18是说明读出存储单元216中写入的数据"0"的图。

参照图18，存储单元216写入了数据"0"的场合，隧道磁阻元件264的电阻值设定成 R_{min} ，隧道磁阻元件262的电阻值设定成 R_{max} 。该场合中晶体管238、240导通，结点N1、N2的电位设定成相同电位后，晶体管238、240若设为非导通状态，则从结点N1经由隧道磁阻元件264流通的电流 I_1 和从结点N2经由隧道磁阻元件262流通的电流 I_2 之间产生差异。由于电流 I_1 比电流 I_2 大，因而结点N1的电位比结点N2稍低。通过锁存电路214的交差连接的反相器的放大动作，将结点N1设定成L电平，结点N2的电位设定成H电平。这样，读出动作结束后，晶体管226、228设为非导通状态，读出结束。

若这样锁存电路的电位总是提供给电流驱动电路218、220，则仅

仅通过写入信号PRO的激活操作就可进行写入动作。从而可缩短电源截止时的处理，并在电源瞬间降低的场合可进行数据的转移。

图19是表示采用图12所示数据保持电路210的构成的触发器300的构成的电路图。

5 参照图19，触发器300包括：响应时钟信号CK、CKB而取得数据信号D的主锁存器302；响应时钟信号CK而接受主锁存器的输出并保持的从锁存器304。

 主锁存器302包括：响应时钟信号CKB的激活使数据信号D反相的时钟反相器306；接受时钟反相器306的输出并反相的反相器308；响
10 应时钟信号CK而激活、接受反相器308的输出并反相、并返回到反相器308的输入的时钟反相器310。

 从锁存器304包括：接受反相器308的输出并反相的反相器312；响应时钟信号CK的激活而激活，接受反相器308的输出并反相的时钟反相器314；响应时钟信号CK的激活而激活，接受反相器312的输出并反相的时钟反相器316；接受时钟反相器314、316的输出的数据保持
15 保持电路318。

 数据保持电路318是在图12所示数据保持电路210的构成中，使结点N1与时钟反相器316的输出连接，结点N2与时钟反相器314的输出连接。因而，数据保持电路318与数据保持电路210的构成的不同在
20 于：从结点N1输出信号Q，从结点N2输出信号/Q，删除了N沟道MOS晶体管222、224。数据保持电路318的其他部分的构成与数据保持电路210相同，因而不重复其说明。

 主锁存器302的输出通过反相器312变换成互补信号，通过用时钟信号CK控制的时钟反相器314、316传达到结点N1、N2。结点N1、N2
25 在通常动作时输出触发器的输出信号Q、/Q，将结点的电位传达到下一级的逻辑电路。

 这样，触发器的主锁存器的数据保持结点N1、N2上附加了非易失性存储器元件。从而电源截止时，仅仅通过写入信号PRO的激活，就

可将锁存数据写入非易失性存储单元，可缩短数据转移时间。另外，在电源恢复时，与实施例1相比，可在不需要增加数据转送时间的情况下恢复锁存数据。

图20是说明图11所示半导体装置201的电源控制的动作波形图。

5 参照图11、20，在时刻t1，开关电路SWA从非导通状态变成导通状态。在时刻t1，电路模块203A的电源电位INTVCCA上升后不久，隧道磁阻元件保持的数据恢复到电路模块203A的内部包含的数据保持电路的锁存结点NA上。

10 在时刻t2，控制开关电路SWB使其从非导通状态变成导通状态，电路模块203B的电源电位INTVCCB上升。隧道磁阻元件的数据恢复到电路模块203B的内部包含的数据保持电路的锁存结点NB上。

电路模块203A的处理一旦结束，为了转移数据，在时刻t3，电源控制部202激活控制信号STA。响应控制信号STA的激活，电路模块203A包含的数据保持电路中，从锁存结点向隧道磁阻元件进行数据转移。
15 由于该数据的转移，编程电流IPA被消耗。

在时刻t4，数据的写入若结束，则控制信号STA去激活成L电平，同时，开关电路SWA设为非导通状态，电路模块203A变成待机状态。

20 在时刻t5，电路模块203B的处理结束，为了转移电路模块203B的内部包含的数据保持电路的数据，电源控制部202激活控制信号STB。对此响应，编程电流IPB流通，数据保持电路的锁存结点的保持数据转移到隧道磁阻元件。

在时刻t6，若电路模块203B的数据的转移结束，则控制信号STB从H电平去激活成L电平，开关电路SWB被去激活。与该处理并行，在时刻t5若再次通过电源控制部202控制使开关电路SWA成为导通状态，则锁存结点NA的数据恢复，继续电路模块203A中处理的后续处理。
25 然后在时刻t7，为了转移处理结果，控制信号STA被激活，数据保持电路的锁存结点的数据写入隧道磁阻元件。

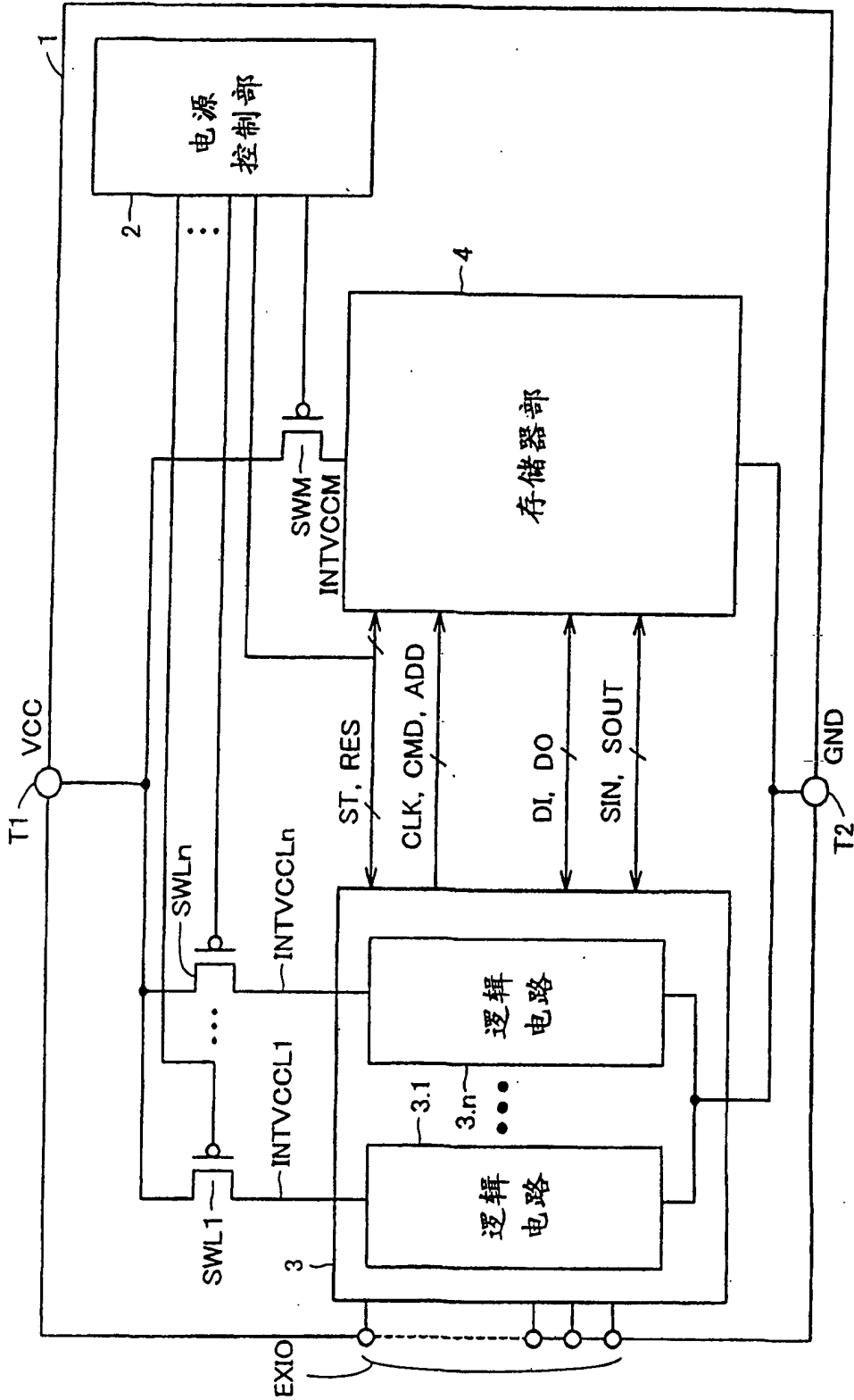
在时刻t8，写入若结束，则控制信号STA设为去激活，开关电路SWA

设为非导通状态。

如上所述，将电源电位从截止状态设为导通状态的场合，随着各电路模块包含的锁存电路的电源电位的上升，检出隧道磁阻元件的电阻差的同时，放大锁存器内的互补的结点的电位上产生的电位差，
5 将数据读出到锁存电路。

另一方面，将电源电位从导通状态设为截止状态的场合，根据其之前刚刚发生的控制信号STA ~ STD，使写入电流流过隧道磁阻元件，同时写入锁存电路的数据。这样，由于可进行数据转移动作/数据恢复动作，因而可在短时间内进行电源导通/截止动作，且有效地降低
10 消耗功率。

图 1



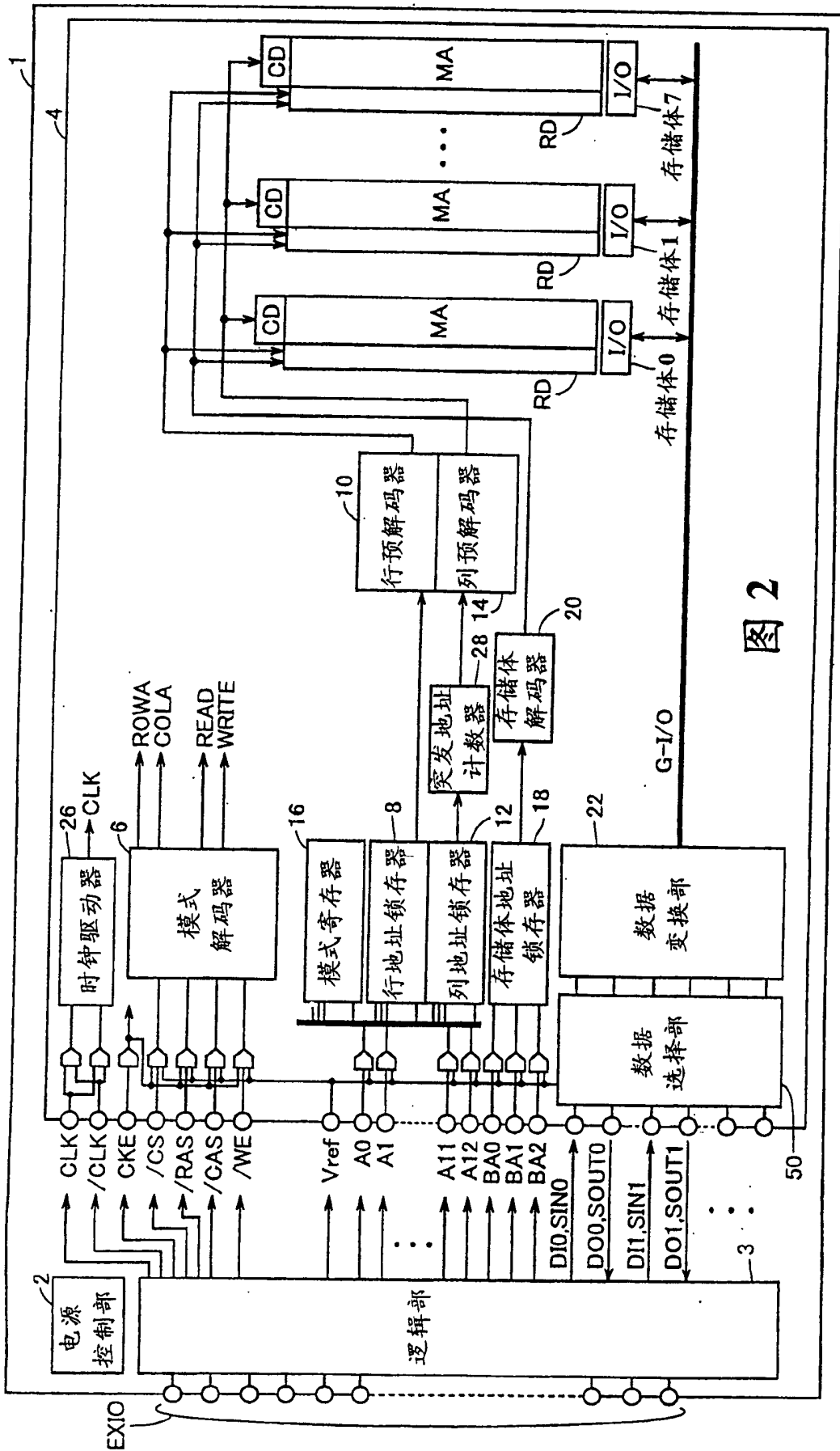


图 2

图 3

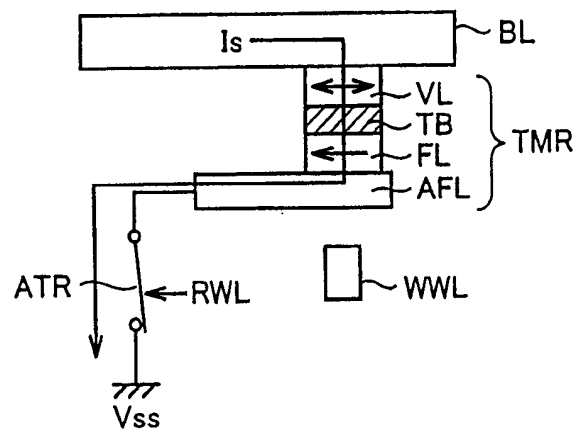
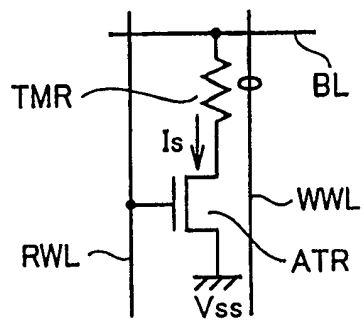


图 4

图 5

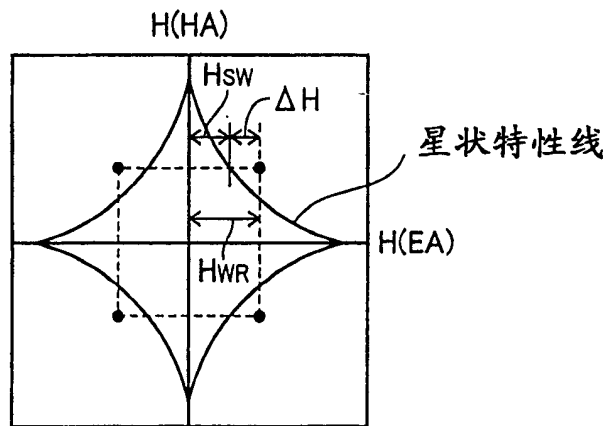
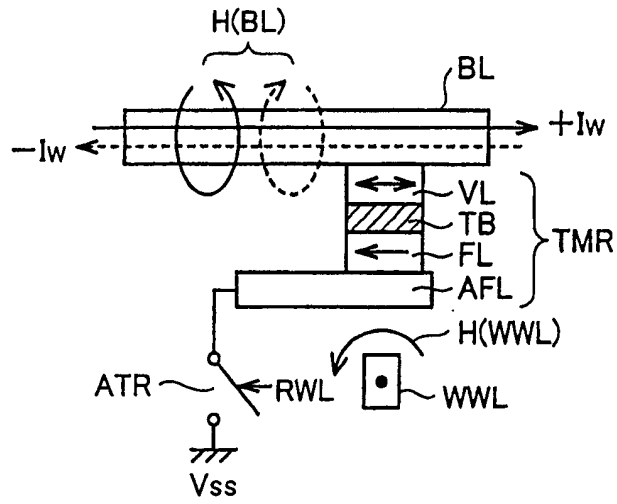


图 6

图 7

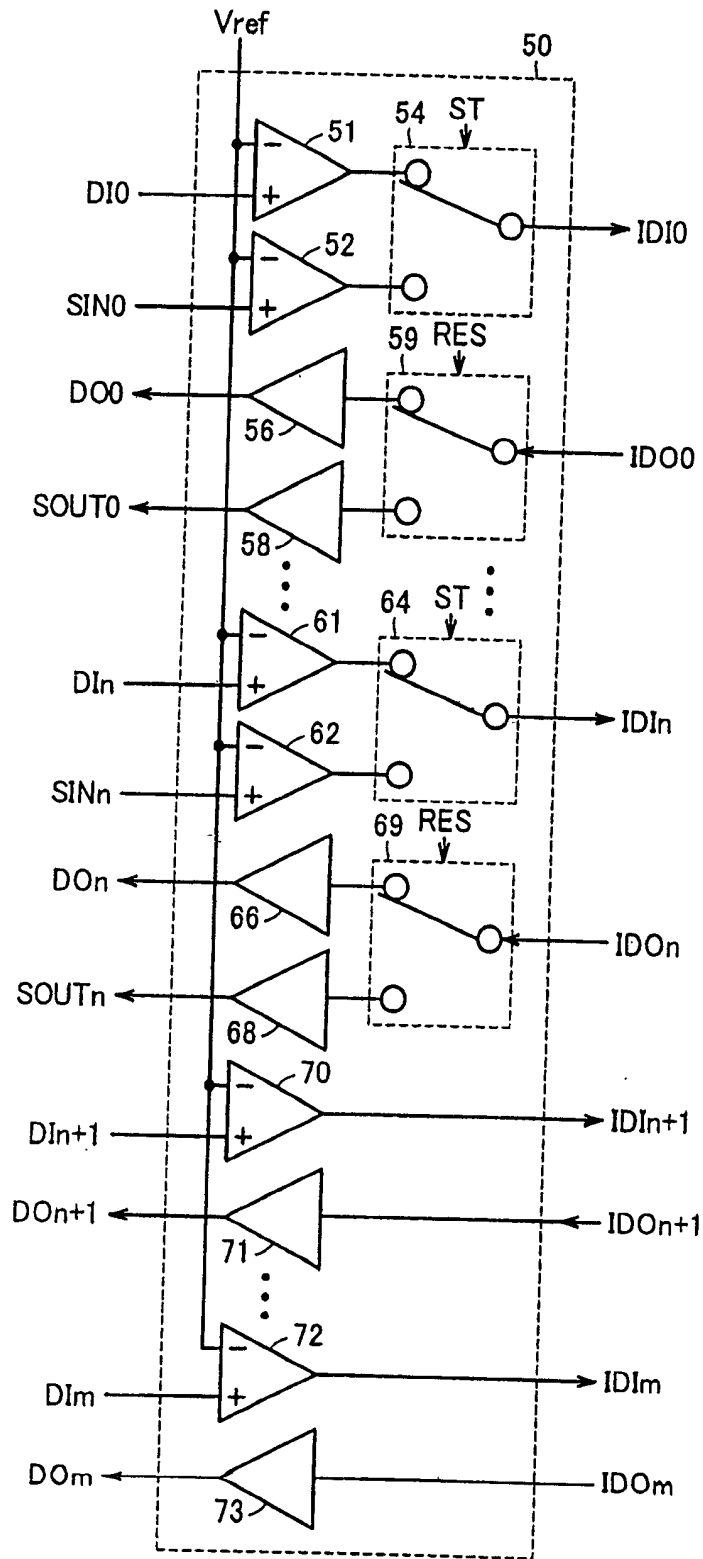


图 8

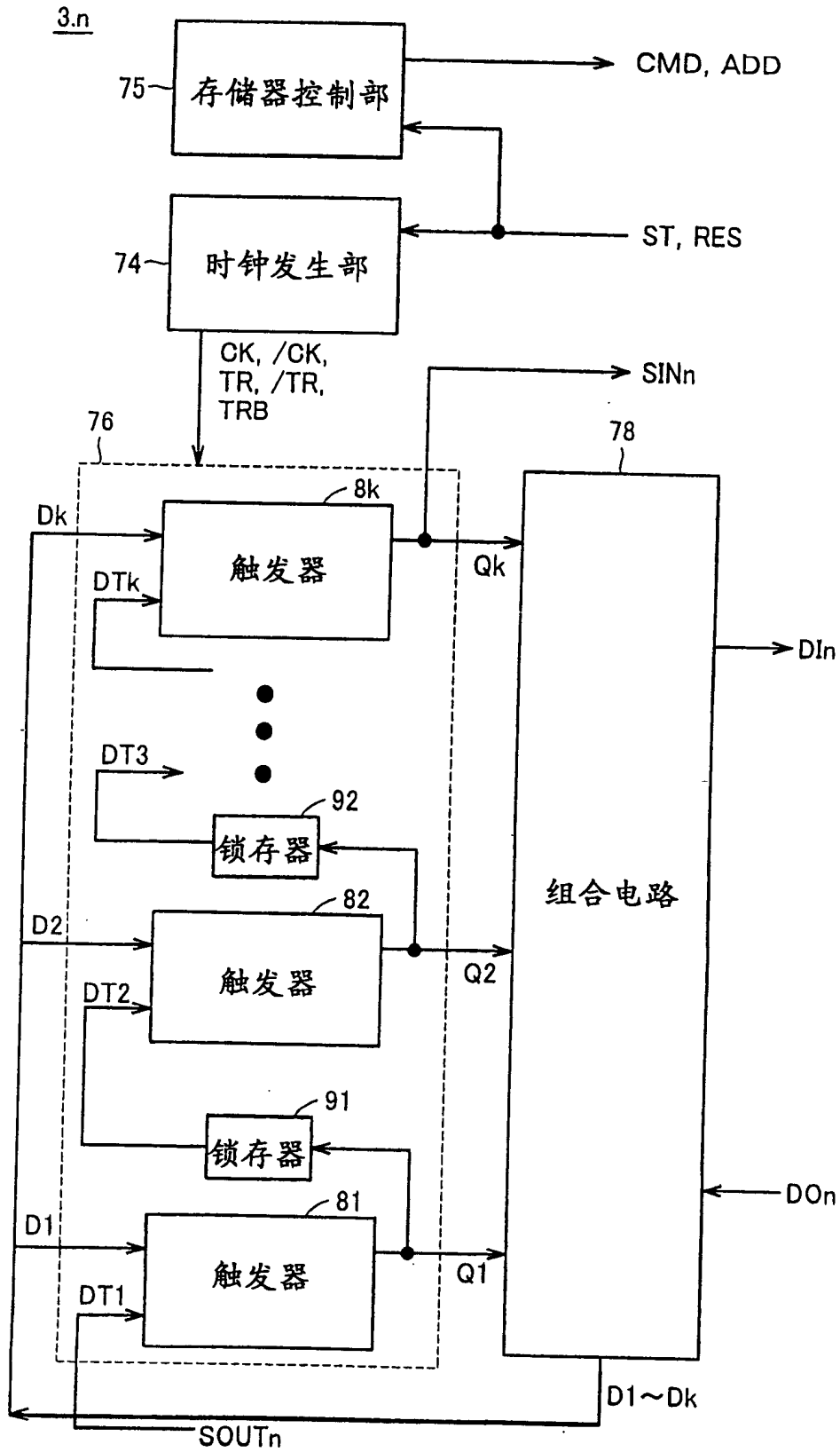


图 9

76

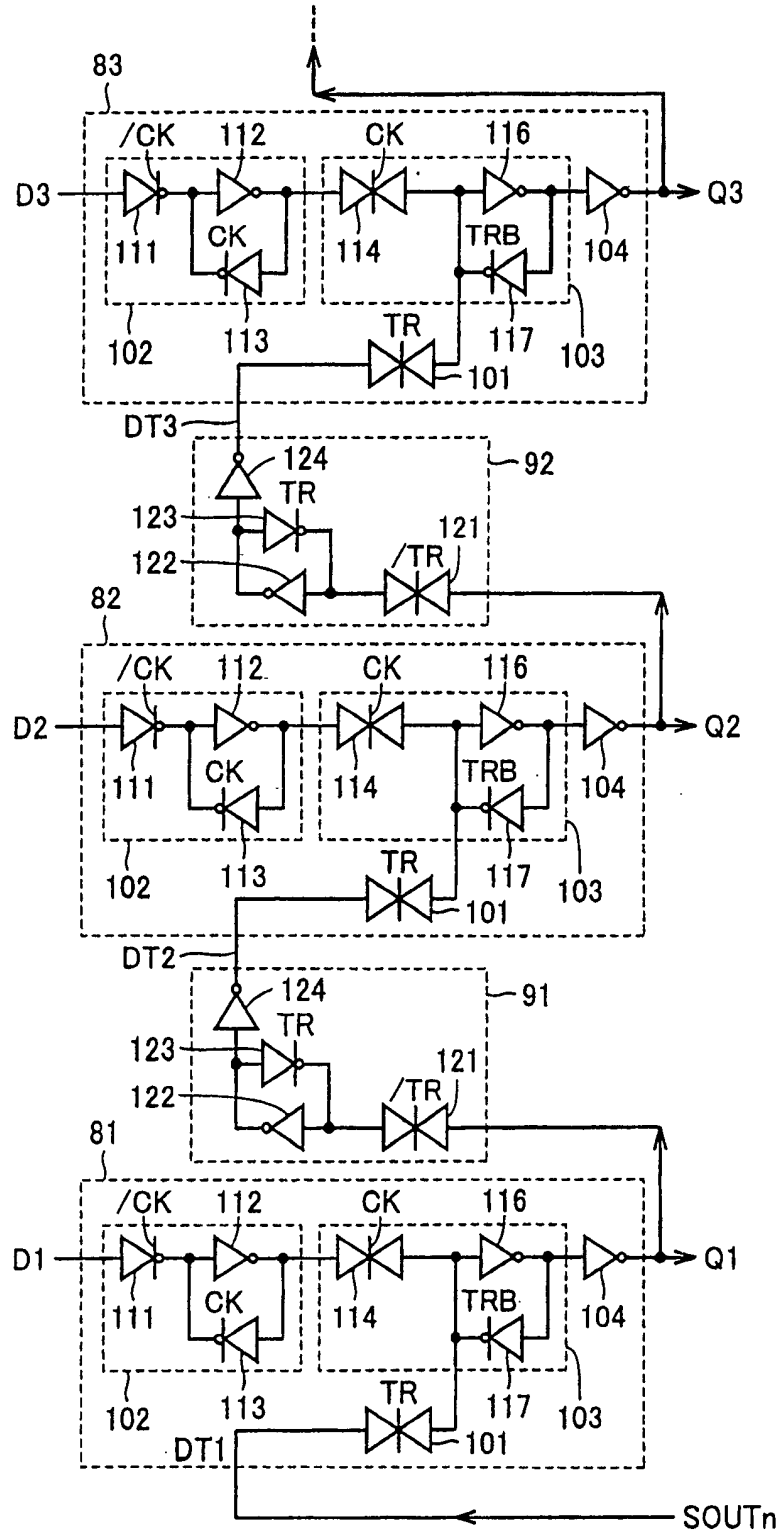


图 10

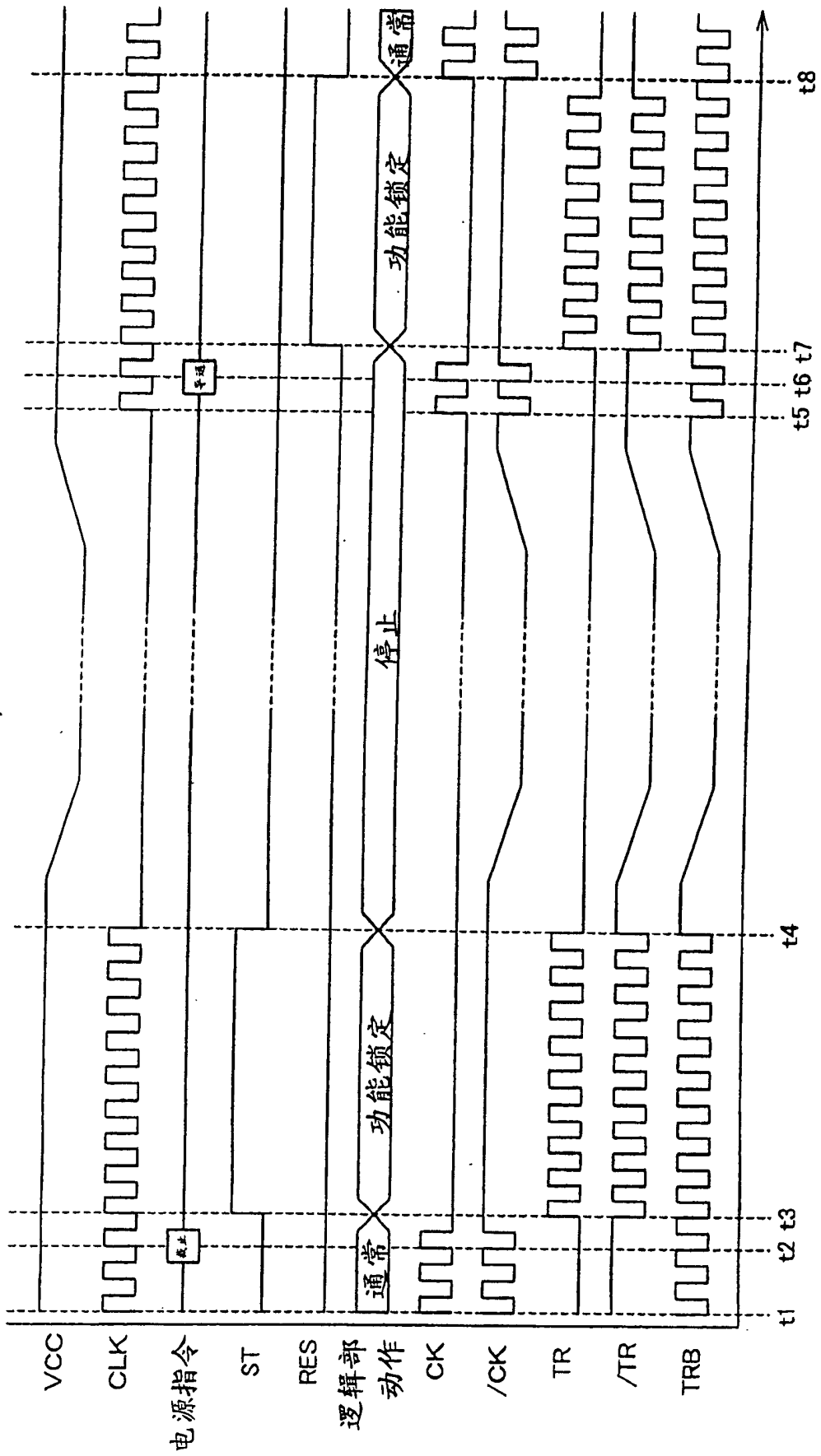


图 11

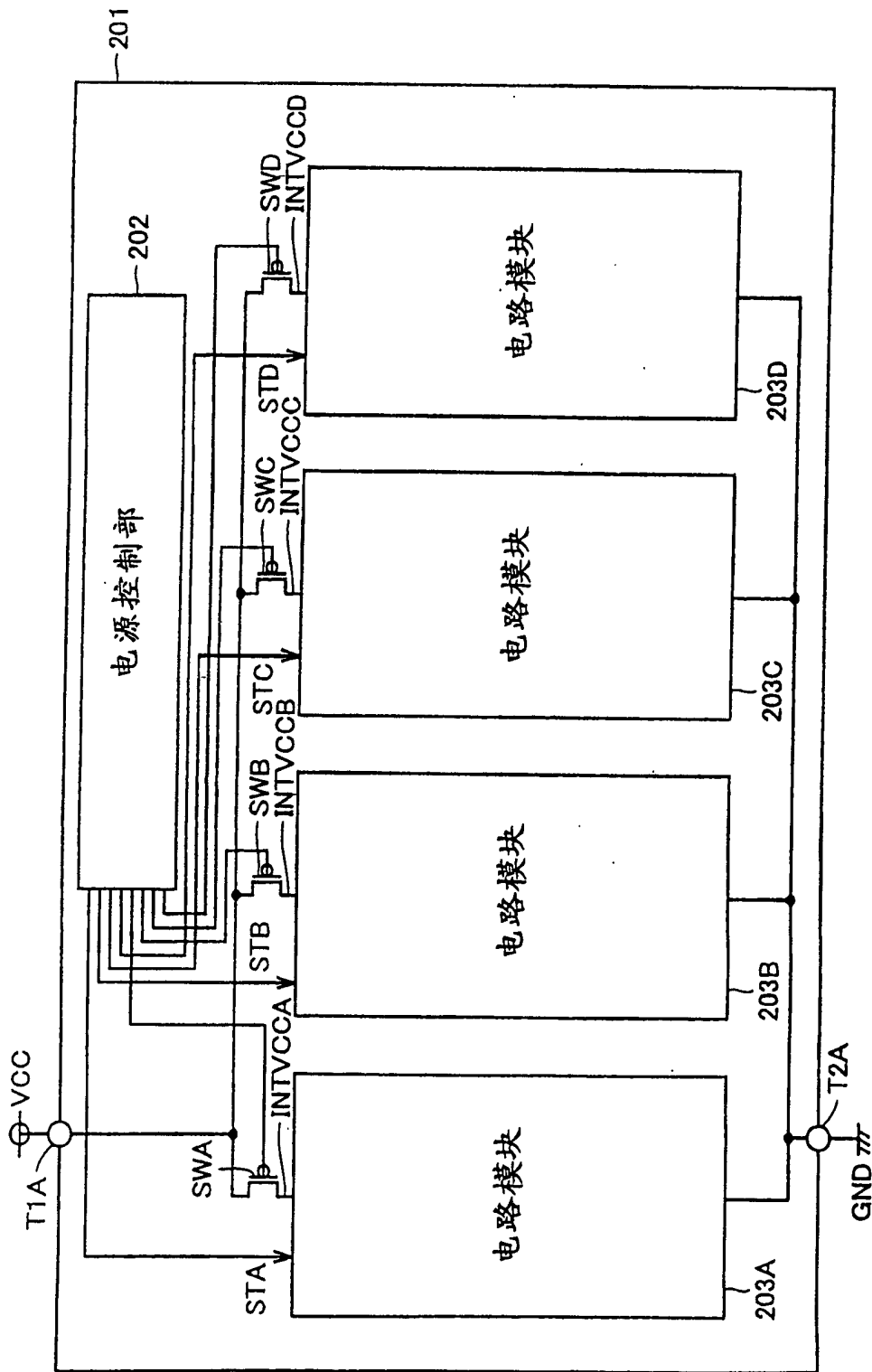


图 12

210

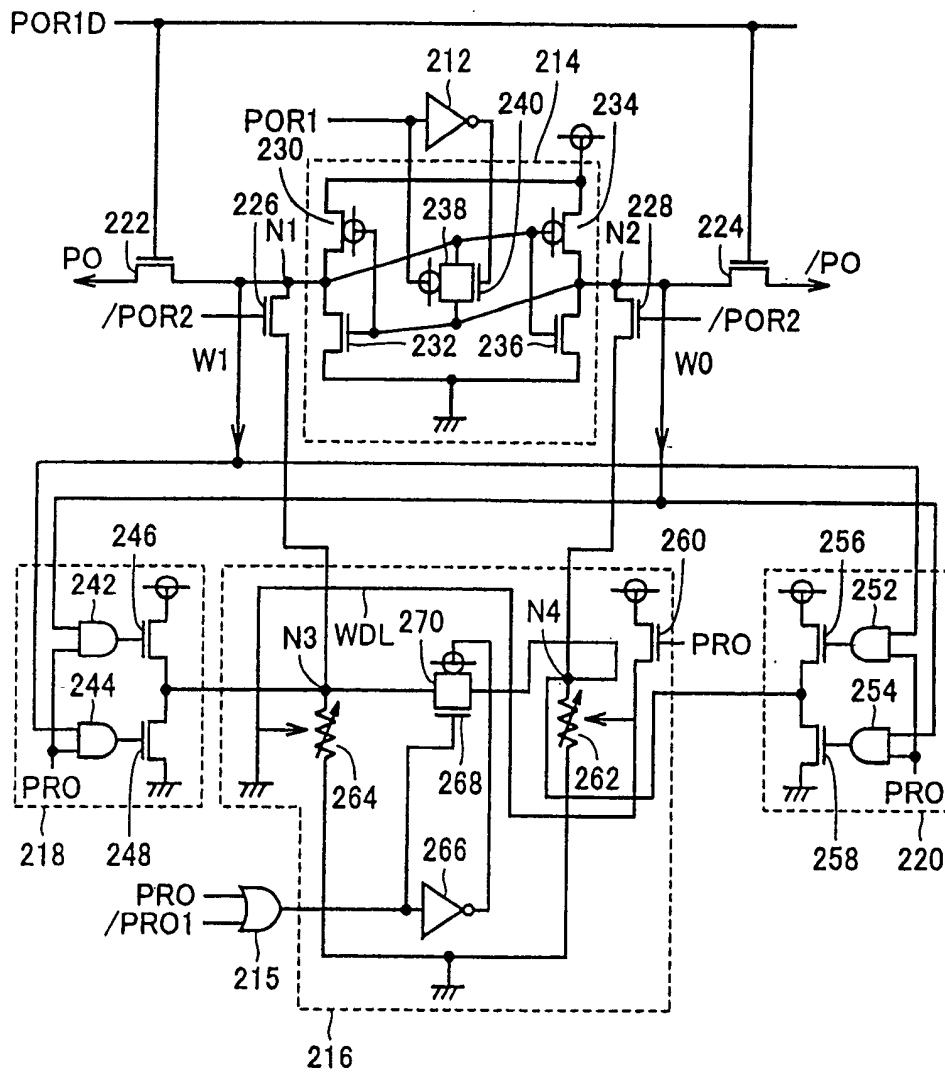


图 13

“1” 写入时

210

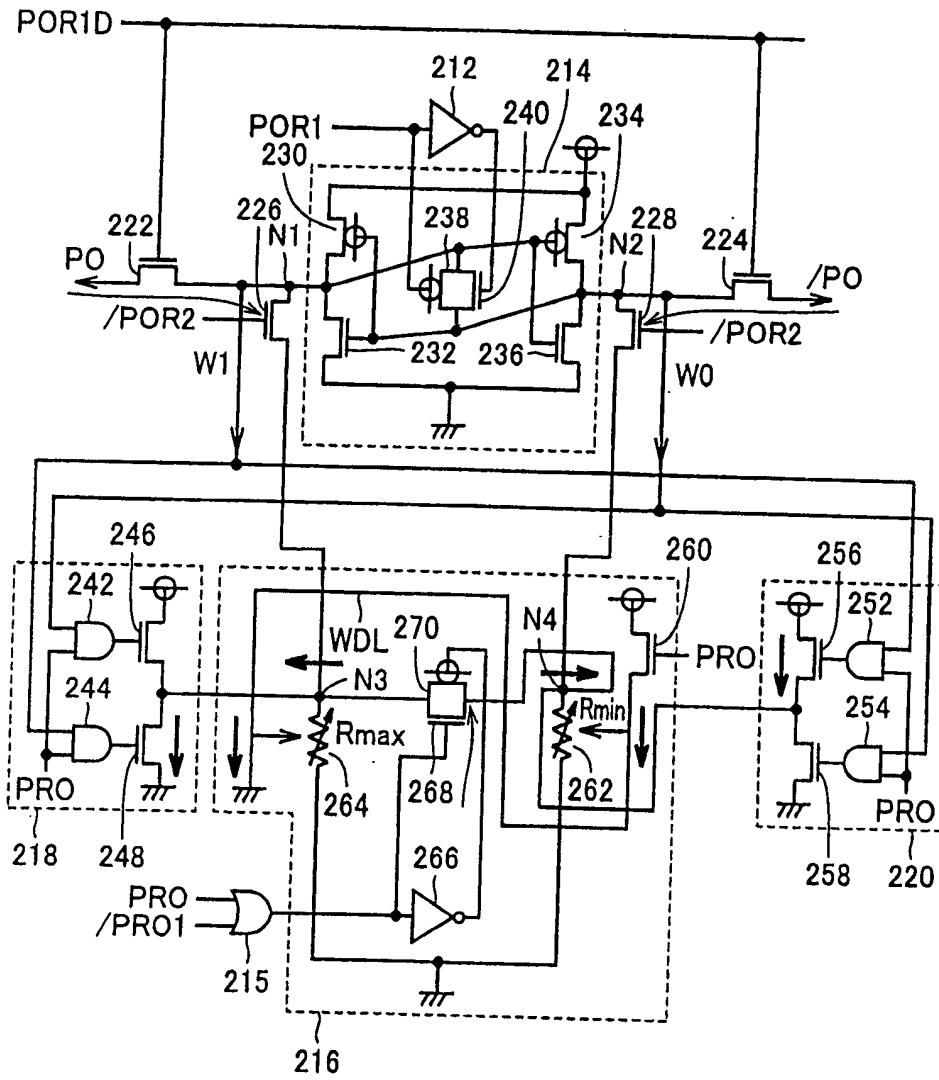


图 14

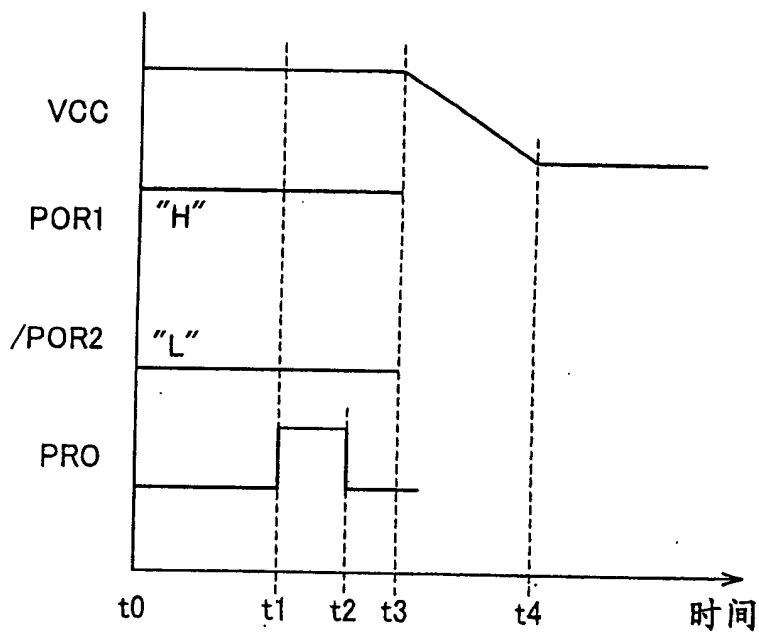


图 15

“0” 写入时

210

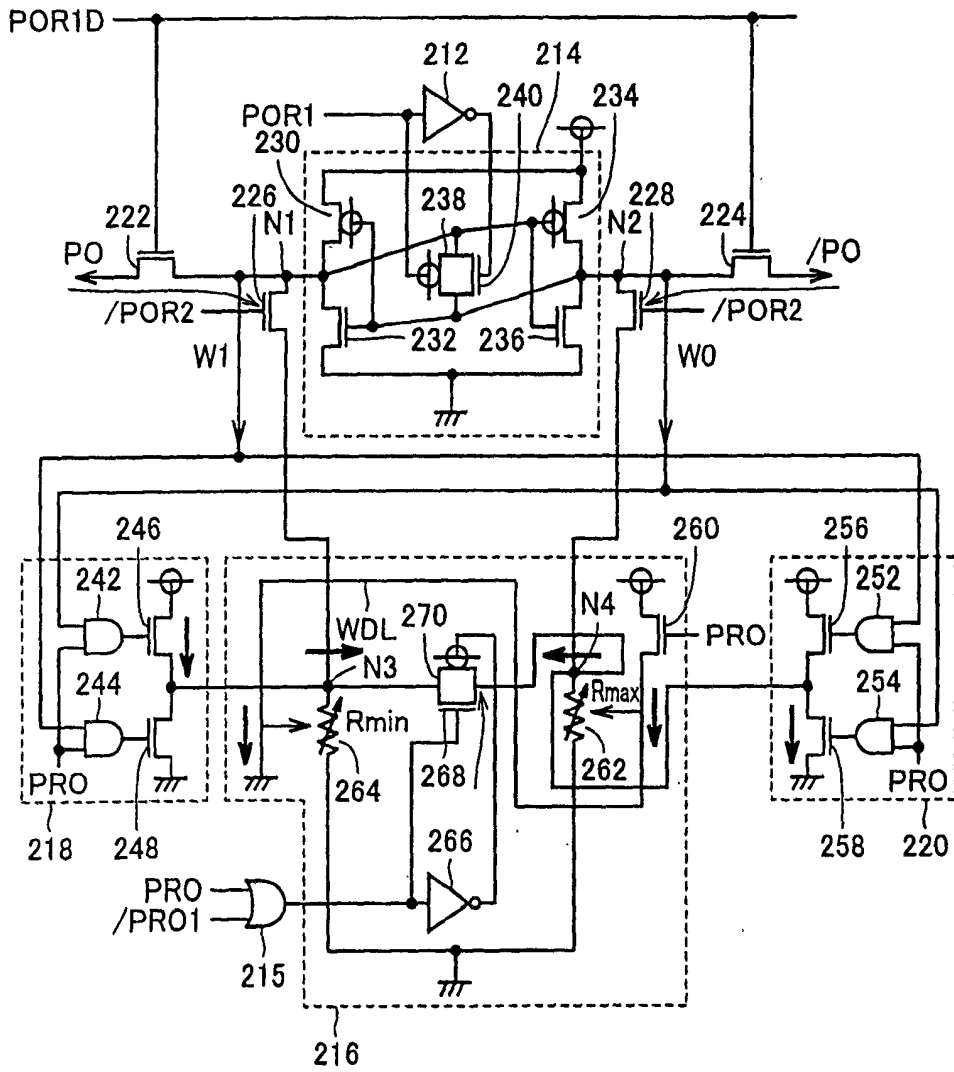


图 16

“1” 读出时

210

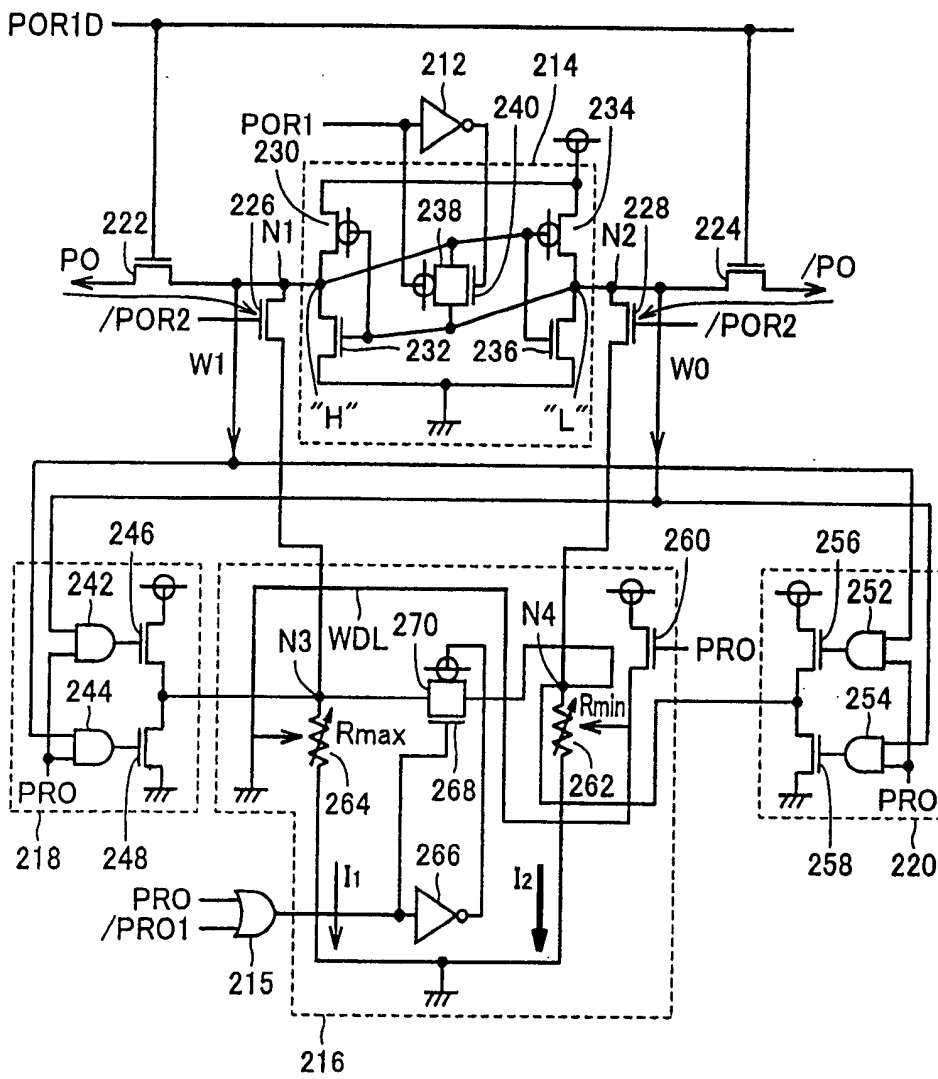


图 17

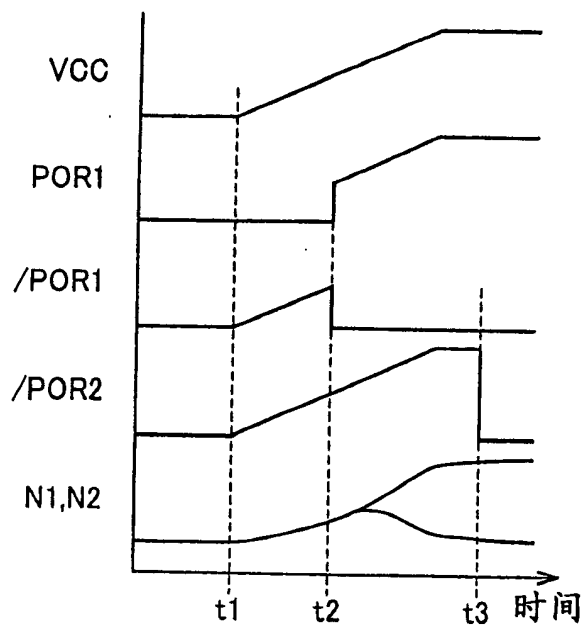


图 18

“0” 读出时

210

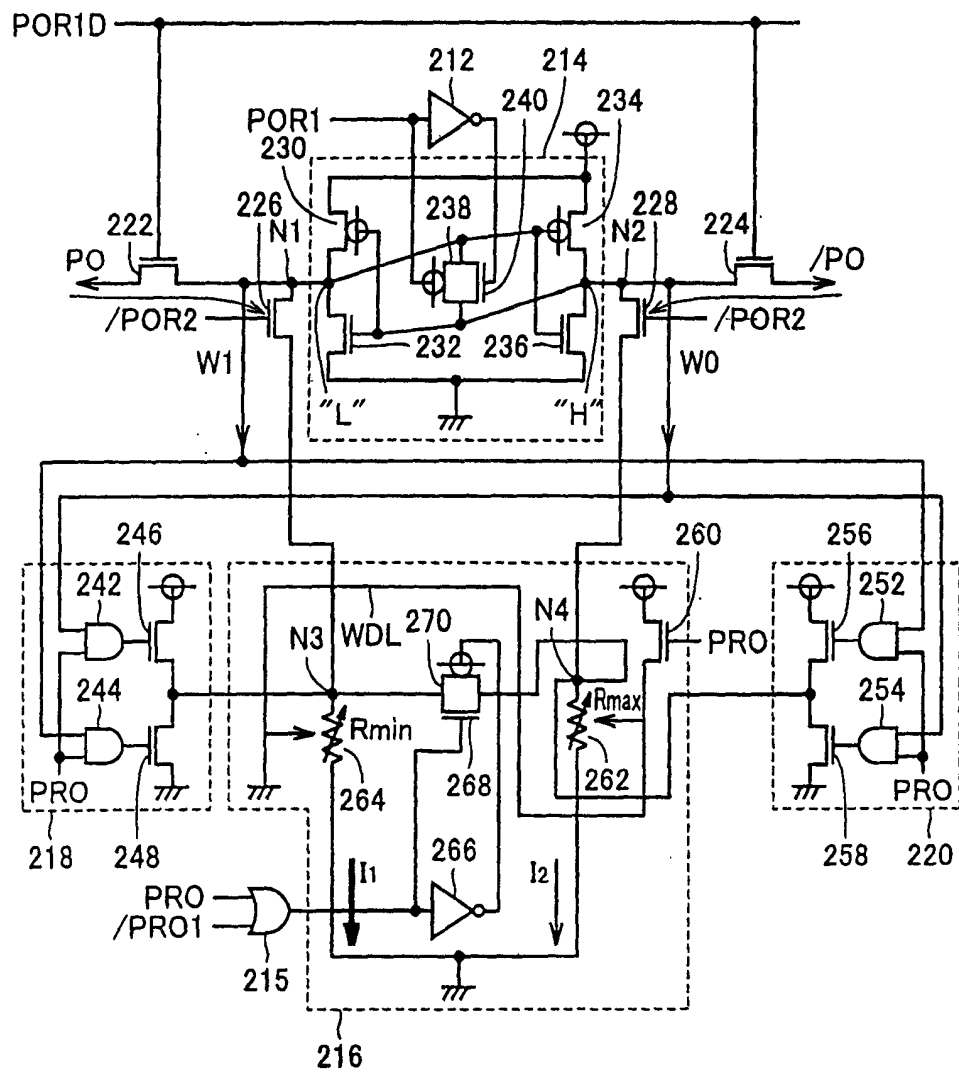


图 19

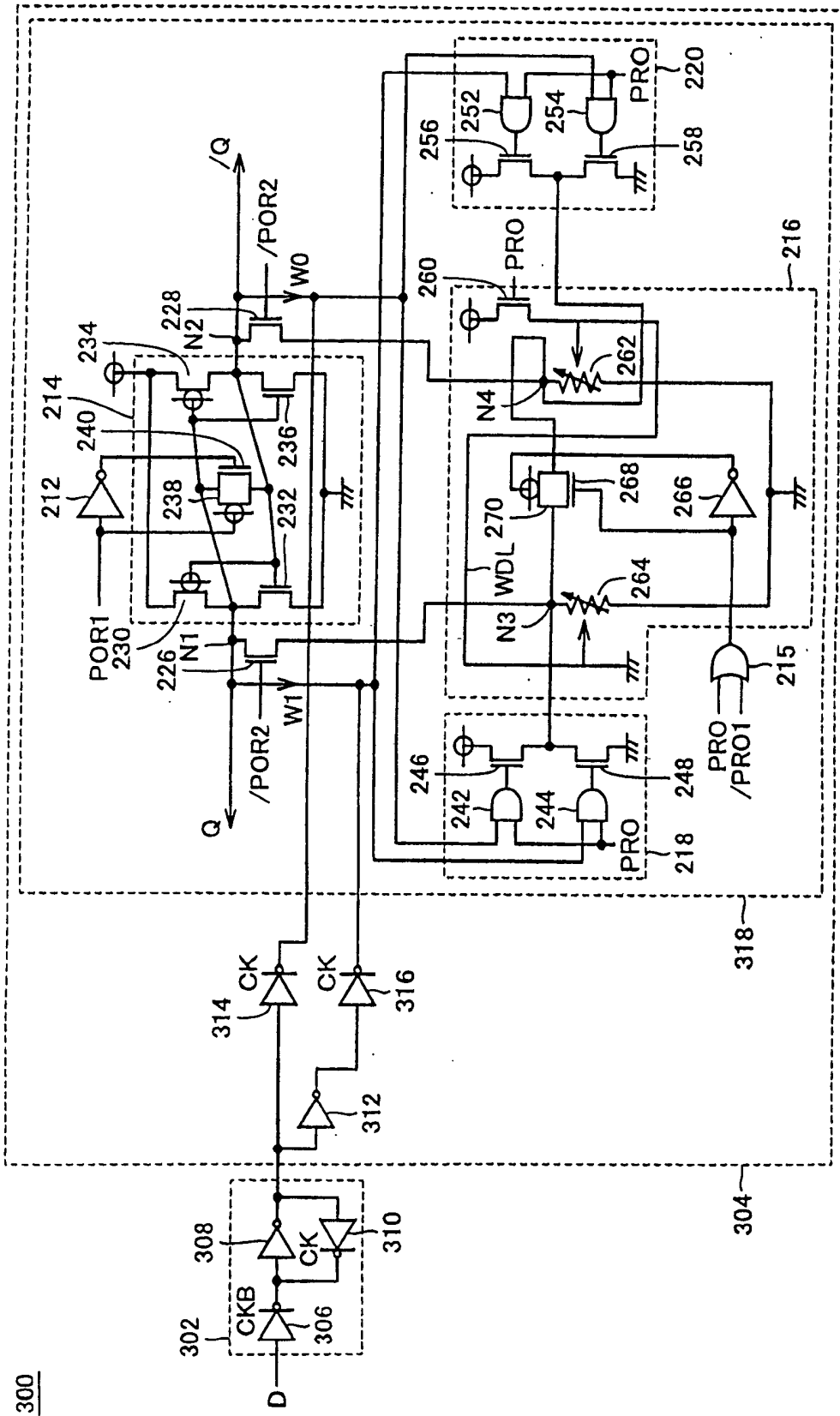


图 20

