



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0076899
 (43) 공개일자 2009년07월13일

(51) Int. Cl.

H01L 23/52 (2006.01)

(21) 출원번호 10-2009-7006070

(22) 출원일자 2007년09월25일

심사청구일자 없음

(85) 번역문제출일자 2009년03월24일

(86) 국제출원번호 PCT/IB2007/004084

(87) 국제공개번호 WO 2008/038158

국제공개일자 2008년04월03일

(30) 우선권주장

11/669,664 2007년01월31일 미국(US)

60/848,043 2006년09월26일 미국(US)

(71) 출원인

하이마이트 에이/에스

덴마크 디케이-3450 알레외드 귀테방 39-41 빌딩
이0

(72) 발명자

시브 리어

덴마크 디케이-3400 힐러로에드 킬더다렌 53

(74) 대리인

박장원

전체 청구항 수 : 총 36 항

(54) 얇은 유전체 멤브레인을 사용한 쓰루-웨이퍼 전기적 상호연결 및 다른 구조들의 형성

(57) 요약

반도체 웨이퍼 내에 쓰루-웨이퍼 상호연결들을 제공하는 단계는 기존의 반도체 웨이퍼 내에 희생 멤브레인 (sacrificial membrane)을 형성하는 단계와, 웨이퍼의 일 면과 마주하는 희생 멤브레인의 노출된 부분들을 덮도록 웨이퍼의 일 면 위에 금속배선을 적층하는 단계와, 웨이퍼의 다른 면을 마주하는 희생 멤브레인의 노출된 부분들을 제거하는 단계와, 그리고 앞서서 적층된 금속배선과 접촉하도록 웨이퍼의 다른 면 위에 금속배선을 적층하는 단계를 포함한다. 얇은 금속 멤브레인들을 사용하여 용량성 구조들 및 다른 구조들을 제공하기 위한 기법 또한 개시된다.

특허청구의 범위

청구항 1

제1 면 및 제2 면을 구비한 반도체 웨이퍼 내에 쓰루-웨이퍼(through-wafer) 상호연결(interconnection)들을 제공하는 방법으로서,

상기 웨이퍼의 상기 제2 면 내에 하나 이상의 마이크로 비아(micro-via)들을 식각하는 단계와;

상기 제2 면 위에 식각정지층을 제공하는 단계와, 여기서 상기 식각정지층은 상기 하나 이상의 마이크로 비아들 내의 표면을 덮으며;

상기 하나 이상의 마이크로 비아들이 식각된 에어리어(area) 내에서, 상기 식각정지층의 부분들이 캐비티 내에서 노출될 정도의 깊이까지 상기 웨이퍼의 상기 제1 면 내에 캐비티를 식각하는 단계와;

상기 웨이퍼의 일 면 위에 금속배선(metallization)을 적층하는 단계와;

후속적으로, 상기 하나 이상의 마이크로 비아들이 식각된 곳에 대응하는 에어리어에서 상기 식각정지층의 영역(region)들을 제거하는 단계와; 그리고

상기 제1 면 위에 적층된 금속배선과 상기 제2 면 위에 적층된 금속배선이 접촉하여 상기 하나 이상의 마이크로 비아들이 식각된 곳에 해당하는 에어리어 내에 상기 쓰루-웨이퍼 상호연결들을 형성하도록, 상기 웨이퍼의 다른 면 위에 금속배선을 적층하는 단계를 포함하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 2

제1 항에 있어서,

상기 반도체 웨이퍼는 실리콘을 포함하여 구성되며, 상기 식각정지층은 실리콘 다이옥사이드(dioxide) 또는 실리콘 니트라이드(nitride) 중 적어도 하나를 포함하여 구성되는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 3

제1 항에 있어서,

상기 반도체 웨이퍼는 실리콘을 포함하여 구성되며, 식각정지층을 제공하는 단계는 실리콘 다이옥사이드층을 열적으로(thermally) 성장시키는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 4

제1 항에 있어서,

상기 캐비티의 치수는 상기 하나 이상의 마이크로 비아들의 해당 치수보다 큰 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 5

제1 항에 있어서,

상기 웨이퍼의 상기 제1 면 내의 상기 캐비티는, 상기 캐비티 내의 상기 식각정지층의 얇은 멤브레인들을 노출하는 정도의 깊이까지 식각되는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 6

제1 항에 있어서,

상기 캐비티를, 상기 캐비티의 깊이와 상기 하나 이상의 마이크로 비아들의 평균 깊이의 합이 상기 웨이퍼의 전체 두께를 초과하지 않을 정도의 깊이까지 식각하는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 7

제1 항에 있어서,

상기 웨이퍼의 상기 제1 면 위에 금속배선을 적층하는 단계 전에, 상기 반도체 웨이퍼의 표면들 위에 절연층을 제공하는 것을 포함하는 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 8

제1 항에 있어서,

상기 제1 면 내에 캐비티를 식각하는 단계 후에, 상기 식각정지층의 부분들이 상기 캐비티 내에서 노출된 상태로 남아있도록 상기 웨이퍼의 상기 제1 면 및 제2 면 위에 옥사이드(oxide)층을 선택적으로 성장시키는 단계를 포함하며, 상기 옥사이드층의 두께는 상기 식각정지층의 두께보다 크며; 그리고 상기 식각정지층의 영역들을 제거하는 단계는 상기 식각정지층 및 상기 옥사이드층 모두를 식각하는 부식액(etchant)을 사용하는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 9

제8 항에 있어서,

상기 옥사이드층을 열적으로 성장시키는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 10

제8 항에 있어서,

상기 옥사이드층은 상기 식각정지층의 적어도 세 배의 두께인것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 11

제1 면 및 제2 면을 구비한 반도체 웨이퍼 내에 쓰루-웨이퍼 상호연결들을 제공하는 방법으로서,

상기 웨이퍼의 상기 제1 면에 캐비티를 식각하는 단계와;

상기 웨이퍼의 상기 제1 면 위에 식각정지층을 제공하는 단계와, 여기서 상기 식각정지층은 상기 캐비티 내의 표면들을 덮으며;

상기 웨이퍼의 상기 제2 면에 하나 이상의 마이크로 비아들을, 상기 하나 이상의 마이크로 비아들이 상기 식각정지층에 도달할 정도의 깊이까지 식각하는 단계와;

상기 웨이퍼의 일 면 위에 금속배선을 적층하는 단계와;

후속적으로, 상기 하나 이상의 마이크로 비아들이 식각되는 곳에 대응하는 영역들로부터 상기 식각정지층의 영역들을 제거하는 단계와; 그리고

상기 웨이퍼의 상기 다른 면 위에 금속배선을 적층하는 단계

상기 제1 면 위에 적층된 금속화와 상기 제2 면 위에 적층된 금속화가 접촉하여 상기 하나 이상의 마이크로 비아들이 식각된 곳에 해당하는 에어리어 내에 쓰루-웨이퍼 상호연결들을 형성하도록, 상기 웨이퍼의 다른 면 위에 금속배선을 적층하는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 12

제11 항에 있어서,

상기 반도체 웨이퍼는 실리콘을 포함하여 구성되며, 상기 식각정지층은 실리콘 다이옥사이드 또는 실리콘 니트라이드 중 적어도 하나를 포함하여 구성되는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 13

제11 항에 있어서,

상기 반도체 웨이퍼는 실리콘을 포함하여 구성되며, 식각정지층을 제공하는 단계는 실리콘 다이옥사이드층을 열적으로 성장시키는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 14

제11 항에 있어서,

상기 캐비티의 치수는 상기 하나 이상의 마이크로 비아들의 해당 치수보다 큰것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 15

제11 항에 있어서,

상기 하나 이상의 마이크로 비아들은 상기 캐비티 내에 상기 식각정지층의 얇은 멤브레인들을 노출할 정도의 깊이까지 식각되는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 16

제11 항에 있어서,

상기 웨이퍼의 일 면 위에 금속배선을 적층하는 단계 전에, 상기 반도체 웨이퍼의 표면 위에 절연층을 제공하는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 17

제11 항에 있어서,

상기 제2 면에 상기 마이크로 비아들을 식각하는 단계 후, 상기 식각정지층의 일부가 상기 캐비티 내에서 노출된채 남아있도록 상기 웨이퍼의 상기 제1 면 및 제2 면들 위에 선택적으로 옥사이드층을 제공하는 단계와; 그리고

상기 식각정지층의 영역들을 제거하는 단계는 상기 식각정지층 및 상기 옥사이드층 모두를 식각하는 부식액을 사용하는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 18

제17 항에 있어서,

상기 옥사이드층을 열적으로 성장시키는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 19

제17 항에 있어서,

상기 옥사이드층은 상기 식각정지층의 적어도 세 배의 두께인 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 20

제1 면 및 제2 면들을 구비한 반도체 웨이퍼 내에 쓰루-웨이퍼 상호연결들을 제공하는 방법으로서,

상기 반도체 웨이퍼의 상기 제2 면 위에 식각정지층을 제공하는 단계와;

상기 식각정지층의 일부를 노출하도록 상기 웨이퍼의 상기 제1 면에 개구부를 식각하는 단계와;

상기 웨이퍼의 일 면 위에 금속배선을 적층하는 단계와;

후속적으로, 상기 개구부에 대응하는 상기 식각정지층의 영역들을 제거하는 단계와; 그리고

상기 제1 면 위에 적층된 금속배선이 상기 제2 면 위에 적층된 금속배선과 접촉하여 상기 개구부가 식각된 곳에 해당하는 에어리어 내에 상기 쓰루-웨이퍼 상호연결들을 형성하도록, 상기 웨이퍼의 상기 다른 면 위에 금속배

선을 적층하는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 21

제20 항에 있어서,

상기 웨이퍼의 일 면 위에 금속배선을 적층하는 단계 전에, 상기 반도체 웨이퍼의 표면 위에 절연을 제공하는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 22

제20 항에 있어서,

상기 식각정지층이 상기 제1 면 내의 상기 개구부에 노출된채 남아있도록, 상기 제1 면 내의 상기 개구부를 식각하는 단계후에, 상기 웨이퍼의 상기 제1 면 및 제2 면 위에 옥사이드층을 선택적으로 제공하는 단계와; 여기서 상기 옥사이드층의 두께는 상기 식각정지층의 두께보다 크며; 그리고

상기 식각정지층의 영역들을 제거하는 단계는 상기 식각정지층 및 상기 옥사이드층 모두를 식각하는 부식액을 사용하는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 상호연결들을 제공하는 방법.

청구항 23

제1 면 및 제2 면들을 구비한 반도체 웨이퍼 내에 쓰루-웨이퍼 구조를 제공하는 방법으로서,

이미 존재하는 반도체 웨이퍼 위 또는 안에 희생 유전체(sacrificial dielectric) 멤브레인을 형성하는 단계와;

상기 웨이퍼의 일 면과 마주하는 희생 멤브레인의 노출된 부분들을 덮도록 상기 웨이퍼의 상기 일 면 위에 금속 배선을 적층하는 단계와;

상기 웨이퍼의 다른 면과 마주하는 희생 멤브레인의 노출된 부분들을 제거하는 단계와; 그리고

앞서서 적층된 금속배선과 접촉하도록 상기 웨이퍼의 다른 면 위에 금속화를 적층하는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 구조를 제공하는 방법.

청구항 24

제23 항에 있어서,

상기 희생 멤브레인은 적어도 하나의 실리콘 다이옥사이드 또는 실리콘 니트라이드를 포함하여 구성되는 것을 특징으로 하는 쓰루-웨이퍼 구조를 제공하는 방법.

청구항 25

제23 항에 있어서,

상기 희생 멤브레인의 노출된 부분들을 제거하는 단계는 상기 노출된 일부를 식각하는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 구조를 제공하는 방법.

청구항 26

제23 항에 있어서,

인덕터를 형성하기 위하여 상기 금속배선을 패터닝하는 단계를 포함하는 것을 특징으로 하는 쓰루-웨이퍼 구조를 제공하는 방법.

청구항 27

제23 항에 있어서,

움직일 수 있는 캔틸레버(cantilever) 구조를 형성하기 위하여 상기 금속 멤브레인을 패터닝하는 것을 특징으로 하는 쓰루-웨이퍼 구조를 제공하는 방법.

청구항 28

제23 항에 있어서,

상기 웨이퍼의 다른 면과 마주하는 상기 희생 멤브레인의 노출된 부분들 중 단지 일부만이 제거되며, 상기 반도체 웨이퍼 내의 단일 밀폐 비아를 통하여 복수의 전기적 상호연결들을 형성하기 위하여 상기 금속배선을 패터닝 하는 단계를 더 포함하는 것을 특징으로 하는 쓰루-웨이퍼 구조를 제공하는 방법.

청구항 29

제1 면 및 제2 면을 구비한 반도체 웨이퍼 내에 용량성 구조를 제공하는 방법으로서,

상기 웨이퍼의 제2 면에 하나 이상의 마이크로 비아들을 식각하는 단계와;

상기 제2 면 위에 식각정지층을 제공하는 단계와; 여기서 상기 식각정지층은 상기 하나 이상의 마이크로 비아들 내의 표면들을 덮으며;

상기 하나 이상의 마이크로비아들이 식각되는 에어리어 내에서, 상기 식각정지층의 일부가 상기 캐비티내에서 노출되는 정도의 깊이까지 상기 웨이퍼의 상기 제1 면 내에 캐비티를 식각하는 단계와; 그리고

금속배선층들 사이에 샌드위치된 상기 식각정지층의 일부를 포함하는 용량성 구조를 형성하기 위하여 상기 웨이퍼의 양 면들 위에 금속배선을 적층하는 단계를 포함하는 것을 특징으로 하는 용량성 구조를 제공하는 방법.

청구항 30

제1 면 및 제2 면들을 구비한 반도체 웨이퍼 내에 용량성 구조를 제공하는 방법으로서,

상기 웨이퍼의 상기 제1 면에 캐비티를 식각하는 단계와;

상기 웨이퍼의 상기 제1 면 위에 식각정지층을 제공하는 단계와; 여기서 상기 식각정지층은 상기 캐비티 내의 표면들을 덮으며;

하나 이상의 마이크로 비아들이 상기 식각정지층에 도달할 정도의 깊이까지 상기 웨이퍼의 상기 제2 면에 하나 이상의 마이크로 비아들을 식각하는 단계와; 그리고

금속배선 층들 사이에 샌드위치된 상기 식각 정지층 일부를 포함하는 용량성 구조를 형성하기 위하여 상기 웨이퍼의 양 면 위에 금속배선을 적층하는 단계를 포함하는 것을 특징으로 하는 용량성 구조를 제공하는 방법.

청구항 31

기존의 반도체 웨이퍼 내에 희생 멤브레인을 형성하는 단계와;

상기 웨이퍼의 일 면과 마주하는 희생 멤브레인의 노출된 일부를 덮도록 상기 웨이퍼의 일 면 위에 금속배선을 적층하는 단계와;

상기 금속 배선의 적어도 일부가 금속 멤브레인을 형성하도록 상기 웨이퍼의 다른 면과 마주하는 상기 희생 멤브레인의 노출된 일부를 제거하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 32

제31 항에 있어서,

인덕터를 형성하기 위하여 상기 금속 멤브레인을 패터닝하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 33

제31 항에 있어서,

움직일 수 있는 캔틸레버 구조를 형성하기 위하여 상기 금속 멤브레인을 패터닝하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 34

마이크로 부품(micro component)을 하우징하는 패키지를 제작하는 방법에 있어서,

기존의 반도체 웨이퍼 내에 희생 멤브레인을 형성하는 단계와;

상기 웨이퍼의 제1 면과 마주하는 희생 멤브레인의 노출된 일부를 덮도록 상기 웨이퍼의 일 면 위에 금속배선을 적층하는 단계와;

상기 금속배선의 적어도 일부가 금속 멤브레인을 형성하도록 상기 웨이퍼의 다른 면과 마주하는 상기 희생 멤브레인의 노출된 일부를 제거하는 단계와;

상기 마이크로 부품을 하우징하는 패키지의 일부로서 상기 금속 멤브레인을 구비한 상기 반도체 웨이퍼를 사용하는 단계와; 그리고

상기 패키지의 밀폐도를 측정하기 위하여 상기 금속 멤브레인을 사용하는 단계를 포함하는 것을 특징으로 하는 마이크로 부품 하우징 패키지 제작 방법.

청구항 35

제34 항에 있어서,

상기 패키지의 밀폐도 측정은 상기 금속 멤브레인의 형상 변화를 감지하는 단계를 포함하는 것을 특징으로 하는 마이크로 부품 하우징 패키지 제작 방법.

청구항 36

제35 항에 있어서,

상대적인 압력 또는 누출 속도를 결정하기 위하여 상기 변화를 사용하는 것을 특징으로 하는 마이크로 부품 하우징 패키지 제작 방법.

명세서

기술분야

<1> 관련 출원

<2> 본 발명은 2006년 9월 26일자로 출원된 미국 가출원 제60/848,043호에 대해 우선권을 주장한다.

<3> 본 개시는 얇은 유전체 멤브레인(dielectric membrane)을 사용한, 쓰루-웨이퍼(through-wafer) 전기적 상호연결 및 다른 구조들을 형성하기 위한 기법에 관한 것이다.

배경기술

<4> 본원 출원인에게 양도된 미국 특허 제6,818,464호는 피드-쓰루(feed-through) 금속배선(metallization) 공정에 의해서 완전히 봉인되는 한개 이상의 쓰루-홀(through-hole)들을 구비한 반도체 구조를 제공하기 위한 양면(double-sided) 식각 기법을 개시한다. 피드-쓰루 금속배선 공정은 전기도금(electroplating) 기법을 사용하는 것을 포함할 수 있다. 반도체 구조는 예를 들어, 광전자(opto-electronic) 또는 다른 디바이스 또는 집적 회로를 캡슐화하는 패키지를 위한 덮개(lid)로서 사용될 수 있다. 쓰루-웨이퍼 전기적 상호연결들이 전기 접점, 예를 들어, 패키지의 외부로부터 상기 패키지 내의 캡슐화된 디바이스 또는 회로로의 전기 접점을 제공할 수 있다.

<5> 상술한 특허에서 개시된 구체적인 실시예에 따르면, 매립 식각정지층(buried etch-stop layer)을 포함하는 실리콘 웨이퍼상에 양면 식각 기법이 수행된다. 비록 쓰루-웨이퍼 전기적 상호연결들이 만족스럽게 얻어질 수 있지만, 매립 식각정지층을 포함시키는 것은 비용이 많이 들 수 있다. 마찬가지로, 피드-쓰루 금속배선을 형성하기 위하여 전기도금 기법을 사용하는 것도 비용이 많이 들 수 있다.

<6> 본 발명은 그러한 매립 식각정지층을 필요하지 않게 할 수 있으며, 피드-쓰루 금속배선을 형성하기 위한 전기도금 기법의 사용을 요구하지 않는다.

발명의 상세한 설명

<7> 본 발명의 일 양상에 따르면, 쓰루-웨이퍼 상호연결들의 제작은 희생-멤브레인(sacrificial membrane)의 형성을 포함한다.

<8> 예를 들어, 반도체 웨이퍼 내에 쓰루-웨이퍼 상호연결들을 제공하는 한가지 방법은, 기존의 반도체 웨이퍼 내에

희생-멤브레인을 형성하는 단계, 웨이퍼의 일 면과 마주하는 희생-멤브레인의 노출된 부분들을 덮도록 웨이퍼의 일 면 위에 금속배선을 적층하는 단계, 웨이퍼의 다른 면과 마주하는 희생-멤브레인의 노출된 부분을 제거하는 단계, 그리고 앞서서 적층된 금속배선과 접촉하도록 웨이퍼의 상기 다른 면 위에 금속배선을 적층하는 단계를 포함한다.

- <9> 몇몇 구현예들에서, 희생-멤브레인은 실리콘 다이옥사이드(dioxide) 또는 실리콘 니트라이드(nitride)이다.
- <10> 또 다른 양상에서, 제1 면 및 제2 면을 포함하는 반도체 웨이퍼에 쓰루-웨이퍼 상호연결들을 제공하기 위한 방법이 개시된다. 상기 방법은, 웨이퍼의 제2 면 내에 하나 이상의 마이크로 비아(micro-via)들을 식각하는 단계와 상기 제2 면 위에 식각정지층을 제공하는 단계를 포함하며, 여기서 상기 식각정지층은 상기 마이크로 비아들 내의 표면을 덮는다. 식각정지층의 일부(마이크로 비아들이 식각된 에어리어(area))가 캐비티 내에서 노출될 정도의 깊이까지, 웨이퍼의 제1 면 내에 캐비티가 식각된다. 상기 방법은 웨이퍼의 일 면 위에 금속배선을 적층하는 단계와, 후속적으로, 마이크로 비아들이 식각된 곳에 대응하는 에어리어(area)에서 식각정지층의 영역(region)들을 제거하는 단계를 포함한다. 금속배선은 웨이퍼의 다른 면 위에 적층되어, 제1 면 위에 적층된 금속배선이 제2 면 위에 적층된 금속배선과 접촉하여 마이크로 비아들이 식각된 곳에 해당하는 에어리어 내에 쓰루-웨이퍼 상호연결들을 형성한다.
- <11> 다른 실시예들에서, 제2 면 내에 마이크로 비아들을 식각하기 전에, 웨이퍼의 제1 면 내에 캐비티가 식각될 수 있다. 그러므로, 예를 들어, 제1 면 및 제2 면을 구비한 반도체 웨이퍼 내에 쓰루-웨이퍼 상호연결들을 제공하기 위한 방법은, 웨이퍼의 제1 면 내에 캐비티를 식각하는 단계와, 웨이퍼의 제1 면 위에 식각정지층을 제공하는 단계, 여기서 상기 식각정지층은 캐비티의 표면을 덮으며, 그리고 웨이퍼의 제2 면 내에 하나 이상의 마이크로 비아들을, 상기 하나 이상의 마이크로 비아들이 식각정지층에 도달할 정도의 깊이까지 식각하는 단계를 포함할 수 있다. 금속배선은 웨이퍼의 일 면 위에 적층될 수 있으며, 후속적으로, 하나 이상의 마이크로 비아들이 식각된 곳에 해당하는 에어리어에서 식각정지층의 영역들이 제거될 수 있다. 제1 면 위에 적층된 금속배선이 제2 면 위에 적층된 금속배선에 접촉하여 하나 이상의 마이크로 비아들이 식각된 곳에 해당하는 에어리어 내에 쓰루-웨이퍼 상호연결들을 형성하도록, 웨이퍼의 다른 면 위에 금속배선이 적층될 수 있다.
- <12> 상술한 기법들은 양면 식각 기법을 사용하지만(예를 들어, 일 면부터 식각하여 마이크로 비아들을 형성하고 다른 면부터 식각하여 캐비티를 형성함), 일부 구현예들에서, 쓰루-웨이퍼 개구부들은 웨이퍼의 일 면부터만 식각될 수 있다.
- <13> 일부 경우에, 상기 기법들의 결과로 완전히 봉인된 쓰루-웨이퍼 상호연결들이 형성될 수 있다.
- <14> 얇은 금속 멤브레인은 또한 얇은 멤브레인 인덕터들 및 캔틸레버(cantilever) 구조들과 같은 용량성 구조들 및 다른 구조들을 형성하기 위하여 사용될 수 있다.
- <15> 다른 특징들 및 이점들은 다음의 상세한 설명, 첨부 도면 및 청구항들로부터 명확해질 것이다.

실시예

- <26> 쓰루-웨이퍼 금속배선이 발생할 수 있는 개구부(opening)들을 정의하기 위하여 반도체 웨이퍼상에 수행되는 양면 및 단면 식각 기법들을 포함하는 구현예들이 개시된다. 도 1A 내지 1F는 캐비티들의 식각 전에 비아들이 반도체 웨이퍼(100)에 식각되는 양면 식각 기법을 사용하는 쓰루-웨이퍼 상호연결 공정에 대한 구현예를 도시한다. 도 1A에서, 반도체 웨이퍼(100)는 제1 면(102) 및 제2 면(104)을 포함한다. 각각의 바닥(107, 109)을 구비한 마이크로 비아들(106, 108)은 반도체 웨이퍼(100)의 제2 면(104)에서 미리 정해진 깊이까지 식각될 수 있다. 예를 들어, 반도체 웨이퍼(100)는 포타슘 하이드록사이드(potassium hydroxide(KOH)) 내에서 이방성으로 식각될 수 있는 실리콘(Si) 웨이퍼일 수 있다.
- <27> 도 1A는 피라미드 모양의 두개의 마이크로 비아들(106, 108)을 도시한다. 그러나, 마이크로 비아들은 반도체 웨이퍼의 임의의 면에, 서로 다른 형상, 예를 들면, 정사각형 또는 직사각형으로 형성될 수 있다. 또한, 마이크로 비아들의 수는 두개로 제한되지 않으며, 하나 또는 두개 이상의 마이크로 비아들이 식각될 수 있다. 마이크로 비아들의 수와 그것들의 형상은 예를 들어, 반도체 사이즈, 공정 조건, 그리고 회로 연결성 요구사항들에 근거하여 결정될 수 있다.
- <28> 다음으로, 도 1B에서, 반도체 웨이퍼(100)의 식각된 제2 면(104) 위에 식각정지층(110)이 적층된다. 식각정지층(110)은 예를 들어, 실리콘 다이옥사이드(SiO₂) 및/또는 실리콘 니트라이드(Si₃N₄)로 구성될 수 있다. 실리콘 다이옥사이드층은 예를 들어, 열 산화 공정(thermal oxidation)을 사용하여 성장될 수 있다. 열 산화 공정이 사용

된다면, 식각정지층 물질이 웨이퍼의 양 면을 모두 덮을 수 있다. 실리콘 다이옥사이드층은 또한 반도체 웨이퍼(100)의 절연(isolation) 또는 패시베이션(passivation)층으로서의 역할도 할 수 있다.

- <29> 식각 마스크층(112)이 반도체 웨이퍼(100)의 제2 면(104) 위에, 식각정지층(110)을 덮도록 적층된다. 식각 마스크층(112)은 또한, 예를 들어, 실리콘 다이옥사이드 및/또는 실리콘 니트라이드로 구성될 수 있다. 식각 마스크층(112)에 대해서 사용되는 것과 동일한 층 구성이 식각정지층(110)에 대해서 반드시 사용될 필요는 없다. 예를 들어, 식각 마스크층(112)은 저압화학적증착(LPCVD) 공정을 사용하여 적층되는 실리콘 니트라이드로 구성될 수 있다.
- <30> 또한, 도 1B에서 도시된 바와 같이, 식각 마스크층(114)이 반도체 웨이퍼(100)의 제1 면 위에 적층된다. 식각 마스크층(114)은 웨이퍼의 제1 면(102) 내부에 후속적으로 형성되는 하나 이상의 캐비티들에 대한 개구부들을 정의한다.
- <31> 다음에, 도 1C에서 도시되듯이, 하나 이상의 캐비티들(예를 들어, 캐비티(116))이 정의되며 반도체 웨이퍼(100)의 제1 면(102)으로부터 식각된다. 캐비티(116)를 형성하기 위하여 사용되는 식각 기법은 마이크로 비아들(106, 108)을 형성하기 위하여 사용되었던 기법과 동일한 기법일 수 있다. 얇은 멤브레인들(120, 122) 각각이 마이크로 비아들(106, 108)에 의해서 정의된 에어리어 내에서 유지되도록, 캐비티가 미리 정해진 깊이까지 식각될 수 있다. 얇은 멤브레인들(120, 122)은 식각정지층(110) 물질에 의해서 형성된다. 이 예에서, 식각된 캐비티(116)는 마이크로 비아들(106, 108)보다 크다.
- <32> 도 1C에 도시된 구현예에서, 캐비티(116) 및 각각의 마이크로 비아들(106, 108)에 대한 식각 깊이의 합이 반도체 기판의 전체 두께를 초과하여, 캐비티(116)의 바닥이 마이크로 비아들(106, 108) 각각의 바닥(107, 109) 너머로 확장된다. 그러므로, 각각의 얇은 멤브레인(120, 122)의 일부가, 캐비티(116) 내에서 노출된다. 그후 식각 마스크층들(112, 114)이 제거될 수 있다. 예를 들어, 식각 마스크층들(112, 114)이 실리콘 니트라이드로 구성된다면, 상기 층들을 벗기기 위하여 반응성 이온 식각(RIE) 공정이 사용될 수 있다. 일부 구현예들에서, 상기 식각 마스크 층들을 벗기기 위하여 인산(phosphoric acid)을 사용하는 습식 식각 공정이 사용될 수 있다.
- <33> 도 1D에서, 반도체 웨이퍼(100)가 산화된다. 반도체 웨이퍼(100)가 실리콘으로 구성되어 있는 예에서, 예를 들어, 열 산화 공정을 사용하여 옥사이드(oxide)층이 성장될 수 있다. 두꺼운(예를 들어, 1200nm) 옥사이드(118)(예를 들어, SiO₂) 영역들이 실리콘 반도체 웨이퍼의 표면 위에(예를 들어, 실리콘이 존재하는 에어리어 내에) 형성될 수 있다. 상대적으로 얇은(예를 들어, 400nm) 옥사이드(예를 들어, SiO₂) 영역들은 실리콘이 없는 에어리어 내에 남겨진다. 예를 들어, 식각정지층(110)의 얇은 멤브레인들(120, 122)은 앞서서 마이크로 비아들(106, 108) 각각에 의해서 정의되었던 에어리어 내에 남겨진다.
- <34> 다음으로, 도 1E에 도시된 바와 같이, 얇은 금속 필름(124)이 반도체 웨이퍼(100)의 제2 면 위에 적층된다. 각각의 금속 멤브레인들(132, 134)을 형성하기 위하여 금속 필름(124)이 얇은 멤브레인들(120, 122)을 덮는다. 예를 들어, 얇은 구리(예를 들어, 3-4 마이크로미터) 필름이 물리적 증착(PVD) 또는 다른 공정에 의해 적층될 수 있다.
- <35> 그후 캐비티(116) 내에 노출되는 얇은 멤브레인들(120, 122)(예를 들어, 식각 정지 물질)의 일부가 제거될 수 있다. 예를 들어, 플루오르화 수소산(hydrofluoric acid) 기반의 부식액이 식각 정지 물질의 일부를 제거하기 위하여 사용될 수 있다. 실리콘(100) 위의 옥사이드(118)가 얇은 멤브레인들(120, 122)보다 두껍기 때문에, 전기적 절연을 제공하기 위하여, 실리콘(100) 영역들 위에 일부 옥사이드(118)를 남겨둔 채로, 노출된 얇은 멤브레인들(120, 122)의 일부가 식각될 수 있다. 실리콘 위에 더 두꺼운 옥사이드가 존재하기 때문에, 식각정지층 멤브레인들(120, 122)의 식각 도중 개별적인 식각 마스크는 요구되지 않는다.
- <36> 다음에, 도 1F에서 도시되듯이, 얇은 금속 필름(130)이 웨이퍼의 제1 면(102) 위에 적층된다. 상기 얇은 필름은, 반도체 웨이퍼(100)의 양 면 사이에 전기 접점을 형성하기 위하여, 금속 멤브레인들(132, 134)의 노출된 부분들 위에 직접 적층될 수 있다. 제1 면의 얇은 금속 필름(130)은 제2 면의 얇은 금속 필름(124)과 접촉하여 앞서서 마이크로 비아들(106, 108)이 정의되었던 에어리어 내에 쓰루-웨이퍼 연결(126, 128)을 형성할 수 있다.
- <37> 대안적인 구현예에서, 얇은 금속 필름(124)이 반도체 웨이퍼(100)의 제2 면(104) 위에 적층되기 전에, 얇은 금속 필름(130)이 제1 면(102) 위에 적층될 수 있으며 얇은 멤브레인들(120, 122)이 제거될 수 있다.
- <38> 도 2A 내지 2F는 마이크로 비아들의 식각 전에 캐비티들이 반도체 웨이퍼(200) 내에 식각되는 양면 식각 기법을

사용한 쓰루-웨이퍼 상호연결 공정에 대한 구현예이다. 도 2A에서 도시되듯이, 반도체 웨이퍼(200)는 제1 면(202) 및 제 2면(204)을 포함한다. 캐비티들(예를 들어, 캐비티(206))은 반도체 웨이퍼(200)의 제1 면(202)으로부터 식각된다.

- <39> 예를 들어, 반도체 웨이퍼(200)는 실리콘 웨이퍼일 수 있다. 캐비티(206)는 미리 정해진 깊이까지 식각되어 실리콘 웨이퍼 내에 얇은 실리콘 멤브레인(208)(예를 들어, 20 μm)을 형성할 수 있다. 캐비티(206)를 형성하기 위하여 표준 식각 기법들이 사용될 수 있다. 예를 들어, 캐비티(206)는 포타슘 하이드록사이드 내에서 이방성으로(anisotropically) 식각될 수 있다.
- <40> 도 2B에서는, 반도체 웨이퍼(200)의 식각된 제1 면(202) 위에 식각정지층(210)이 적층된다. 상기 식각정지층(210)은 예를 들어, 열적으로 성장한 실리콘 다이옥사이드 및/또는 실리콘 니트라이드층으로 구성될 수 있다. 이 실리콘 다이옥사이드층은 또한 유전체층으로서의 역할을 할 수 있다.
- <41> 또한, 도 2B에서 도시된 바와 같이, 식각 마스크층(212)이 반도체 웨이퍼(100)의 제1 면(202) 위에, 식각정지층(210)을 덮도록, 적층될 수 있다. 식각 마스크층(212)은 또한 예를 들어, 실리콘 다이옥사이드 및/또는 실리콘 니트라이드로 구성될 수 있다. 식각 마스크층(212)에 대해서 사용되는 동일한 층 구성이 식각정지층(210)에 대해서 반드시 사용되어야만 하는 것은 아니다.
- <42> 그후, 제2 면(204) 위에 식각 마스크층(214)이 또한 적층될 수 있다. 예를 들어, LPCVD 공정을 사용하여 실리콘 니트라이드 식각 마스크층이 적층될 수 있다.
- <43> 이제 마이크로 비아들을 정의하기 위하여 반도체 웨이퍼(200)의 제2 면(204)으로부터 개구부들이 식각될 수 있다. 도 2C는 앞에서 형성된 더 큰 캐비티(206)의 반대쪽에 형성되는 마이크로 비아들(216, 218)을 도시한다. 상기 마이크로 비아들(216, 218)은 식각정지층(210)까지 식각될 수 있다. 식각정지층(210) 및 식각 마스크층(212)으로 구성되는 얇은 멤브레인들(217, 219)은 캐비티(206)와 마이크로 비아들(216, 218) 사이의 에어리어 내에 유지된다. 마이크로 비아들을 형성하기 위해 사용된 상기 식각 기법은 캐비티들을 형성하기 위해 사용되는 것과 동일한 기법일 수 있다.
- <44> 마이크로 비아들은 서로 다른 형상들 및 다양한 개수들일 수 있다. 도 2C는 피라미드-형상의 두개의 마이크로 비아들(216, 218)을 도시한다. 또 다른 실시예에서, 하나, 또는 두개 이상의 마이크로 비아들이 식각될 수 있으며 그것들은 직사각형 또는 다른 형상을 가질 수 있다.
- <45> 그 후, 도 2D에서 도시된 바와 같이, 식각 마스크층들(212, 214)이 제거된다. 예를 들어, 실리콘 니트라이드 식각 마스크 층을 제거하기 위하여 반응성 이온 식각(RIE)이 사용될 수 있다. 그 후 열 산화 공정에서 반도체 웨이퍼(200)가 산화되어 반도체 웨이퍼(200)의 양 면들 위에 각각의 두꺼운 옥사이드(219, 221) 영역들을 형성할 수 있다. 식각정지층(210)으로 구성된 얇은 멤브레인들(220, 222)은 캐비티(206)와 각각의 마이크로 비아들(216, 218) 사이에 남겨진다. 옥사이드층들(219, 221)은 상기 멤브레인들(220, 222)의 두께보다 두꺼운 두께로 성장된다.
- <46> 도 2E에서 도시된 바와 같이, 얇은 금속 필름(224)이 반도체 웨이퍼(200)의 제2 면(204) 위에 적층된다. 상기 얇은 금속 필름(224)은 마이크로 비아들의 면들을 따라 확장되어야만 하며 얇은 멤브레인들(220, 222)을 덮어야만 한다. 예를 들어, 얇은 구리 필름(예를 들어, 3-4 μm)이 PVD 또는 다른 공정에 의해서 적층될 수 있다.
- <47> 도 2F에서 도시된 바와 같이, 얇은 멤브레인들(220, 222)(예를 들어, 식각정지 물질)이 제거된다. 예를 들어, 얇은 멤브레인들(220, 222)을 제거하기 위하여 HF 식각 공정이 사용될 수 있다. 전기적 절연을 제공하기 위하여, 두꺼운 옥사이드층(219)이 실리콘의 영역들 위에 남을 수 있다. 실리콘 위에 두꺼운 옥사이드(219)의 존재로 인하여, 식각정지층 멤브레인들(220, 222)을 제거하는 동안, 개별적인 식각 마스크는 요구되지 않는다.
- <48> 다음에, 얇은 금속 필름(226)이 제1 면(202) 위에 적층된다. 상기 얇은 필름(226)은 반도체 웨이퍼(200)의 두 면들 사이에 전기 접점을 형성하기 위하여, 마이크로 비아들(216, 218) 각각의 위에 직접 적층될 수 있다. 제2 면의 얇은 금속 필름(224)은 제1 면의 얇은 금속 필름(226)과 접촉하여 쓰루-웨이퍼 연결들(228, 230)을 형성한다.
- <49> 대안적인 실시예에서, 얇은 금속 필름(226)이 웨이퍼의 제1 면 위에 적층될 수 있으며, 웨이퍼의 제2 면 위에 얇은 금속 필름을 적층하는 단계 전에 얇은 멤브레인들(220, 222)이 제거될 수 있다.
- <50> 상술한 쓰루-웨이퍼 금속배선의 완료에 따라, 예를 들어, 전기적 상호연결 및 납 패드들을 제공하기 위한 추가

적인 식각 및 적층 단계에 의해 반도체 웨이퍼의 하나 또는 두개의 면들에 금속 구조가 형성될 수 있다.

- <51> 상술한 기법들은 비록 양면 식각(예를 들어, 마이크로 비아들을 형성하기 위한 일 면으로부터의 식각 및 큰 캐비티들을 형성하기 위한 또 다른 면으로부터의 식각) 기법을 사용하지만, 일부 응용들에서, 쓰루-웨이퍼 개구부들은 웨이퍼의 일 면으로부터만 식각될 수 있다. 예를 들어, 큰 캐비티들이 웨이퍼의 일 면(예를 들어 제1 면)으로부터 제2 면 위에 식각정지(예를 들어, SiO₂)층을 구비한 웨이퍼의 제2 면까지 쪽 식각될 수 있다. 두 금속 적층들 및 식각 정지 멤브레인 제거는 위에서 논의된 바와 같이 수행될 수 있다(아래의 도 4A 내지 4D 참조)
- <52> 금속 멤브레인은 다른 응용들에서도 사용될 수 있다. 예를 들어, 금속 멤브레인들은 광학 장비, 전자기 장비, 화학 장비, 마이크로메카니컬 장비, 마이크로일렉트로메카니컬 시스템(MEMS) 장비 또는 마이크로옵토일렉트로메카니컬 시스템(MOEMS) 장비 또는 미세한, 마이크론 및 마이크론 미만 크기의 소자들을 포함하는 다른 장비를 하우징(housing)하는 패키지의 밀폐도(hermeticity)를 측정하기 위하여 사용될 수 있다. 일 실시예에서, 광학 단면측정계(profilometer)를 사용하여 금속 멤브레인의 형상 변화가 감지된다. 상기 변화는 웨이퍼(또는 웨이퍼의 일부-예를 들어, 다이싱(dicing) 후)를 다른 기판에 접촉함으로써 형성된 봉인된 인클로저 내의 압력 및/또는 누출 속도(leak rate)를 결정하기 위하여 사용된다.
- <53> 추가적으로, 비록 얇은 식각정지층 멤브레인의 일 응용은 쓰루-웨이퍼 전기적 상호연결들을 형성하기 위한 것이지만, 다른 응용들은 용량성 구조, 유도성, 구조 또는 다른 구조들의 형성을 포함한다. 예를 들어, 쓰루-웨이퍼 용량성 구조를 형성하기 위하여 식각정지층은 단지 부분적으로만 제거될 수 있다(또는 전혀 제거되지 않을 수 있다). 도 2E로 돌아가보면, 식각정지 물질(예를 들어, SiO₂)의 얇은 멤브레인들(220, 222)이 형성되는 반도체 웨이퍼의 일 면 위에, 얇은 금속 필름(224)이 적층되는 것으로 도시된다. 얇은 멤브레인들(220, 222)의 제거(도 2F에서 도시되는 것과 같이) 대신에, 얇은 금속 필름(226)이 두꺼운 옥사이드층(219) 및 얇은 멤브레인들(220, 222) 위에 바로 적층되어 용량성 구조를 형성할 수 있다. 그러한 쓰루-웨이퍼 용량성 구조는 도 6에 도시된다. 용량성 구조는 금속층들(224, 226) 사이에 배치된 얇은 옥사이드층(220)(또는 222)으로 구성되며, 큰 캐비티(206) 및 마이크로 비아들(216, 218) 사이의 경계에 형성된다. 비록 도시된 구현에는 양면 식각 공정을 사용하지만(큰 캐비티 및 마이크로 비아들을 형성하기 위하여), 쓰루-웨이퍼 캐비티 구조는 또한 단면 식각 공정을 사용하여 제조될 수 있다.
- <54> 다른 구현예들에서, 얇은 금속 멤브레인이, 쓰루-웨이퍼 상호연결들과 함께, 인덕터(예를 들어, 코일) 또는 이동가능한 캔틸레버와 같은 디바이스를 형성하도록 패턴될 수 있다. 도 4A 내지 4E는 인덕터 또는 금속 캔틸레버 구조를 제조하기 위한 예를 도시한다. 이 방법은 얇은 SiO₂ 희생 멤브레인(sacrificial membrane)을 형성하는 것을 포함한다. 도 5는 금속 캔틸레버 구조(328A) 일례의 평면도를 도시하며, 도 6은 인덕터(328B) 일례의 평면도를 도시한다.
- <55> 도 4A에서 보인바와 같이, 반도체 웨이퍼(300)는 제1 면(302) 및 제2 면(304)을 포함한다. 식각 마스크 및 식각정지층들(310)(예를 들어, SiO₂ 및/또는 Si₃N₄ 층들)은 웨이퍼의 양 면(302, 304) 위에 적층되며, 캐비티(306)는 웨이퍼(300)를 통하여 식각된다. 만약 Si₃N₄가 식각 마스크층으로서 사용되었다면, 그것이 제거된다. 그러므로, 식각정지층(310)으로 이루어진 상대적으로 얇은 멤브레인(312)은 웨이퍼의 제2 면(304) 위에 남겨진다. 얇은 식각정지층 멤브레인(312)은 또한 캐비티(306)의 바닥을 가로질러 확장된다.
- <56> 그후, 도 4B에서 도시되는 바와 같이, 상대적으로 긴 열적 산화 공정이 수행되어 실리콘이 존재하는 영역들 위에 두꺼운 옥사이드층들(319)을 형성한다. 상기 산화 공정은 결과적인 산화층들(319)이 캐비티(306)의 바닥을 가로질러 확장되는 얇은 멤브레인층(312) 보다 두껍게 되도록 충분히 길어야 한다.
- <57> 열 산화 공정에 뒤이어, 도 4C에서 보인바와 같이, 상대적으로 얇은 금속 필름(324)이 웨이퍼(예를 들어, 제2 면)의 일 면 위에 적층된다. 얇은 옥사이드 멤브레인(312)은 그후 예를 들어, HF 식각 공정에 의해서 제거된다. 열 산화 공정 중에 형성되는 두꺼운 옥사이드(319) 영역들은 절연층으로서의 역할을 한다. 그후 도 4D에 도시된 바와 같이, 얇은 금속 필름(326)이 웨이퍼의 제1 면 위에 적층된다. 웨이퍼의 제1 면 위에 적층된 금속 필름(326)은 캐비티(306)의 면 및 바닥을 따라 확장된다.
- <58> 다음에, 도 4E에 도시된 바와 같이, 캐비티(306) 바닥의 금속배선(328)이 도 5와 같은 캔틸레버 구조(328A) 또는 도 6과 같은 인덕터(328B)를 형성하기 위하여 패턴될 수 있다. 금속배선 패턴 내의 오픈 갭(open gap)들은 기호(330)으로 표시되어 있다. 캐비티 바닥의 금속배선(328)은, 예를 들어, 표준 리소그래피(lithography) 및 습식 식각 기법들을 사용하여 패턴될 수 있다. 캐비티(306)의 면들을 따라서 있는 금속배선은 웨이퍼의 상부

표면부터 캔틸레버 구조(328A) 또는 인덕터(328B)까지의 전도성 라인으로서의 역할을 한다.

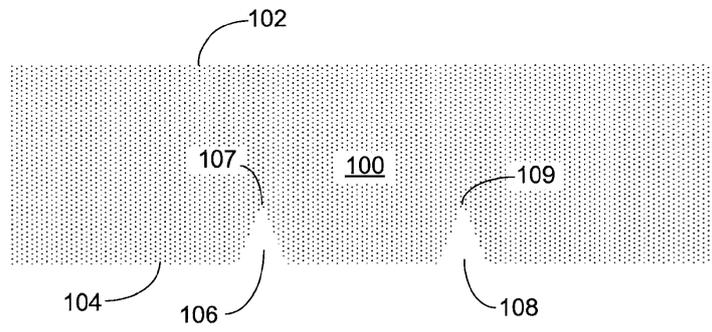
- <59> 도 4A 내지 4D의 기법은 또한 반도체 웨이퍼 내에 단일의 밀폐되지 않은(non-hermetic) 비아(334)를 통하여 복수의 전기적 상호연결들을 형성하기 위하여 사용될 수 있다. 예를 들어, 도 4D에서 보인 바와 같이, 웨이퍼의 제1 면 위에 얇은 금속 필름(324)을 적층한 후, 도 7A에 도시된 바와 같이 금속배선(324, 326)이 형성되어 쓰루-웨이퍼 전기적 상호연결들(332)을 형성하도록 패터닝될 수 있다. 캐비티 바닥의 금속배선(324, 326)은 예를 들어, 표준 리소그래피 및 습식 식각 기법들을 사용하여 패터닝될 수 있다. 도 7A의 비아(334) 및 쓰루-웨이퍼 상호연결(332)의 평면도가 도 7B에 도시된다.
- <60> 도 4A 내지 4C의 기법은 또한 반도체 웨이퍼 내에 단일의 밀폐 비아를 통하여 복수의 전기적 상호연결들을 형성하기 위해 사용될 수 있다. 도 4C에서 보인바와 같이, 얇은 유전체 멤브레인(312)을 덮도록 웨이퍼의 일 면 위에 얇은 금속 필름을 적층한 후, 얇은 유전체 멤브레인은 전기적 상호연결이 형성될 곳이 선택적으로 식각되고, 도 8A에서 도시된 바와 같이, 얇은 금속 필름(326)이 웨이퍼의 제1 면 위에 적층된다. 제1 면 위의 금속배선(326)은 제2 면 위의 금속배선(324)과 접촉하는 바, 상기 제 2면 위의 금속배선은 밀폐 비아를 통하여 전기적 상호연결(340)을 형성하도록 유전체 멤브레인(312)이 식각되었던 에어리어 내에 있다. 도 9A는 유전체 멤브레인(312)을 선택적으로 식각한 후, 그러나 금속 필름(326)을 적층하기 전의 반도체 웨이퍼의 평면도이다. 이 도면은 선택적으로 식각된 유전체 멤브레인(312)의 나머지 부분들 및 아래에 놓인 금속 필름(324)의 노출된 부분들을 보여준다.
- <61> 얇은 금속 필름(326)을 적층한 후, 도 8B 및 도 9의 평면도에서 도시된 바와 같이, 표준 리소그래피 및 습식 식각 기법들을 사용하여 금속배선(324, 326)이 패터닝된다. 예를 들어, 금속 필름들(324, 326)은 개별적인 전기적 상호연결들(340)을 정의하기 위하여 웨이퍼의 양면으로부터 식각될 수 있다. 상호연결들(340)은 전기적으로 서로 분리된다.
- <62> 다른 구현예들은 청구항의 범주 내에 있다.

도면의 간단한 설명

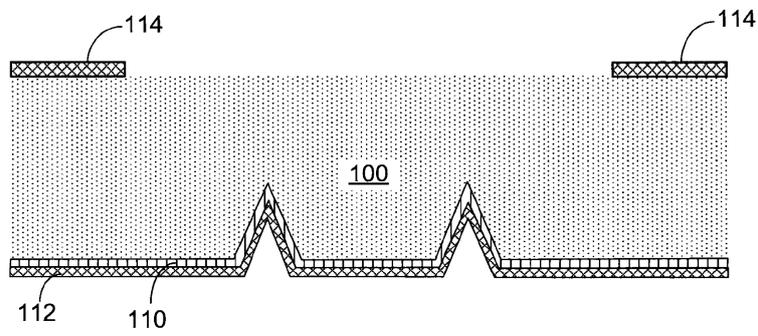
- <16> 도 1A 내지 1F는 얇은 희생 유전체 멤브레인을 사용한, 쓰루-웨이퍼 상호연결들을 형성하기 위한 양면 식각 공정의 구현예를 도시한다.
- <17> 도 2A 내지 2F는 얇은 희생 유전체 멤브레인을 사용한, 쓰루-웨이퍼 상호연결들을 형성하기 위한 양면 식각 공정의 또 다른 구현예를 도시한다.
- <18> 도 3은 얇은 유전체 멤브레인을 사용한 쓰루-웨이퍼 용량성 상호연결들을 형성하기 위한 양면 식각 공정의 예를 도시한다.
- <19> 도 4A 내지 4E는 얇은 희생 유전체 멤브레인을 사용한 금속 캔틸레버(cantilever) 구조 또는 인덕터를 형성하기 위한 단면 식각 공정의 실시예를 도시한다.
- <20> 도 5는 도 4A 내지 4E의 공정에 따른 금속 캔틸레버 구조의 평면도를 도시한다.
- <21> 도 6은 도 4A 내지 4E의 공정에 따른 인덕터의 평면도를 도시한다.
- <22> 도 7A는 반도체 웨이퍼내에 단일 개구부를 통하여 형성된 복수의 전기적 상호연결들의 예를 도시한다.
- <23> 도 7B는 도 7A의 쓰루-웨이퍼 상호연결들의 평면도를 도시한다.
- <24> 도 8A 내지 8B는 단일 밀폐 비아를 통하여 복수의 전기적 상호연결들을 형성하기 위한 공정의 단계들을 도시한다.
- <25> 도 9A 및 9B는 도 8A 및 8B의 공정과 관련된 전기적 상호연결들의 평면도를 도시한다.

도면

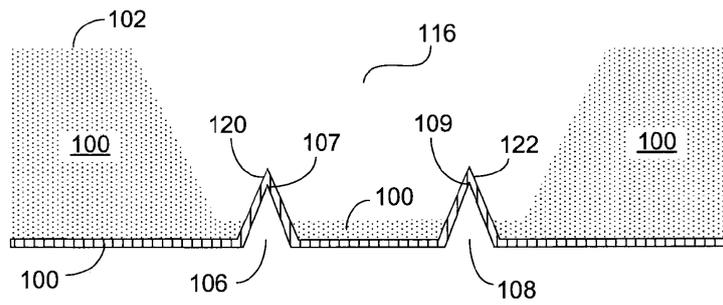
도면1a



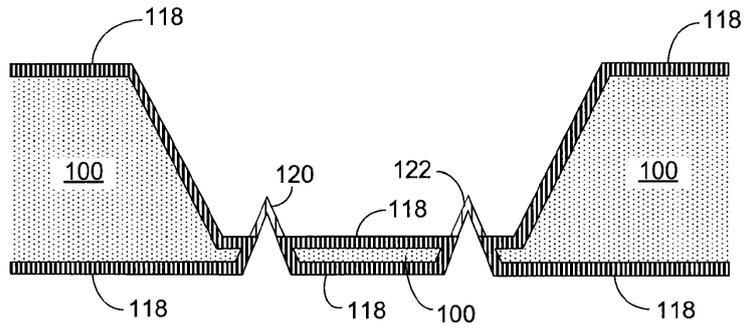
도면1b



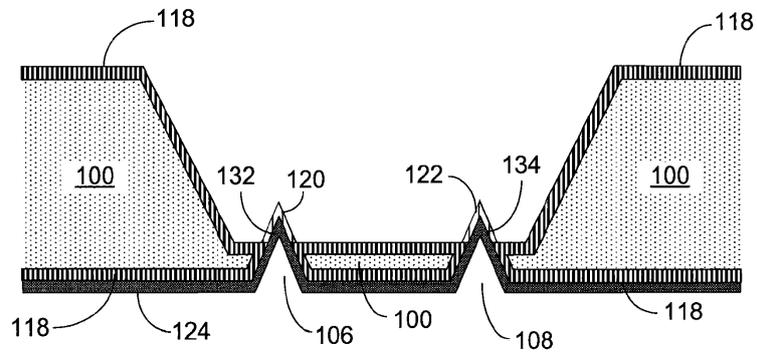
도면1c



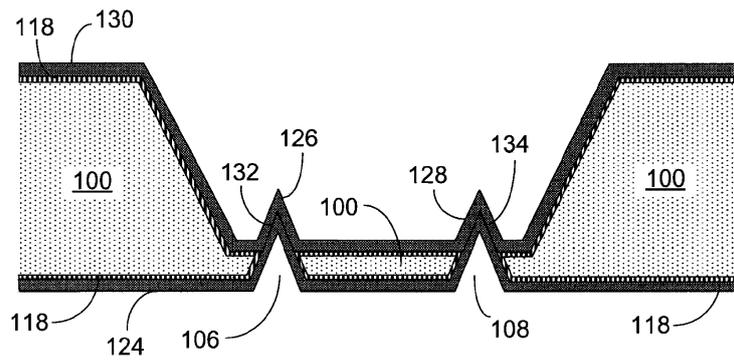
도면1d



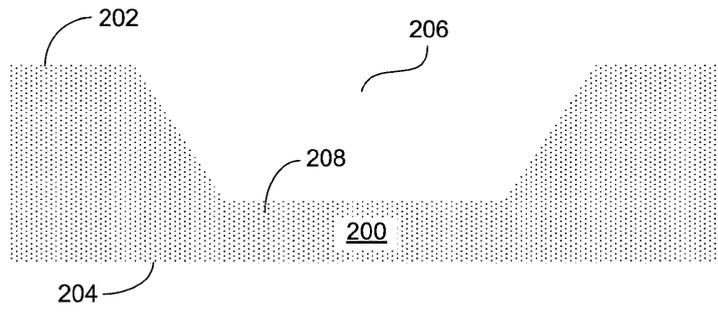
도면1e



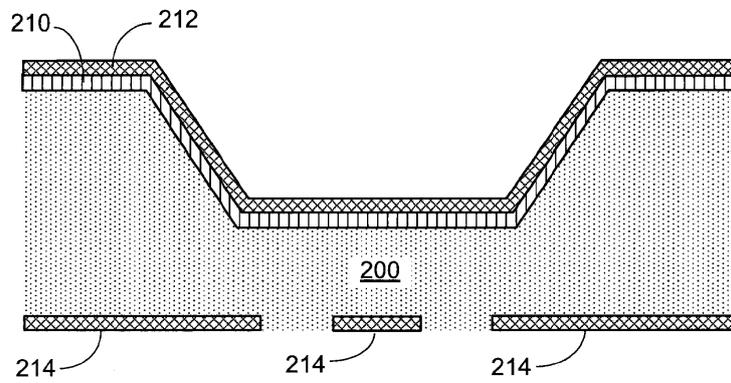
도면1f



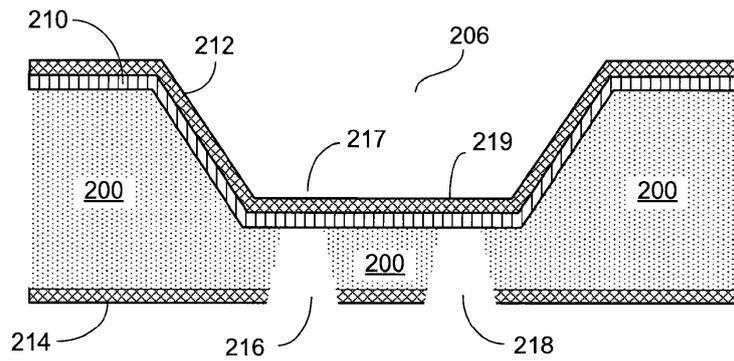
도면2a



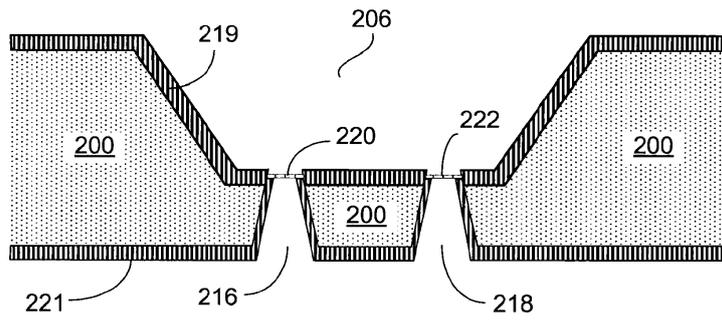
도면2b



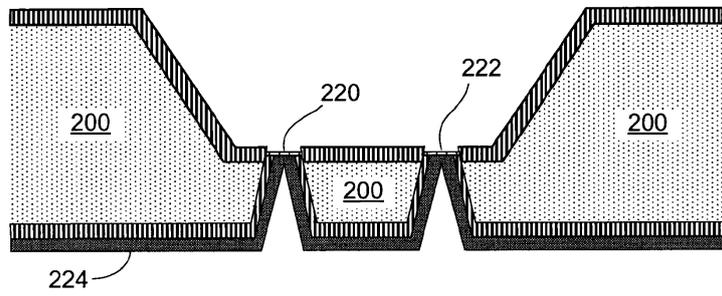
도면2c



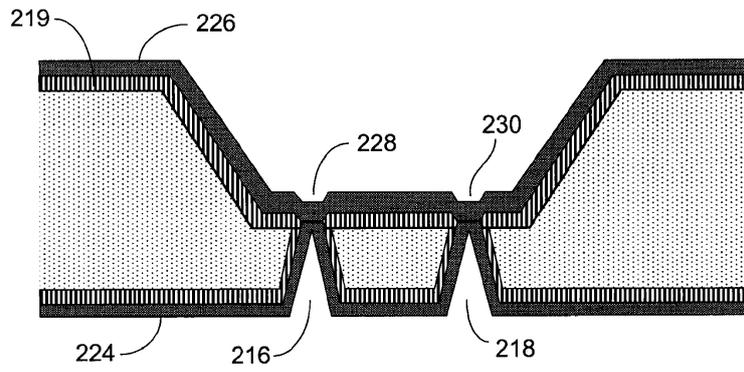
도면2d



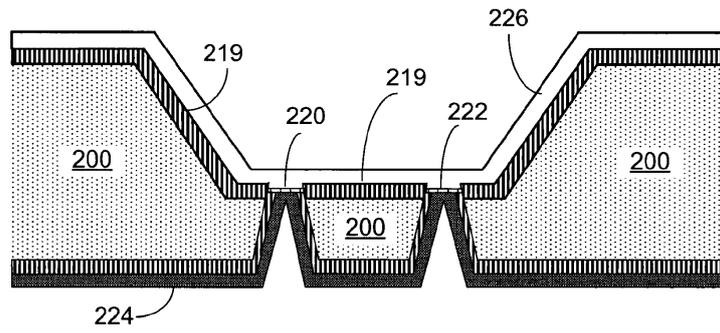
도면2e



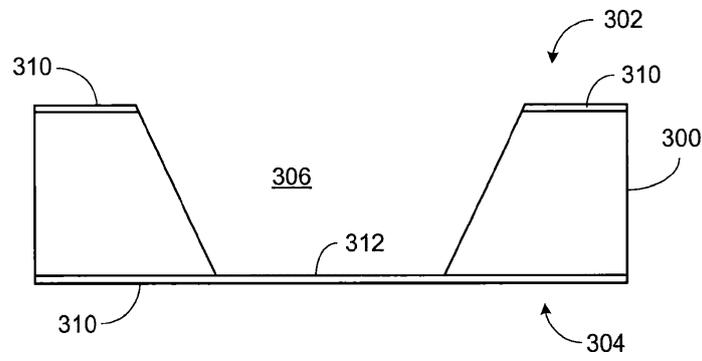
도면2f



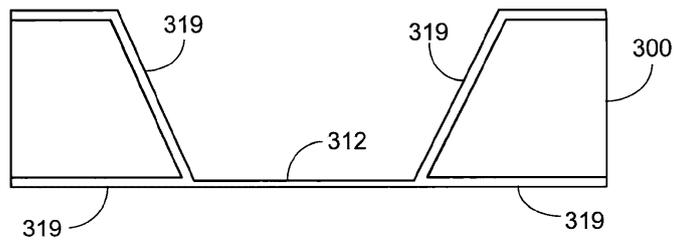
도면3



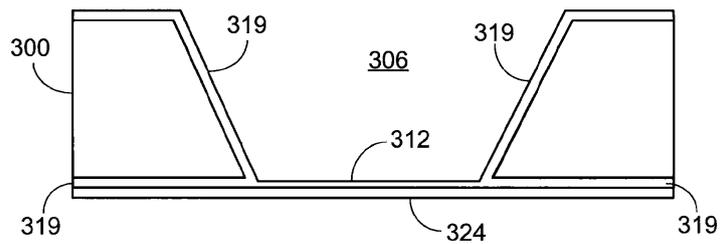
도면4a



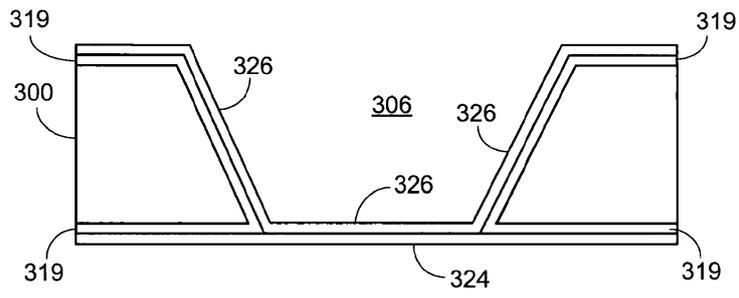
도면4b



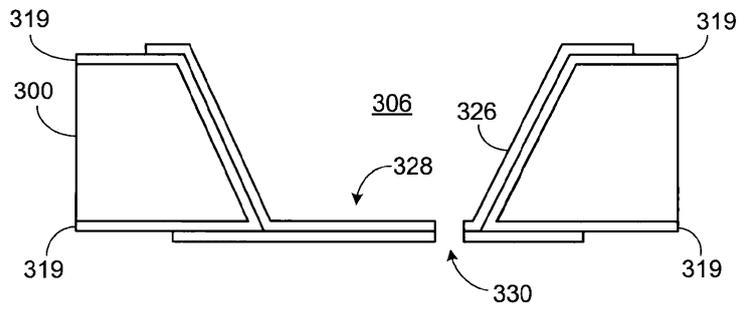
도면4c



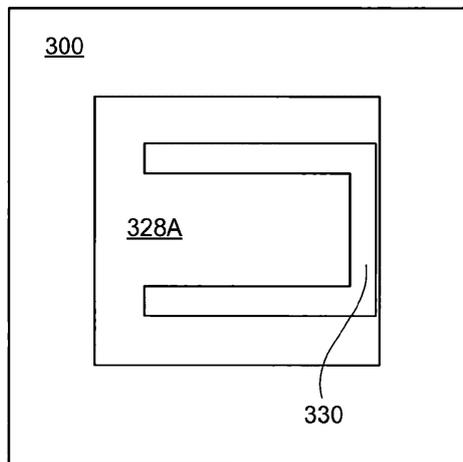
도면4d



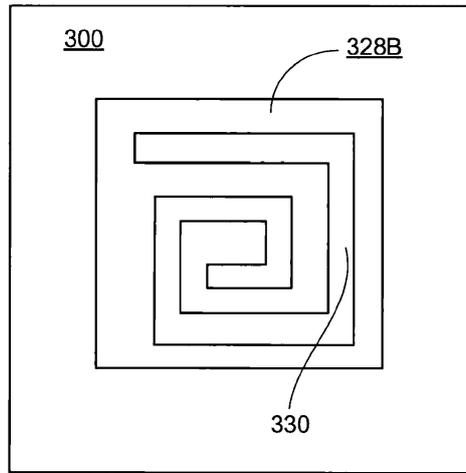
도면4e



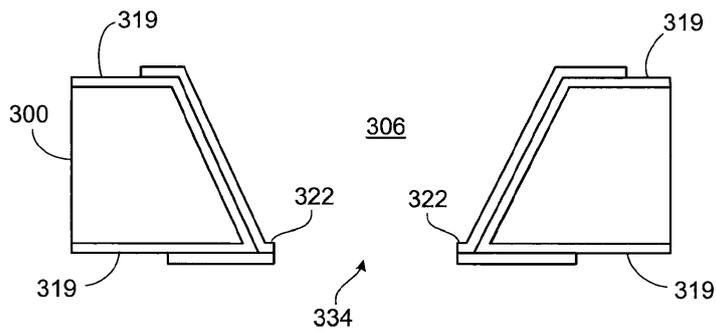
도면5



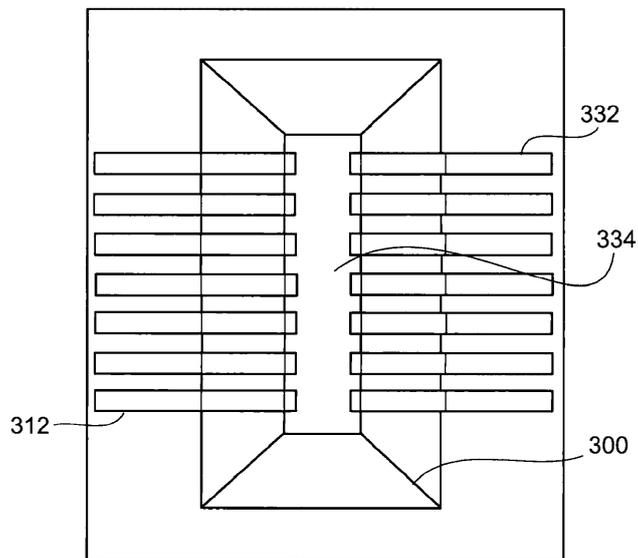
도면6



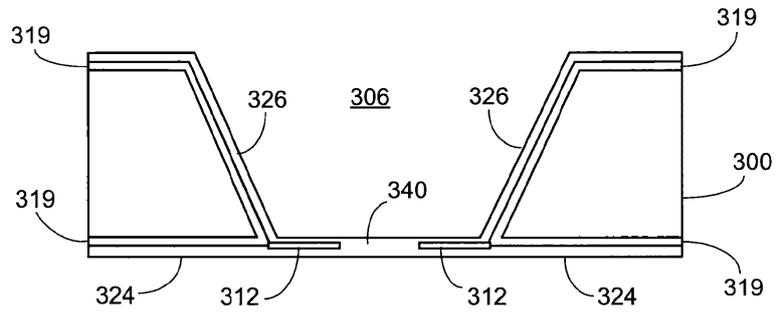
도면7a



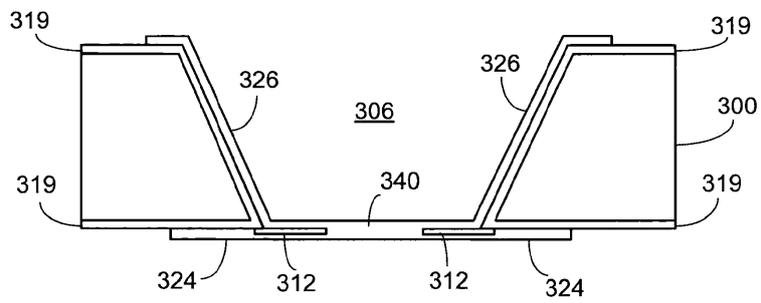
도면7b



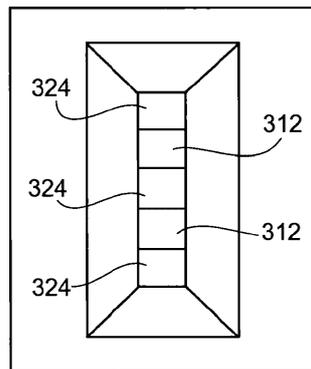
도면8a



도면8b



도면9a



도면9b

