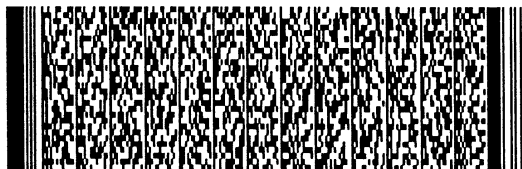


申請日期： P2.1.10	IPC分類 H01L21/8238
申請案號： P2100452	

(以上各欄由本局填註)

發明專利說明書 200412654

一、 發明名稱	中文	具有毫微管技術構成之單元選擇電路的電機記憶體
	英文	Electromechanical memory having cell selection circuitry constructed with nanotube technology
二、 發明人 (共3人)	姓名 (中文)	1. 沙貝特 2. 布達倫 3. 魯湯瑪
	姓名 (英文)	1. Brent M. Segal 2. Darren K. Brock 3. Thomas Rueckes
	國籍 (中英文)	1. 2. 3.
	住居所 (中文)	1. 美國麻州沃布恩區波斯特街8號 2. 美國紐約州伊耳市洛柏街94號 3. 美國麻州波士頓密特街82號
	住居所 (英文)	1. 8 Prospect Avenue, #1, Woburn, MA 01801, U. S. A. 2. 94 Nob Hill Drive, Elmsford, NY 10523, U. S. A. 3. 82 Myrtle Street, #2, Boston, MA 02114, U. S. A.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 奈特洛公司
	名稱或姓名 (英文)	1. Nantero, Inc.
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國麻州烏柏區奧林匹克街25-D號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 25-D Olympia Avenue, Woburn, MA 01810, U. S. A.
	代表人 (中文)	1. 沙貝特
代表人 (英文)	1. Brent M. Segal	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2001/07/25	09/915, 173	無
專利合作條約(PCT)	PC2002/07/25	PCT/US02/23860	無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主

日期：

四、有

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得, 不須寄存。

五、發明說明(1)

相關申請案之交互參照資料

本申請案與下述申請案相關，所有案件之申請日都與本申請案之申請日相同，全部案件都讓渡給本申請案之受讓人，且全部之案件係列入作參考：

- 5 具有毫微管電機記憶體之混合電路(Hybrid Circuit Having Nanotube Electromechanical Memory)(尚未指定美國專利申請序號)；以及

使用毫微管帶狀物之電機記憶體陣列及其製造方法
(Electromechanical Memory Array Using Nanotube Ribbons
10 and Method for Making Same)(尚未指定美國專利申請序號)。

【發明領域】

本發明一般係關於在電子裝置中供使用作為記憶體儲存器之非揮發性記憶體裝置，尤其關於使用機電元件以作
15 為個別記憶體單元之非揮發性記憶體陣列。

【發明背景】

在電子裝置中之記憶體單元之重要特徵係為低成本、非揮發性、高密度、低功率、以及高速度。習知之記憶體解決方法包含唯讀記憶體(ROM)、可程式化唯讀記憶體
20 (PROM)、電性地可程式化記憶體(EPROM)、電可抹除可程式化唯讀記憶體(EEPROM)、動態隨機存取記憶體(DRAM)、以及靜態隨機存取記憶體(SRAM)。

ROM 有相當低的成本，但無法重寫。PROM 可被電性程式化，但只具有單一寫入週期。EPROM 具有相對於

五、發明說明 (2)

ROM 與 PROM 之讀取週期來得快的讀取週期，但具有相當長的抹除時間且只在一些反覆讀取/寫入週期的時間內具有可靠度。EEPROM(或"快閃記憶體")是廉價的並具有低功率消耗，但具有長寫入週期(ms)且相較於 DRAM 或 SRAM 具有低的相對速度。快閃記憶體亦具有有限數量之讀取/寫入週期，而導致低長期可靠度。ROM、PROM、EPROM 與 EEPROM 全部都是非揮發性的，其意思為如果中斷對記憶體之電力，則記憶體將保留儲存於記憶體單元中之資訊。

DRAM 儲存作為電容器之電晶體閘極上之電荷，但必須每幾毫秒內進行電性更新，從而藉由在電容器放電之前要求分離電路"更新"記憶體內容而導致複雜化的系統設計。SRAM 並不需要更新且比 DRAM 來得快，但具有較低的密度且比 DRAM 更昂貴。SRAM 與 DRAM 兩者都是揮發性的，其意思為如果中斷對記憶體之電力，則記憶體將失去儲存於記憶體單元中之資訊。

因此，目前的技術是非揮發性但並非可隨機存取、且具有低密度、高成本、以及受限能力以允許具有電路功能之高可靠度之多重寫入，或者它們是揮發性的並使系統設計複雜化或具有低密度。某些出現的技術已試圖處理這些缺點。

舉例而言，磁性 RAM(MRAM)或鐵磁性 RAM(FRAM)係利用磁化或鐵磁性區域之方向以產生非揮發性記憶體單元。MRAM 利用磁阻式記憶體元件，其包括非等向性磁

五、發明說明 (3)

阻或產生非揮發性之鐵磁性材料之巨磁阻。這些型式之記憶體單元兩者都具有相當高的電阻與相當低的密度。基於磁性隧道結(magnetic tunnel junction)之不同記憶體單元亦已受到檢驗，但並未導致大規模商業化 MRAM 裝置。

5 FRAM 使用類似於 DRAM 之電路結構，但其使用薄膜鐵電電容器。此種電容器係聲稱在移除產生非揮發性記憶體之外部施加電場之後，能維持其電性極化。FRAM 因大記憶體單元尺寸而受損，且其難以製造成大規模積體元件。參見美國專利第 4,853,893；4,888,630；5,198,994 號公告。

10 具有非揮發性記憶體之另一種技術係為相變記憶體。此種技術經由結合例如硒或碲之元素的薄膜合金中的結構相位改變來儲存資訊。這些合金係聲稱能維持穩定於結晶與非結晶狀態，藉以允許雙穩態開關之形成。雖然滿足了非揮發性條件，但這種技術似乎因緩慢動作、製造之困難
15 與可靠度而受損，且並未達到商業化之狀態。參見美國專利第 3,448,302；4,845,533；4,876,667；6,044,008 號公告。

目前亦已提出配線縱橫式記憶體(wire crossbar memory, MWCM))。參見美國專利第 6,128,214；6,159,620；6,198,655 號公告。這些記憶體之提案係將分子想像成雙
20 穩態開關。兩條配線(金屬或半導體型式)具有介設在其間之一層分子或分子化合物。化學組件與電化學氧化或還原係用以產生 "on" 或 "off" 狀態。此種形式之記憶體需要高度專門的配線接面，且由於氧化還原過程中所發現的固有不穩定性而無法維持非揮發性。

五、發明說明 (4)

近來，已提出使用毫微層級(nanoscopic)配線(例如單壁毫微碳管)之記憶體裝置，用以形成縱橫接面以作為記憶體單元。參見 WO 01/03208，毫微層級配線式裝置、陣列及其製造方法(Nanoscopic Wire-Based Devices, Arrays, and Methods of Their Manufacture)；以及 Thomas Rueckes 等人，"供分子計算用之毫微碳管式非揮發性隨機存取記憶體(Carbon Nanotube-Based Nonvolatile Random Access Memory for Molecular Computing)"，科學期刊，卷 289，第 94-97 頁，2000 年 7 月 7 日。以下這些裝置係被稱為毫微管配線縱橫式記憶體(NTWCM)。在這些提案之下，懸掛在其他配線上面之個別單壁毫微管配線界定出記憶體單元。電性信號係被寫入至一條或兩條配線，以使它們相對於彼此產生物理上吸引或排斥。每個物理狀態(亦即，吸引或排斥之配線)係對應至一個電性狀態。排斥之配線係為一種斷路接面。吸引配線係為一種形成整流接面之導通狀態。當電力從接面被移除時，這些配線維持它們的物理狀態(從而是電性狀態)，藉以形成非揮發性記憶體單元。

NTWCM 計畫到現在係憑靠直接成長或化學自我裝配技術，以發展記憶體單元所需要的個別毫微管。現在認為這些技術難以運用在使用現代化技術之商業規模上面。此外，它們可包含例如毫微管之長度(可能使用這些技術而確實成長)之原有限制，且其可能難以控制如此成長之毫微管配線之統計上的幾何變數。

五、發明說明 (5)

【發明之概述】

本發明提供一種具有電機記憶體單元之記憶體系統。解碼器電路選擇這種單元之陣列之至少一記憶體單元。陣列中之每個單元係為一個縱橫接面，且其至少一元件係為毫微管或毫微管帶狀物。解碼器電路係由縱橫接面所建構，且每個接面之至少一元件係為毫微管或毫微管帶狀物。

【圖式之簡單說明】

在附圖中，

10 圖 1 顯示依據本發明之某些實施例之毫微管帶縱橫式記憶體裝置；

圖 2A-B 顯示依據本發明之某些實施例之記憶體單元之兩個狀態；

15 圖 3 顯示依據本發明之某些實施例之記憶體裝置之製造動作；

圖 4-11 顯示依據本發明之某些實施例之建立用以完成記憶體裝置之中間構造之數個型式；

圖 12 顯示用以完成本發明之某些實施例之非編織物毫微管或毛面毫微管層；

20 圖 13 顯示本發明之某些實施例之毛面毫微管層相對於隱藏之下層線路；

圖 14 顯示本發明之某些實施例之定址邏輯；

圖 15 顯示本發明之混合技術實施例，其中記憶體核心使用毫微管技術；以及

五、發明說明(6)

圖 16 顯示本發明之混合技術實施例，其中記憶體核心與定址線使用毫微管帶狀物技術。

【發明之詳細說明】

本發明之較佳實施例提供新的電機記憶體陣列及其製造方法。尤其，本發明建構類似於揭露於 WO 01/03208 中之 NTWCM 裝置的運作之電機記憶體單元，WO 01/03208 全部係藉此列入作參考。然而，不像揭露於 WO 01/03208 中之 NTWCM 裝置的是，本發明之較佳實施例係以由毫微管之毛面層或毫微管之非編織物製成之新的帶狀物，來
5 置換使用於 NTWCM 裝置中之懸浮毫微層級配線。這些新裝置於此稱為是毫微管帶狀物縱橫式記憶體(NTRCM)。吾人相信新的毫微管帶構造在整合與規模層級(所製造之裝置數目)是更容易建構的，且其幾何尺寸更容易受到控制。

15 因為新的毫微管帶縱橫式記憶體裝置類似於 NTWCM 運作，所以簡短說明它們的運作結構與原理。若要瞭解更充足的說明與背景，可參考 WO 01/03208。

圖 1 顯示依據本發明之較佳實施例之原理所建構之例示的電機記憶體陣列 100。此陣列具有複數個可以是處於
20 "on" 狀態 105 或 "off" 狀態 106 之非揮發性記憶體單元 103。這種單元之實際數目對理解本發明並不重要，但此技術可支持具有相當於或大於現代非揮發性電路裝置之資訊儲存容量之裝置。

每個記憶體單元 103 包含一條毫微管帶狀物 101，其

五、發明說明 (7)

係藉由一個或更多個支撐部 102 而懸浮在例如電性線路或配線 104 上面。

帶狀物 101 與例如配線 104 之每個縱橫處形成一個縱橫界面，並定義一個記憶體單元。在某些實施例之下，每個單元可能藉由將電流及/或電壓施加至電極 112 而被讀取或寫入，這些電極 112 係與帶狀物 101 電性連通或經由電極(未顯示)而與線路或配線 104 連通。支撐部 102 係由一層氮化矽(Si_3N_4)層 108 所製成。在層 108 下方係為隔開 n 摻雜矽線路 104 與下層矽晶圓 110 之間極氧化層 109。

共同參見圖 1-2B，界面 106 顯示在第一物理與電性狀態下之單元，其中毫微管帶狀物 101 係與對應的線路 104 分離。界面 105 顯示在第二物理與電性狀態下之單元，其中毫微管帶狀物 101 係偏向對應的線路 104。在第一狀態下，此界面係為斷路，當這樣定址時，其可能於帶狀物 101 或線路 104 上被感測到。在第二狀態下，此界面係為整流界面(例如，Schottky 或 PN)，當這樣定址時，其可能在管 101 或線路 104 上被感測到。

在某些實施例之下，毫微管帶狀物 101 可能藉由摩擦而於這些支撐物固定於一定位置。在其他實施例中，帶狀物可能使用任何一種技術，藉由其他手段(例如藉由將帶狀物扣牢至支撐物)而受到固定。這種摩擦可透過包括共價鍵結之化學交互作用之使用，及透過例如芘(pyrenes)或其他化學反應物質之碳化合物之使用而增加。亦可添加例如金屬、半導體或尤其是矽、鈦、氧化矽或聚醯亞胺之絕

五、發明說明(8)

緣體之蒸鍍或旋轉塗佈材料以增加固著強度。毫微管帶狀物或個別毫微管亦可透過接合至表面之晶圓之使用而受到固著。參見 R.J.Chen 等人, "供蛋白質固定用之單壁毫微碳管之非共價側壁機能化 (Noncovalent Sidewall
5 Functionalization of Single-Walled Carbon Nanotubes for Protein Immobilization)", J.Am. Chem. Soc., 123, 2001, 3838-39 以及 Dai 等人, Appl. Phys. Lett., 77, 2000, 3015-17 關於用以藉由金屬固著與塗佈毫微管之例示技術。又請參見關於 WO 01/03208 之技術。

10 在某些較佳實施例之下, 如圖 2A-B 所示, 毫微管帶狀物 101 具有大約 180 nm 之寬度, 並被固著至最好是由氮化矽所製造之支撐部 102。在帶狀物 101 下的線路 104 之局部區域形成一個 n 摻雜矽電極, 並位於靠近支撐部 102 處, 且最好是不會比帶(例如 180 nm)來得寬。從支撐部 102
15 之上端至帶 101 附著至電極 206 之偏轉位置的相對間隔 208(參見圖 2B)應該是大約 5-50 nm。間隔 208 之大小係被設計成與記憶體裝置之機電切換能力相容。對本實施例而言, 5-50 nm 之間隔對利用由毫微碳管所製成之帶狀物 101 之某些實施例而言是較佳的, 但其他間隔可能對其他
20 材料而言是較佳的。這個值的大小起因於偏轉毫微管之應變能量與黏著能量之間的相互作用。這些特徵尺寸係以現代化製造技術的觀點來提出。其他實施例可能製造小(或大)得多的尺寸以反映製造設備的能力。

某些實施例之毫微管帶狀物 101 係由纏結或毛面毫微

五、發明說明(9)

管之非編織物所形成(以下更詳述之)。帶狀物之切換參數類似個別毫微管之那些參數。因此，帶狀物之預測切換次數與電壓應該接近毫微管之相同次數與電壓。不像憑靠個別毫微管之直接成長或化學自我裝配之習知技術的是，本發明之較佳實施例利用包括薄膜與光刻之製造技術。這種製造方法有助於產生過大的表面，特別是至少六吋之晶圓。(相較之下，使個別毫微管成長長達超過次毫米距離之距離目前是難以實行的)。藉由提供包含於帶狀物中之傳導小徑之冗餘部，帶狀物應顯現出優於個別毫微管之改善的故障公差。(如果個別毫微管損壞，則肋內之其他管會提供導電路徑，而如果使用單一毫微管，則此單元將故障)。此外，帶狀物之電阻應該大幅低於個別毫微管之電阻，藉以減少其阻抗，其乃因為帶狀物可能被製成具有比個別毫微管大的剖面積。

圖 3 顯示某些實施例之 NTRCM 裝置 100 之製造方法。於此建構或提供一個第一中間構造 302。在所顯示的實施例中，此構造 302 包含具有絕緣層 109(例如二氧化矽)之矽基板 110，並定義複數個支撐部 102 之氮化矽層(Si_3N_4)108。在此狀況下，雖然可能採用許多其他配置(例如複數行)，但這些支撐部 102 係藉由複數列之圖案化氮化矽而形成。導電線路 104 係在支撐部 102 之間延伸。在此狀況下，所顯示的線路 104 在本質上與支撐部 102 接觸，但亦可能採用其他幾何配置；舉例而言，間隔可能存在於線路 104 與支撐部 102 之間，且線路 104 可能被做成一條

五、發明說明 (10)

配線或可具有包含三角形或梯形的非長方形橫剖面。犧牲層 304 係配置在線路 104 之上，俾能與支撐部 102 之上表面一起定義一個平面 306。此種平面(如以下將說明的)可促進某些實施例之毛面毫微管層之成長。

- 5 一旦建構或提供這樣的構造 302，上表面 306 就接收催化劑 308。舉例而言，在某些實施例之下，係藉由旋轉塗佈或其他應用技術來塗敷催化劑金屬 308(包含鐵(Fe)、鉬(Mo)、鈷或其他金屬)以建構第二中間構造 310。

- 10 接著，毫微管之毛面層 312 成長成為單壁毫微碳管(SWNT)之非編織物以形成第三中間構造 314。舉例而言，當包含碳源、氫與鈍氣(例如氫氣或氬)之氣體流動遍及上表面時，可將第二中間構造 310 置入烘爐中並加熱至高溫(譬如約 800-1200°C)。這個環境促進單壁毫微碳管之毛面層或薄膜 312 之產生或成長。層 312 最初是一個毫微管厚，
- 15 而各種管係經由凡得瓦爾力(Van der Waals force)而彼此黏著。有時，一個毫微管會成長在另一個之上端上面(雖然這種成長由於材料之成長趨勢是相當稀罕的)。在某些實施例(未顯示)之下，可將催化劑 308 圖案化以幫助具有特定密度之毫微管成長如所期望的更密集或更不密集。當
- 20 催化劑成分與密度、成長環境、以及時間之狀況適當受到控制時，可將毫微管製成均勻分配在主要是單層之毫微管之既定範圍上面。適當的成長需要控制包含但並未受限於催化劑成分與濃度、下層表面之機能化、旋轉塗佈參數(長度與 RPM)、成長時間、溫度以及氣體濃度之參數。

五、發明說明 (11)

然後，可將光阻塗敷至層 312 並將其圖案化，用以界定毫微管 312 之毛面層中的帶狀物。帶狀物圖案譬如垂直地與下層線路 104 縱橫。光阻會被移除，以留下位於平面 306 上之非編織物毫微管之帶狀物 101 而形成第四中間
5 構造 318。

第四中間構造 318 具有其下層犧牲層 304 之露出部分 320，如所示。然後，以例如 HF 之酸來處理此構造 318 以移除包含在帶狀物 101 下的部分之犧牲層 304，從而形成懸浮在線路 104 上面並被支撐部 102 所支持之帶狀物
10 101 之陣列 322。

隨後的金屬化可能用以形成圖 1 所示之例如定址電極 112。

上述技術之一個樣態係為：各種成長、圖案化以及蝕刻動作，係可能使用例如光刻圖案化之習知技術。目前，
15 這可能需要大約 180 nm 至和 130 nm 一樣低的輪廓尺寸(例如帶狀物 101 之寬度)，但如果製造能力允許的話，元件之物理特徵應經得起甚至更小的輪廓尺寸的考驗。

如以下所將說明的，存在有許多建構上述之中間構造或類似構造之可能方法。舉例而言，圖 4 顯示建構第一中
20 間構造 302 之一種方法。

矽晶圓 400 設有一層氧化層 402。氧化層之厚度最好是幾個毫微米，但可以是差不多 $1\mu\text{m}$ 。氮化矽(Si_3N_4)層 404 係沈積在氧化物表面 402 之上面。氮化矽層最好是至少 30 nm 厚。

五、發明說明 (12)

接著，將氮化矽層 404 圖案化並蝕刻以產生孔穴 406，用以形成支撐構造 407。關於現代化技術，孔穴寬度可能是大約 180 nm 寬或可能更小。剩下的氮化矽材料界定出支撐部 102(例如列或可能是行)。

5 然後，使 n 摻雜矽之覆蓋物 408 沈積以填滿孔穴 406。例示實施例之覆蓋物 408 可以是大約 $1\mu\text{m}$ 厚，但可以是像 30 nm 一樣薄。

接著，譬如藉由自我平整化厚矽層或藉由回火來處理覆蓋物 408 以產生上述所討論的平面 306，用以形成構造
10 411。在自我平整化的情況下，可能利用具有端點偵測(EPD)之反應性離子蝕刻(RIE)，直到到達受到蝕刻之氮化矽之上表面 410 為止。

然後，使構造 411 氧化以形成並界定深入平面 306 大約 10-20 nm 的 SiO_2 之犧牲層 304。

15 矽之未改變的殘留部分形成複數條線路 104。

圖 5 顯示可能用以建構某些實施例之 NTRCM 裝置 100 之另一種方法。本發明提供如同配合圖 4 所說明的支撐構造 407。接著，藉由使用 CVD 製程、濺鍍或電鍍來增加一層 n 摻雜矽層 514。在某些實施例之下，將層 514 增加
20 到大約 Si_3N_4 支撐部 102 之一半高度。

在增加層 514 之後，執行回火步驟以產生平坦化表面 306，用以形成如同上述之構造 411。回火步驟使層 514 之矽流入孔穴 406 中。

然後，如同配合圖 4 所說明的，使構造 411 氧化以形

五、發明說明 (13)

成並界定深入平面 306 大約 10-20 nm 的 SiO_2 之犧牲層 304。

圖 6 顯示形成另一第一中間構造 302' 之另一種方法。於本實施例中，矽基板 600 係由一層具有至少 30 nm 之高度 604 之氮化矽層 602 所覆蓋。

然後，將氮化矽層 602 圖案化並蝕刻以產生間距 606 並界定支撐部 102。蝕刻製程使矽基板 600 之表面部分 608 露出。

露出之矽表面 608 係被氧化以產生具有幾個 nm 厚度之二氧化矽 (SiO_2) 層 610。這些層 610 最後隔絕線路 104，類似於絕緣層 109 為上述構造 302 所做的事情。

一旦已建立絕緣層 610，就可能以任何一種方式建立線路 104。圖 6 顯示圖 4-5 之用以建立這種線路之處理步驟以說明這點。

圖 7 顯示形成第一中間構造 302 之另一種方法。具有二氧化矽層 702 與氮化矽層 704 之矽基板 700 接收圖案化光阻層 706。舉例而言，光阻層可能被旋轉塗佈在層 704 上，隨後露出並進行光刻步驟。

接著，反應性離子蝕刻 (RIE) 等等可能用以蝕刻 Si_3N_4 層 704 以形成孔穴 708 並界定支撐部 102。

後來，n 摻雜矽 710 可能沈積在孔穴 708 中。在某些實施例之下，矽係沈積至大約等於 Si_3N_4 支撐部 102 之高度 712 的高度。

然後，將光阻 706 與在光阻 706 上面的矽 710 除去以

五、發明說明 (14)

形成如同上述之中間構造 411。

接著，使構造 411 氧化以產生犧牲 SiO_2 層 304。

圖 8 顯示形成第一中間構造 302 之另一種方法。在這種方法之下，係提供具有最低矽層 802 與在其上面之最低
5 二氧化矽層 804 之起始構造 800。第二矽層 806 係位於層 804 之上面，而第二二氧化矽層 808 係位於第二矽層 806 之上面。

上層二氧化矽 (SiO_2) 層 808 係藉由光刻而圖案化，用以建構 RIE 光罩 810。此光罩係用以將第二矽層 806 之露
10 出部分 812 向下蝕刻至第一個二氧化矽層 804。這種蝕刻可建構孔穴 814 並界定線路 104。

孔穴 814 係填滿氮化矽 (Si_3N_4) 816 並被其覆蓋。

Si_3N_4 覆蓋物 816 係利用 RIE 而回蝕至與覆蓋 n 摻雜
15 矽電極 104 (其形成犧牲層 304) 之 SiO_2 層 806 之剩餘部分相同的高度 818。

圖 9 顯示形成另一第一中間構造 302 之一種方法。在這種方法之下，係提供類似 407 (顯示於圖 4 中，而非
圖 9) 之構造。於此狀況下， Si_3N_4 支撐部 102 具有大約 30 nm 之高度。薄金屬層 902 係沈積在 Si_3N_4 支撐部 102 上面以及位於如以元件 903 所描繪的孔穴 904 之底部的露出部分
20 SiO_2 上面。金屬 902 與 903 形成暫時電極。接著，n 摻雜矽層 906 可沈積或藉由電鍍而成長，藉以覆蓋電極 903 直到矽 906 達到支撐部 102 上面的高度 908 並接觸電極 902 為止。成長過程可能由下部與上部金屬電極 902、903 之

五、發明說明 (15)

間的電流起始所控制。

然後，露出的金屬電極 902 可藉由濕式化學法或乾式化學法而移除。這會形成類似上述構造 411 之中間構造 411'，但具有隱藏電極 903 以作為矽成長過程之人工製品。

5 接著，使構造 411' 氧化以形成位於矽之露出部分的犧牲層 304，如上所述。舉例而言，可使這些層 304 成長至大約 10 nm 之厚度。

圖 10 顯示形成第一中間構造 302 之另一種方法。矽基板 1002 係被使用作為原始材料，在矽基板 1002 上面具有一層二氧化矽 1004，而在層 1004 上面具有矽(n 摻雜)之第二層 1006。光罩層 1008 係被光刻圖案化而形成在層 1006 上面。

藉由使用氮化技術，n 摻雜矽層 1006 之露出部分 1010 會被化學改變成 Si_3N_4 支撐部 102。層 1006 之未改變部分 15 形成線路 104。

光罩 1008 會被移除，藉以形成類似上述之構造 411。

然後，使矽表面之露出部分 1012 氧化，以形成 SiO_2 犧牲層 304。

圖 11 顯示形成另一第一中間構造 302''' 之一種方法。在這種方法之下，矽基板 1100 上具有一層 Si_3N_4 之薄膜 1104 以作為起始構造。在氮化矽層 1104 上面，增加 n 摻雜矽並藉由 RIE 進行光刻圖案化以形成線路 104。

線路 104 之表面被氧化以形成作為犧牲層 304' 之另一形式之 SiO_2 層 1106。

五、發明說明 (16)

此構造係以 Si_3N_4 1108 過度成長並被回蝕以形成平面 306 並形成另一第一中間構造 302'''。如熟習本項技藝者將明白的，在這種方法之下，當犧牲層接著被移除時，線路 104 將與支撐部 102 分離。吾人可能採用此種技術之其他變化以建立線路 104 之另一橫剖面。舉例而言，所建構之線路 104 可具有圓頂，或具有三角形或梯形橫剖面。此外，橫剖面可具有其他形式，例如具有錐形側之三角形。

如上所說明的，一旦形成例如第一中間構造 302，毛面毫微管層 312 就會被設置在構造 302 之平面 306 上面。在較佳實施例中，非編織物層 312 係透過催化劑 308 之使用與透過成長環境之控制而成長在構造上面。其他實施例可各別提供毛面毫微管層 312，並將其直接塗敷在構造 302 上面。雖然在這種方法下的構造 302 最好是包含犧牲層以提供一個平面來接收獨立成長織物，但在這種方法下可能不需要犧牲層。

因為成長過程使這種毫微管之下面與中間構造 302 之平面 306 接觸，所以它們顯現出"自我裝配"特色，如由圖 12 所提出的。尤其，個別毫微管容易黏著至它們所成長之表面上(只要是非常有利的)，以使它們實質上形成為"單層"。某些毫微管可成長在另一個的上面，所以單層並未被認為是完美的。個別毫微管並未互相"編織"，但由於凡得瓦爾力而的確互相黏著。圖 12 係為實際毫微管非編織物之大概描述。因為毫微管之小輪廓尺寸，所以現代化掃描電子顯微鏡甚至無法在不喪失準確度的情況下"拍下"

五、發明說明 (17)

實際織物；毫微管具有像 1-2nm(其係在 SEM 之準確度以下)一樣小的輪廓尺寸。舉例而言，圖 12 提議織物之毛面種類，然而從圖中無法清楚看到的是此織物可能在沒有管存在的情況下具有不連續性之小區域。每條管一般具有直徑 1-2 nm (從而界定大約 1-2 nm 之織物層)，且可能具有幾個微米之長度，但可能和 200 微米一樣長。這些管可彎曲且偶而彼此相交。這些管係經由凡得瓦爾力而彼此附著。

在某些實施例中，毫微管朝 x 與 y 軸方向之成長實質上並未受到限制，但由於自我裝配特色朝 z 軸(垂直於圖 12 之頁面)方向之成長實質上會受到限制。其他實施例可補充上述方法以使用圖場導向或流動導向成長技術來使毛面 312 成長。這種補充可能用以更進一步調整成長，以使在一個平面軸(例如 x 軸)中之任何成長遲緩。這允許以可控制之密度之毫微管之平面相互編織之單層塗層來更均勻覆蓋期望之區域。

毛面毫微管層 312 與下層矽線路 104 之平面視圖係顯示於圖 13 中。

如上所述，一旦毛面毫微管層 312 被設置在表面 306 上面，層 312 就會被圖案化並蝕刻以界定出與支撐部 102 相交之毫微管織物之帶狀物 101。然後，例如利用酸來移除犧牲層，藉以形成上述與圖 3 相關之陣列 322。因為毫微管 312 之毛面層形成非連續薄膜之非編織物，所以蝕刻劑或其他化學劑可在個別毫微管"纖維"之間擴散，且更容

五、發明說明 (18)

易到達例如犧牲層之下層元件。

後來的金屬化製程可能用以形成圖 1 所示之例如定址電極 112，如上所描繪的。其他實施例使用毫微管技術，以取代使用金屬化之電極 112 與定址線(未顯示)來實現記
5 憶體單元之定址。

具體而言，在上述某些實施例之下，毫微管係用以形成 NTRCM 陣列。某些實施例使用毫微管技術(不論以個別配線或是以帶形式)以實現定址邏輯，用以選擇供讀取或寫入動作用之記憶體單元。這種方法促進毫微管技術整
10 合成系統設計，且可提供有利於較高層級之系統設計的功能性。舉例而言，在此種方法之下，記憶體結構將不僅以非揮發性的方式儲存記憶體內容，而且本質上將儲存最終記憶體位址。

毫微管式記憶體單元具有以"0"與"1"狀態間之高比率
15 電阻為特徵之雙穩態。這些狀態間之切換係藉由施加橫越過毫微管帶或配線與下層線路之特定電壓而達成，其中至少一記憶體單元元件係為毫微管或毫微管帶狀物。在一種方法中，施加"讀出電流"，並以"感測放大器"決定橫越過此接面之電壓。讀取動作是非破壞性的，其意指單元可維
20 持其狀態，且因其利用 DRAM 來完成，故不需要寫回動作。

圖 14 說明分支二進位選擇系統或解碼器 1400。如以下將說明的，解碼器 1400 可能利用毫微管或毫微管帶狀物技術而實現。此外，解碼器可能被建構在與毫微管記憶

五、發明說明 (19)

體單元陣列(例如 NTRCM 或 NTWCM)相同的電路元件上。

兩條線 1404 與 1406 之垂直交點(描繪成點 1402)表示兩個毫微管或毫微管帶狀物之接面。關於這一點，交互作用係類似於 CMOS 與其他技術中所找到的"通道電晶體 (pass transistor)"，於其中可能開啟或關閉交點。

例如 1420 之位置(於該處之一條毫微管或毫微管帶狀物可能與另一條相交但並不打算建構縱橫接面)可能因元件間之光刻圖案化絕緣體而彼此隔離。

為了清楚起見，所顯示之解碼器係供在定址線 1408 上傳送之 3 位元二進位位址使用。依據編碼之數值，交點(點)將被切換，用以只建立一條讓感測電流 I 可流過選擇線 1418 之路徑。

為了使用此種技術，從外部製作二進位位址之每個位元之"雙軌"表徵 1408，俾能使每一個位址位元 1410 係以真實與互補形式出現。因此，線 1406 可以是位址線 1408a 之邏輯真實型態，而線 1407 可以是位址線 1408a 之邏輯互補。表徵 1408 之電壓值係與如上所述將縱橫接面切換成"1"或"0"狀態所需要之電壓值相符。

於此方式中，位址 1408 可能用以將感測電流 I 供應至一位元或一陣列中之一列位元(例如，供應至毫微管或毫微管帶狀物)。同樣地，相同的方法可能用以感測一條既定線路，舉例而言，由聯合選擇一系列來選擇特定陣列行以讀取感測。因此，此方法可能用來作 X 及/或 Y 解碼以

五、發明說明 (2c)

供用以讀取與用以寫入動作兩者使用。

本發明之某些實施例提供一種混合技術電路 1500，顯示於圖 15 中。核心記憶體單元陣列 1502 係藉由使用 NTWCM 或 NTRCM 而建立，而那個核心係由形成 X 與 Y 5 位址解碼器 1504 與 1506；X 與 Y 緩衝器 1508 與 1510；控制邏輯 1512 與輸出緩衝器 1514 之半導體電路所包圍。圍繞 NTWCM 或 NWBCM 核心之電路可能用於習知之連接功能，包括提供讀取電流並感測輸出電壓。

在其他實施例中，可能以上述所討論的毫微管配線或 10 帶定址技術來置換另一 X 與 Y 位址解碼器 1504 與 1506。在這些實施例中，核心將包含記憶體單元與定址邏輯。

在某些實施例中，混合電路 1500 可能藉由使用毫微管核心(只具有記憶體單元或具有記憶體單元與定址邏輯)，以及藉由使用現場可程式化閘陣列實現圍繞電路而形成。如果期望的話，核心與閘陣列電路可能包含於單一 15 實體封裝中。或者，可將它們可能分開封裝。舉例而言，一種密封封裝的毫微管電路(具有記憶體或記憶體與定址邏輯)可能與包含 I/O 連接邏輯之 PLD/FPGA/ASIC 結合。所產生之小型晶片組提供產品之使用者取得 NT 記憶體之 20 益處，同時使"現成(off-the-shelf)"技術之使用得以最大化，這種現成技術可能由製造商依所需基礎來利用。

圖 16 說明混合技術之一種可能的實施例 1600。包含緩衝與控制邏輯(說明於上)之 FPGA 晶片 1602，係經由一個(可能多層)印刷電路板(PCB)1604 之導電線路而連接至

五、發明說明 (21)

包含記憶體單元與定址邏輯之毫微管(NT)晶片 1606。

這種特定實施例提議遵循 PCI 匯流排規格，為現今個人電腦的代表。其他被動電路(例如電容器、電阻、變壓器等(未繪出))亦將需要遵循 PCI 規格。200MHz-400 MHz 之前側匯流排速度係被註解，進而提議譬如晶片組可能運作之各種外部時鐘脈衝速度。這種速度係受限於 PCB 互連、FPGA/PLD/ASIC 速度、以及晶片封裝，而非 NT 記憶體單元速度。

其他實施例

10 除毫微碳管以外，可設想其他具有適合機電切換之電子與機械特性之材料。這些材料將具有類似於毫微碳管之特性，但具有不同且可能減少的抗拉強度。材料之張應變與黏著能量必須落在允許接面之雙穩態與機電切換特性存在於可接受公差內的範圍之內。

15 為了整合供定址用的 CMOS 邏輯，可設想兩種方法。在第一實施例中，毫微管陣列將在金屬化之前但在 CMOS 邏輯元件之植入與平坦化之後被合併。第二種方法需要毫微管陣列在製造包括離子實施與高溫回火步驟之 CMOS 元件之前的成長。在完成這些步驟之時，毫微管帶狀物與
20 CMOS 元件兩者最後的金屬化將藉由使用標準與廣泛使用的協定而得以繼續進行。

亦可設想由位在某些金屬或半導體線上面的 n 摻雜矽所組成之電極。這仍將提供處於 ON 狀態之整流接面，所以沒有多重電流小徑會存在。

五、發明說明 (22)

除了整流接面以外，存在有其他廣泛被接受與使用之方法，用以避免縱橫式陣列中之電性干擾(亦即，多重電流小徑)的發生。在靜態、光刻製造的電極上面的隧道式阻絕，係避免了歐姆 ON 狀態之形成。於零偏壓下沒有漏
5 電流將產生，但必須施加小偏壓以供載荷子用，用以克服相交線間之此種阻絕層與隧道。

經由離子、共價或其他力量之使用以增加黏著能量之方法，可被設想成是改變與電極表面之交互作用。這些方法可用以延伸具有這些接面之雙穩態之範圍。

10 毫微管可利用例如芘之平面共軛烴而發生作用，然後，其可幫助提高帶狀物內之毫微管之間的內部黏著性。

上述樣態之某些(例如混合電路與用以定址之毫微管技術)係適合於個別毫微管(例如使用直接成長技術等)或毫微管帶狀物。

15 吾人將更進一步明白到，本發明之範疇並未受限於上述實施例，而是由以下申請專利範圍所界定，且這些申請專利範圍將包含任何已說明之改善之修改。

五、發明說明 (23)

【圖式之代號說明】

	100~NTRCM 裝置	101~毫微管帶狀物
	102~支撐部	103~記憶體單元
	104~下層線路	105~接面
5	106~接面	108~氮化矽層
	109~閘極氧化層	110~矽基板
	112~電極	206~電極
	208~間隔	302~中間構造
	302'~中間構造	302''~中間構造
10	302'''~中間構造	304~犧牲層
	304'~犧牲層	306~上表面
	308~催化劑	310~中間構造
	312~毫微管層	314~中間構造
	318~中間構造	320~部分
15	322~陣列	400~矽晶圓
	402~氧化層	404~氮化矽層
	406~孔穴	407~支撐構造
	408~覆蓋物	410~上表面
	411~中間構造	411'~中間構造
20	514~n 摻雜矽層	600~矽基板
	602~氮化矽層	604~高度
	606~間距	608~露出之矽表面
	610~絕緣層	700~矽基板
	702~二氧化矽層	704~氮化矽層

五、發明說明 (24)

	706~圖案化光阻層	708~孔穴
	710~n 摻雜矽	712~高度
	800~起始構造	802~最低矽層
	804~二氧化矽層	806~第二矽層
5	808~二氧化矽層	810~RIE 光罩
	812~露出部分	814~孔穴
	818~高度	902~金屬電極
	903~金屬電極	904~孔穴
	906~n 摻雜矽層	908~高度
10	1002~矽基板	1004~二氧化矽
	1006~n 摻雜矽層	1008~光罩層
	1010~露出部分	1012~露出部分
	1100~矽基板	1104~氮化矽層
	1400~解碼器	1402~點
15	1404~線	1406~線
	1407~線	1408a~位址線
	1408~定址線	1410~位址位元
	1418~選擇線	1500~混合電路
	1502~核心記憶體單元陣列	
20	1504~位址解碼器	1506~位址解碼器
	1508~緩衝器	1510~緩衝器
	1512~控制邏輯	1514~輸出緩衝器
	1600~實施例	1602~FPGA 晶片
	1604~印刷電路板	1606~毫微管晶片

四、中文發明摘要（發明之名稱：)

具有毫微管技術構成之單元選擇電路的電機記憶體

本發明揭露一種具有電機記憶體單元與解碼器之記憶體系統。解碼器電路選擇這種單元之陣列之至少一記憶體
5 單元。陣列中之每個單元係為一個縱橫接面，且其至少一元件係為毫微管或毫微管帶狀物。解碼器電路係由縱橫接面所建構，且每個接面之至少一元件係為毫微管或毫微管帶狀物。

10

英文發明摘要（發明之名稱：)

Electromechanical Memory Having Cell Selection Circuitry
Constructed with Nanotube Technology

A memory system having electromechanical memory cells and decoders is disclosed. A decoder circuit selects at least one of the memory cells of an array of such cells. Each cell in the array is a crossbar junction at least one element of which is a nanotube or a nanotube ribbon. The decoder circuit is constructed of crossbar junctions at least one element of each junction being a nanotube or a nanotube ribbon.

六、申請專利範圍

1. 一種記憶體系統，包含：

複數個電機記憶體單元之記憶體單元陣列，其中每個單元係為縱橫接面，且其至少一元件係為毫微管或毫微管帶狀物；

5 一解碼器電路，用以選擇至少一記憶體單元供存取用，該解碼器電路係由複數個縱橫接面所建構，每個接面之至少一元件係為毫微管或毫微管帶狀物。

2. 如申請專利範圍第 1 項所述之記憶體系統，其中該解碼器電路係被配置成分支二進位選擇系統，用以將電流
10 提供給至少一選擇單元。

3. 如申請專利範圍第 1 項所述之記憶體系統，其中該記憶體單元陣列與該解碼器電路係被整合成單一電路晶片。

4. 如申請專利範圍第 2 項所述之記憶體系統，其中該
15 分支二進位選擇系統接收在雙軌輸入上呈現真實與互補形式之位址資訊。

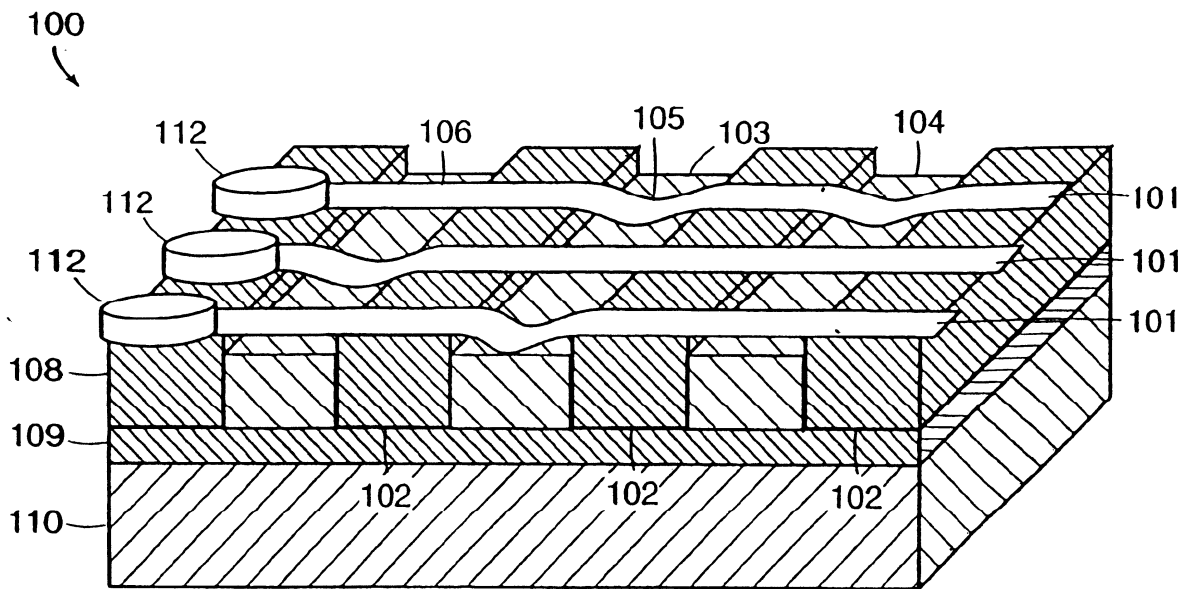


圖 1

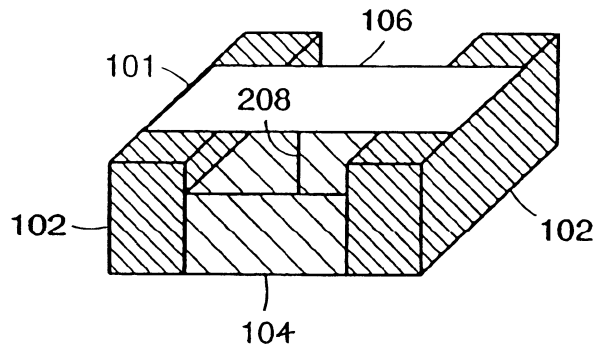


圖 2A

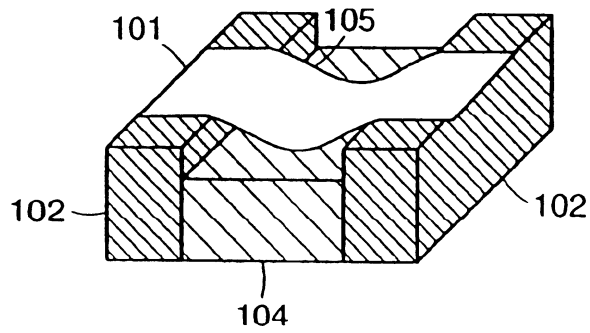


圖 2B

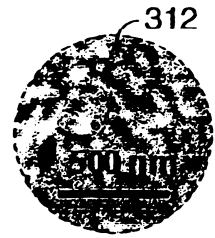
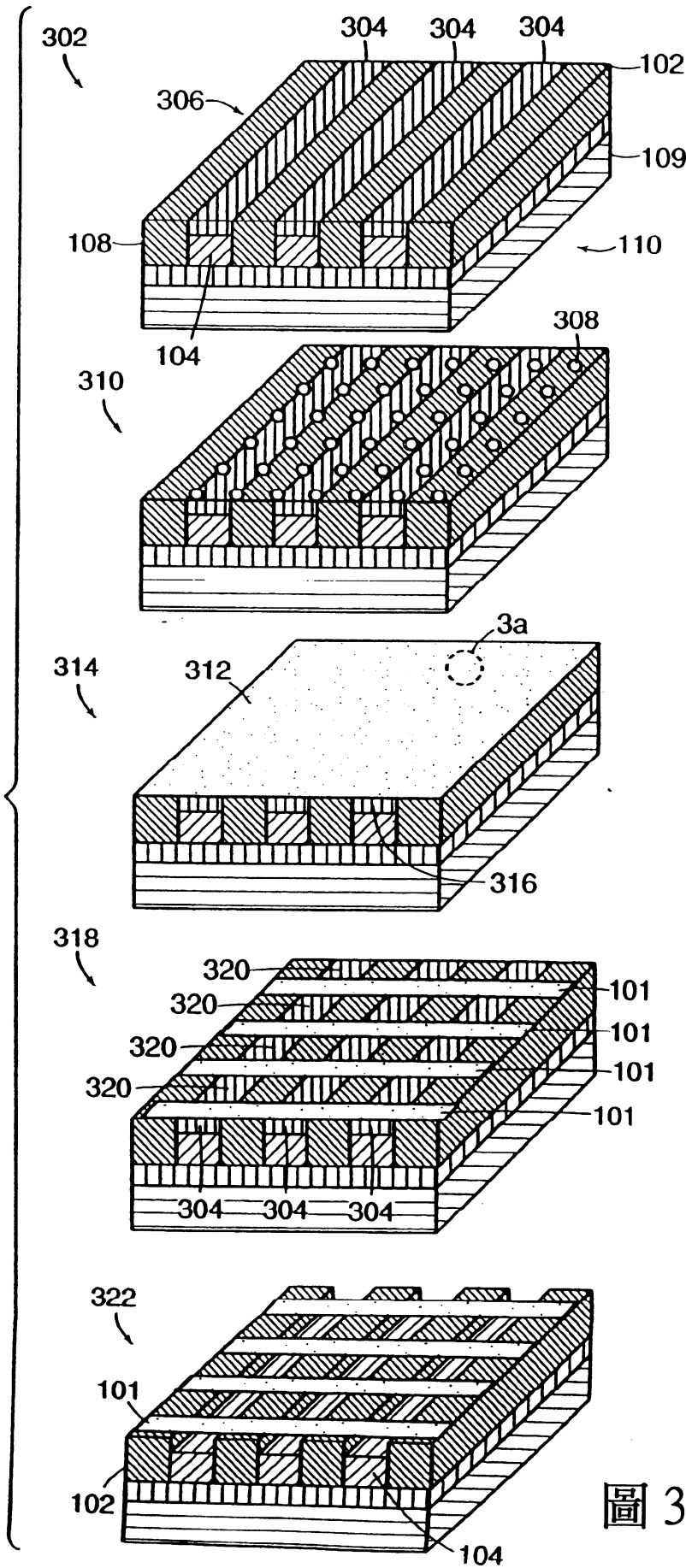


圖 3a

圖 3

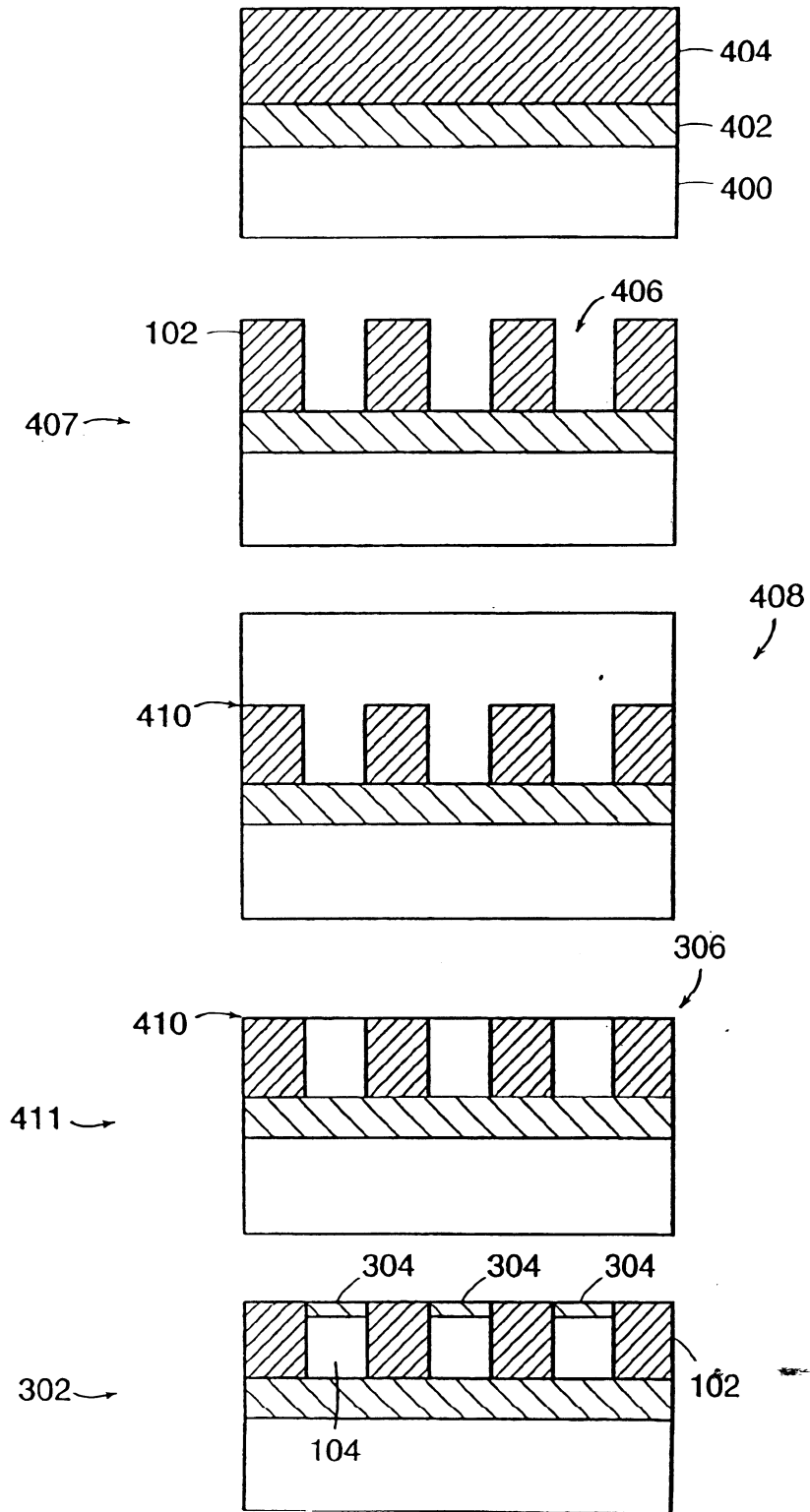


圖 4

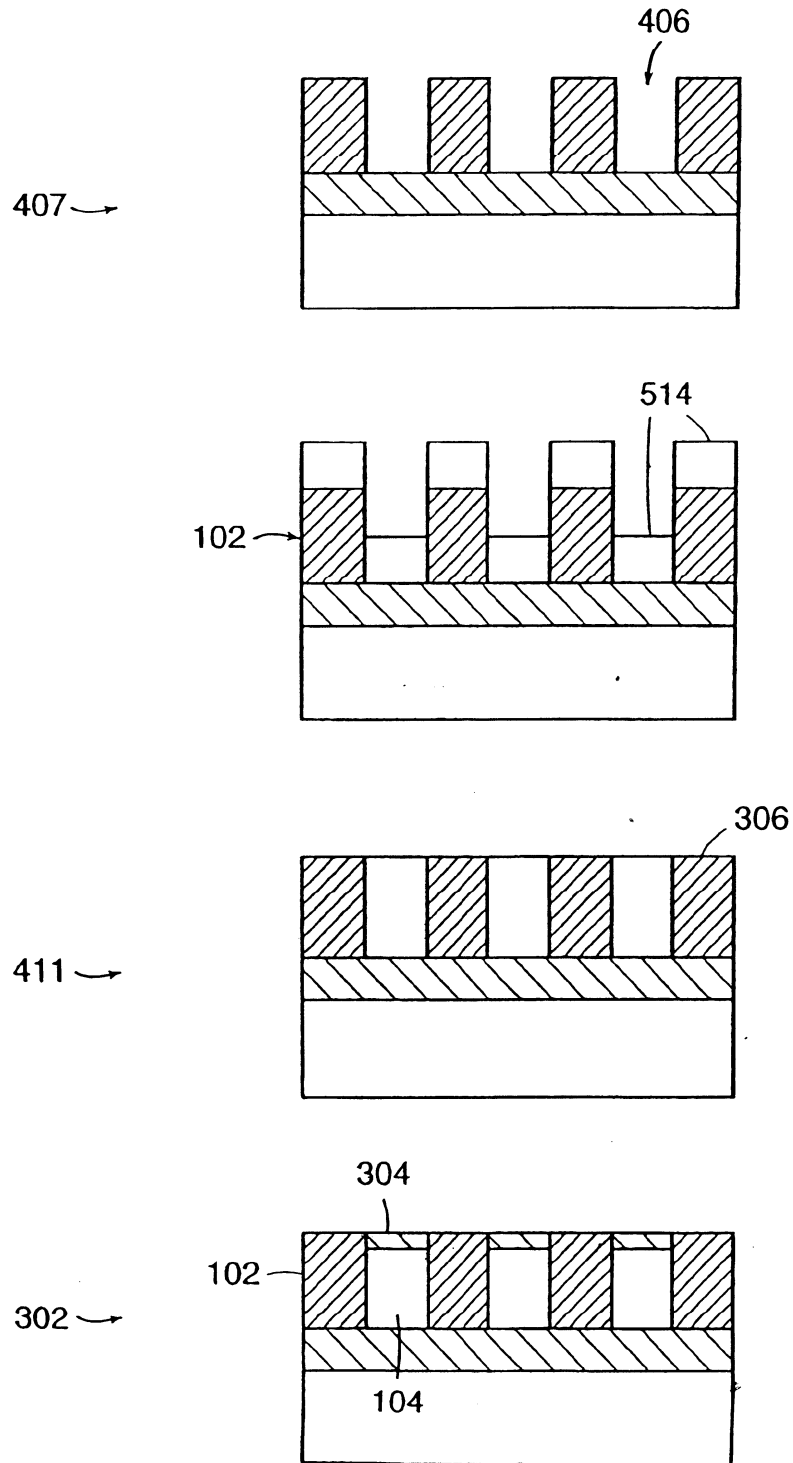


圖 5

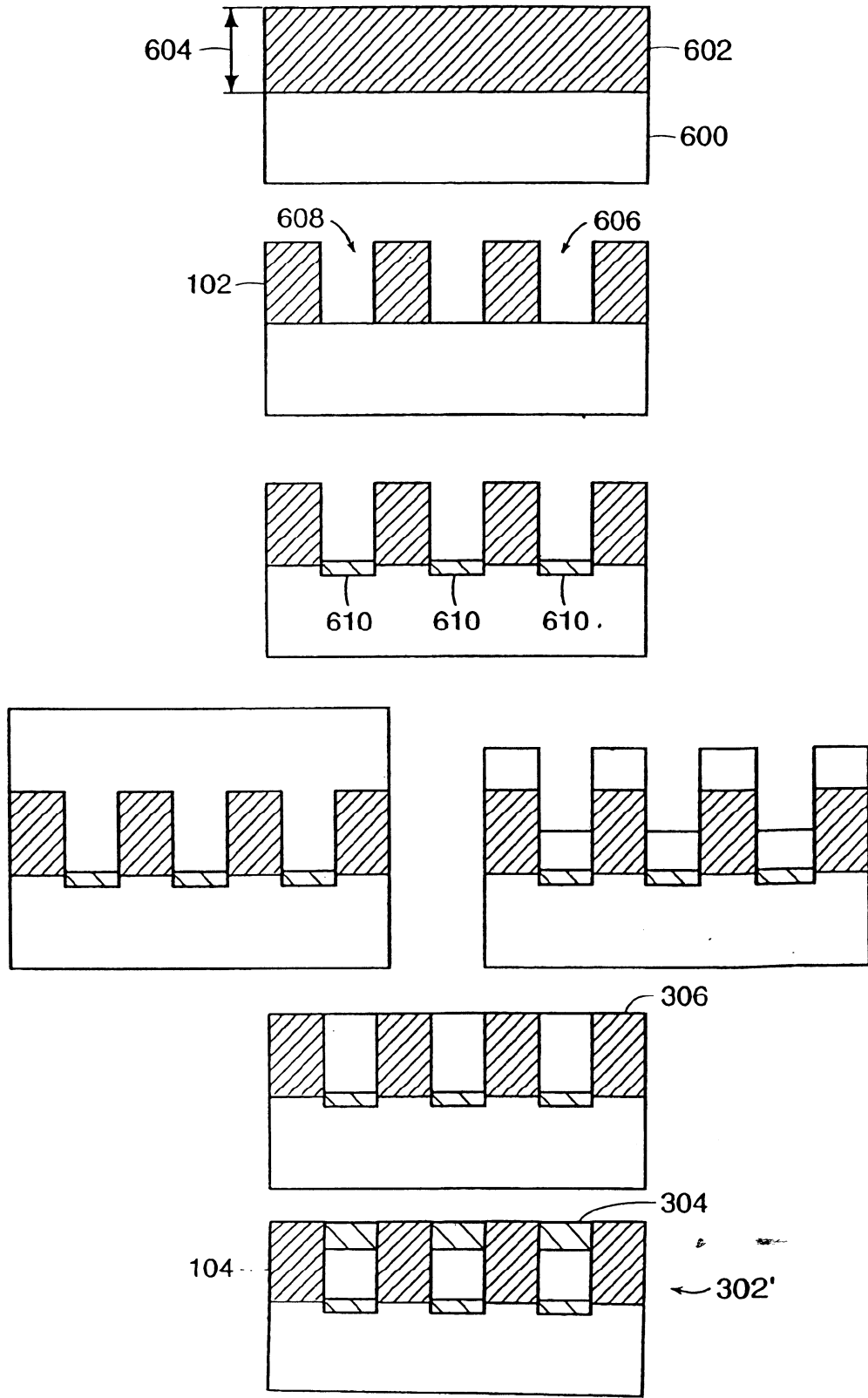


圖 6

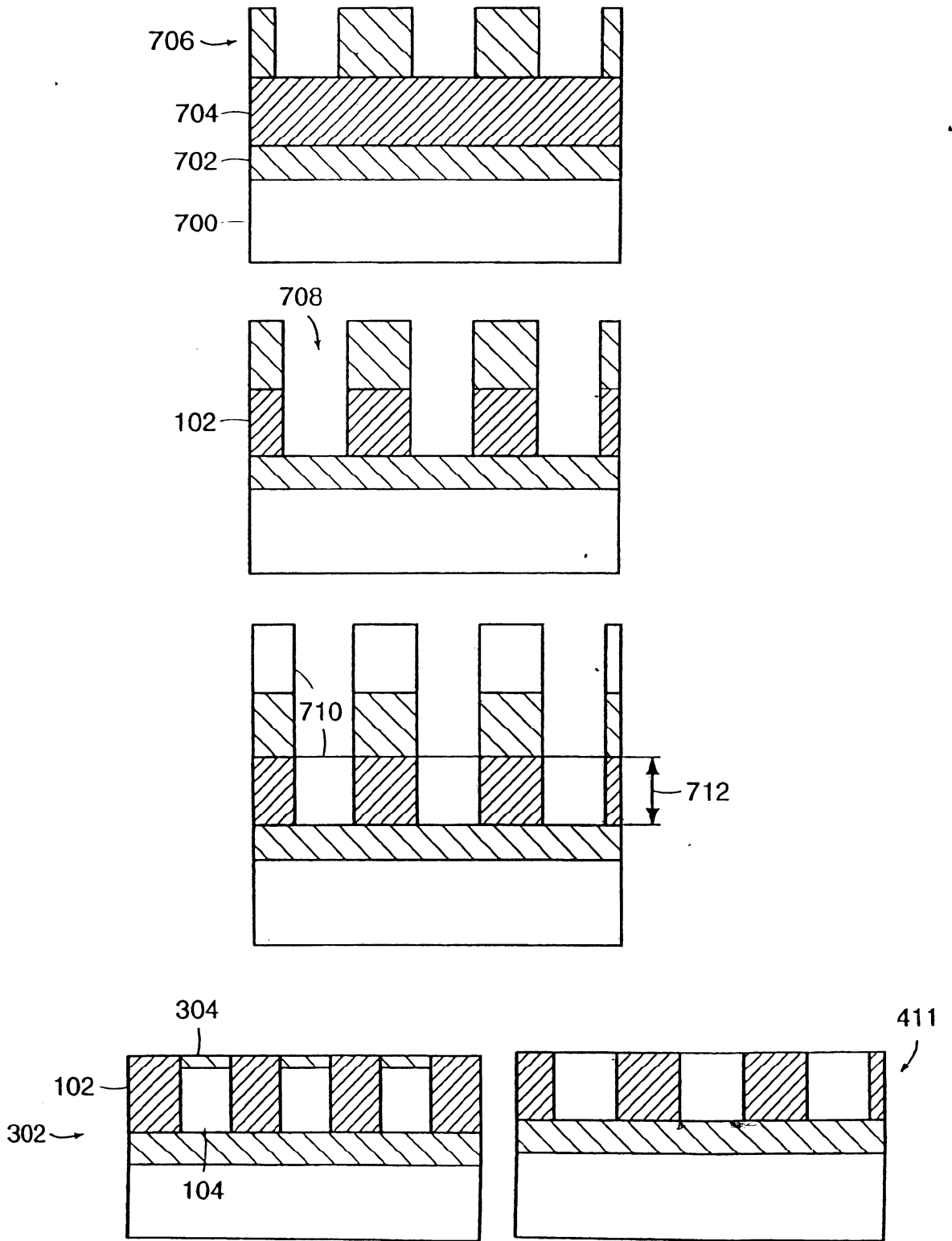


圖 7

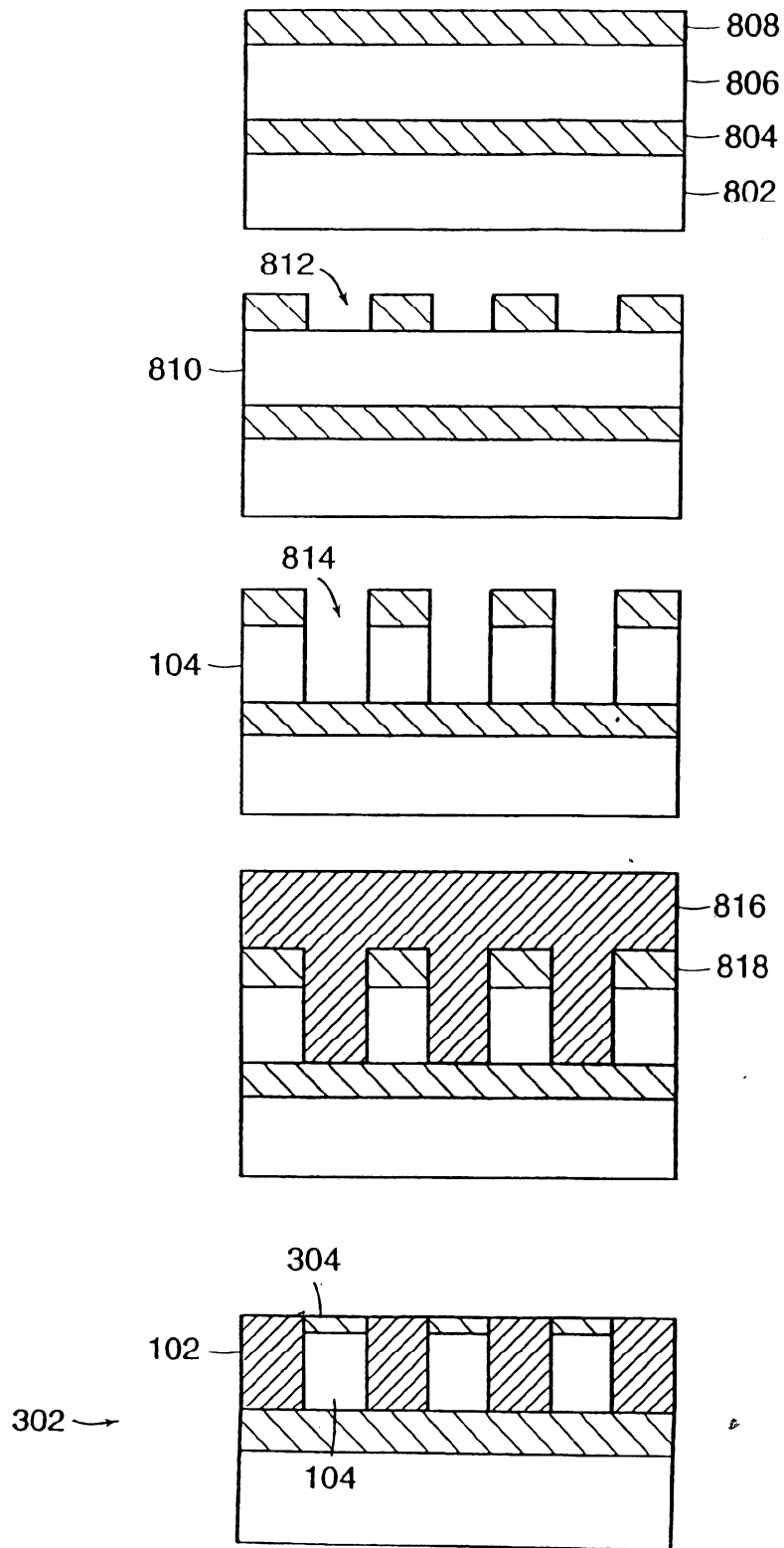


圖 8

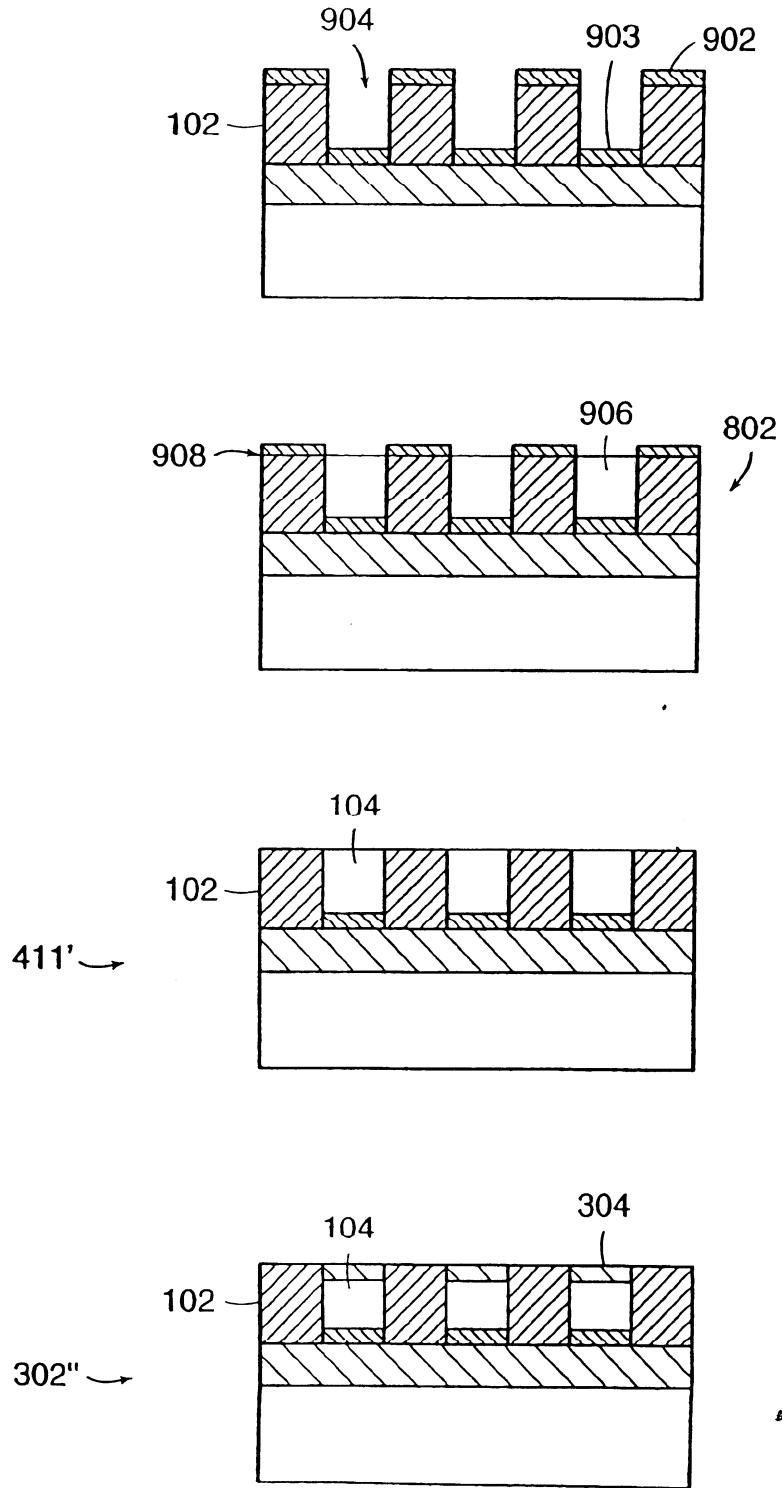


圖 9

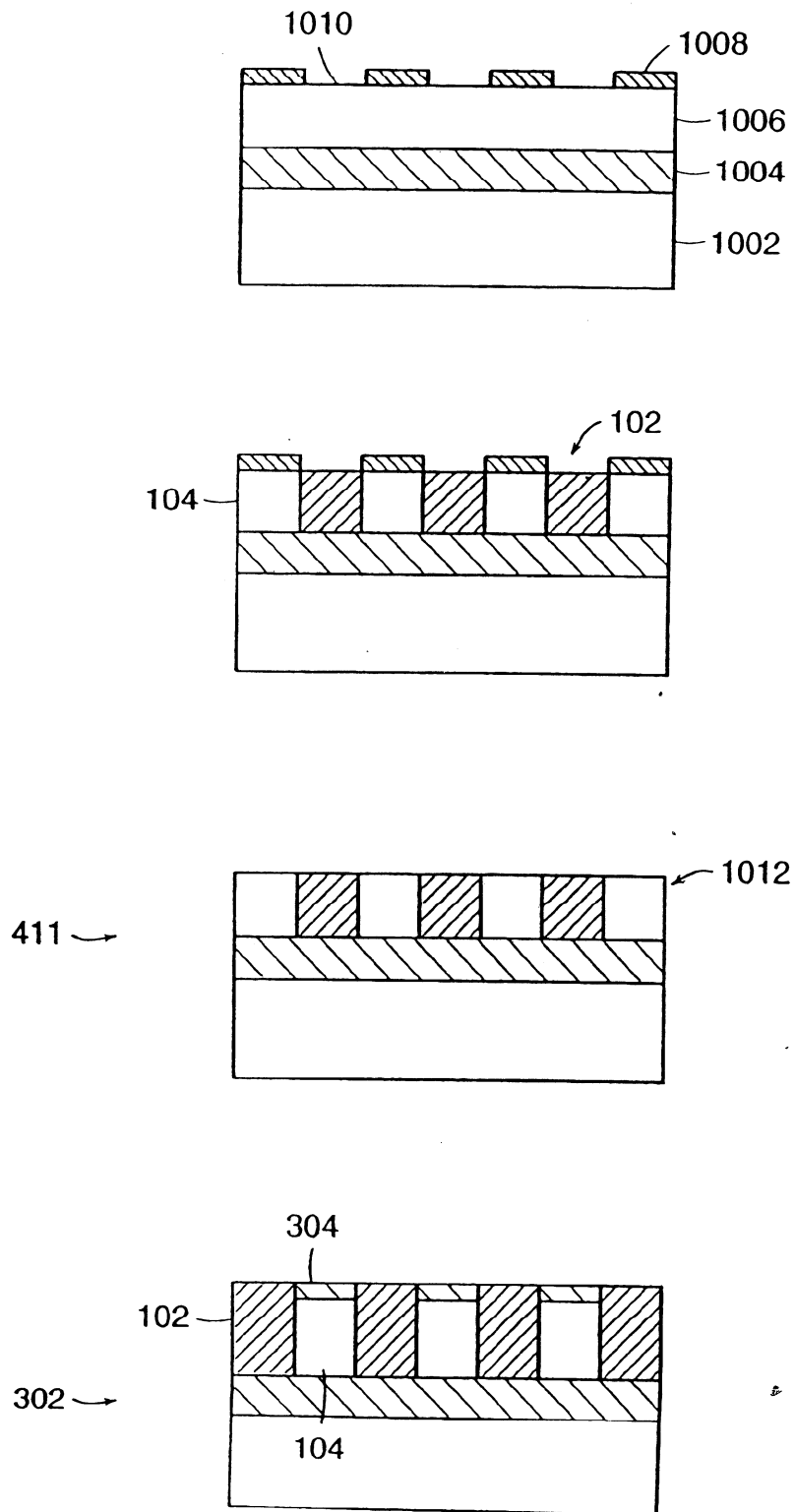


圖 10

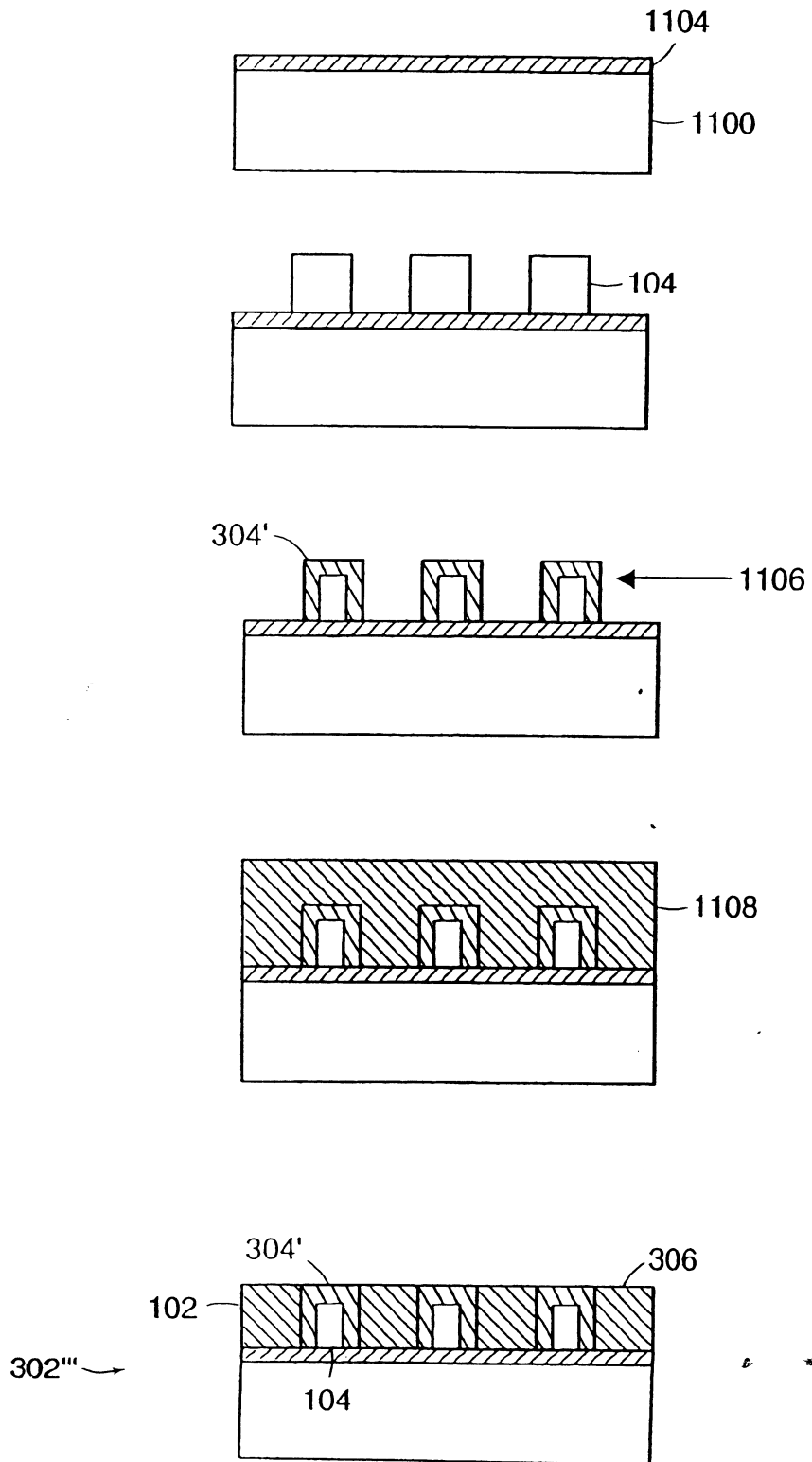


圖 11

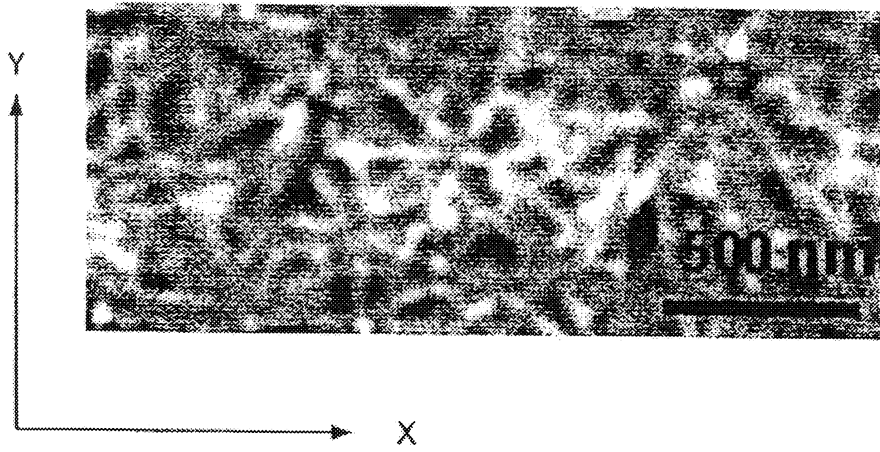


圖 12

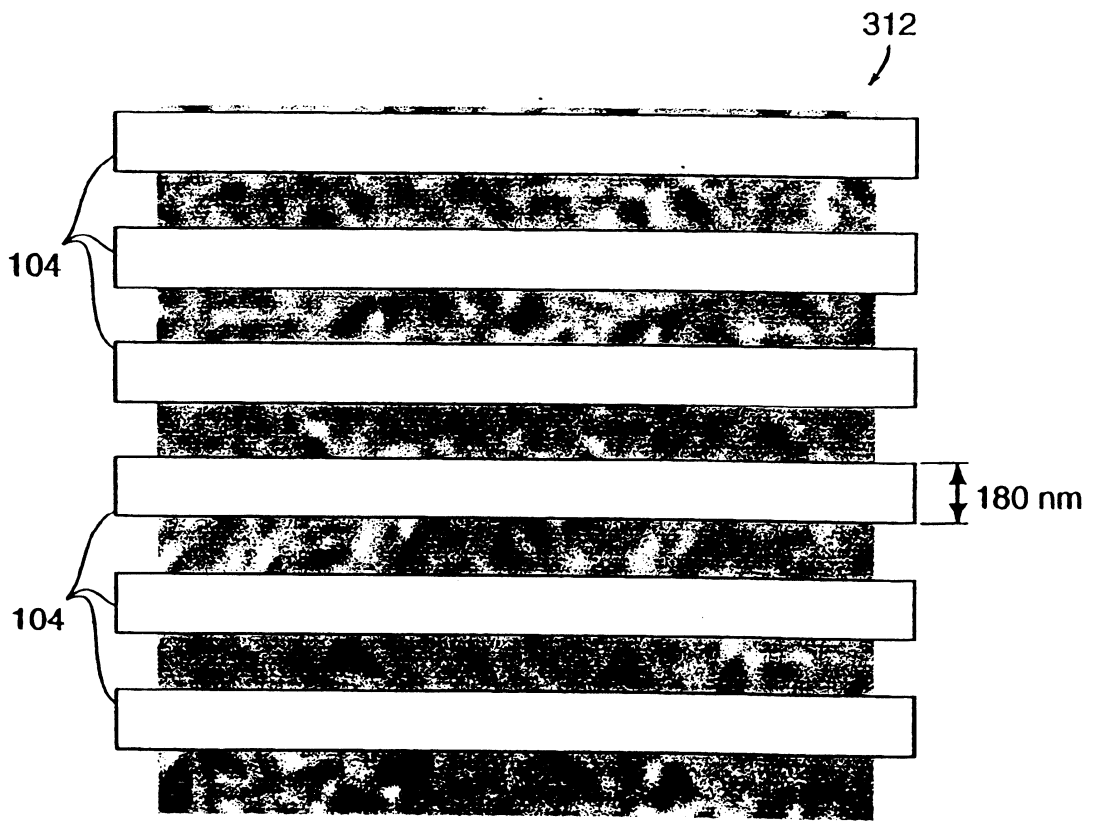


圖 13

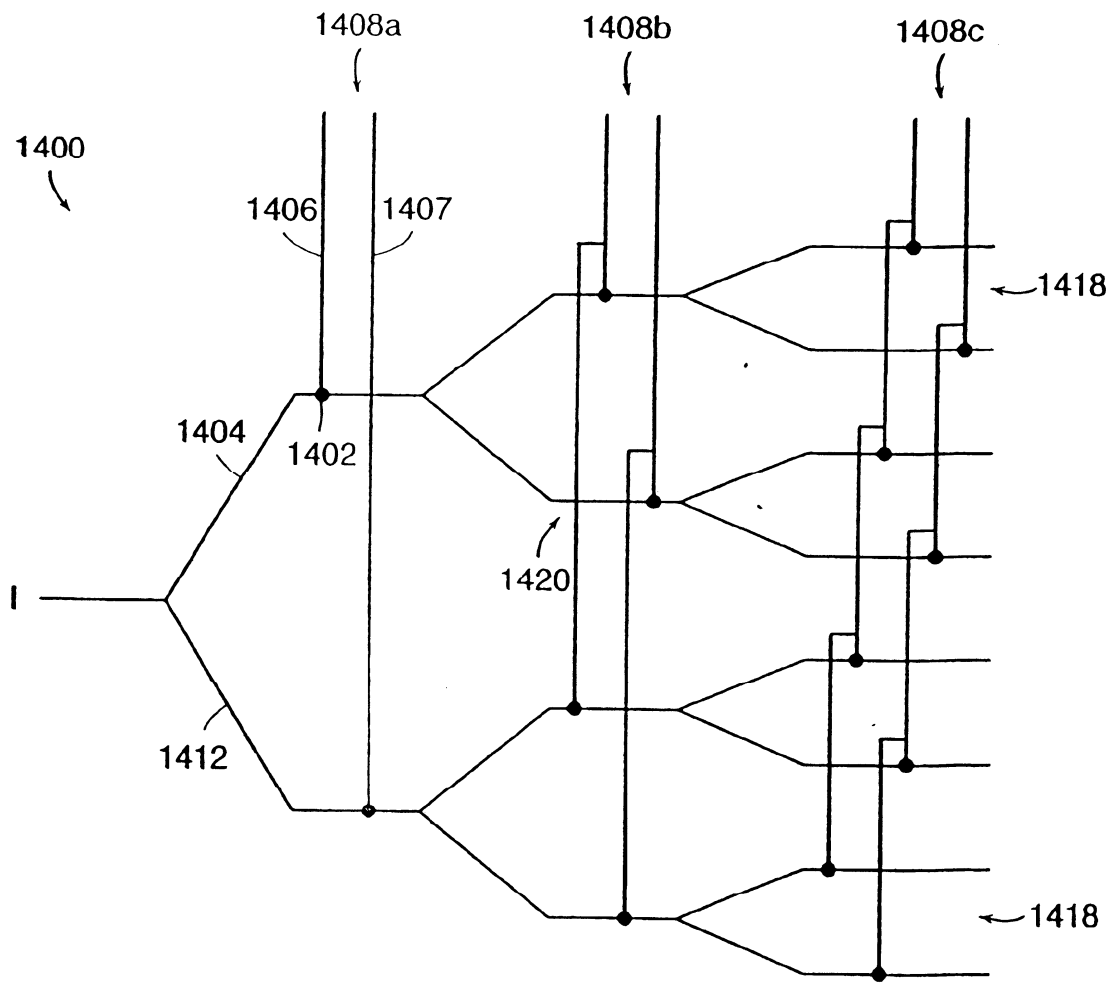


圖 14

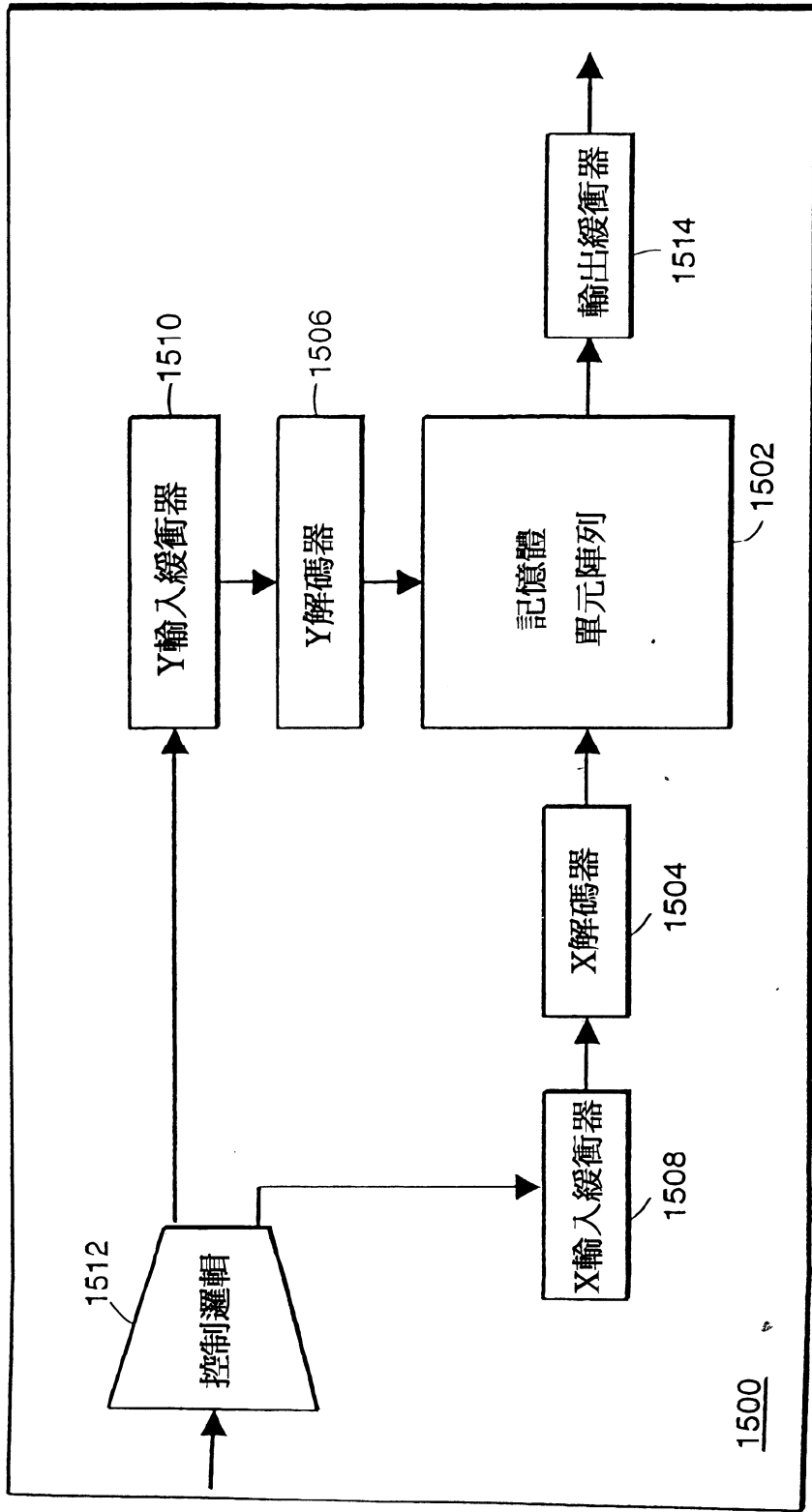


圖 15

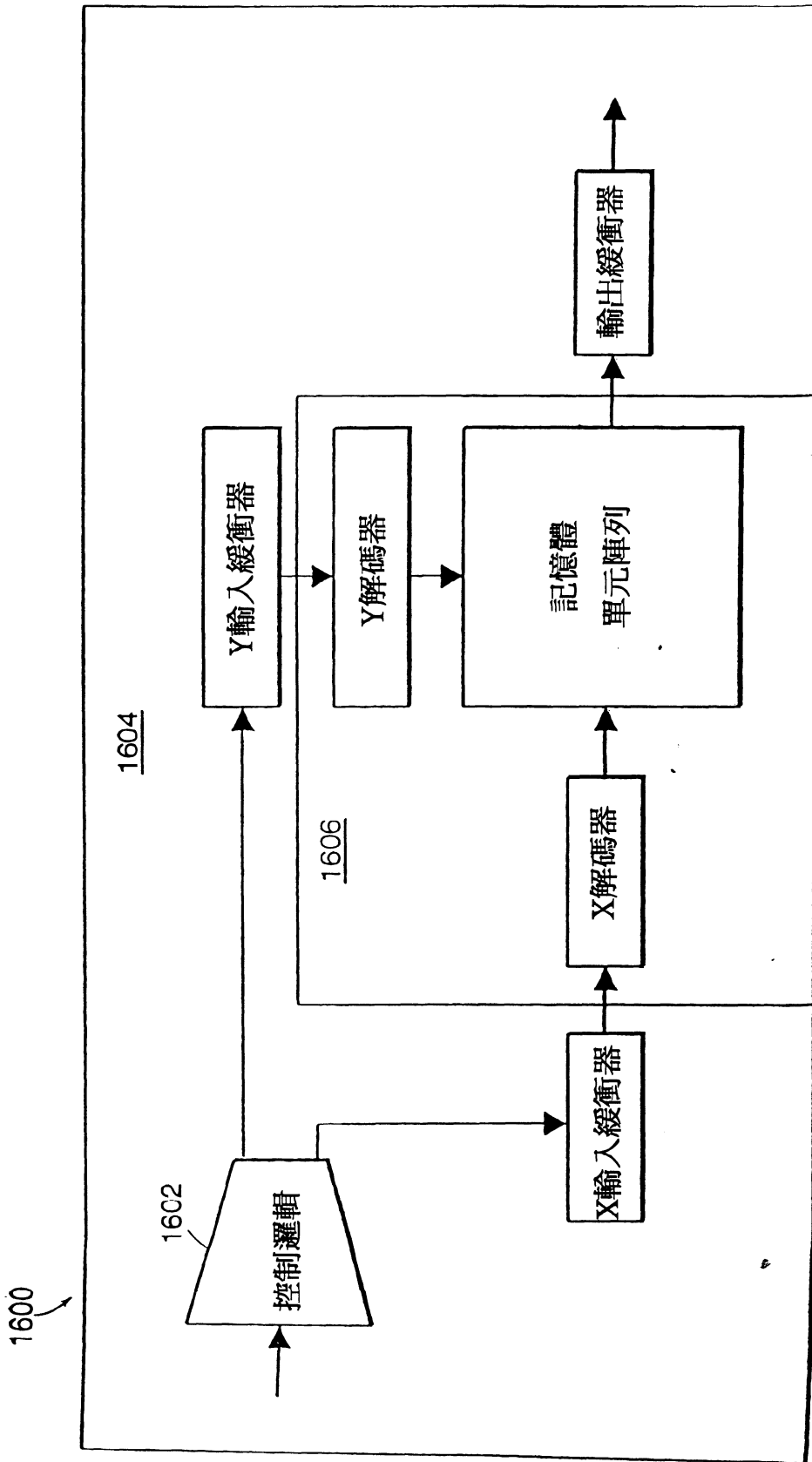


圖 16

(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

100~NTRCM 裝置	101~毫微管帶狀物
102~支撐部	103~記憶體單元
104~下層線路	105~接面
106~接面	108~氮化矽層
109~閘極氧化層	110~矽基板
112~電極	

本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無