



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년12월16일
 (11) 등록번호 10-1341566
 (24) 등록일자 2013년12월09일

(51) 국제특허분류(Int. Cl.)
 G01R 31/26 (2006.01) G01R 31/00 (2006.01)
 (21) 출원번호 10-2007-0069259
 (22) 출원일자 2007년07월10일
 심사청구일자 2012년07월09일
 (65) 공개번호 10-2009-0005875
 (43) 공개일자 2009년01월14일
 (56) 선행기술조사문헌
 JP2007163463 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 조병환
 경기도 용인시 수지구 진산로 90, 삼성5차아파트
 진산마을 508동 102호 (풍덕천동)
 (74) 대리인
 오세준, 권혁수, 송윤호

전체 청구항 수 : 총 35 항

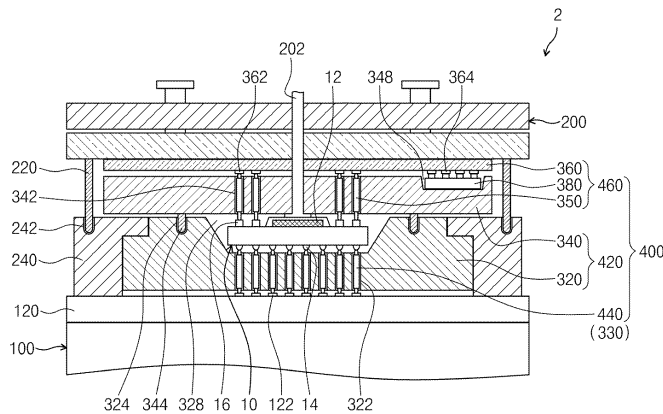
심사관 : 정종환

(54) 발명의 명칭 **소켓, 검사 장치, 그리고 적층형 반도체 소자 제조 방법**

(57) 요약

본 발명은 하면에 제 1 연결 단자들이 형성되고, 상면에 제 2 연결 단자들이 형성된 반도체 소자 패키지의 전기적 특성을 검사하는 장치를 제공한다. 검사 장치는 일면에 제 1 패드들이 형성된 테스트 보드, 반도체 소자 패키지와 테스트 보드를 전기적으로 연결하는 소켓을 가진다. 상기 소켓은 제 1 연결 단자들과 전기적으로 연결되는 제 1 연결 유닛과 상기 제 2 연결 단자들과 전기적으로 연결되는 제 2 연결 유닛을 가진다. 상기 테스트 보드의 상기 제 1 패드들과 상기 제 1 연결 단자를 전기적으로 연결하는 제 1 핀들을 가지고, 상기 제 2 연결 유닛은 서로 간에 전기적으로 연결되는 제 1 패드들과 제 2 패드들을 가지는 소켓 기판, 상기 소켓 기판의 상기 제 1 패드들과 상기 검사 대상물의 상기 제 2 연결 단자를 전기적으로 연결하는 제 2 핀들, 상기 소켓 기판의 상기 제 2 패드들과 전기적으로 연결되며 상기 검사 대상물과 전기 신호를 주고받는 양품의 전자 부품을 가진다.

대표도



특허청구의 범위

청구항 1

하면에 제 1 연결 단자들이 형성되고, 상면에 제 2 연결 단자들이 형성된 검사 대상물의 전기적 특성을 검사하는 장치에 있어서,

일면에 제 1 패드들이 형성된 테스트 보드와;

상기 검사 대상물과 상기 테스트 보드를 전기적으로 연결하는 소켓과; 그리고

상기 소켓으로 상기 검사 대상물을 이송하는 핸들러를 구비하되,

상기 소켓은,

상기 검사 대상물의 상기 제 1 연결 단자들과 전기적으로 연결되는 제 1 연결 유닛과;

상기 검사 대상물의 상기 제 2 연결 단자들과 전기적으로 연결되는 제 2 연결 유닛을 포함하되,

상기 제 1 연결 유닛은,

상기 테스트 보드의 상기 제 1 패드들과 상기 검사 대상물의 상기 제 1 연결 단자를 전기적으로 직접 연결하는 제 1 핀들을 가지고,

상기 제 2 연결 유닛은,

서로 간에 전기적으로 연결되는 제 1 패드들과 제 2 패드들을 가지는 소켓 기관과;

상기 소켓 기관의 상기 제 1 패드들과 상기 검사 대상물의 상기 제 2 연결 단자를 직접 전기적으로 연결하는 제 2 핀들과;

상기 소켓 기관의 상기 제 2 패드들과 전기적으로 연결되며, 상기 검사 대상물과 전기 신호를 주고받는 양품의 전자 부품을 구비하되,

상기 양품의 전자 부품은 상기 검사 대상물과는 다른 위치에 제공되는 검사 장치.

청구항 2

제 1 항에 있어서,

상기 소켓은,

제 1 몸체와;

상기 제 1 몸체에 착탈 가능한 제 2 몸체를 가지고,

상기 제 1 연결 유닛의 상기 제 1 핀들은 상기 제 1 몸체를 상하로 관통하도록 형성된 제 1 홀들에 삽입 설치되고,

상기 제 2 연결 유닛의 상기 제 2 핀들은 상기 제 2 몸체를 상하로 관통하도록 형성된 제 2 홀들에 삽입 설치되며,

상기 소켓 기관은 상기 제 2 몸체의 상부에 배치되고,

상기 소켓 기관과 상기 제 2 몸체는 상기 핸들러에 고정 설치되고,

상기 검사 장치는 상기 제 1 몸체가 삽입되는 통공이 형성되며, 상기 제 1 몸체를 상기 테스트 보드에 고정하는 지지대를 더 포함하고,

상기 지지대와 상기 핸들러 중 어느 하나에는 정렬 핀이 설치되고, 다른 하나에는 상기 정렬 핀이 삽입되는 정렬 홀이 형성되는 검사 장치.

청구항 3

제 1 항에 있어서,
 상기 양품의 전자 부품은 상기 소켓 기관에 납땜에 의해 고정 설치되는 검사 장치.

청구항 4

제 1 항에 있어서,
 상기 양품의 전자 부품은 상기 소켓 기관에 탈착 가능하게 설치되는 검사 장치.

청구항 5

제 1 항에 있어서,
 상기 검사 대상물은 제 1 반도체 소자가 내장된 패키지이고,
 상기 양품의 전자 부품은 상기 제 1 반도체 소자와 전기적 신호를 주고받는 제 2 반도체 소자를 포함하는 검사 장치.

청구항 6

제 1 항에 있어서,
 상기 검사 대상물은 제 1 반도체 소자가 내장된 제 1 반도체 소자 패키지이고,
 상기 양품의 전자 부품은 상기 제 1 반도체 소자 패키지에 적층하고자 하는 제 2 반도체 소자 패키지에 제공되는 제 2 반도체 소자를 포함하는 검사 장치.

청구항 7

제 6 항에 있어서,
 상기 제 1 반도체 소자는 로직 칩을 포함하고, 상기 제 2 반도체 소자는 메모리 칩을 포함하는 검사 장치.

청구항 8

하면에 제 1 연결 단자들이 형성되고, 상면에 제 2 연결 단자들이 형성된 검사 대상물의 전기적 특성을 검사하는 장치에 있어서,
 일면에 제 1 패드들이 형성된 테스트 보드와;
 상기 검사 대상물과 상기 테스트 보드를 전기적으로 연결하는 소켓과; 그리고
 상기 소켓으로 상기 검사 대상물을 이송하는 핸들러를 구비하되,
 상기 소켓은,
 상기 검사 대상물의 상기 제 1 연결 단자들과 전기적으로 연결되는 제 1 연결 유닛과;
 상기 검사 대상물의 상기 제 2 연결 단자들과 전기적으로 연결되는 제 2 연결 유닛을 포함하되,
 상기 테스트 보드는 제 2 패드들을 더 포함하고,
 상기 제 1 연결 유닛은 상기 테스트 보드의 상기 제 1 패드들을 상기 검사 대상물의 상기 제 1 연결 단자에 전기적으로 연결하도록 제공되는 제 1 핀들을 포함하고,
 상기 제 2 연결 유닛은,
 서로 간에 전기적으로 연결되는 제 1 패드들과 제 2 패드들을 가지는 소켓 기관과;
 상기 소켓 기관의 상기 제 1 패드들과 상기 검사 대상물의 상기 제 2 연결 단자를 전기적으로 연결하는 제 2 핀들과;
 상기 소켓 기관의 상기 제 2 패드들을 상기 테스트 보드의 상기 제 2 패드들에 전기적으로 연결시키는 제 3핀들을 가지고,

상기 소켓은,

상기 제 1 연결 유닛의 상기 제 1 핀들이 삽입 설치되도록 상하로 관통된 제 1 홀들이 형성된 제 1 몸체와;

상기 제 2 연결 유닛의 상기 제 2 핀들이 삽입 설치되도록 상하로 관통된 제 2 홀들이 형성된 제 2 몸체를 가지며,

상기 제 1 몸체의 상면 또는 상기 제 2 몸체의 하면에는 상기 검사 대상물이 위치되는 홈이 형성되고,

상기 제 1 몸체와 상기 제 2 몸체 중 상기 홈이 형성된 몸체에는 상기 홈 외측에 상기 제 2 연결 유닛의 상기 제 3 핀들이 삽입 설치되는 제 3 홀들이 형성되고,

상기 소켓 기관과 상기 제 2 몸체는 상기 핸들러에 고정 설치되고,

상기 검사 장치에는 상기 제 1 몸체가 삽입되는 통공이 형성되며 상기 제 1 몸체를 상기 테스트 보드에 고정하는 지지대가 제공되고,

상기 지지대와 상기 핸들러 중 어느 하나에는 정렬 핀이 설치되고, 다른 하나에는 상기 정렬 핀이 삽입되는 정렬 홈이 형성되는 검사 장치.

청구항 9

하면에 제 1 연결 단자들이 형성되고, 상면에 제 2 연결 단자들이 형성된 검사 대상물의 전기적 특성을 검사하는 장치에 있어서,

일면에 제 1 패드들이 형성된 테스트 보드와;

상기 검사 대상물과 상기 테스트 보드를 전기적으로 연결하는 소켓과; 그리고

상기 소켓으로 상기 검사 대상물을 이송하는 핸들러를 구비하되,

상기 소켓은,

상기 검사 대상물의 상기 제 1 연결 단자들과 전기적으로 연결되는 제 1 연결 유닛과;

상기 검사 대상물의 상기 제 2 연결 단자들과 전기적으로 연결되는 제 2 연결 유닛을 포함하되,

상기 테스트 보드는 제 2 패드들을 더 포함하고,

상기 제 1 연결 유닛은 상기 테스트 보드의 상기 제 1 패드들을 상기 검사 대상물의 상기 제 1 연결 단자에 전기적으로 연결하도록 제공되는 제 1 핀들을 포함하고,

상기 제 2 연결 유닛은,

서로 간에 전기적으로 연결되는 제 1 패드들과 제 2 패드들을 가지는 소켓 기관과;

상기 소켓 기관의 상기 제 1 패드들과 상기 검사 대상물의 상기 제 2 연결 단자를 전기적으로 연결하는 제 2 핀들과;

상기 소켓 기관의 상기 제 2 패드들을 상기 테스트 보드의 상기 제 2 패드들에 전기적으로 연결시키는 제 3핀들을 가지고,

상기 검사 대상물은 반도체 소자 패키지인 검사 장치.

청구항 10

적층형 반도체 소자 패키지를 제조하는 방법에 있어서,

제 1 반도체 소자 패키지를 검사하는 단계와;

제 2 반도체 소자 패키지를 상기 제 1 반도체 소자 패키지의 제 2 면 상에 적층하는 단계를 포함하되,

상기 검사하는 단계는,

검사 장치의 제 1 핀을 상기 제 1 반도체 소자 패키지의 제 1 면의 제 1 연결 단자에 연결하는 동안 상기 검사 장치의 제 2 핀을 상기 제 1 반도체 소자 패키지의 상기 제 2 면의 제 2 연결 단자에 연결하는 단계를

포함하되, 상기 제 2면은 상기 제 1 면의 반대면이고,

상기 적층하는 단계는,

상기 제 2 반도체 소자 패키지를 상기 제 1 반도체 소자 패키지의 상기 제 2 연결 단자에 전기적으로 연결하는 단계를 포함하는 적층형 반도체 소자 패키지 제조 방법.

청구항 11

제 10 항에 있어서,

상기 제 1 반도체 소자 패키지의 제 1 연결 단자는 상기 적층형 반도체 소자 패키지의 단자인 적층형 반도체 소자 패키지 제조 방법.

청구항 12

제 11 항에 있어서,

상기 검사하는 단계는,

한 세트의 상기 제 1 핀들을 상기 제 1 반도체 소자 패키지의 상기 제 1 면에 있는 한 세트의 상기 제 1 연결 단자들에 연결하는 동안, 한 세트의 상기 제 2 핀들을 상기 제 1 반도체 소자 패키지의 상기 제 2 면에 있는 한 세트의 상기 제 2 연결 단자들에 연결하는 단계를 포함하는 적층형 반도체 소자 패키지 제조 방법.

청구항 13

제 12 항에 있어서,

상기 제 1 연결 단자들의 일부를 대응하는 상기 제 2 연결 단자들의 일부에 연결하는 배선들을 형성하는 단계를 더 포함하는 적층형 반도체 소자 패키지 제조 방법.

청구항 14

제 13 항에 있어서,

상기 제 2 반도체 소자 패키지는 메모리 칩을 포함하는 적층형 반도체 소자 패키지 제조 방법.

청구항 15

제 14 항에 있어서,

상기 제 1 반도체 소자 패키지는 로직 칩을 포함하는 적층형 반도체 소자 패키지 제조 방법.

청구항 16

제 10 항에 있어서,

상기 제 2 반도체 소자 패키지를 상기 제 1 반도체 소자 패키지의 상기 제 2 연결 단자에 전기적으로 연결하는 단계는,

상기 제 2 반도체 소자 패키지의 저면에 배치된 연결 단자를 상기 제 1 반도체 소자 패키지의 제 2 연결 단자에 결합하는 단계를 포함하는 적층형 반도체 소자 패키지 제조 방법.

청구항 17

제 10 항에 있어서,

상기 제 1 반도체 소자 패키지를 검사하는 단계는, 상기 제 1 반도체 소자 패키지를 상기 검사 장치의 핀들을 가지고 제 1 반도체 소자에 전기적으로 연결하는 단계를 포함하고,

상기 제 2 반도체 소자 패키지는 상기 제 1 반도체 소자와 같은 종류의 제 2 반도체 소자를 포함하는 적층형 반도체 소자 패키지 제조 방법.

청구항 18

제 16 항에 있어서,

상기 검사하는 단계에서 상기 제 1 반도체 소자 패키지와 상기 제 1 반도체 소자 간의 논리적 연결은, 상기 제 1 반도체 소자 패키지의 상기 제 2 면에 상기 제 2 반도체 소자 패키지를 적층한 이후에 상기 제 1 반도체 소자 패키지와 상기 제 2 반도체 소자 사이의 논리적 연결들과 동일한 적층형 반도체 소자 패키지 제조 방법.

청구항 19

제 17 항에 있어서,

상기 검사하는 동안에 상기 제 1 반도체 소자 패키지에 대한 제 1 반도체 소자의 상대 위치는, 상기 제 2 반도체 소자 패키지가 상기 제 1 반도체 소자 패키지의 상기 제 2 면에 적층된 이후에 상기 제 1 반도체 소자 패키지에 대한 상기 제 2 반도체 소자의 상대 위치와는 다른 적층형 반도체 소자 패키지 제조 방법.

청구항 20

적층형 반도체 소자 패키지를 제조하는 방법에 있어서,

제 1 반도체 소자 패키지를 검사하는 단계와;

상기 제 1 반도체 소자 패키지를 가지고 제 2 반도체 소자 패키지에 적층하는 단계를 포함하되,

상기 검사하는 단계는,

검사 장치의 제 1 핀을 가지고 상기 제 1 반도체 소자 패키지의 연결 단자들을 상기 검사 장치의 제 1 반도체 소자에 전기적으로 연결하는 단계를 포함하고,

상기 적층하는 단계는,

상기 제 2 반도체 소자 패키지를 상기 제 1 반도체 소자 패키지의 연결 단자에 전기적으로 연결하는 단계를 포함하되,

상기 제 2 반도체 소자 패키지는 상기 검사 장치의 제 1 반도체 소자와 같은 종류의 제 2 반도체 소자를 포함하는 적층형 반도체 소자 패키지 제조 방법.

청구항 21

제 20 항에 있어서,

상기 검사하는 단계에서 상기 제 1 반도체 소자 패키지와 상기 제 1 반도체 소자의 논리적 연결은 상기 제 1 반도체 소자 패키지를 상기 제 2 반도체 소자 패키지와 적층한 이후에 상기 제 1 반도체 소자 패키지와 상기 제 2 반도체 소자 사이의 논리적 연결들과 동일한 적층형 반도체 소자 패키지 제조 방법.

청구항 22

제 20 항에 있어서,

상기 검사하는 단계는,

한 세트의 제 1 핀들을 상기 제 1 반도체 소자 패키지의 제 1 면에 있는 한 세트의 제 1 연결 단자들에 연결하는 동안, 한 세트의 제 2 핀들을 상기 제 1 반도체 소자 패키지의 제 2 면에 있는 한 세트의 제 2 연결 단자들에 연결하는 단계를 포함하되,

상기 제 2 면은 상기 제 1 면과 반대 면인 적층형 반도체 소자 패키지 제조 방법.

청구항 23

제 22 항에 있어서,

상기 제 1 연결 단자들의 일부를 대응하는 상기 제 2 연결 단자들의 일부에 연결하는 배선들을 형성하는 단계를 더 포함하는 적층형 반도체 소자 패키지 제조 방법.

청구항 24

제 22 항에 있어서,

상기 한 세트의 상기 제 1 반도체 소자 패키지의 상기 제 1 연결 단자는 상기 적층형 반도체 소자 패키지의 단자들인 적층형 반도체 소자 패키지 제조 방법.

청구항 25

제 20 항에 있어서,

상기 검사하는 동안에 상기 제 1 반도체 소자 패키지에 대한 제 1 반도체 소자의 상대 위치는, 상기 제 2 반도체 소자 패키지가 상기 제 1 반도체 소자 패키지에 적층된 이후에 상기 제 1 반도체 소자 패키지에 대한 상기 제 2 반도체 소자의 상대 위치와는 다른 적층형 반도체 소자 패키지 제조 방법.

청구항 26

검사 대상물의 전기적 특성을 검사하는 소켓에 있어서,

상기 검사 대상물의 하면에 제공된 제 1 연결 단자들과 전기적으로 연결되도록 제공되는 제 1 연결 유닛과;

상기 검사 대상물의 상면에 제공된 제 2 연결 단자들과 전기적으로 연결되는 제 2 연결 유닛을 포함하되,

상기 제 2 연결 유닛은,

상기 검사 대상물의 상기 제 2 연결 단자들과 전기적으로 연결되도록 제공되는 소켓 기판과;

상기 검사 대상물과 전기 신호를 주고받기 위해 상기 소켓 기판과 전기적으로 연결되도록 제공되는 양품의 전자 부품을 구비하는 소켓.

청구항 27

삭제

청구항 28

제 26 항에 있어서,

상기 소켓 기판은 서로 전기적으로 연결되는 제 1 패드들과 제 2 패드를 가지고,

상기 제 1 패드들은 상기 제 2 연결 유닛에 제공된 제 2 핀들을 통해 상기 검사 대상물의 상기 제 2 연결 단자들에 연결되도록 제공되고,

상기 제 2 패드들은 상기 양품의 전자 부품에 전기적으로 연결되도록 제공되는 소켓.

청구항 29

제 28 항에 있어서,

상기 제 1 연결 유닛은 상기 검사 대상물의 상기 제 1 연결 단자에 전기적으로 연결되도록 제공되는 제 1 핀들을 가지는 소켓.

청구항 30

제 29 항에 있어서,

상기 검사 대상물이 놓이는 하우징을 더 포함하는 소켓.

청구항 31

제 30 항에 있어서,

상기 하우징은,

제 1 몸체와;

상기 제 1 몸체에 탈착 가능한 제 2 몸체를 가지는 소켓.

청구항 32

제 26 항에 있어서,
 상기 제 2 연결 유닛은,
 상기 검사 대상물의 상기 제 2 연결 단자들에 전기적으로 연결되도록 제공되는 소켓 기관과;
 상기 제 1 연결 유닛과 상기 제 2 연결 유닛 중 어느 하나에 제공되는 제 3 핀들을 가지는 소켓.

청구항 33

제 32 항에 있어서,
 상기 소켓 기관은 서로 전기적으로 연결되는 제 1 패드들과 제 2 패드를 가지고,
 상기 제 1 패드들은 상기 제 2 연결 유닛에 제공된 제 2 핀들을 통해 상기 검사 대상물의 상기 제 2 연결 단자들에 연결되도록 제공되고,
 상기 제 2 패드들은 상기 제 3 핀들에 전기적으로 연결되도록 제공되는 소켓.

청구항 34

제 33 항에 있어서,
 상기 제 1 연결 유닛은 상기 검사 대상물의 상기 제 1 연결 단자에 전기적으로 연결되도록 제공되는 제 1 핀들을 가지는 것을 특징으로 하는 소켓.

청구항 35

제 34 항에 있어서,
 상기 검사 대상물이 놓이는 하우징을 더 포함하는 소켓.

청구항 36

제 35 항에 있어서,
 상기 하우징은,
 제 1 몸체와;
 상기 제 1 몸체에 탈착 가능한 제 2 몸체를 가지는 소켓.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 검사 장치 및 방법에 관한 것으로, 특히 반도체 소자 패키지의 전기적 특성을 검사하는 장치 및 방법에 관한 것이다.

배경기술

[0002] 반도체 산업에서 집적 회로에 대한 패키징(packaging) 기술은 소형화 및 실장 신뢰성 향상을 만족시키는 방향으로 계속적으로 발전하고 있다. 예컨대, 소형화에 대한 요구는 반도체 칩(semiconductor chip) 크기에 근접한 패키지(package)에 대한 기술 개발을 가속화시키고 있다. 또한, 실장 신뢰성에 대한 요구는 실장 작업의 효율성 및 실장 후의 기계적·전기적 신뢰성을 향상시킬 수 있는 패키징 기술에 대한 중요성을 부각시키고 있다.

[0003] 또한, 전기·전자 제품의 소형화와 더불어 고성능화가 요구됨에 따라, 고용량의 반도체 제품을 제공하기 위한 다양한 기술들이 연구 개발되고 있다. 고용량의 반도체 제품을 제공하기 위한 방법으로는 메모리 칩(memory chip)의 용량 증대, 즉, 메모리 칩의 고집적화가 있다. 이러한 메모리 칩의 고집적화는 한정된 반도체 공간 내

에 보다 많은 수의 셀(cell)을 집적해 넣는 것에 의해 실현된다.

- [0004] 이와 같은 메모리 칩의 고집적화는 정밀한 미세 선 폭을 요구하는 등의 고난도 기술과 많은 개발 시간을 필요로 한다. 이에 따라 고용량의 반도체 제품을 제공하기 위한 다른 방법으로서 적층(stack) 기술이 제안되고 있다. 여기서 적층이란 적어도 두 개 이상의 반도체 칩 또는 반도체 소자 패키지를 수직으로 쌓아 올리는 것이다. 이러한 적층 기술에 의하면, 예컨대, 두 개의 64M 메모리를 적층 하여 128M 메모리가 구성될 수 있으며, 두 개의 128M 메모리를 적층 하여 256M 메모리가 구성될 수 있다. 또한, 적층형 반도체 소자 패키지는 메모리 용량의 증대는 물론, 실장 밀도 및 실장 면적 사용의 효율성 측면에서 이점이 있다.
- [0005] 일반적으로, 적층형 반도체 소자 패키지는 제 1 반도체 소자 패키지와 제 2 반도체 소자 패키지를 가진다. 제 1 반도체 소자 패키지의 하면에는 시스템 기관 등과 같은 외부 회로와 연결되는 볼 그리드 어레이(ball grid array, BGA)와 같은 연결 단자들이 형성되고, 상면에는 제 2 반도체 소자 패키지와 전기적 접촉을 위한 패드(pad)와 같은 연결 단자들이 형성된다. 제 2 반도체 소자 패키지는 하면에 제 1 반도체 소자 패키지와 전기적 접촉을 위한 패드와 같은 연결 단자들이 형성된다. 제 1 반도체 소자 패키지와 제 2 반도체 소자 패키지는 솔더 볼들에 의해 연결된다.
- [0006] 이와 같은 적층형 반도체 소자 패키지에서 제 1 반도체 소자 패키지의 연결 단자들의 전기적 연결 상태 등과 같은 전기적 특성을 테스트하는 방법은 다음과 같다. 처음에 검사 장치(Test Equipment)를 사용하여 제 1 반도체 소자 패키지의 하면에 형성된 연결 단자들의 전기적 연결 상태가 양호한지 여부를 테스트한다. 하면에 형성된 연결 단자들의 전기적 연결 상태가 양호한 것으로 판단되면, 상면에 형성된 연결 단자들의 전기적 연결 상태가 양호한지 여부를 테스트한다. 이를 위해 양품인 제 2 반도체 소자 패키지와 제 1 반도체 소자 패키지를 솔더 볼들을 이용하여 전기적으로 연결하여 적층형 반도체 소자 패키지를 제조한다. 이후에, 제 1 반도체 소자 패키지로 입력 신호를 인가하여 제 2 반도체 소자 패키지가 원활하게 구동되는지 여부를 측정함으로써 제 1 반도체 소자 패키지의 상면에 제공된 연결 단자의 전기적 연결 상태를 테스트한다.
- [0007] 상술한 검사 방법은 제 1 반도체 소자 패키지의 하면 및 상면의 검사가 각각 이루어지고 있으므로, 검사에 소요되는 시간이 길다.
- [0008] 또한, 제 1 반도체 소자 패키지에 양품인 제 2 반도체 소자 패키지를 적층한 후 제 1 반도체 소자 패키지의 상면에 제공된 패드의 전기적 연결 상태를 테스트하므로, 테스트 결과 제 1 반도체 소자 패키지의 상면에 제공된 패드가 불량으로 판단된 경우 양품인 제 2 반도체 소자 패키지도 폐기된다.

발명의 내용

해결 하고자하는 과제

- [0009] 본 발명은 하면 및 상면 각각에 전기적 연결 단자를 가지는 반도체 소자 패키지의 전기적 연결 상태 등과 같은 전기적 특성 검사를 효율적으로 수행할 수 있는 검사 장치 및 방법을 제공하는 것을 일 목적으로 한다.
- [0010] 또한, 본 발명은 상술한 반도체 소자 패키지의 상면 및 하면 각각에 제공된 전기적 연결 단자들의 전기적 연결 상태 검사에 소요되는 시간을 단축할 수 있는 검사 장치 및 방법을 제공하는 것을 일 목적으로 한다.
- [0011] 또한, 본 발명은 적층형 반도체 소자 패키지에서 하부에 제공되는 반도체 소자 패키지의 전기적 연결 상태를 검사하는 과정에서, 양품으로 판정된 상부에 제공되는 반도체 소자 패키지가 낭비되는 것을 방지할 수 있는 검사 장치 및 방법을 제공하는 것을 일 목적으로 한다.
- [0012] 본 발명의 목적은 여기에 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- [0013] 본 발명은 하면에 제 1 연결 단자들이 형성되고, 상면에 제 2 연결 단자들이 형성된 검사 대상물의 전기적 특성을 검사하는 장치를 제공한다. 상기 검사 장치는 일면에 제 1 패드들이 형성된 테스트 보드, 상기 검사 대상물과 상기 테스트 보드를 전기적으로 연결하는 소켓, 그리고 상기 소켓으로 상기 검사 대상물을 이송하는 핸들러를 구비한다. 상기 소켓은 상기 제 1 연결 단자들과 전기적으로 연결되는 제 1 연결 유닛과 상기 제 2 연결 단자들과 전기적으로 연결되는 제 2 연결 유닛을 가진다.
- [0014] 본 발명의 일 실시예에 의하면, 상기 제 1 연결 유닛은 상기 테스트 보드의 상기 제 1 패드들과 상기 제 1 연결

단자를 전기적으로 연결하는 제 1 핀들을 가지고, 상기 제 2 연결 유닛은 서로 간에 전기적으로 연결되는 제 1 패드들과 제 2 패드들을 가지는 소켓 기관, 상기 소켓 기관의 상기 제 1 패드들과 상기 검사 대상물의 상기 제 2 연결 단자를 전기적으로 연결하는 제 2 핀들, 상기 소켓 기관의 상기 제 2 패드들과 전기적으로 연결되며 상기 검사 대상물과 전기 신호를 주고받는 양품의 전자 부품을 가진다.

- [0015] 상기 소켓은 제 1 몸체와 상기 제 1 몸체에 착탈 가능한 제 2 몸체를 가지고, 상기 제 1 핀들은 상기 제 1 몸체를 상하로 관통하도록 형성된 제 1 홀들에 삽입 설치되고, 상기 제 2 핀들은 상기 제 2 몸체를 상하로 관통하도록 형성된 제 2 홀들에 삽입 설치되며, 상기 소켓 기관은 상기 제 2 몸체의 상부에 배치될 수 있다. 상기 제 1 몸체의 상면 또는 상기 제 2 몸체의 하면에는 상기 검사 대상물이 삽입되는 홈이 형성될 수 있다.
- [0016] 일 예에 의하면 상기 양품의 전자 부품은 상기 소켓 기관에 납땜에 의해 고정 설치될 수 있다. 다른 예에 의하면, 상기 양품의 전자 부품은 상기 소켓 기관에 탈착 가능하게 설치될 수 있다.
- [0017] 일 예에 의하면, 상기 소켓 기관과 상기 제 2 몸체는 상기 핸들러에 고정 설치된다. 상기 제 1 몸체와 상기 제 2 몸체 중 어느 하나에는 정렬 핀이 설치되고, 다른 하나에는 상기 정렬 핀이 삽입되는 정렬 홀이 형성될 수 있다. 또한, 상기 검사 장치에는 상기 제 1 몸체가 삽입되는 통공이 형성되며 상기 제 1 몸체를 상기 테스트 유닛에 고정하는 지지대가 제공되고, 상기 지지대와 상기 핸들러 중 어느 하나에는 정렬 핀이 설치되고, 다른 하나에는 상기 정렬 핀이 삽입되는 정렬 홀이 형성될 수 있다.
- [0018] 일 예에 의하면, 상기 검사 대상물은 제 1 반도체 소자가 내장된 패키지이고, 상기 양품의 전자 부품은 상기 제 1 반도체 소자와 전기적 신호를 주고받는 제 2 반도체 소자를 포함한다.
- [0019] 일 예에 의하면, 상기 검사 대상물은 제 1 반도체 소자가 내장된 제 1 반도체 소자 패키지이고, 상기 양품의 전자 부품은 상기 제 1 반도체 소자 패키지에 적층하고자 하는 제 2 반도체 소자 패키지에 제공되는 제 2 반도체 소자를 포함한다. 상기 제 1 반도체 소자는 로직 칩을 포함하고, 상기 제 2 반도체 소자는 메모리 칩을 포함할 수 있다.
- [0020] 제 2 실시예에 의하면, 상기 테스트 보드는 제 2 패드들을 포함하며, 상기 제 1 연결 유닛은 상기 테스트 보드와 제 1 패드와 상기 제 1 연결 단자를 전기적으로 연결하는 제 1 핀들을 가지고, 상기 제 2 연결 유닛은 서로 전기적으로 연결되는 제 1 패드들과 제 2 패드들을 가지는 소켓 기관, 상기 소켓 기관의 상기 제 1 패드들과 상기 검사 대상물의 상기 제 2 연결 단자를 전기적으로 연결하는 제 2 핀들, 상기 소켓 기관의 상기 제 2 패드들과 상기 테스트 보드의 제 2 패드들을 전기적으로 연결하는 제 3 핀들을 가진다.
- [0021] 일 예에 의하면, 상기 소켓은 상기 제 1 핀들이 삽입 설치되도록 상하로 관통된 제 1 홀들이 형성된 제 1 몸체와 상기 제 2 핀들이 삽입 설치되도록 상하로 관통된 제 2 홀들이 형성된 제 2 몸체를 가지며, 상기 제 1 몸체의 상면 또는 상기 제 2 몸체의 하면에는 상기 검사 대상물이 위치되는 홈이 형성되고, 상기 제 1 몸체와 상기 제 2 몸체 중 상기 홈이 형성된 몸체에는 상기 홈 외측에 상기 제 3 핀들이 삽입 설치되는 제 3 홀들이 형성된다.
- [0022] 상기 소켓 기관과 상기 제 2 몸체는 상기 핸들러에 고정 설치될 수 있다. 또한, 상기 제 1 몸체와 상기 제 2 몸체 중 어느 하나에는 정렬 핀이 설치되고, 다른 하나에는 상기 정렬 핀이 삽입되는 정렬 홀이 형성될 수 있다. 또한, 상기 검사 장치에는 상기 제 1 몸체가 삽입되는 통공이 형성되며 상기 제 1 몸체를 상기 테스트 유닛에 고정하는 지지대가 제공되고, 상기 제 1 몸체와 상기 핸들러 중 어느 하나에는 정렬 핀이 설치되고, 다른 하나에는 상기 정렬 핀이 삽입되는 정렬 홀이 형성될 수 있다.
- [0023] 상기 검사 대상물은 반도체 소자 패키지일 수 있다.
- [0024] 또한, 본 발명은 검사 대상물의 전기적 특성을 검사하는 장치에 사용되는 소켓을 제공한다. 상기 소켓은 검사 대상물이 놓이는 하우징, 상기 하우징에 놓인 상기 검사 대상물의 하면에 제공된 제 1 연결 단자들과 전기적으로 연결되도록 제공되는 제 1 연결 유닛, 상기 하우징에 놓인 상기 검사 대상물의 상면에 제공된 제 2 연결 단자들과 전기적으로 연결되는 제 2 연결 유닛을 포함한다.
- [0025] 제 1 실시예에 의하면, 상기 하우징은 제 1 몸체, 상기 제 1 몸체와 결합 및 분리가 가능한 제 2 몸체를 가지고, 상기 제 1 연결 유닛은 상기 제 1 몸체에 상하방향으로 형성된 홀 내에 삽입설치되는 제 1 핀들을 가지며, 상기 제 2 연결 유닛은 서로 전기적으로 연결되는 제 1 패드들과 제 2 패드를 가지는 소켓 기관, 상기 소켓 기관의 상기 제 1 패드들과 상기 검사 대상물의 상기 제 2 연결 단자를 전기적으로 연결하는 제 2 핀들, 상기 소켓 기관의 상기 제 2 패드들과 전기적으로 연결되며 상기 검사 대상물과 전기 신호를 주고받는 양품의 전자

부품을 가진다.

- [0026] 제 2 실시예에 의하면, 상기 하우징은 제 1 몸체와 상기 제 1 몸체와 결합 및 분리가 가능한 제 2 몸체를 가지고, 상기 제 1 연결 유닛은 상기 제 1 몸체에 상하방향으로 형성된 제 1 홀들 내에 삽입설치되는 제 1 핀들을 가지며, 상기 제 2 연결 유닛은 서로 간에 전기적으로 연결되는 제 1 패드들과 제 2 패드들을 가지는 소켓 기관, 상기 제 2 몸체에 상하 방향으로 형성된 제 2 홀들 내에 삽입 설치되며 상기 소켓 기관의 상기 제 1 패드들과 상기 검사 대상물의 상기 제 2 연결 단자를 전기적으로 연결하는 제 2 핀들, 그리고 상기 소켓 기관의 상기 제 2 패드들과 전기적으로 연결되며 상기 제 1 몸체 또는 상기 제 2 몸체에 형성된 제 3 홀에 삽입 설치되는 제 3 핀들을 가진다.
- [0027] 또한, 본 발명은 하면에 제 1 연결 단자들이 형성되고 상면에 제 2 연결 단자들이 형성된 검사 대상물의 전기적 특성을 검사하는 방법을 제공한다. 상기 검사 방법에 의하면, 상기 검사 대상물이 놓이는 소켓에 상기 제 1 연결 단자와 전기적으로 접촉되는 제 1 핀들과 상기 제 2 연결 단자와 전기적으로 접촉되는 제 2 핀들을 동시에 제공하고, 테스트 보드를 통해 상기 제 1 핀들로 전기 신호를 인가함으로써 상기 검사 대상물의 상기 제 1 연결 단자 및 상기 제 2 연결 단자의 양호 여부를 동시에 검사한다.
- [0028] 제 1 실시예에 의하면, 상기 검사 대상물과 전기 신호를 주고 받는 양품의 전자 부품과 상기 제 2 핀들 및 상기 양품의 전자 부품을 전기적으로 연결하는 소켓 기관을 제공하고, 상기 테스트 보드에서 인가되는 신호는 순차적으로 상기 제 1 핀들, 상기 검사 대상물, 상기 제 2 핀들, 상기 소켓 기관, 상기 전자 부품, 상기 소켓 기관, 상기 제 2 핀들, 상기 검사 대상물, 그리고 상기 제 1 핀들을 통해 상기 테스트 보드로 출력된다.
- [0029] 제 2 실시예에 의하면, 상기 테스트 보드와 접촉되는 제 3 핀들, 및 상기 제 2 핀들과 상기 제 3 핀들을 전기적으로 연결하는 소켓 기관을 제공하고, 상기 테스트 보드에서 인가되는 신호는 순차적으로 상기 제 1 핀들, 상기 검사 대상물, 상기 제 2 핀들, 상기 소켓 기관, 그리고 제 3 핀들을 통해 상기 테스트 보드로 출력된다.

효 과

- [0030] 본 발명에 의하면, 검사 대상물의 하면에 제공된 연결 단자의 연결 상태와 상면에 제공된 연결 단자의 연결 상태를 동시에 검사할 수 있다.
- [0031] 또한, 본 발명에 의하면, 검사 대상물인 제 1 반도체 소자 패키지와 제 2 반도체 소자 패키지가 솔더 볼을 매개로 하여 직접 접촉이 이루어지지 않은 상태에서도, 접촉이 이루어진 것과 유사한 조건에서 검사를 수행할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0032] 이하, 본 발명의 실시예를 첨부된 도면 도 1 내지 도 7을 참조하여 더욱 상세히 설명한다. 본 발명의 실시예는 여러 가지 형태로 변형될 수 있으며, 본 발명의 범위가 아래의 실시예들로 한정되는 것으로 해석되어서는 안 된다. 본 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해 제공되는 것이다. 따라서 도면에서의 요소의 형상은 보다 명확한 설명을 강조하기 위해 과장되었다.
- [0033] 본 실시예에서는 검사 대상물(10)이 적층형 반도체 소자 패키지(1)에서 하부에 제공된 반도체 소자 패키지인 경우를 예로 들어 설명한다. 그러나 이와 달리 본 발명의 기술적 사상은 반도체 소자 패키지 이외에 상면 및 하면 각각에 연결 단자가 형성된 다양한 종류의 전자 부품을 검사하는 장치에 적용 가능하다.
- [0034] 도 1은 본 발명의 실시예에 기재된 적층형 반도체 소자 패키지(1)의 개략적인 구성을 보여주는 정면도이다. 도 1을 참조하면, 적층형 반도체 소자 패키지(1)는 하부에 위치되는 제 1 반도체 소자 패키지(10)와 상부에 위치되는 제 2 반도체 소자 패키지(20)를 가진다. 제 1 반도체 소자 패키지(10)는 제 1 반도체 소자(12) 및 기관(13)을 가진다. 제 1 반도체 소자 패키지(10)의 하면에는 시스템 기관 등과 같은 외부 회로와 적층형 반도체 소자 패키지(1)의 전기적 연결을 위한 제 1 연결 단자(14)가 제공되고, 제 1 반도체 소자 패키지(10)의 상면에는 제 1 반도체 소자 패키지(10)와 제 2 반도체 소자 패키지(20)와 전기적 연결을 위한 제 2 연결 단자(16)가 제공된다. 제 1 연결 단자(14)는 볼 그리드 어레이(ball grid array, BGA)와 같은 볼 형상으로 제공되고, 제 2 연결 단자(16)는 패드의 형태로 제공될 수 있다.
- [0035] 제 2 반도체 소자 패키지(20)는 제 2 반도체 소자(22) 및 기관(23)을 가진다. 제 2 반도체 소자 패키지(20)의 하면에는 제 1 반도체 소자 패키지(10)와 전기적 연결을 위한 연결 단자들(24)이 제공된다. 제 1 반도체 소자 패키지(10)와 제 2 반도체 소자 패키지(20)는 솔더 볼들(30)에 의해서 서로 간에 연결된다.

- [0036] 일 예에 의하면, 제 1 반도체 소자(12)는 로직 칩을 포함하고, 제 2 반도체 소자(22)는 메모리 칩을 포함할 수 있다. 이와 같은 경우, 제 1 반도체 소자 패키지(10)의 제 1 연결 단자(14)와 제 2 연결 단자(16) 각각을 제 1 반도체 소자(12)와 전기적으로 연결하는 배선(도시되지 않음)이 기판에 형성된다. 메모리 칩은 디디알(DDR, double data rate) 메모리 일 수 있다. 이와 달리 메모리 칩은 플래시 메모리 등과 같이 다른 종류의 메모리일 수 있다.
- [0037] 본 실시예들에서 검사 대상물은 상술한 제 1 반도체 소자 패키지이며, 검사 장치(2)는 제 1 반도체 소자 패키지(10)의 상면 및 하면에 각각 제공된 연결 단자들(14, 16)의 전기적 연결 상태 등과 같은 전기적 특성을 검사한다.
- [0038] 도 2는 본 발명의 제 1 실시예에 따른 검사 장치(2)의 분해도이고, 도 3은 검사 대상물인 제 1 반도체 소자 패키지(10)가 제공된 상태의 검사 장치(2)의 결합도이다.
- [0039] 도 2와 도 3을 참고하면, 검사 장치(2)는 테스트 유닛(test unit)(100), 핸들러(handler)(200), 그리고 소켓(socket)(400)을 가진다. 테스트 유닛(100)은 검사 대상물(10)로 소정의 입력 신호를 인가하고, 검사 대상물(10)로부터 출력되는 신호를 받는다. 테스트 유닛(100)은 출력 신호로부터 검사 대상물(10)의 양호 여부를 판독한다. 테스트 유닛(100)은 상면에 제 1 패드들(122)이 형성된 테스트 보드(test board)(120)를 가진다. 테스트 유닛(100)으로는 자동 테스트 장비(automatic test equipment)가 사용될 수 있다. 소켓(400)은 검사 대상물(10)과 테스트 보드(120)를 전기적으로 연결한다. 핸들러(200)는 검사 대상물(10)을 소켓(400)으로 이동시킨다. 이하에서는 테스트 유닛(100)의 일반적인 구조 및 핸들러(200)에 대한 구체적인 설명은 생략하며, 본 발명의 주된 특징인 소켓(400)을 중심으로 설명한다. 테스트 유닛(100)과 핸들러(200)는 일반적인 구조와 상이한 부분에 대해서만 설명한다.
- [0040] 소켓(400)은 하우징(420), 제 1 연결 유닛(440), 그리고 제 2 연결 유닛(460)을 가진다. 하우징(420)은 핸들러(200)와 테스트 보드(120) 사이에 위치되며, 검사 진행시 검사 대상물(10)이 놓이는 공간을 제공한다. 제 1 연결 유닛(440)은 검사 대상물(10)의 제 1 연결 단자(14)의 전기적 연결 상태를 측정하기 위해 제공된다. 제 2 연결 유닛(460)은 검사 대상물(10)의 제 2 연결 단자(16)의 전기적 연결 상태를 측정하기 위해 제공된다.
- [0041] 제 1 연결 유닛(440)은 검사 대상물(10)의 제 1 연결 단자(14)와 테스트 보드(120)의 제 1 패드(122)를 전기적으로 직접 연결하는 복수의 제 1 핀들(330)을 가진다. 제 1 핀들(330)로는 내부에 탄성체가 제공된 포고 핀들(pogo pins)이 사용된다. 각각의 제 1 핀(330)의 일단은 검사 대상물(10)의 제 1 연결 단자(14)와 접촉되고, 각각의 제 1 핀(330)의 타단은 테스트 보드(120)의 제 1 패드(122)와 접촉된다.
- [0042] 제 2 연결 유닛(460)은 소켓 기관(360), 제 2 핀들(350), 그리고 양품의 전자 부품(380)을 가진다. 양품의 전자 부품(380)은 검사 대상물(10)과 전기적 신호를 주고 받을 수 있는 반도체 소자이다. 본 실시예의 경우, 양품의 전자 부품(380)은 제 1 반도체 소자 패키지(10) 상에 적층하고자 하는 제 2 반도체 소자 패키지(20)일 수 있다. 선택적으로 양품의 전자 부품(380)은 제 2 반도체 소자 패키지(20)에 내장된 제 2 반도체 소자(22)일 수 있다. 양품의 전자 부품(380)은 제 1 반도체 소자 패키지(10)에 제공된 제 1 반도체 소자(12)와 전기적으로 연결되는 메모리 칩을 포함한다.
- [0043] 소켓 기관(360)은 제 1 패드들(362)과 제 2 패드들(364)을 가지며, 소켓 기관(360)에는 제 1 패드들(362)과 제 2 패드들(364)을 전기적으로 연결하는 배선들(도시되지 않음)이 형성된다. 제 2 핀들(350)은 소켓 기관(360)의 제 1 패드들(362)과 검사 대상물(10)의 제 2 연결 단자(16)들을 전기적으로 직접 연결한다. 제 2 핀들(350)로는 내부에 탄성체(도시되지 않음)가 제공된 포고 핀들이 사용된다. 각각의 제 2 핀(350)의 일단은 검사 대상물(10)의 제 2 연결 단자(16)와 접촉되고, 각각의 제 2 핀(350)의 타단은 소켓 기관(360)의 제 1 패드들(362)과 접촉된다.
- [0044] 양품의 전자 부품(380)은 소켓 기관(360)의 제 2 패드들(364)과 전기적으로 접촉되도록 소켓 기관(360)에 장착된다. 양품의 전자 부품(380)은 납땀에 의해 소켓 기관(360)에 고정 장착될 수 있다. 이는 소켓 기관(360)의 제 2 패드들(364)과 양품의 전자 부품(380) 간에 접촉 신뢰도를 향상시킨다. 선택적으로 양품의 전자 부품(380)은 나사 등과 같은 체결 부재에 의해 소켓 기관(360)에 탈착 가능하게 장착될 수 있다. 이는 양품의 전자 부품(380)의 교체가 용이하도록 한다.
- [0045] 이와 같은 구성을 가지는 검사 장치(2)를 사용하여 검사 대상물(10)의 연결 단자들의 전기적 연결 상태를 검사하는 방법은 다음과 같다. 일 예에 의하면, 테스트 보드(120)로부터 제공된 입력된 신호는 순차적으로 제 1 핀들(330), 검사 대상물(10)의 제 1 연결 단자(14), 검사 대상물(10) 내의 제 1 반도체 소자(12), 제 2 연결 단자

(16), 제 2 핀들(350), 소켓 기관(360), 양품의 전자 부품(380)을 거친 후, 다시 소켓 기관(360), 제 2 핀들(350), 제 2 연결 단자(16), 검사 대상물(10) 내의 제 1 반도체 소자(12), 그리고 제 1 연결 단자(14)를 통해 테스트 보드(120)로 출력된다. 테스트 유닛(100)은 출력 신호로부터 검사 대상물(10)의 제 1 연결 단자(14) 및 제 2 연결 단자(16)의 연결 상태 등과 같은 전기적 특성의 양호 여부를 판별한다.

[0046] 다음에는 상술한 소켓(400)의 구성들의 구조를 상세히 설명한다.

[0047] 하우징(420)은 제 1 몸체(320)와 제 2 몸체(340)를 가지며, 제 1 몸체(320)와 제 2 몸체(340)는 서로 간에 탈착 가능한 구조를 가진다. 제 1 몸체(320)는 테스트 유닛(100)에 고정 설치되고, 제 2 몸체(340)는 핸들러(200)에 고정 설치된다. 테스트 유닛(100) 상에는 제 1 몸체(320)를 테스트 유닛(100)에 고정하는 지지대(240)가 장착된다. 지지대(240)는 대체로 중앙에 통공이 형성된 직육면체 형상을 가진다. 제 1 몸체(320)는 지지대(240) 내에 제공된 통공에 삽입 설치된다. 제 1 몸체(320)의 상면 중앙에는 검사 대상물(10)이 놓이는 홈(328)이 형성된다. 제 1 몸체(320)에는 복수의 제 1 홀들(322)이 형성된다. 제 1 홀들(322)은 홈(328)의 저면과 제 1 몸체(320)의 저면을 상하 방향으로 관통하도록 형성된다. 제 1 홀들(322)은 테스트 보드(120)의 제 1 패드들(122) 및 제 1 몸체(320)의 홈(328) 내에 놓인 검사 대상물(10)의 제 1 연결 단자(14)들과 대향 되게 위치된다. 제 1 홀들(322)에는 상술한 제 1 핀들(330)이 삽입된다.

[0048] 소켓 기관(360)은 제 2 몸체(340)와 핸들러(200) 사이에 위치된다. 소켓 기관(360)과 제 2 몸체(340)는 나사(도시되지 않음) 등과 같은 체결 수단에 의해 핸들러(200)에 고정 설치된다.

[0049] 제 2 몸체(340)에는 복수의 제 2 홀들(342)이 형성된다. 제 2 홀들(342)은 제 2 몸체(340)의 상면과 하면을 상하 방향으로 관통하도록 형성된다. 제 2 홀들(342)은 제 1 몸체(320)의 홈(328) 내에 놓인 검사 대상물(10)의 상면에 제공된 제 2 연결 단자(16)들 및 소켓 기관(360)의 제 1 패드들(122)과 대향 되게 위치된다. 제 2 홀들(342)에는 제 2 핀들(350)이 삽입된다. 소켓 기관(360)과 제 2 몸체(340)의 중앙에는 핸들러(200)에 의해 검사 대상물(10)이 진공 흡착될 수 있도록 진공홀들(202)이 제공된다. 도 2 및 도 3에 도시된 바와 같이, 제 2 몸체(340)의 상면에는 양품의 전자 부품(380)이 삽입되는 홈(348)이 제공될 수 있다. 이와 달리 소켓 기관(360)은 제 2 몸체(340)에 비해 더 넓은 표면적을 가지고, 양품의 전자 부품(380)은 제 2 몸체(340)의 외측에 위치되도록 소켓 기관(360)에 장착될 수 있다.

[0050] 상술한 예에서는 양품의 전자 부품(380)이 소켓 기관(360)의 제 2 패드(364)에 직접 접촉되는 구조를 가지는 것으로 설명하였다. 그러나 이와 달리 양품의 전자 부품(380)과 소켓 기관(360)의 제 2 패드(364)는 포고 핀들(도시되지 않음)을 통하여 서로 전기적으로 연결되도록 제공될 수 있다.

[0051] 검사 대상물(10)과 제 1 핀들(330)의 전기적 접촉 신뢰도를 향상시키기 위해, 제 2 몸체(340)가 제 1 몸체(320)상의 기설정된 위치에 정확하게 결합하여야 한다. 이를 위해 제 2 몸체(340)의 하면에는 정렬 핀들(344)이 아래 방향으로 돌출되도록 설치되고, 제 1 몸체(320)의 상면에는 정렬 핀들(344)이 삽입되는 정렬 홈들(324)이 형성된다. 이와 반대로 제 1 몸체(320)에 정렬 핀들이 설치되고, 제 2 몸체(340)에 정렬 홈들이 형성될 수 있다. 또한, 핸들러(200)에는 아래 방향으로 돌출되도록 정렬 핀들(220)이 설치되고, 지지대(240)의 상면에는 정렬 핀들(220)이 삽입되는 정렬 홈들(242)이 형성된다. 이와 반대로 핸들러(200)에 정렬 홈들이 형성되고, 지지대(240)에 정렬 핀들이 설치될 수 있다. 정렬 홈들과 정렬 핀은 제 1 몸체(320)와 제 2 몸체(340)에만 제공되거나, 지지대(240)와 핸들러(200)에만 제공될 수 있다.

[0052] 도 2와 도 3에서는 제 1 몸체(320)에 검사 대상물(10)이 위치되는 홈(328)이 형성되는 것으로 설명하였다. 그러나 이와 달리 도 4에 도시되는 바와 같이 제 2 몸체(340)의 저면에 홈(328)이 형성되고, 검사 대상물(10)은 제 2 몸체(340)에 형성된 홈(328) 내에 위치될 수 있다.

[0053] 또한, 상술한 실시예에는 검사 대상물(10)이 로직 칩을 가지는 반도체 소자를 포함하고, 양품의 전자 부품(380)이 메모리 칩을 가지는 반도체 소자를 포함하여, 검사 대상물(10)과 양품의 전자 부품(380)이 서로 전기적으로 신호를 주고받는 구조인 것으로 설명하였다. 그러나 이와 달리, 검사 대상물(10)과 양품의 전자 부품(380)은 모두 메모리 칩을 가지는 반도체 소자일 수 있다. 이 경우, 검사 대상물(10) 내에는 제 1 연결 단자(14)와 제 2 연결 단자(16)를 직접 연결하는 배선들이 형성될 수 있다.

[0054] 제 1 실시예에 의하면, 검사 대상물(10)의 하면에 제공된 연결 단자(14)의 전기적 연결 상태와 상면에 제공된 연결 단자(16)의 전기적 연결 상태를 동시에 검사할 수 있다. 또한, 검사 대상물(10)인 제 1 반도체 소자 패키지(10)와 제 2 반도체 소자 패키지(20)가 솔더 볼(30)을 매개로 하여 직접 접촉이 이루어지지 않은 상태에서도, 접촉이 이루어진 것과 유사한 조건에서 검사를 수행할 수 있다. 또한, 검사 대상물(10)이 적층형 반도체 소자

패키지(1)에서 로직 칩을 가지는 반도체 소자를 포함하는 반도체 소자 패키지인 경우, 소켓(400)에 메모리 칩을 직접 제공함으로써 앳 스피드 테스트(At speed Test)까지 가능하다.

- [0055] 도 5는 본 발명의 제 2 실시예에 따른 검사 장치(3)의 분해도이고, 도 6은 검사 대상물(10)이 제공된 상태의 검사 장치(3)의 결합도이다.
- [0056] 도 5와 도 6을 참고하면, 검사 장치(3)는 테스트 유닛(100), 핸들러(200), 그리고 소켓(400a)을 가진다. 테스트 유닛(100)은 검사 대상물(10)로 소정의 입력 신호를 인가하고, 검사 대상물(10)로부터 출력되는 신호를 받는다. 테스트 유닛(100)은 출력 신호로부터 검사 대상물(10)의 불량 여부를 판독한다. 테스트 유닛(100)에는 제 1 패드들(122) 및 제 2 패드들(124)이 형성된 테스트 보드(120)가 제공된다. 제 1 패드들(122)은 검사 대상물(10)로 입력 신호를 인가하기 위해 주로 이용되고, 제 2 패드들(124)은 검사 대상물(10)로부터 출력 신호를 받기 위해 주로 이용된다. 소켓(400a)은 검사 대상물(10)과 테스트 보드(120)를 전기적으로 연결한다. 핸들러(200)는 검사 대상물(10)을 소켓(400a)으로 이동시킨다. 이하에서는 테스트 유닛(100)의 일반적인 구조 및 핸들러(200)에 대한 구체적인 설명은 생략하며, 본 발명의 주된 특징인 소켓(400a)을 중심으로 설명하며, 테스트 유닛(100)과 핸들러(200)는 일반적인 구조와 상이한 부분에 대해서만 설명한다.
- [0057] 소켓(400a)은 하우징(420a), 제 1 연결 유닛(440), 그리고 제 2 연결 유닛(460a)을 가진다. 하우징(420a)은 핸들러(200)와 테스트 보드(120) 사이에 위치되며, 검사 진행시 검사 대상물(10)이 놓이는 공간을 제공한다. 제 1 연결 유닛(440)은 검사 대상물(10)의 제 1 연결 단자(14)의 전기적 연결 상태를 측정하기 위해 제공된다. 제 2 연결 유닛(460a)은 검사 대상물(10)의 제 2 연결 단자(16)의 전기적 연결 상태를 측정하기 위해 제공된다.
- [0058] 제 1 연결 유닛(440)은 검사 대상물(10)의 제 1 연결 단자(14)와 테스트 보드(120)의 제 1 패드(122)를 전기적으로 직접 연결하는 복수의 제 1 핀들(330)을 가진다. 제 1 핀들(330)로는 내부에 단성체가 제공된 포고 핀들이 사용된다. 각각의 제 1 핀(330)의 일단은 검사 대상물(10)의 제 1 연결 단자(14)와 접촉되고, 각각의 제 1 핀(330)의 타단은 테스트 보드(120)의 제 1 패드(122)와 접촉된다.
- [0059] 제 2 연결 유닛(460a)은 소켓 기관(360), 제 2 핀들(350), 그리고 제 3 핀들(380a)을 가진다. 소켓 기관(360)은 제 1 패드들(362)과 제 2 패드들(364)을 가지며, 소켓 기관(360)에는 제 1 패드들(362)과 제 2 패드들(364)을 전기적으로 연결하는 배선들(도시되지 않음)이 형성된다. 제 2 핀들(350)은 소켓 기관(360)의 제 1 패드들(362)과 검사 대상물(10)의 제 2 연결 단자들(16)을 전기적으로 직접 연결한다. 제 2 핀들(350)로는 내부에 단성체가 제공된 포고 핀들이 사용된다. 각각의 제 1 핀(330)의 일단은 검사 대상물(10)의 제 2 연결 단자(16)와 접촉되고, 각각의 제 2 핀(350)의 타단은 소켓 기관(360)의 제 1 패드들(362)과 접촉된다. 제 3 핀들(380a)은 소켓 기관(360)의 제 2 패드들(364)과 테스트 보드(120)의 제 2 패드들(124)을 전기적으로 직접 연결한다. 각각의 제 3 핀(380a)의 일단은 소켓 기관(360)의 제 2 패드들(364)과 접촉되고, 각각의 제 3 핀(380a)의 타단은 테스트 보드(120)의 제 2 패드들(124)과 접촉된다.
- [0060] 이와 같은 구성에 의해 검사 대상물(10)의 연결 단자들(12, 14)의 전기적 연결 상태를 검사하는 방법은 다음과 같다. 테스트 보드(120)로부터 입력된 신호는 순차적으로 제 1 핀들(330), 검사 대상물(10)의 제 1 연결 단자(14), 검사 대상물(10) 내의 제 1 반도체 소자(12), 제 2 연결 단자(16), 제 2 핀들(350), 소켓 기관(360), 그리고 제 3 핀들(380a)을 통해 테스트 보드(120)로 출력된다. 테스트 유닛(100)은 출력 신호로부터 검사 대상물(10)의 제 1 연결 단자(14) 및 제 2 연결 단자(16)의 연결 상태 등과 같은 전기적 특성의 양호 여부를 판별한다.
- [0061] 다음에는 상술한 소켓(400a)의 구성들의 구조를 상세히 설명한다.
- [0062] 하우징(420a)은 제 1 몸체(320)와 제 2 몸체(340)를 가지며, 제 1 몸체(320)와 제 2 몸체(340)는 서로 간에 탈착 가능한 구조를 가진다. 제 1 몸체(320)는 테스트 유닛(100)에 고정 설치되고, 제 2 몸체(340)는 핸들러(200)에 고정 설치된다. 테스트 유닛(100) 상에는 제 1 몸체(320)를 테스트 유닛(100)에 고정하는 지지대(240)가 장착된다. 지지대(240)는 대체로 중앙에 통공이 형성된 직육면체 형상을 가진다. 제 1 몸체(320)는 지지대(240) 내에 제공된 통공에 삽입 설치된다. 제 1 몸체(320)의 상면 중앙에는 검사 대상물(10)이 놓이는 홈(328)이 형성된다. 제 1 몸체(320)에는 복수의 제 1 홀들(322)이 형성된다. 제 1 홀들(322)은 홈(328)의 저면과 제 1 몸체(320)의 저면을 상하 방향으로 관통하도록 형성된다. 제 1 홀들(322)은 테스트 보드(120)의 제 1 패드들 및 제 1 몸체(320)의 홈(328) 내에 놓인 검사 대상물(10)의 하면에 제공된 제 1 연결 단자들(14)과 대향 되게 위치된다. 제 1 홀들(322)에는 상술한 제 1 핀들(330)이 삽입된다. 제 1 몸체(320)에서 홈(328)이 형성된 영역 바깥쪽에는 제 3 홀들(326)이 형성된다. 제 3 홀들(326)은 제 1 몸체(320)의 상면과 하면을 상하 방향으로 관통하도록

형성된다. 제 3 홀들(326)은 소켓 기관(360)의 제 2 패드들(364) 및 테스트 보드(120)의 제 2 패드들(124)과 대향 되게 위치된다. 제 3 홀들(326)에는 상술한 제 3 핀들(380a)이 삽입된다.

[0063] 소켓 기관(360)은 제 2 몸체(340)와 핸들러(200) 사이에 위치된다. 소켓 기관(360)과 제 2 몸체(340)는 나사(도시되지 않음) 등과 같은 체결 수단에 의해 핸들러(200)에 고정 설치된다.

[0064] 제 1 몸체(320)와 제 2 몸체(340)가 결합될 때, 제 2 몸체(340)는 제 1 몸체(320)의 홈(328) 내에 위치된다. 제 1 몸체(320)의 상면과 제 2 몸체(340)의 상면은 대체로 동일 수평면상에 위치된다. 제 2 몸체(340)에는 복수의 제 2 홀들(342)이 형성된다. 제 2 홀들(342)은 제 2 몸체(340)의 상면과 하면을 상하 방향으로 관통하도록 형성된다. 제 2 홀들(342)은 제 1 몸체(320)의 홈(328) 내에 놓인 검사 대상물(10)의 제 2 연결 단자(16)들 및 소켓 기관(360)의 제 1 패드들(362)과 대향 되게 위치된다. 제 2 홀들(342)에는 제 2 핀들(350)이 삽입된다. 소켓 기관(360)과 제 2 몸체(340)의 중앙에는 핸들러(200)에 의해 검사 대상물(10)이 진공 흡착될 수 있도록 진공 홀들(202)이 제공된다.

[0065] 검사 대상물(10)과 제 1 핀들(330), 그리고 소켓 기관(360)과 제 3 핀들(380a) 간의 전기적 접촉 신뢰도를 향상시키기 위해, 제 2 몸체(340)가 제 1 몸체(320) 상의 기설정된 위치에 정확하게 결합되어야 한다. 이를 위해 제 2 몸체(340)의 하면에는 정렬 핀들(344)이 아래 방향으로 돌출되도록 설치되고, 제 1 몸체(320)의 홈(328) 저면에는 정렬 핀들(344)이 삽입되는 정렬 홀들(324)이 형성된다. 이와 반대로 제 1 몸체(320)에 정렬 핀들이 설치되고, 제 2 몸체(340)에 정렬 홀들이 형성될 수 있다. 또한, 핸들러(200)에는 아래 방향으로 돌출되도록 정렬 핀들(220)이 설치되고, 지지대(240)의 상면에는 정렬 핀들(220)이 삽입되는 정렬 홀들(242)이 형성된다. 이와 반대로, 핸들러(200)에 정렬 홀들이 형성되고, 지지대(240)에 정렬 핀들이 설치될 수 있다. 정렬 홈들과 정렬 핀들은 제 1 몸체(320)와 제 2 몸체(340)에만 제공되거나, 지지대(240)와 핸들러(200)에만 제공될 수 있다.

[0066] 도 5와 도 6에서는 제 1 몸체(320)에 검사 대상물(10)이 위치되는 홈(328)이 형성되는 것으로 설명하였다. 그러나 이와 달리 도 7에 도시되는 바와 같이 제 2 몸체(340)의 저면에 홈(328)이 형성되고, 검사 대상물(10)은 제 2 몸체(340)에 형성된 홈(328) 내에 위치될 수 있다. 이 경우, 제 1 몸체(320)의 저면과 제 2 몸체(340)의 저면은 동일 수평면에 위치된다. 또한, 이 경우, 제 3 홀들(326)은 제 2 몸체(340)에서 홈(328)의 외측 영역에 제공된다.

[0067] 제 2 실시예에 의하면, 검사 대상물(10)의 하면에 제공된 연결 단자(14)의 연결 상태와 상면에 제공된 연결 단자(16)의 연결 상태를 동시에 검사할 수 있다.

도면의 간단한 설명

[0068] 도 1은 적층형 반도체 소자 패키지의 일 예를 개략적으로 보여주는 정면도이다.

[0069] 도 2는 본 발명의 제 1 실시예에 의한 검사 장치의 분해 단면도이다.

[0070] 도 3은 검사 대상물인 반도체 소자 패키지가 제공된 도 2의 검사 장치의 결합 단면도이다.

[0071] 도 4는 도 3의 검사 장치의 변형 예이다.

[0072] 도 5는 본 발명의 제 2 실시예에 의한 검사 장치의 분해 단면도이다.

[0073] 도 6은 검사 대상물인 반도체 소자 패키지가 제공된 도 5의 검사 장치의 결합 단면도이다.

[0074] 도 7은 도 6의 검사 장치의 변형 예이다.

[0075] <도면의 주요 부분에 대한 부호의 설명>

- [0076] 1 : 적층형 반도체 소자 패키지 2, 3 : 검사 장치
- [0077] 10 : 제 1 반도체 소자 패키지 20 : 제 2 반도체 소자 패키지
- [0078] 100 : 테스트 유닛 120 : 테스트 보드
- [0079] 200 : 핸들러 300, 300a : 소켓
- [0080] 320, 320a : 제 1 몸체 340, 340a : 제 2 몸체
- [0081] 350, 350a : 제 2 핀들 360, 360a : 소켓 기관

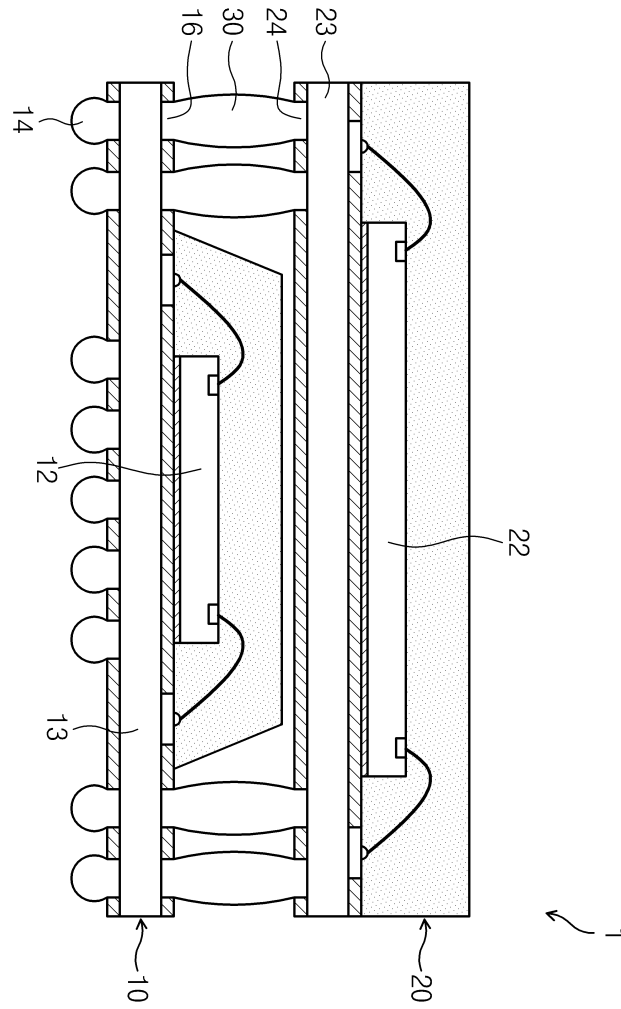
[0082] 380 : 양품의 전자 부품

380a : 제 3 핀들

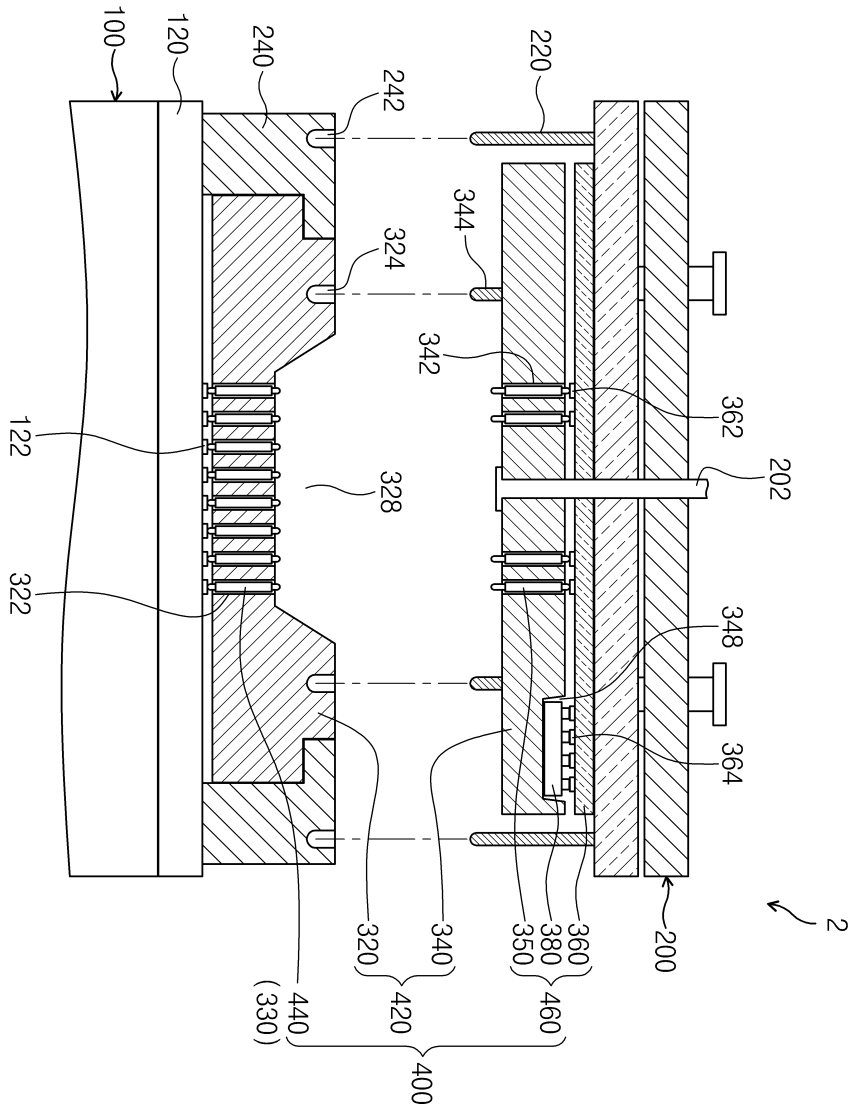
[0083] 440, 440a : 제 1 핀들

도면

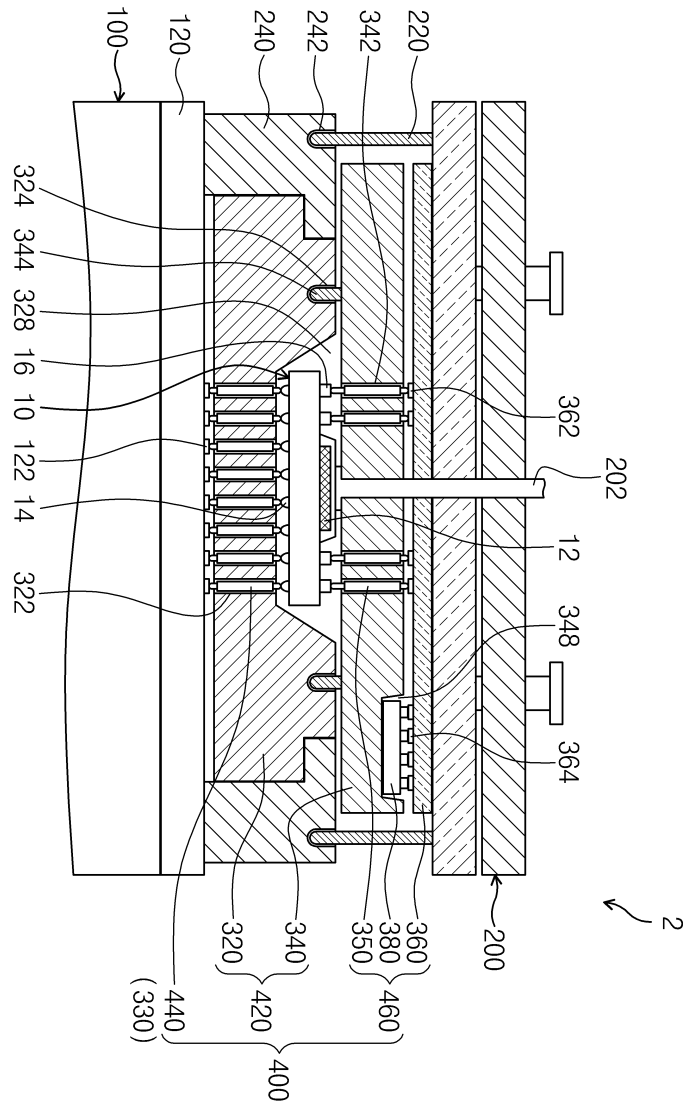
도면1



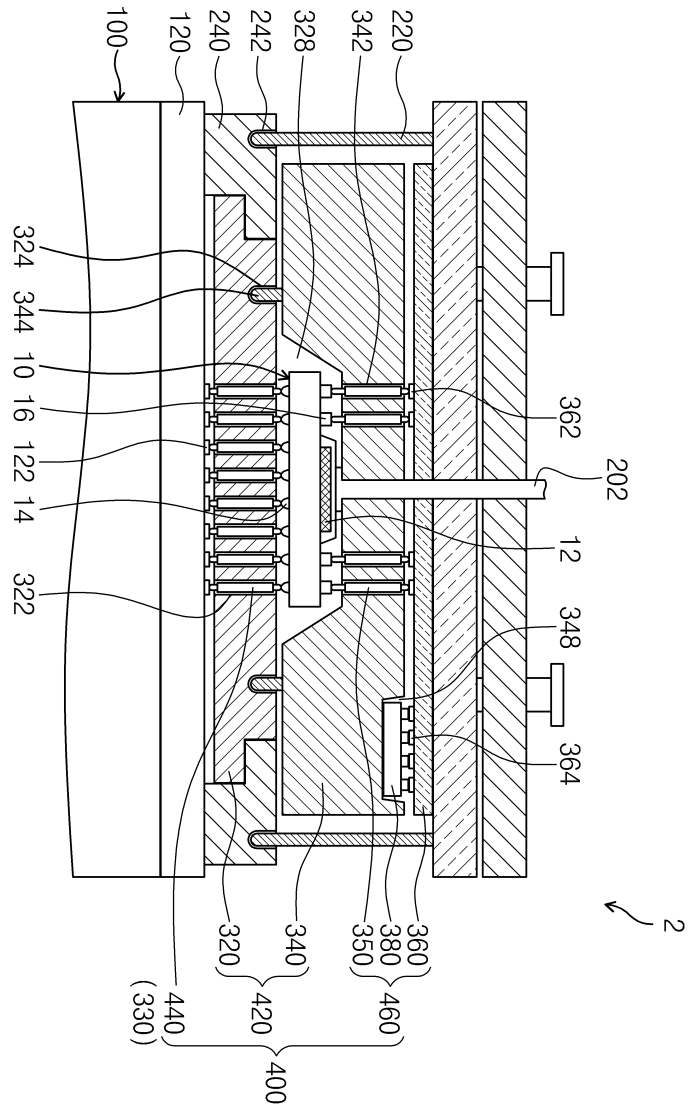
도면2



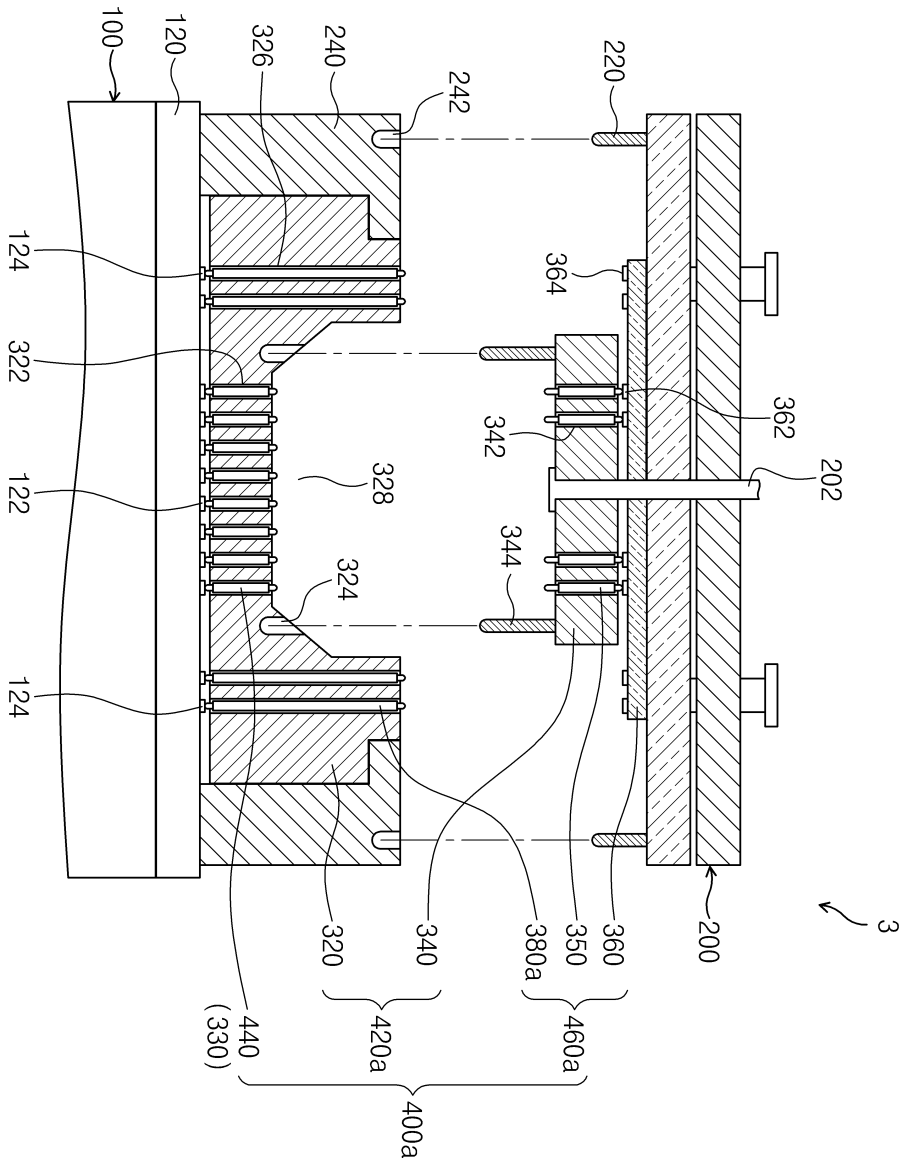
도면3



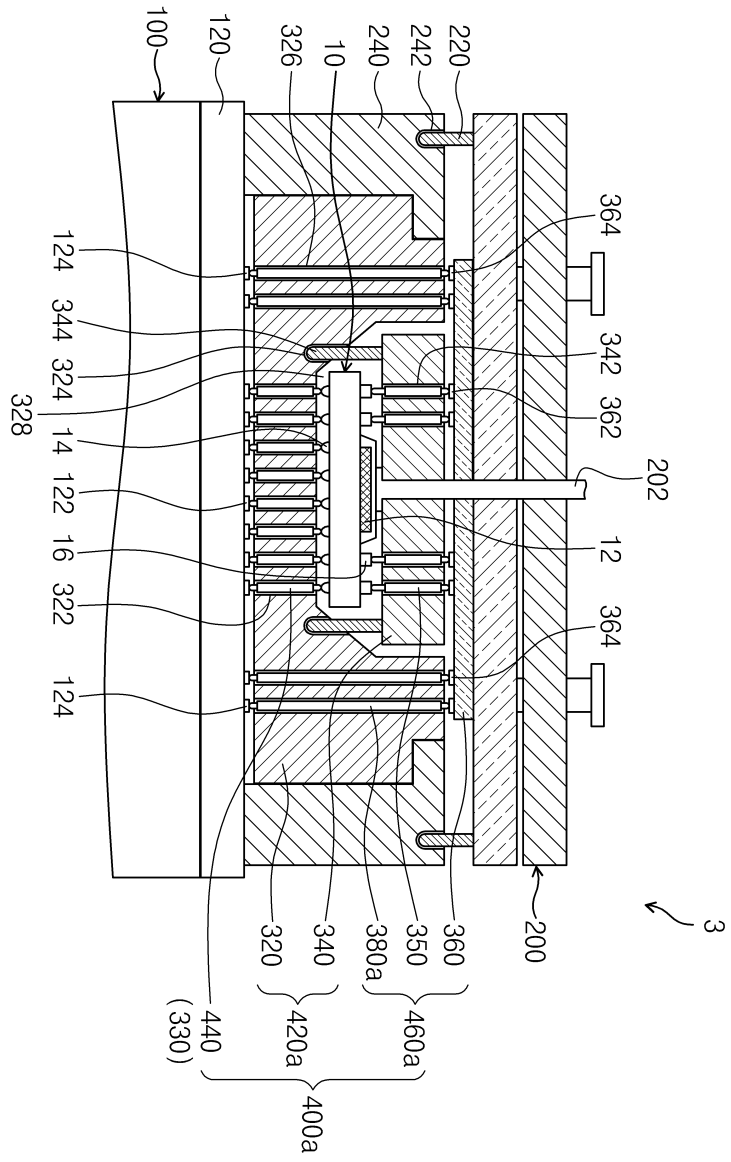
도면4



도면5



도면6



도면7

