

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4034136号  
(P4034136)

(45) 発行日 平成20年1月16日(2008.1.16)

(24) 登録日 平成19年11月2日(2007.11.2)

(51) Int. Cl.		F I		
HO 1 L 21/76	(2006.01)	HO 1 L 21/76		L
HO 1 L 21/762	(2006.01)	HO 1 L 21/76		D
HO 1 L 27/12	(2006.01)	HO 1 L 27/12		F
HO 1 L 29/786	(2006.01)	HO 1 L 29/78	6 2 1	

請求項の数 17 (全 16 頁)

(21) 出願番号	特願2002-202635 (P2002-202635)	(73) 特許権者	390019839 三星電子株式会社
(22) 出願日	平成14年7月11日(2002.7.11)		S a m s u n g E l e c t r o n i c s C o . , L t d .
(65) 公開番号	特開2003-92346 (P2003-92346A)		大韓民国京畿道水原市靈通区梅灘洞416
(43) 公開日	平成15年3月28日(2003.3.28)	(74) 代理人	100086368 弁理士 萩原 誠
審査請求日	平成14年7月11日(2002.7.11)		
(31) 優先権主張番号	2001-045693	(72) 発明者	李 泰 政 大韓民国京畿道華城市台安邑半月里 新靈 通現代アパート107棟1102号
(32) 優先日	平成13年7月28日(2001.7.28)		
(33) 優先権主張国	韓国 (KR)	(72) 発明者	金 炳 善 大韓民国京畿道水原市勸善区勸善洞123 5番地 豊林アパート301棟1102号

最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

基層、埋込み酸化膜及び半導体層を含む基板を提供する段階と、  
前記半導体層の活性領域を限定すべく前記半導体層よりも浅い第1トレンチを前記半導体層内に形成する段階と、

前記第1トレンチの内壁及び底面に酸化膜を形成する段階と、

前記酸化膜の形成された第1トレンチの一方の底面に、前記酸化膜及び前記半導体層をエッチングして、前記埋込み酸化膜を露出させる深い第2トレンチを形成する段階と、

前記第2トレンチ形成によって露出した前記半導体層の側壁及び前記埋込み酸化膜の表面を含む前記第1及び第2トレンチの内壁及び底面に化学気相蒸着法によって酸化膜ライナーを形成し、さらに窒化膜ライナーを形成し、さらに第1及び第2トレンチを完全に埋め込む絶縁膜を形成して素子分離膜を形成する段階と、を含むことを特徴とする半導体素子の製造方法。

【請求項2】

前記第1トレンチは、前記埋込み酸化膜から200～1500の高さに形成することを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項3】

前記酸化膜を形成する段階は、熱酸化法により行うことを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項4】

10

20

前記酸化膜の厚さは、1～50 nmになるように形成することを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項5】

前記酸化膜ライナーを形成する段階は、低圧化学気相蒸着法により行うことを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項6】

前記酸化膜ライナーを形成する段階の温度は、650～750 であることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項7】

前記酸化膜ライナーの厚さは、3～30 nmになるように形成することを特徴とする請求項1に記載の半導体素子の製造方法。 10

【請求項8】

前記窒化膜ライナーの厚さは、3～20 nmになるように形成することを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項9】

前記素子分離膜を形成する段階後に、  
前記活性領域にトランジスタを形成する段階をさらに含むことを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項10】

基層、埋込み酸化膜及び半導体層を含む基板を提供する段階と、 20

前記半導体層上にパッド酸化膜及び窒化膜を順次形成する段階と、

前記半導体層上の活性領域を限定する素子分離予定領域が露出されるべく前記パッド酸化膜及び窒化膜をパタニングする段階と、

前記半導体層内に浅い第1トレンチが形成されるべく前記パタニングされたパッド酸化膜及び窒化膜をエッチングマスクとして前記半導体層をエッチングする段階と、

前記第1トレンチの形成された結果物を酸素を含むガス雰囲気下で熱処理し、前記第1トレンチの底面及び内壁に熱酸化膜を形成する段階と、

前記熱酸化膜の形成された結果物上に前記第1トレンチの一方の底面を露出させる感光膜パターンを形成する段階と、

前記埋込み酸化膜を露出させる深い第2トレンチが形成されるべく前記感光膜パターンをエッチングマスクとして前記熱酸化膜及び半導体層をエッチングする段階と、 30

前記感光膜パターンを除去する段階と、

前記第2トレンチ形成によって露出した前記半導体層の側壁及び前記埋込み酸化膜の表面を含む前記第1及び第2トレンチの内壁及び底面を覆うように、前記第2トレンチの形成された結果物上に化学気相蒸着法により酸化膜ライナーを形成する段階と、

前記酸化膜ライナーの形成された結果物上に窒化膜ライナーを形成する段階と、

前記窒化膜ライナーの形成された結果物上に前記第1及び第2トレンチを完全に埋め込む絶縁膜を形成する段階と、

前記パタニングされた窒化膜の上面が露出されるべく前記絶縁膜が形成された結果物の上面を平坦化させる段階と、 40

前記パタニングされたパッド酸化膜及び窒化膜を除去する段階と、

前記活性領域にゲート絶縁膜を介在させてゲート電極を形成する段階と、

前記ゲート電極の両側にソース/ドレイン領域を形成する段階と、を含むことを特徴とする半導体素子の製造方法。

【請求項11】

前記第1トレンチは、前記埋込み酸化膜から200～1500 の高さに形成することを特徴とする請求項10に記載の半導体素子の製造方法。

【請求項12】

前記熱酸化膜の厚さは、1～50 nmになるように形成することを特徴とする請求項10に記載の半導体素子の製造方法。

**【請求項 13】**

前記酸化膜ライナーを形成する段階の温度は、650～750であることを特徴とする請求項10に記載の半導体素子の製造方法。

**【請求項 14】**

前記酸化膜ライナーの厚さは、3～30nmになるように形成することを特徴とする請求項10に記載の半導体素子の製造方法。

**【請求項 15】**

前記窒化膜ライナーの厚さは、3～20nmになるように形成することを特徴とする請求項10に記載の半導体素子の製造方法。

**【請求項 16】**

前記絶縁膜が形成された結果物の上面を平坦化させる段階は、化学機械的研磨法により行うことを特徴とする請求項10に記載の半導体素子の製造方法。

**【請求項 17】**

前記パタニングされたパッド酸化膜及び窒化膜を除去する段階は、  
前記パタニングされた窒化膜を除去した後に前記パタニングされたパッド酸化膜を除去することを特徴とする請求項10に記載の半導体素子の製造方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は半導体素子及びその製造方法に係り、より詳細には、SOI(Silicon On Insulator)基板を用いた半導体素子(以下、SOI素子)及びその製造方法に関する。

**【0002】****【従来の技術】**

通常のパルクシリコン基板とは異なって、SOI基板は、支持手段である基層と、埋込み酸化膜と、素子が形成されるべき半導体層との積層構造を有する。かかるSOI基板に集積されたSOI素子は、埋込み酸化膜によって完全な素子分離を成し遂げることができる。特に、接合キャパシタンスを低減できることから、低電力化及び高速化の利点がある。半導体素子の高性能化が進むに伴い、SOI素子の活用範囲は徐々に広まりつつある。

**【0003】**

以下、図1ないし図6に基づき、従来の技術について説明する。図中、同一の要素には同一の符号を使用した。

図1は、従来のトレンチ素子分離膜を備えるSOI素子及びその製造方法を説明するための図である。

図1を参照すれば、基層10と、埋込み酸化膜15と、半導体層20とを含む基板30が提供される。次に、前記半導体層20の活性領域を限定しつつ前記埋込み酸化膜15を露出させるトレンチAを形成する。次に、前記トレンチAの内壁及び底面に熱酸化膜32及び窒化膜ライナー36を順次形成した後、前記トレンチAを完全に埋め込む絶縁膜37を形成する。これにより、前記熱酸化膜32、窒化膜ライナー36及び絶縁膜37を含む素子分離膜41が形成される。図1から明らかなように、前記素子分離膜41の底面は前記埋込み酸化膜15に接しているため、このような素子分離膜はディープ(deep)素子分離膜と言える。

**【0004】**

前記活性領域にゲート絶縁膜75を介在させゲート電極80を形成した後に、前記ゲート電極80の両側にソース/ドレイン領域90を形成する。前記素子分離膜41と同様に、前記ソース/ドレイン領域90もその底面が前記埋込み酸化膜15に接するように形成できる。これにより、前記活性領域に形成されるトランジスタは、前記素子分離膜41及び埋込み酸化膜15に取り囲まれて、完全な素子分離を成し遂げられ、接合キャパシタンスが減る。その結果、ディープ素子分離膜を備えるSOI素子は高速素子に好適な特性を有するといった長所がある。

10

20

30

40

50

## 【 0 0 0 5 】

ところで、前記熱酸化膜 3 2 を形成するに際し、前記半導体層 2 0 と埋込み酸化膜 1 5 との界面に酸素原子が浸透して酸化反応を起こし易い。これにより、前記半導体層 2 0 と埋込み酸化膜 1 5 との界面が浮き上がれば、前記半導体層 2 0 がベンディングされてしまうといった問題がある。前記半導体層 2 0 がベンディングされれば、転位欠陥が生じ、これは漏れ電流が増える原因となる。

## 【 0 0 0 6 】

そして、図 1 に示したように、ディープ素子分離膜を有する S O I 素子においては、バルクシリコン基板を用いた素子とは異なって、ボディ、すなわち前記半導体層 2 0 が電氣的に浮遊されている。このため、素子の作動時にチャネル領域の下部に電荷が蓄積される。蓄積された電荷は、寄生パイポーラ誘導ブレークダウン及びラッチアップなどの現象を引き起こし、S O I 素子の動作特性を不安定にする問題がある。かかる問題点をフローティングボディエフェクト（基板浮遊効果）と呼ぶ。

10

## 【 0 0 0 7 】

基板浮遊効果無くすために、素子分離膜の底面が埋込み酸化膜に接しないように素子分離膜を浅く形成し、前記素子分離膜下部の半導体層にボディコンタクトを形成して所定の電圧を印加する S O I 素子が提案されている。このような素子分離膜は前記ディープ素子分離膜に比べてシャロウ（shallow）素子分離膜と言える。

ところで、このようなシャロウ素子分離膜を有する S O I 素子は動作特性が安定しているのに対し、電圧が印加される半導体層とソース/ドレイン領域との間に接合部が形成されて接合キャパシタンスが増えるといった問題点を有する。

20

この理由から、最近、ディープ素子分離膜及びシャロウ素子分離膜の長所を合わせ持たせるために、単一のトレンチが相異なる二つの深さを有するデュアルトレンチ構造の素子分離膜を形成する方法に関する研究がなされつつある。

## 【 0 0 0 8 】

図 2 ないし図 6 は、従来のデュアルトレンチ構造の素子分離膜を備える S O I 素子及びその製造方法を説明するための図である。

まず、図 2 を参照すれば、基層 1 0 と、埋込み酸化膜 1 5 と、半導体層 2 0 とを含む基板 3 0 が提供される。前記半導体層 2 0 上に前記半導体層 2 0 の活性領域を限定する素子分離膜を露出さすべくパッド酸化膜 3 5 及び窒化膜 4 0 よりなるマスクパターン 4 2 を形成する。次に、前記マスクパターン 4 2 をエッチングマスクとして前記半導体層 2 0 をエッチングすることにより、前記半導体層 2 0 内にシャロウトレンチ B を形成する。前記シャロウトレンチ B の内壁及び底面に熱酸化膜 3 2 を形成した後、前記熱酸化膜 3 2 が形成された結果物上に前記シャロウトレンチ B の一方の底面を露出させる感光膜パターン 5 0 を形成する。

30

## 【 0 0 0 9 】

図 3 を参照すれば、前記感光膜パターン 5 0 をエッチングマスクとして前記熱酸化膜 3 2 及び半導体層 2 0 をエッチングすることにより、前記埋込み酸化膜 1 5 を露出させるディープトレンチ C を形成する。この時、前記シャロウトレンチ B の一方の内壁に形成された熱酸化膜 3 2 部分もエッチングされることにより、前記半導体層 2 0 の側壁が曝される。これにより、相異なる深さを有するシャロウトレンチ B 及びディープトレンチ C よりなるデュアルトレンチ D が形成される。

40

次に、前記感光膜パターン 5 0 を灰化处理して除去する。

## 【 0 0 1 0 】

図 4 を参照すれば、図 3 の結果物上に窒化膜ライナー 6 0 を形成し、前記デュアルトレンチ D を完全に埋め込む絶縁膜 6 5 を形成する。次に、前記絶縁膜 6 5 が形成された結果物の上面を平坦化させて前記窒化膜 4 0 の上面を露出させる。前記平坦化させる段階を化学機械的研磨（Chemical Mechanical Polishing：以下、CMP）法により行う場合に、膜質による研磨率の違いのために、前記絶縁膜 6 5 の上面が前記窒化膜 4 0 の上面よりもやや低い場合がある。

50

## 【0011】

図5を参照すれば、前記窒化膜40を除去して前記パッド酸化膜35を露出させる。ところで、この時に、前記窒化膜ライナー60の一部も除去されて前記半導体層20と絶縁膜65との間の前記半導体層20の表面にグループ(groove)Gが形成される。

## 【0012】

図6を参照すれば、前記パッド酸化膜35まで除去して前記半導体層20の表面を露出させる。これにより、前記デュアルトレンチD内に熱酸化膜32、窒化膜ライナー60及び絶縁膜65を含む素子分離膜70が形成される。

その後は、通常の方法に従い前記活性領域にトランジスタを形成してSOI素子を製造する。

10

図6から明らかなように、前記素子分離膜70の底面は段差を有する。前記素子分離膜70において、ディープトレンチC部分は前記埋込み酸化膜15に接して形成されるので、接合キャパシタンスを低減できる。前記素子分離膜70において、シャロウトレンチB部分は前記埋込み酸化膜15に接しないように形成されるので、前記半導体層20にボディコンタクトを形成して前記半導体層20に所定の電圧を印加すれば、基板浮遊効果が防げる。

## 【発明が解決しようとする課題】

## 【0013】

ところで、前記半導体層20と絶縁膜65との間の前記半導体層20の表面、すなわち前記半導体層20と素子分離膜70との間の前記半導体層20の表面には前記グループが依然として存在する。素子分離膜のエッジに沿ってグループが形成されれば、寄生トランジスタが形成されるがゆえに、SOI素子の電流-電圧曲線でSOI素子があたかも二つのしきい電圧を有したかのように見えるハンプ現象(hump phenomenon)が引き起こされる。結局、SOI素子の動作電圧を限定できない問題を来す。さらに、前記SOI素子のゲート絶縁膜が劣化してしまう不具合が生じる。

20

## 【0014】

他の問題点は、図4を参照して説明したように、前記窒化膜ライナー60が前記ディープトレンチCによって露出された前記半導体層20の側壁に直接的に接して形成されるということである。前記窒化膜ライナー60及び前記半導体層20は熱膨張係数を含む諸物性に違いがある。このため、前記半導体層20に直接的に接して形成された前記窒化膜ライナー60は、前記半導体層20に機械的応力を加えることになる。これにより、前記半導体層20に多数の欠陥が引き起こされ、これはSOI素子の特性を悪化させる原因となる。

30

## 【0015】

前記窒化膜ライナー60が前記半導体層20に直接的に接することを防止するために、前記窒化膜ライナー60と半導体層20との間にこれらの略中間の物性を有する膜、例えば酸化膜をさらに形成しても良い。前記ディープトレンチCが前記埋込み酸化膜15を露出さすべく形成される点を勘案すれば、酸化膜をさらに形成する場合に、図1を参照して説明したように、前記半導体層20と埋込み酸化膜15との間の界面が浮き上がって前記半導体層20がベンディングされてしまうという問題を解決しなければならない。

40

## 【0016】

本発明の目的は、接合キャパシタンスが小さく、しかも動作特性が安定したSOI素子を提供することである。

また、本発明の他の目的は、基板の半導体層と素子分離膜との間の前記半導体層の表面にグループが形成されることを防止し、ゲート絶縁膜が劣化する不具合が抑えられたSOI素子を提供することである。

さらに、本発明の他の目的は、前記半導体層がベンディングされることなく素子分離膜を形成してSOI素子を製造する方法を提供することである。

## 【0017】

## 【課題を解決するための手段】

50

前記課題を解決するために、本発明に係る半導体素子は、基層、埋込み酸化膜及び半導体層を含む基板と、前記半導体層の活性領域を限定するトレンチに形成された素子分離膜と、を含む。前記トレンチは、前記半導体層の厚さよりも浅い第1領域及び前記半導体層の厚さと同じ第2領域を有する。前記素子分離膜は、前記トレンチの内壁及び底面に順次形成された酸化膜、窒化膜ライナー及び前記トレンチを完全に埋め込む絶縁膜を含む。

本発明に係る半導体素子において、前記酸化膜は、前記第1領域における厚さが前記第2領域における厚さよりも大きいことがある。例えば、前記酸化膜は、前記第1領域における厚さが前記第2領域における厚さよりも1～50nm大きいことがある。

#### 【0018】

前記他の課題を解決するために、本発明に係る半導体素子の製造方法においては、基層、埋込み酸化膜及び半導体層を含む基板が提供される。次に、前記半導体層の活性領域を限定すべく前記半導体層の厚さよりも浅い第1領域及び前記半導体層の厚さに同じ第2領域を有するトレンチを形成する。次に、前記トレンチの内壁及び底面に酸化膜ライナー、窒化膜ライナー及び前記トレンチを完全に埋め込む絶縁膜を順次形成して素子分離膜を形成する。

10

#### 【0019】

本発明に係る半導体素子の製造方法において、前記トレンチを形成する段階は、前記半導体層内に第1トレンチを形成する段階と、前記第1トレンチの内壁及び底面に酸化膜を形成する段階と、前記酸化膜の形成された第1トレンチの一方の底面に前記埋込み酸化膜を露出させる第2トレンチを形成する段階と、を含む。ここで、好ましくは、前記酸化膜を形成する段階は、熱酸化法により行う。

20

#### 【0020】

本発明に係る半導体素子の製造方法において、前記酸化膜ライナーを形成する段階は、好ましくは、化学気相蒸着(CVD)法により行う。より好ましくは、低圧化学気相蒸着(LP-CVD)法により行う。ここで、好ましくは、前記酸化膜ライナーを形成する段階の温度は、650～750である。

#### 【0021】

本発明による好ましい実施形態において、基層、埋込み酸化膜及び半導体層を含む基板が提供される。前記半導体層上にパッド酸化膜及び窒化膜を順次形成した後に、前記半導体層上の活性領域を限定する素子分離予定領域が露出されるべく前記パッド酸化膜及び窒化膜をパタニングする。前記半導体層内に第1トレンチが形成されるべく前記パタニングされたパッド酸化膜及び窒化膜をエッチングマスクとして前記半導体層をエッチングする。前記第1トレンチの形成された結果物を酸素を含むガス雰囲気下で熱処理し、前記第1トレンチの底面及び内壁に熱酸化膜を形成する。前記熱酸化膜の形成された結果物上に前記第1トレンチの一方の底面を露出させる感光膜パターンを形成する。前記埋込み酸化膜を露出させる第2トレンチが形成されるべく前記感光膜パターンをエッチングマスクとして前記熱酸化膜及び半導体層をエッチングした後に、前記感光膜パターンを除去する。前記第2トレンチの形成された結果物上にCVD法により酸化膜ライナーを形成し、前記酸化膜ライナーの形成された結果物上に窒化膜ライナーを形成する。前記窒化膜ライナーの形成された結果物上に前記第1及び第2トレンチを完全に埋め込む絶縁膜を形成する。前記パタニングされた窒化膜の上面が露出されるべく前記絶縁膜が形成された結果物の上面を平坦化させる。前記パタニングされたパッド酸化膜及び窒化膜を除去した後に、前記活性領域にゲート絶縁膜を介在させてゲート電極を形成し、前記ゲート電極の両側にソース/ドレイン領域を形成してトランジスタを完成する。ここで、前記第1トレンチは、前記埋込み酸化膜から200～1500の高さに形成し、前記熱酸化膜の厚さは、1～50nmになるように形成する。前記酸化膜ライナーを形成する段階の温度は、650～750であり、前記酸化膜ライナーの厚さは、3～30nmになるように形成する。前記窒化膜ライナーの厚さは、3～20nmになるように形成する。

30

40

#### 【0022】

本発明によれば、接合キャパシタンスが小さくて動作特性が安定したSOI素子が提供さ

50

れる。そして、半導体層と素子分離膜との間の半導体層の表面にグループが形成されることを防止し、ゲート絶縁膜が劣化する不具合が抑えられたSOI素子が提供される。なおかつ、基板の半導体層がベンディングされることなく素子分離膜を形成してSOI素子を製造することができる。これにより、半導体層がベンディングされて生じる転位欠陥により漏れ電流が増える現象を防止することができる。

#### 【0023】

##### 【発明の実施の形態】

以下、添付した図面を参照しつつ、本発明の好ましい実施形態を詳細に説明する。しかし、本発明の実施例は各種の形態に変形でき、本発明の範囲が後述する実施形態に限定されると解釈されてはならない。本発明の実施形態は当業者にとって本発明をより完全に説明するために提供されるものである。従って、図中の要素の形状等はより明確な説明を強調するために誇張されている。図中の同一符号は同一要素を意味する。また、ある層が他の層または半導体基板の“上”にあると記載される場合は、ある層は前記他の層または半導体基板に直接的に接触して存在することもあれば、それらの間に第3の層が介在することもある。

10

#### 【0024】

図7ないし図27は、本発明の実施形態による半導体素子及びその製造方法を説明するための図である。

図7は、本発明の実施形態による半導体素子の概略的なレイアウト図である。残りの図面は工程手順図であり、図8、図10、図12、図14、図16、図18、図20、図22、図24及び図26は図7のa-a'線断面に対応する。また、図9、図11、図13、図15、図17、図19、図21、図23、図25及び図27は図7のb-b'線断面に対応する。

20

#### 【0025】

まず、図7を参照すれば、本発明の実施形態においては、相異なる深さを有する第1トレンチ $T_1$ （図10及び図11参照）及び第2トレンチ $T_2$ を含むデュアルトレンチを形成し、活性領域を限定する素子分離膜170を形成する。前記活性領域には前記活性領域と交差するゲート180が形成され、前記ゲート180の両側にソース/ドレイン領域190が形成される。前記第2トレンチ $T_2$ は前記第1トレンチ $T_1$ よりも深く、前記ソース/ドレイン領域190の外周に沿って形成される。

30

図7は、本発明の実施形態による半導体素子の概略的なレイアウト図に過ぎず、本発明は図7と異なる各種のレイアウトにも本発明の技術的な思想内において各種に変形されて適用可能であることはもちろんである。

#### 【0026】

以下、本発明の実施形態による半導体素子及びその製造方法をその工程手順により説明する。

まず、図7、図8及び図9を参照すれば、基層110、埋込み酸化膜115及び半導体層120を含む基板130が提供される。前記半導体層120の厚さは500～3000である。前記半導体層120上にパッド酸化膜135及び窒化膜140を順次形成する。前記パッド酸化膜135の厚さは50～200、前記窒化膜140の厚さは300～1600になるように形成する。前記パッド酸化膜135は物性が相異なる前記窒化膜140と半導体層120との間で緩衝役割をする。

40

#### 【0027】

図7、図10及び図11を参照すれば、前記半導体層120上の活性領域を限定する素子分離膜170が露出されるべく前記パッド酸化膜135及び窒化膜140をパタニングしてパッド酸化膜パターン135a及び窒化膜パターン140aを形成する。

前記パッド酸化膜パターン135a及び窒化膜パターン140aをエッチングマスクとして前記半導体層120をエッチングすることにより、前記半導体層120内に第1トレンチ $T_1$ を形成する。前記第1トレンチ $T_1$ は前記埋込み酸化膜115から200～1500の高さに形成する。

50

## 【0028】

図7、図12及び図13を参照すれば、前記第1トレンチ $T_1$ の底面及び内壁に1~50nmの厚さの酸化膜145を形成する。前記酸化膜145は、前記第1トレンチ $T_1$ を形成する段階において前記半導体層120にできた欠陥を治癒可能に、熱酸化法によって形成することが好ましい。前記酸化膜145を形成するために、前記第1トレンチ $T_1$ が形成された結果物を酸素を含むガス雰囲気下で熱処理する。

## 【0029】

図7、図14及び図15を参照すれば、前記酸化膜145が形成された結果物上に前記第1トレンチ $T_1$ の一方の底面を露出させる感光膜パターン150を形成する。前記感光膜パターン150をエッチングマスクとして前記酸化膜145及び半導体層120をエッチングすることにより、前記埋込み酸化膜115を露出させる第2トレンチ $T_2$ を形成する。この時に、前記第1トレンチ $T_1$ の一方の内壁に形成された酸化膜145部分もエッチングされることにより、前記半導体層120の側壁が曝される。これにより、相異なる深さを有する第1トレンチ $T_1$ 及び第2トレンチ $T_2$ を含むデュアルトレンチ $T$ が形成される。すなわち、前記デュアルトレンチ $T$ は、前記半導体層の活性領域を限定しつつ、前記半導体層120よりも浅い第1領域(第1トレンチ部分)及び前記半導体層20に同じ深さの第2領域(第2トレンチ部分)を有する。

10

## 【0030】

図7、図16及び図17を参照すれば、前記感光膜パターン150を灰化処理して除去した後に、前記デュアルトレンチ $T$ が形成された結果物上に3~30nmの厚さの酸化膜ライナー155を形成する。ここで、前記酸化膜ライナー155は前記酸化膜145とは異なってCVD法、好ましくは、LP-CVD法によって形成する。この時に、好ましくは、前記酸化膜ライナー155を形成する段階の温度は650~750である。すなわち、前記酸化膜ライナー155としてMTO(Medium Temperature Oxide)を形成することが好ましい。

20

## 【0031】

前述したように、従来の技術においては、埋込み酸化膜を露出させるトレンチを形成した後に熱酸化膜形成工程を行うことにより、半導体層と埋込み酸化膜との界面に浸透された酸素原子による酸化反応によって半導体層がベンディングされてしまう問題があった。しかし、この実施の形態によれば、前記埋込み酸化膜115を露出させる第2トレンチ $T_2$ を形成した後に、熱酸化法の代わりにCVD法によって前記酸化膜ライナー155を形成する。このため、前記半導体層120は酸化膜を形成するためのシリコン提供層の役割をせず、ベンディングされる心配がない。半導体層がベンディングされないため、転位欠陥により漏れ電流が増える現象を防止できる。

30

## 【0032】

図7、図18及び図19を参照すれば、前記酸化膜ライナー155が形成された結果物上に窒化膜ライナー160を形成する。前記窒化膜ライナー160の厚さは3~20nmになるように形成される。前記窒化膜ライナー160は後続する工程中に前記酸化膜145及び酸化膜ライナー155がそれ以上酸化されないようにし、しかも素子分離膜の絶縁特性を強化させる。

40

ここで、前記窒化膜ライナー160は前記酸化膜ライナー155上に形成されるため、前記半導体層120に直接的に接しない。従って、前記窒化膜ライナー160が前記半導体層120に機械的な応力を加えることが防止されて前記半導体層120に生じる欠陥を低減させる。

次に、前記窒化膜ライナー160が形成された結果物上に前記デュアルトレンチ $T$ を完全に埋め込む絶縁膜165を形成する。前記絶縁膜165として、USG(Undoped Silicate Glass)膜、HDP(High Density Plasma)-CVD法を利用して形成した酸化膜などで形成することができる。

## 【0033】

図7、図20及び図21を参照すれば、前記窒化膜パターン140aの上面が露出される

50



べく前記絶縁膜 165 が形成された結果物の上面を平坦化させる。前記平坦化させる段階はエッチバックにより行うことができ、好ましくは、CMP法により行う。CMP法により前記平坦化させる段階を行う場合に、膜質による研磨率の違いのために、前記絶縁膜 165 の上面が前記窒化膜パターン 140a の上面よりもやや低い場合がある。

【0034】

図7、図22及び図23を参照すれば、酸化膜に対する窒化膜のエッチング選択比のあるエッチング液を用いて前記窒化膜パターン140aを除去する。例えば、燐酸( $H_3PO_4$ )ストリップ方法が挙げられる。この時に、前記窒化膜ライナー160の一部も除去される。しかし、この実施の形態によれば、前記窒化膜ライナー160は前記酸化膜ライナー155によってエッチング液から保護されるので、過度に除去されることが防止される。このため、前記半導体層120と絶縁膜165との間の半導体層120の表面にグループが形成される心配がない。グループが形成されないのでハンブ現象が防止でき、しかもゲート絶縁膜が劣化する問題を防止できる。従って、信頼性あるSOI素子を製造することができる。

10

【0035】

図7、図24及び図25を参照すれば、窒化膜に対する酸化膜のエッチング選択比のあるエッチング液を用いて前記パッド酸化膜パターン135aを除去する。例えば、希釈されたフッ酸(HF)が用いられる。この時に、前記絶縁膜165の上面の一部も除去される。これにより、前記デュアルトレンチT内に酸化膜145、酸化膜ライナー155、窒化膜ライナー160及び絶縁膜165を含む素子分離膜170が形成される。

20

【0036】

前記素子分離膜170の底面は段差を有する。すなわち、前記素子分離膜170は、前記半導体層120の厚さよりも浅い第1領域(第1トレンチ部分であって、シャロウ素子分離膜)及び前記半導体層120の厚さと同じ深さの第2領域(第2トレンチ部分であって、ディープ素子分離膜)を有する。前記素子分離膜170の第2領域は前記埋込み酸化膜115に接する。これにより、SOI素子の接合キャパシタンスを低減できる。前記素子分離膜170の第1領域は前記埋込み酸化膜115に接しない。これにより、前記第1領域の下部にポディコンタクトを形成して所定の電圧を印加すれば、基板浮遊効果が無くなってSOI素子の動作特性が安定化する。

【0037】

一方、前記素子分離膜170の第2領域は前記酸化膜ライナー155、窒化膜ライナー160及び絶縁膜165を含むのに対し、前記素子分離膜170の第1領域は前記酸化膜145、酸化膜ライナー155、窒化膜ライナー160及び絶縁膜165を含む。前記酸化膜145は熱酸化法によって形成し、前記酸化膜ライナー155はCVD法によって形成するが、結果的には同じ酸化膜系である。従って、この実施の形態によれば、前記デュアルトレンチT内に形成された酸化膜は前記第1領域における厚さが前記第2領域におけるそれよりも大きい。すなわち、前記酸化膜は前記第1領域における厚さが前記第2領域におけるそれよりも前記酸化膜145の厚さだけさらに大きい。

30

【0038】

図7、図26及び図27を参照すれば、前記活性領域にトランジスタを形成する。すなわち、前記活性領域にゲート絶縁膜175を介在させゲート電極180を形成する。前記ゲート電極180をイオン注入マスクとして前記半導体層120に不純物をイオン注入し、前記ゲート電極180の両側にソース/ドレイン領域190を形成する。前記ソース/ドレイン領域190もその底面が前記埋込み酸化膜115に接すべく形成してSOI素子の接合キャパシタンスを低減できる。このようにして製造されたSOI素子は高速素子に好適な特性を有することになる。

40

【0039】

以上、本発明を好ましい実施形態を挙げて詳細に説明したが、本発明は前記実施形態に限定されることなく、本発明の技術的な思想内であれば、当業者による各種の変形が可能であるということはいふまでもない。

50

## 【 0 0 4 0 】

## 【 発明の効果 】

以上述べたように、本発明によれば、S O I 基板の半導体層の厚さよりも浅い第 1 領域及び前記半導体層の厚さと同じ深さの第 2 領域を有するトレンチを形成し、前記トレンチに絶縁物質を埋め込むことにより、相異なる深さを有するデュアルトレンチ構造の素子分離膜を形成する。

## 【 0 0 4 1 】

前記デュアルトレンチ素子分離膜において相対的に深く形成された第 2 領域は半導体層の下部の埋込み酸化膜に接することから、完全なる素子分離を成し遂げることができ、S O I 素子の接合キャパシタンスを減らすことができる。従って、S O I 素子の低電力化及び高速化が成し遂げられるという利点がある。

10

## 【 0 0 4 2 】

前記デュアルトレンチ素子分離膜において相対的に浅く形成された第 1 領域は前記埋込み酸化膜に接していない。このため、前記半導体層にボディコンタクトを形成して所定の電圧を印加すれば基板浮遊効果を防止することができるので、S O I 素子の動作特性が安定化する。これにより、駆動速度が速められることから、高速素子の製造に有利に適用させることができる。

## 【 0 0 4 3 】

そして、前記半導体層に酸化膜ライナーを形成した後に窒化膜ライナーを形成することから、前記窒化膜ライナーが前記半導体層と直接的に接触して前記半導体層に機械的な応力を加えることが防止される。従って、前記窒化膜ライナーによって前記半導体層に引き起こされる欠陥が減るので、S O I 素子の特性悪化が防止される。

20

## 【 0 0 4 4 】

前記酸化膜ライナーは C V D 法によって形成するので、前記半導体層と前記埋込み酸化膜との間に酸素原子が浸透して酸化反応を引き起こす心配がない。このため、前記半導体層がベンディングされる心配がない。半導体層がベンディングされないので、転位欠陥によって漏れ電流が増える現象を防止することができる。

なおかつ、前記酸化膜ライナーは前記半導体層と前記素子分離膜との間のエッジにグループが形成されることを防止する。従って、S O I 素子のハンプ現象が引き起こされず、ゲート絶縁膜が劣化する問題が防止されるので、信頼性ある S O I 素子を製造することができる。

30

## 【 図面の簡単な説明 】

【 図 1 】 従来のトレンチ素子分離膜を備える S O I 素子及びその製造方法を説明するための図。

【 図 2 】 従来のデュアルトレンチ構造の素子分離膜を備える S O I 素子及びその製造方法を説明するための図。

【 図 3 】 従来のデュアルトレンチ構造の素子分離膜を備える S O I 素子及びその製造方法を説明するための図。

【 図 4 】 従来のデュアルトレンチ構造の素子分離膜を備える S O I 素子及びその製造方法を説明するための図。

40

【 図 5 】 従来のデュアルトレンチ構造の素子分離膜を備える S O I 素子及びその製造方法を説明するための図。

【 図 6 】 従来のデュアルトレンチ構造の素子分離膜を備える S O I 素子及びその製造方法を説明するための図。

【 図 7 】 本発明の実施形態による半導体素子の概略的なレイアウト図。

【 図 8 】 図 7 の a - a ' 線断面に対応する断面図であり、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【 図 9 】 図 7 の b - b ' 線断面に対応する断面図であって、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【 図 1 0 】 図 7 の a - a ' 線断面に対応する断面図であり、本発明の実施形態による半導

50

体素子の製造方法を工程手順に従って示す図。

【図11】図7のb-b'線断面に対応する断面図であって、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【図12】図7のa-a'線断面に対応する断面図であり、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【図13】図7のb-b'線断面に対応する断面図であって、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【図14】図7のa-a'線断面に対応する断面図であり、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【図15】図7のb-b'線断面に対応する断面図であって、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。 10

【図16】図7のa-a'線断面に対応する断面図であり、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【図17】図7のb-b'線断面に対応する断面図であって、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【図18】図7のa-a'線断面に対応する断面図であり、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【図19】図7のb-b'線断面に対応する断面図であって、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【図20】図7のa-a'線断面に対応する断面図であり、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。 20

【図21】図7のb-b'線断面に対応する断面図であって、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【図22】図7のa-a'線断面に対応する断面図であり、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【図23】図7のb-b'線断面に対応する断面図であって、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【図24】図7のa-a'線断面に対応する断面図であり、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【図25】図7のb-b'線断面に対応する断面図であって、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。 30

【図26】図7のa-a'線断面に対応する断面図であり、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

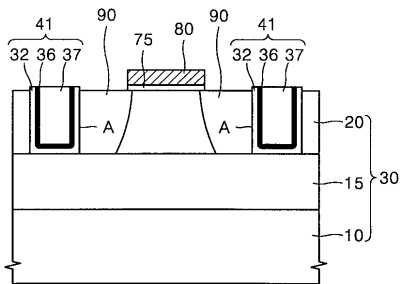
【図27】図7のb-b'線断面に対応する断面図であって、本発明の実施形態による半導体素子の製造方法を工程手順に従って示す図。

【符号の説明】

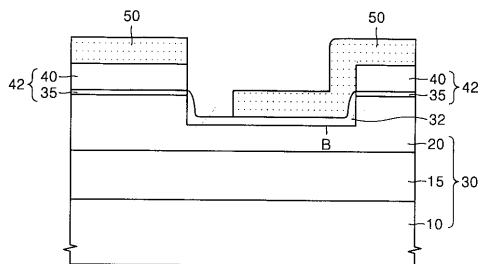
110	基層	
115	埋込み酸化膜	
120	半導体層	
130	基板	40
135	パッド酸化膜	
140	窒化膜	
145	酸化膜	
150	感光膜	
155	酸化膜ライナー	
160	窒化膜ライナー	
165	絶縁膜	
170	素子分離膜	
175	ゲート絶縁膜	
180	ゲート電極	50

190 ソース/ドレイン領域  
T<sub>1</sub> 第1トレンチ  
T<sub>2</sub> 第2トレンチ  
T デュアルトレンチ

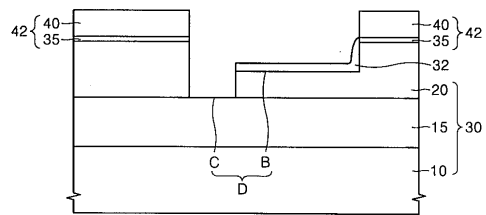
【図1】



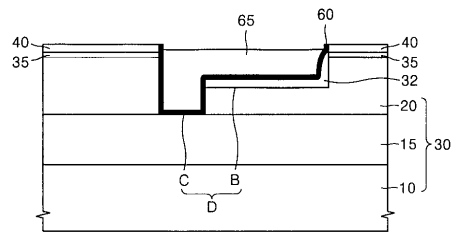
【図2】



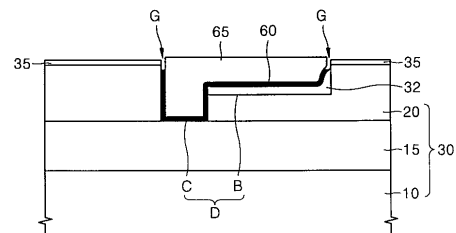
【図3】



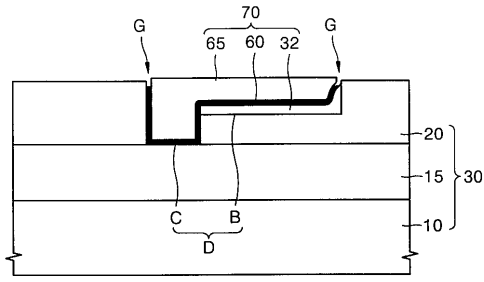
【図4】



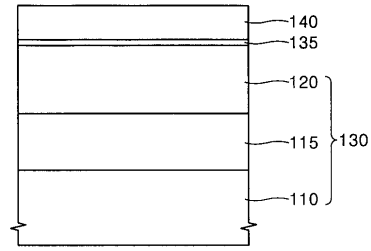
【図5】



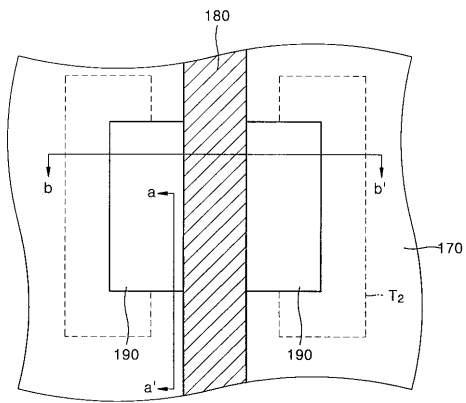
【 図 6 】



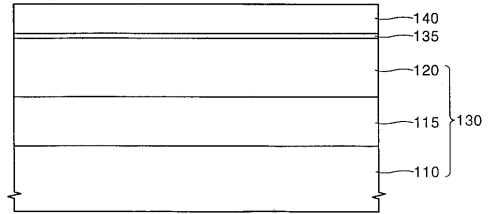
【 図 8 】



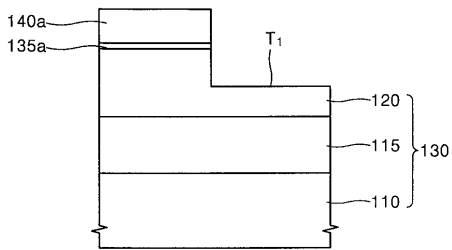
【 図 7 】



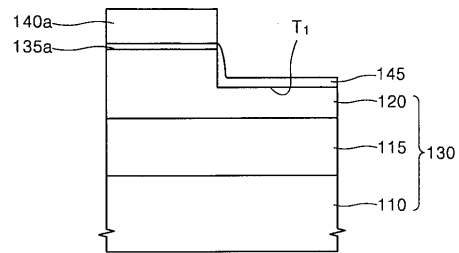
【 図 9 】



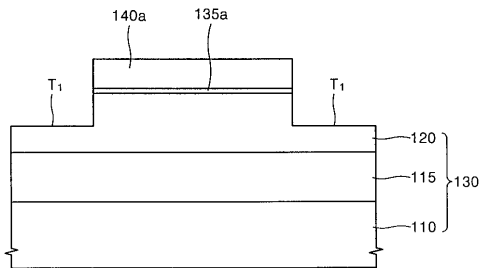
【 図 10 】



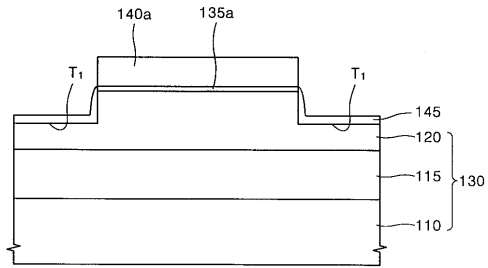
【 図 12 】



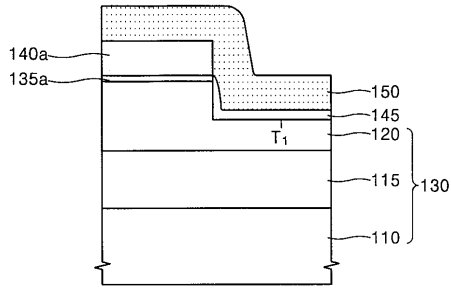
【 図 11 】



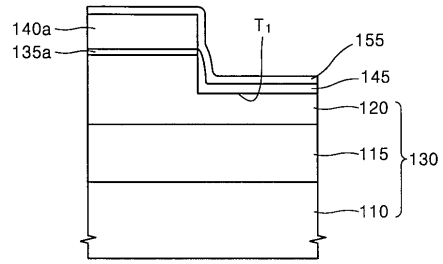
【 図 13 】



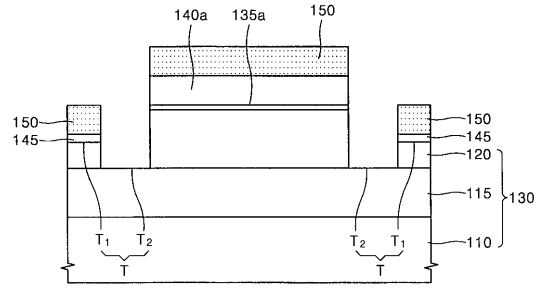
【 図 1 4 】



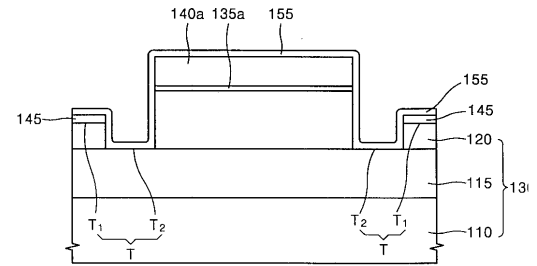
【 図 1 6 】



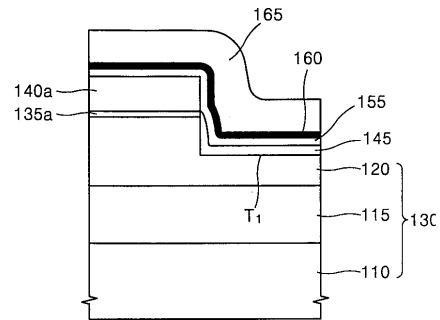
【 図 1 5 】



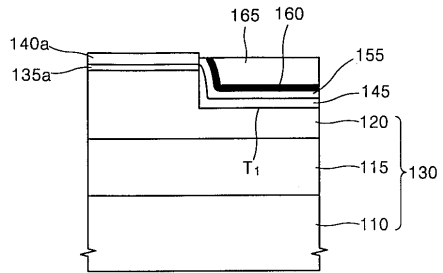
【 図 1 7 】



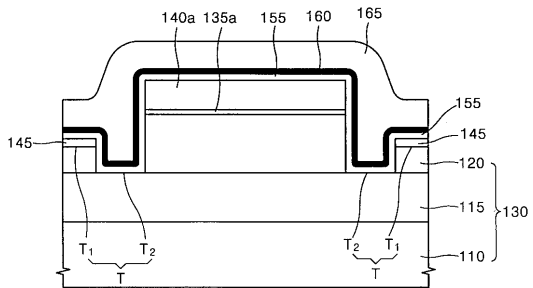
【 図 1 8 】



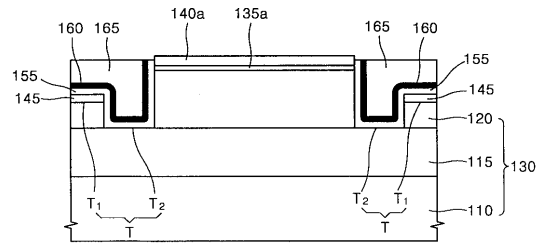
【 図 2 0 】



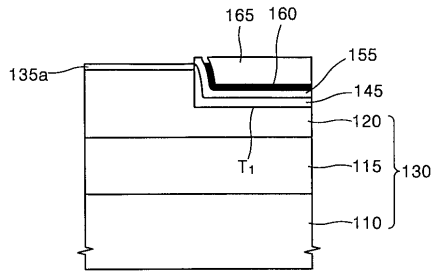
【 図 1 9 】



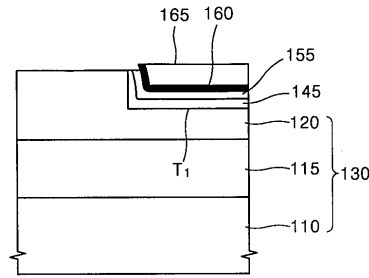
【 図 2 1 】



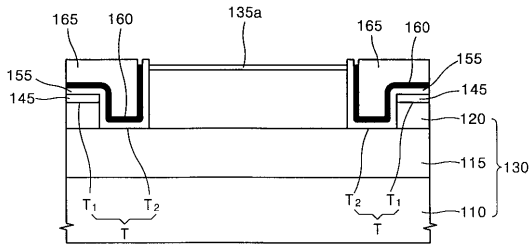
【 図 2 2 】



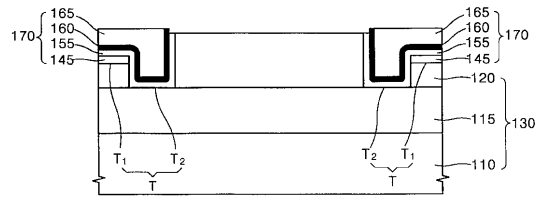
【 図 2 4 】



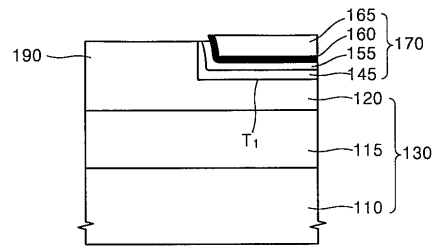
【 図 2 3 】



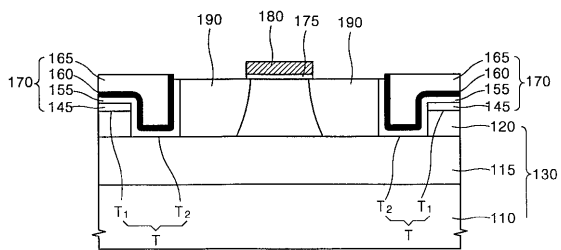
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



---

フロントページの続き

- (72)発明者 呉 明 煥  
大韓民国京畿道安養市東安区冠陽1洞1386-18番地302号
- (72)発明者 柳 承 翰  
大韓民国ソウル特別市江北区水踰2洞245-96番地
- (72)発明者 辛 明 善  
大韓民国ソウル特別市龍山区孝昌洞 孝昌アパート1棟203号
- (72)発明者 朴 翔 ウォク  
大韓民国ソウル特別市広津区中谷4洞74-43号

審査官 加藤 浩一

- (56)参考文献 特開平11-251426(JP,A)  
特開2001-024054(JP,A)  
特開2000-294623(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/76  
H01L 21/762  
H01L 27/12  
H01L 29/786