



(12) 发明专利申请

(10) 申请公布号 CN 104282759 A

(43) 申请公布日 2015. 01. 14

(21) 申请号 201410327892. 6

H01L 21/336 (2006. 01)

(22) 申请日 2014. 07. 10

(30) 优先权数据

2013-144654 2013. 07. 10 JP

(71) 申请人 富士电机株式会社

地址 日本神奈川县川崎市

(72) 发明人 田村隆博 大西泰彦

(74) 专利代理机构 北京铭硕知识产权代理有限公司

公司 11286

代理人 尹淑梅 孙昌浩

(51) Int. Cl.

H01L 29/78 (2006. 01)

H01L 29/06 (2006. 01)

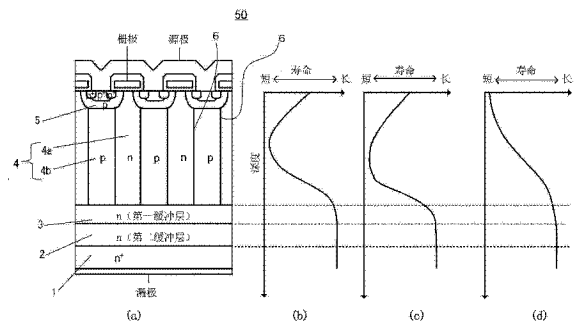
权利要求书1页 说明书7页 附图9页

(54) 发明名称

超结 MOSFET 及其制造方法和复合半导体装置

(57) 摘要

本发明提供一种超结 MOSFET 及其制造方法和复合半导体装置,能够缓和反向恢复动作时的硬恢复波形,降低反向恢复电流 (Irp) 和反向恢复时间 (trr),并能够获得高速切换和低反向恢复损耗。所述超结 MOSFET 具有多个在 n 型半导体基板的第一主面沿垂直方向延伸的相互平行的 pn 结,具有被夹设于该 pn 结 n 型漂移区域与 p 型分隔区域交替连接排列的并列 pn 层,并且在该并列 pn 层的第一主面侧具有 MOS 栅极结构,在相反主面侧依次连接 n 型的第一缓冲层和第二缓冲层,上述第一缓冲层的杂质浓度是与上述 n 型漂移区域相同程度以下的低浓度,上述第二缓冲层的杂质浓度高于上述 n 型漂移区域,与该第二缓冲层相比,上述第一主面侧的上述 n 型半导体基板的载流子寿命被缩短。



1. 一种超结 MOSFET,其特征在於,  
具有多个在第一导电型的漏极层的第一主面上沿垂直方向延伸的相互平行的 pn 结,  
具有以交替连接的方式排列有被夹设于该 pn 结的第一导电型的漂移区域与第二导电型的分隔区域的并列 pn 层,并且在所述并列 pn 层的第一主面侧具有 MOS 栅极结构,  
在所述并列 pn 层的第二主面与所述漏极层之间,从所述并列 pn 层的第二主面侧起依次设有第一导电型的第一缓冲层和第二缓冲层,  
所述第一缓冲层的杂质浓度与所述漂移区域相同或者低于所述漂移区域的浓度,  
所述第二缓冲层的杂质浓度高于所述漂移区域,  
与所述第二缓冲层相比,所述并列 pn 层的载流子寿命更短。
2. 根据权利要求 1 所述的超结 MOSFET,其特征在於,  
与所述第二缓冲层相比,所述第一缓冲层的载流子寿命更短。
3. 根据权利要求 1 或 2 所述的超结 MOSFET,其特征在於,  
所述第二缓冲层的寿命未被调整。
4. 一种根据权利要求 1 或 2 所述的超结 MOSFET 的制造方法,其特征在於,  
通过重金属的添加或带电粒子的照射而使所述并列 pn 层的载流子寿命比所述第二缓冲层更短。
5. 一种根据权利要求 2 所述的超结 MOSFET 的制造方法,其特征在於,  
通过重金属的添加或带电粒子的照射而使所述并列 pn 层和所述第一缓冲层的载流子寿命比所述第二缓冲层更短。
6. 一种复合半导体装置,其特征在於,  
比内置于权利要求 1 或 2 所述的超结 MOSFET 的 pn 二极管高速且导通电阻小的 pin 二极管与所述超结 MOSFET 反向并联连接。
7. 一种复合半导体装置,其特征在於,  
比内置于权利要求 1 或 2 所述的超结 MOSFET 的 pn 二极管高速且导通电阻小的肖特基势垒二极管与所述超结 MOSFET 反向并联连接。

## 超结 MOSFET 及其制造方法和复合半导体装置

### 技术领域

[0001] 本发明涉及垂直型 MOSFET (绝缘栅型场效应晶体管) 及其制造方法和复合半导体装置。

### 背景技术

[0002] 作为图 6 所示的变换器电路 1000 用所使用的高耐压开关元件, IGBT101 得到广泛普及。IGBT101 具有双极晶体管的高耐压且低导通电压之类的特点和 / 或比 MOSFET 低速且能够高速运行之类的优异的特点, 是目前支撑电力电子的重要的半导体元件。

[0003] 然而, 图 7(a) 的主要部分截面图所示的 IGBT101 与该图 (b) 所示的 MOSFET301 不同, 具有反向耐压结 (集电结 103), 因此通常无法在相反方向 (以发射极 E 为正极、以集电极 C 为负极的偏置方向) 产生电流。在 IGBT101 从导通状态成为正向阻断状态时, 有时由于电路内的电感成分而在相反方向产生高电压的浪涌电压。当该浪涌电压施加于 IGBT101 时, 通常反向耐压未被保护的 IGBT101 可能发生破坏, 而用于变换器电路时, 由于使每次 IGBT101 关断时产生的 L 负载电流回流, 所以被反向并联连接的二极管 401 (图 6) 保护。

[0004] 近年来, 若响应变换器的高频化的要求的提高而将如上所述的 IGBT101 与通常的回流用二极管 401 并列连接, 则切换的高速化存在局限, 所以正研究将 IGBT101 置换为图 5(a) 所示的超结 MOSFET201。研究置换的超结 MOSFET201 (图 5) 在漂移层 205 中具有由超结结构构成的并列 pn 层 202, 所述超结结构是将多个在主面沿垂直方向以窄的间隔平行的 pn 结排列而成的超结结构。将并列 pn 层 202 的内部区域设定为 n 型漂移区域 202a 和 p 型分隔区域 202b。在该超结 MOSFET201 中, 即使使上述并列 pn 层 202 内的 n 型漂移区域 202a 设定为高于与耐压相对应的通常的杂质浓度的浓度, 也能够通过使上述并列 pn 层 202 的间距变窄而以低电压使并列 pn 层 202 全部耗尽, 因此尽管是单极型, 也具有高耐压、低导通电阻的特征。并且, 能够进行来自单极设备的快速切换, 除此之外, 内置相反方向的双二极管结构 (图 5(a) 的符号 203 和 202a), 因此也无需重新连接图 6 的变换器电路的并列二极管 401, 具有能够期待装置的小型化的优点。

[0005] 在该超结 MOSFET201 中, 内置二极管的反向恢复时的载流子寿命 (载流子寿命时间) 在没有得到控制的情况下, 如该图 (b) 所示, 从基板表面到深度方向是恒定的。

[0006] 作为关于这样的超结 MOSFET 的文献, 公开了记载有如下内容的文献 (专利文献 1): 通过在漂移层 205 设置由并列 pn 层构成的超结 (以下称为 SJ) 结构, 并在其下层设置使杂质浓度二级变化的 n 型缓冲层来降低导通电阻, 使内置二极管的反向恢复特性为软恢复波形。已知具备不增大漏极、源极之间的漏电电流而缩短反向恢复时间的超结 MOS 结构的半导体装置 (专利文献 2)。另外, 记载了通过将 SJ-MOSFET 连接到具备 SJ 结构的肖特基势垒二极管, 从而能够实现适于软切换方式的半导体装置 (专利文献 3)。公开了在具备 SJ 结构的肖特基势垒二极管的整体设置寿命控制区域来降低反向电流, 使反向恢复特性提高的内容 (专利文献 4)。记载有对于用于使反向恢复特性形成软恢复波形的寿命控制方法 (专利文献 5)。记载有各种针对多余少数载流子的寿命控制方法 (专利文献 6)。此外, 公

开有关于与现有的元件相比能够使耐压和关断特性提高的半导体装置的记述（专利文献 7）。

[0007] 现有技术文献

[0008] 专利文献

[0009] 专利文献 1：日本特开 2003-101022 号公报（图 11, 0077 ~ 0079 段）

[0010] 专利文献 2：日本特再公表 2010-24433 号公报（摘要）

[0011] 专利文献 3：日本特开 2006-24690 号公报（摘要的课题和解决方式）

[0012] 专利文献 4：日本特开 2008-258313 号公报（摘要）

[0013] 专利文献 5：日本特开 2007-59801 号公报（摘要）

[0014] 专利文献 6：日本特开平 7-226405 号公报（课题）

[0015] 专利文献 7：日本特开 2001-102577 号公报（课题）

## 发明内容

[0016] 在上述图 5 所示的超结 MOSFET 201 中，在正向阻断状态，耗尽层在低耐压下完全扩展到并列 pn 层内的各柱内而完全耗尽。此时，内置二极管（符号 203-202a）从正向电流（回流电流）流过的状态迁移到内置二极管的 pn 结的反向偏压阻断状态（即反向恢复状态）。然而，由于该内置二极管为单极结构，所以几乎没有少数载流子，反向恢复电流  $I_{rp}$  小，并且容易形成电流波形和电压波形急剧上升的所谓的硬恢复波形。如果反向恢复动作形成硬恢复波形，则如图 4 的现有的超结 MOSFET 的反向恢复波形图所示，存在发生振荡（振动波形）而成为噪声的发生原因的问题（该图 4 中，振动波形部分重叠成为涂黑的状态而难以观察）。应予说明，图 4 的现有结构的波形是对于图 5(a) 所示的现有结构的垂直型超结 MOSFET，将电源电压设置为 400V、正向电流设置为 20A、相反方向电流的时间变化设置为  $100A/\mu s$ ，从而对反向恢复动作的电流波形进行了模拟的结果。

[0017] 本发明是考虑到以上说明的内容而完成的，本发明的目的在于提供一种能够缓和反向恢复动作时的硬恢复波形，降低反向恢复电流（ $I_{rp}$ ）和反向恢复时间（ $t_{rr}$ ），并得到高速切换和低反向恢复损耗的超结 MOSFET 及其制造方法和复合半导体装置。

[0018] 为了实现上述目的，本发明的超结 MOSFET 具有多个在第一导电型的漏极层的第一主面上沿垂直方向延伸的相互平行的 pn 结，具有被夹设于该 pn 结的第一导电型的漂移区域与第二导电型的分隔区域交替连接排列的并列 pn 层，并且在上述并列 pn 层的第一主面侧具有 MOS 栅极结构，在上述并列 pn 层的第二主面与上述漏极层的第一主面之间，从上述并列 pn 层的第二主面侧依次设置第一导电型的第一缓冲层和第二缓冲层，上述第一缓冲层的杂质浓度是与上述漂移区域相同程度以下的低浓度，上述第二缓冲层的杂质浓度高于上述漂移区域，与上述第二缓冲层相比，上述并列 pn 层的载流子寿命更短。优选是通过重金属的添加或带电粒子的照射而使上述并列 pn 层和第一缓冲层的载流子寿命比上述第二缓冲层短的超结 MOSFET 的制造方法。优选比内置于上述超结 MOSFET 的 pn 二极管高速且导通电阻小的 pin 二极管与上述超结 MOSFET 反向并联连接。优选比内置于超结 MOSFET 的 pn 二极管高速且导通电阻小的肖特基势垒二极管与上述超结 MOSFET 反向并联连接。

[0019] 根据本发明，能够提供缓和反向恢复动作时的硬恢复波形，降低反向恢复电流（ $I_{rp}$ ）和反向恢复时间（ $t_{rr}$ ），并能够获得高速切换和低反向恢复损耗的超结 MOSFET 及其

制造方法和复合半导体装置。

### 附图说明

[0020] 图 1 是本发明的实施例一的超结 MOSFET 的主要部分截面图 (a) 和与 (a) 对应的基板内的载流子寿命分布图 (b)、(c)、(d)。

[0021] 图 2 是以往和本发明的超结 MOSFET 的主要部分截面图 (a) 和与 (a) 对应的基板内的各不相同的载流子寿命分布图。

[0022] 图 3 是与图 2 的超结 MOSFET 的载流子寿命分布图对应的各反向恢复电流波形图。

[0023] 图 4 是以往和本发明的实施例的超结 MOSFET 的反向恢复波形图。

[0024] 图 5 是以往的超结 MOSFET 的主要部分截面图 (a) 和其基板内的载流子寿命分布图。

[0025] 图 6 是变换器电路图。

[0026] 图 7 是通常的 IGBT(a) 和 MOSFET(b) 的基板的主要部分截面图。

[0027] 图 8 是本发明的并列连接 pin 二极管的超结 MOSFET 的主要部分截面图和 pin 二极管的基板内的载流子寿命分布图。

[0028] 图 9 是本发明的并列连接肖特基势垒二极管的超结 MOSFET 的主要部分截面图和其基板内的载流子寿命分布图。

[0029] 符号说明

[0030] 1 :  $n^+$  漏极层高浓度第一导电型半导体基板

[0031] 2 : 第二缓冲层

[0032] 3 : 第一缓冲层

[0033] 4 : 并列 pn 层

[0034] 4a : n 型漂移区域

[0035] 4b : p 型分隔区域

[0036] 5 : p 基极区域

[0037] 6 : pn 结

[0038] 50 : 超结 MOSFET

[0039] 101 : IGBT

[0040] 103 : 集电结

[0041] 201 : 超结 MOSFET

[0042] 301 : MOSFET

[0043] 401 : 二极管

[0044] 402 : 被寿命控制的二极管

[0045] 403 : 肖特基势垒二极管

[0046] 1000 : 变换器电路

### 具体实施方式

[0047] 以下, 参照附图对本发明的具备在主面的垂直方向并排排列多个以窄间隔平行的 pn 结 (图 1 中的符号 6) 的超结结构的超结 MOSFET 及其制造方法和复合半导体装置的实

施例进行详细说明。在本说明书和附图中,对于标记了 n 或 p 的层和 / 或区域,分别是指电子或空穴为多数载流子。另外, n 和 / 或 p 上附带的 + 和 - 分别是指杂质浓度相对高或低。应予说明,在以下的实施例的说明和附图中,对同样的构成要素标注相同的符号,省略重复的说明。另外,为了容易观察或容易理解,实施例中说明的附图并没有以正确的比例、尺寸比进行描绘。只要不超过本发明的主旨,就不限于以下说明的实施例的记载。

#### [0048] 实施例一

[0049] 将本发明的垂直型超结 MOSFET 的元件活性部的主要部分截面图示于图 1(a)。该图 (b)、(c)、(d) 是将 (a) 所示的超结 MOSFET 的深度映射于纵轴,并在横轴表示寿命的载流子寿命分布图,被寿命控制的区域的深度范围各不相同,但均是本发明的优选的超结 MOSFET。

[0050] 该超结 MOSFET 在高浓度的  $n^+$  型半导体基板 ( $n^+$  漏极层 1) 的第一主面上具备浓度比 n 型漂移区域 4a 高的 n 型第二缓冲层 2 和浓度与漂移区域 4a 相同或比漂移区域 4a 低的 n 型第一缓冲层 3,并在 n 型第一缓冲层 3 上具备并列 pn 层 4。并且,在并列 pn 层的表面侧 (第一主面侧) 形成 MOS 栅极结构、源电极,并在高浓度  $n^+$  漏极层 1 的背面侧 (第二主面侧) 形成漏电极。据此,第一导电型的 n 型第一缓冲层和 n 型第二缓冲层按照该顺序设置在所述并列 pn 层的第二主面与所述漏极层之间。在该并列 pn 层 4 的、用与基板表面垂直的面进行切割而得的纵截面图案为条纹状。并不限于此,也可以为格子形状。该 n 型第二缓冲层 2 具有在超结 MOSFET 的反向恢复动作时作为载流子储库的功能,通过延长载流子的排出时间,从而具有延长反向恢复时间而实现软恢复波形的效果。

[0051] 应予说明,在实施例一中,对耐压 600V 级的垂直型超结 MOSFET 进行以下详细说明。以下示出各层、区域的尺寸和杂质浓度等的概况。将并列 pn 层 4 的深度方向的厚度 (以下,厚度是指基板的深度方向的距离) 设定为  $36.0 \mu\text{m}$ ,将并列 pn 层 4 的间距宽度设定为  $12.0 \mu\text{m}$ ,将 n 型漂移区域和 p 型分隔区域的宽度分别设定为  $6.0 \mu\text{m}$ ,将上述各区域的杂质浓度设定为  $3.0 \times 10^{15} \text{cm}^{-3}$ 。位于并列 pn 层 4 正下方的 n 型第一缓冲层 3 的厚度设定为  $9 \mu\text{m}$ ,杂质浓度设定为比上述 n 型漂移区域低的  $1.0 \times 10^{15} \text{cm}^{-3}$ 。此外,在 n 型第一缓冲层 3 的下侧设置 n 型第二缓冲层 2,设定厚度为  $15 \mu\text{m}$ ,并设定杂质浓度为比上述 n 型漂移区域高的  $1.0 \times 10^{16} \text{cm}^{-3}$ ,以在反向恢复动作时也避免耗尽层完全扩展。另外,使  $n^+$  漏极层 1 的杂质浓度设定为  $2.0 \times 10^{18} \text{cm}^{-3}$ 。

[0052] 在图 1(b) ~ 图 1(d) 所示的载流子寿命的概略的分布图中,在任一情况下,不对 n 型第二缓冲层 2 的载流子寿命进行控制或者使 n 型第二缓冲层 2 的载流子寿命并不比并列 pn 层 4 和第一缓冲层 3 短。可局部缩短第二缓冲层 2 以外的任一或全部区域的载流子寿命。标准的电子的寿命为  $1.0 \times 10^{-5}$  秒,空穴寿命为  $3.0 \times 10^{-6}$  秒,将缩短载流子寿命时的最低值设定为,电子载流子寿命为  $1.0 \times 10^{-7}$  秒,空穴载流子寿命为  $3.0 \times 10^{-8}$  秒。在反向恢复动作时,载流子被充分保持于 n 型第二缓冲层 2 为佳,因此在载流子寿命长的图 1(b) ~ 图 1(d) 中的任一分布中均可得到软恢复波形。

[0053] 图 1(b)、(c) 的载流子寿命分布可以通过如下方式制作,通过从基板的背面照射质子等进行热处理,以将任意的深度 (例如,在 (b) 中是并列 pn 层的表面侧的深度,在 (c) 中是并列 pn 层的背面侧的深度) 作为各自的峰值的方式离子注入质子等进行局部寿命控制。如此,当从漏极层侧离子注入质子等时,寿命扼杀剂也会被导入到第二缓冲层 2。

然而,也可以构成为不使浓度峰值位于第二缓冲层 2,从而尽可能避免向第二缓冲层 2 导入寿命扼杀剂。如果使用铂作为寿命扼杀剂并使其扩散,则铂容易在基板的表面侧偏析,因此得到如 (d) 所示的具有表面侧的载流子寿命最短的斜率的分布。图 1 中未加说明的符号 5 为 p 基极区域,符号 6 表示 pn 结。

[0054] 在此,为了明确本发明的效果,对于上述现有的超结 MOSFET 和实施例一的超结 MOSFET 分析了如图 2 的 (b) ~ (e) 所示的载流子寿命分布的状态 (A1 ~ E1) 与恢复波形的关系。将其结果得到的恢复波形 (A ~ E) 示于图 3。图 2 与图 3 的载流子寿命分布分别对应。图 3 是对每个上述超结 MOSFET,将电源电压设定为 400V、将正向电流设定为 20A、将相反方向电流的时间变化设定为  $100\text{A}/\mu\text{s}$ ,并对反向恢复动作的电流波形进行了模拟的结果。

[0055] 以下说明载流子寿命分布的状态 A1 ~ E1 的详细情况。A1 是在仅具有并列 pn 层和 n 型第一缓冲层的现有的超结 MOSFET 的情况下,完全不进行图 2(b) 的寿命控制的寿命分布。图 3 中,作为与 A1 对应的 A,没有 2nd buf 是指没有第二缓冲层。B1 是具备并列 pn 层和 n 型第一缓冲层、n 型第二缓冲层的超结 MOSFET,且具有完全缺少图 2(b) 的寿命控制的寿命分布的情况。图 3 中,作为与 B1 对应的 B,LT 没有减少是指缺少寿命控制。C1 是具备并列 pn 层和 n 型第一缓冲层、n 型第二缓冲层的超结 MOSFET,且从图 2(c) 的基板表面到并列 pn 层的下端面的范围进行了局部寿命控制的情况,与图 3 的 C 对应。D1 是具备并列 pn 层和 n 型第一缓冲层、n 型第二缓冲层的超结 MOSFET,且从基板表面到第一缓冲层的范围进行了局部寿命控制的情况,与图 3 的 D 对应。另外,上述 C1、D1 是与相当于图 1 的 (b)、(c) 的寿命分布相同的分布。E1 是具备并列 pn 层和 n 型第一缓冲层、n 型第二缓冲层的超结 MOSFET,且进行了基板的整个区域的寿命控制的情况,与图 3 的 E 对应。

[0056] 由图 3 可知,A 的反向恢复电流的峰值  $I_{rp1}$ 、反向恢复时间  $t_{rr1}$  均大,显示波形急剧上升的硬恢复波形,形成大幅振动的波形。其原因是因为没有第二缓冲层,所以在进入正向阻断状态时,随着反向恢复时耗尽层扩展而载流子容易枯竭。

[0057] 对于 B,由于具备浓度比并列 pn 层中的漂移区域高的第二缓冲层,所以作为反向恢复动作时的载流子储库而发挥作用。此时,由于载流子的总量增加,所以反向恢复电流 ( $I_{rp}$ ) 增加,恢复波形成为软波形,但由于载流子的排出需要时间,所以反向恢复时间变长,不满足高速切换的必要条件。

[0058] 对于 C,若从基板表面到并列 pn 层的下端的深度为止控制寿命而使其缩短,则与上述 B 相比,反向恢复电流 ( $I_{rp}$ ) 变少,并且能够维持软恢复波形,反向恢复时间也变短,因而优选。

[0059] 对于 D,若从表面到第一缓冲层的下端的深度为止控制寿命而使其缩短,则与 C 相比,进一步减少反向恢复电流 ( $I_{rp}$ ),并且能够维持软恢复波形,反向恢复时间也进一步变短,因而优选。

[0060] 对于 E,若控制基板的所有层、区域的寿命而使其缩短,则载流子储库的效果变小,反向恢复电流 ( $I_{rp2}$ ) 和反向恢复时间 ( $t_{rr2}$ ) 均变得过小而显示硬恢复波形,可能会产生振动波形,因此不优选。

[0061] 因此,由图 3 所示的 A ~ E 的载流子寿命分布可知,最优选的是像 C 和 D 那样的从基板表面到并列 pn 层、或者到第一缓冲层为止控制了寿命的超结 MOSFET 的恢复波形,可得

到高速切换和低反向恢复损耗。

[0062] 由以上结果可知,在实施例一中,不仅实现超结 MOSFET 的反向恢复动作的高速化和损失降低,并且实现兼顾了软恢复波形化的结构。

[0063] 应予说明,在实施例一中,是将并列 pn 层的基板截面图案形状形成连续的 pn 的条纹状图案交替连接的形状,但也可以是在基板面内配置成格子状的不连续的截面图案的并列 pn 层(换言之,柱状的 pn 层交替连接的形状)。

[0064] 另外,在本发明的实施例一中,通过在高浓度的  $n^+$  漏极层 1 上形成 n 型第二缓冲层 2 和 n 型第一缓冲层 3 后,对并列 pn 层 4 反复进行多次外延生长和光刻技术,以该图案依次堆叠并列 pn 层而形成所需要的厚度的多段外延方式形成。另外,也可以通过在高浓度  $n^+$  漏极层 1 上使 n 型第二缓冲层 2、n 型第一缓冲层 3 和所需要的厚度的漂移层外延生长后,通过各向异性蚀刻来形成具有相当于并列 pn 层的厚度的深度的垂直沟槽,并在该沟槽使 p 型有机硅层外延生长而形成并列 pn 层 4 的沟槽埋入方式。通过在采用上述的任一方式制作的并列 pn 层的表面侧(第一主面侧)形成 MOS 栅极结构、源电极,并在高浓度  $n^+$  漏极层 1 的背面侧(第二主面侧)形成漏电极,从而本发明的实施例一的超结 MOSFET 的晶圆工艺基本完成。另外,对于上述并列 pn 层的形成方法、之后的晶圆工艺,它们的制造方法可以利用以往公知的制造方法。

[0065] 通常,在电力用二极管中,作为缩短载流子寿命的方法,一般使用通过 Au 和 / 或 Pt 等重金属的添加或电子束和 / 或质子等带电粒子的照射等而在带隙内形成准位的寿命扼杀剂的导入法。这是因为通过导入这样的寿命扼杀剂,从而在反向恢复动作时能够促进二极管中的载流子的消灭,降低反向恢复时的峰电流  $I_{rp}$  和 / 或反向恢复时间  $t_{rr}$ ,降低反向恢复时的损失。在超结 MOSFET 中,由于内置二极管,所以导入寿命扼杀剂而形成上述图 1 的 (b) ~ (d) 所示的载流子寿命分布对高速动作和反向恢复损耗的降低有效。

[0066] 然而,从超结 MOSFET 其结构上来看,由于在正向阻断状态时漂移层完全耗尽而载流子枯竭,因此反向恢复波形的上升变陡,容易成为硬恢复波形。根据现有的载流子寿命的控制,虽然能够降低反向恢复损耗,但此时由于恢复波形的上升进一步变陡,所以无法消除振动波形的产生。

[0067] 因此,在本发明的实施例一的超结 MOSFET 中,在第一缓冲层的下部形成浓度比并列 pn 层的 n 型漂移区域 4a 高的第二缓冲层。此外,与该第二缓冲层的载流子寿命相比,将第一缓冲层和并列 pn 层的载流子寿命调短。通过如此调整载流子寿命,一开始就缓慢抑制硬恢复波形的上升而能够形成软恢复波形。

[0068] 作为局部控制寿命的方法,可以通过金和 / 或铂等重金属的添加或质子等带电粒子的照射来进行。能够通过重金属的离子注入和热处理从源极区域侧的表面添加到第一缓冲层。另外,形成源电极后,可以利用研磨基板的相反侧而形成第一缓冲层和第二缓冲层,并从该第二缓冲层的表面照射重金属的离子和 / 或带电粒子。另外,也可以组合这些局部的寿命控制和电子束照射那样的寿命变得均匀的控制。

[0069] 通过调整第二缓冲层的杂质浓度和厚度,即使在超结 MOSFET 的正向阻断状态时也形成像耗尽层达不到  $n^+$  漏极层 1 那样的载流子储库,从而在反向恢复动作时,也能够避免漂移层内的载流子枯竭,并使反向恢复波形的上升变得缓慢。

[0070] 此外,图 8 的 (a) 是具备与上述的图 1(a) 的超结 MOSFET 反向并联接合的另外的



pin 二极管 402 的复合半导体装置 400 的主要部分截面图。

[0071] 通过制成这样的复合半导体装置,也能够缓和反向恢复动作时的硬恢复波形,降低反向恢复电流 ( $I_{rp}$ ) 和反向恢复时间 ( $t_{rr}$ ),得到高速切换和低反向恢复损耗。此时, pin 二极管 402 的漂移层 401 的杂质浓度设置为  $3.0 \times 10^{14} \text{cm}^{-3}$ , 厚度设置为  $60.0 \mu\text{m}$ , 将载流子寿命分布示于该图 (b), 通过添加金和 / 或铂那样的重金属, 从而形成了表面侧的载流子寿命短分布。如果使用铂, 则由于铂容易在基板的表面侧偏析, 因此可得到具有像图 8 的 (b) 那样的表面侧的载流子寿命最短的斜率的分布, 因而优选。

[0072] 由此, 通过制成具备专门的 pin 二极管 402 的复合半导体装置 400, 从而与超结 MOSFET50 的内置二极管 (5-4a) 相比, 能够消除 pin 二极管 402 的设计上的制约。因此, 能够容易地制成切换速度比内置二极管 (5-4a) 高且导通电阻小的 pin 二极管 402, 因此可以得到上述那样的具有高速切换和低反向恢复损耗的本发明的复合半导体装置 400。

[0073] 图 4 是实施例 (图 8 的 (a)) 的复合半导体装置和现有结构 (图 5 的 (a)) 的超结 MOSFET 的反向恢复波形图, 是将电源电压设置为 400V、正向电流设置为 20A、相反方向电流的时间变化设置为  $100\text{A}/\mu\text{s}$ , 从而对反向恢复动作的电流波形进行模拟的结果。应予说明, 图 8(a) 的复合半导体装置的寿命扼杀剂使用 He 而设定为从并列 pn 层的源极侧的表面以  $8 \mu\text{m}$  的深度为峰的浓度曲线。另外, 将图 8(a) 的 pin 二极管 402 的活性区域的面积设定为与超结 MOSFET50 的活性区域的面积相同。

[0074] 在现有结构中, 由于反向恢复电流 ( $I_{rp}$ )、反向恢复时间 ( $t_{rr}$ ) 均大, 波形急剧上升而形成了大幅振动的波形。另一方面, 可知在实施例中, 与现有结构相比, 反向恢复电流 ( $I_{rp}$ )、反向恢复时间 ( $t_{rr}$ ) 均得到小幅抑制, 反向恢复损耗也得到降低。另外, 波形的上升变得缓慢, 因此在上升后没有发生振荡。

[0075] 由此, 能够得到实现了反向恢复动作的高速化和损失降低以及软恢复化的复合半导体装置。

[0076] 此外, 通过变成上述 pin 二极管, 制成将如图 9 所示的肖特基势垒二极管与超结 MOSFET 并列接合的复合半导体装置, 也像上述那样缓和反向恢复动作时的硬恢复波形, 降低反向恢复电流 ( $I_{rp}$ ) 和反向恢复时间 ( $t_{rr}$ ), 能够得到快速切换和低反向恢复损耗。

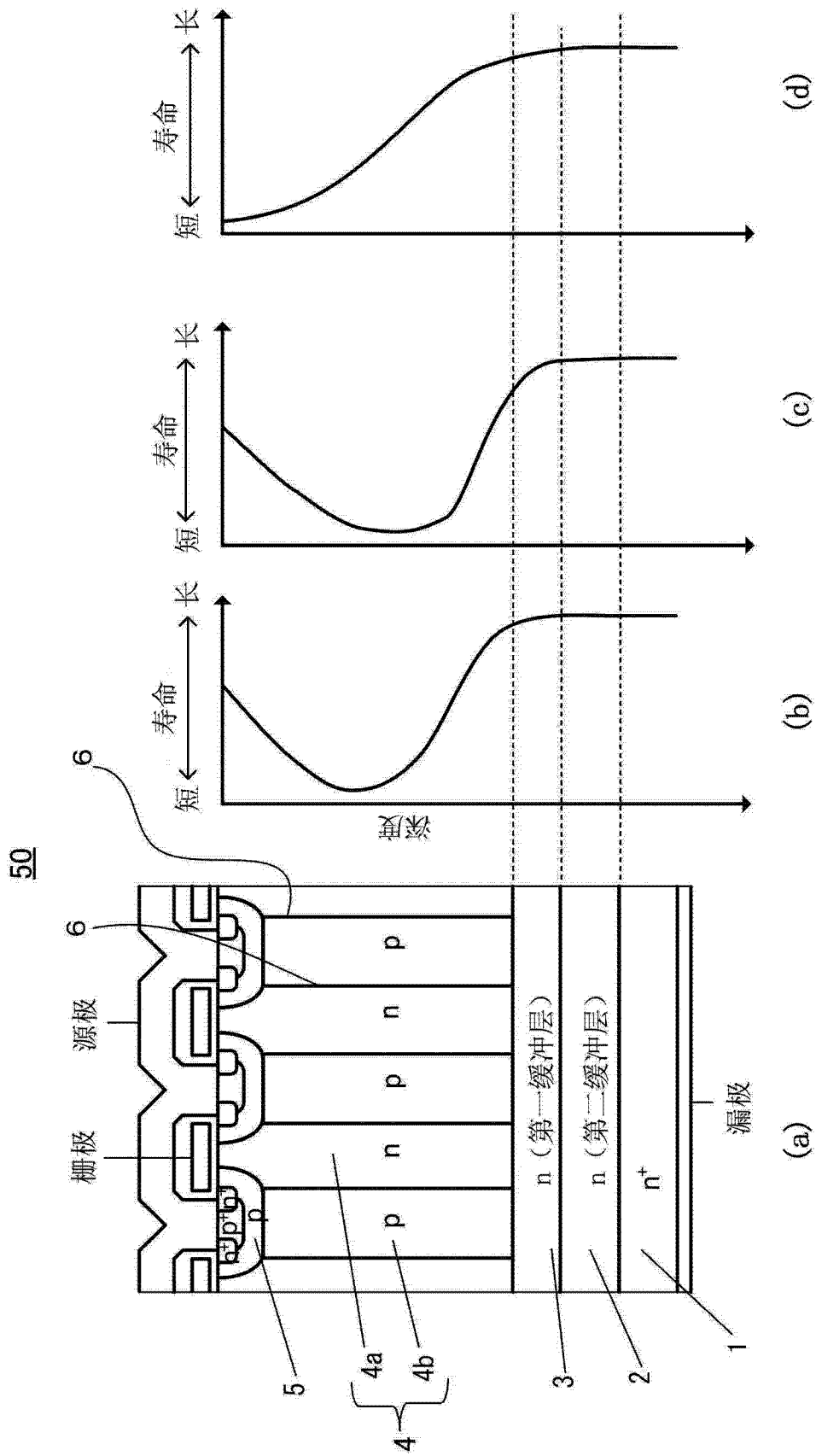


图 1

50.201

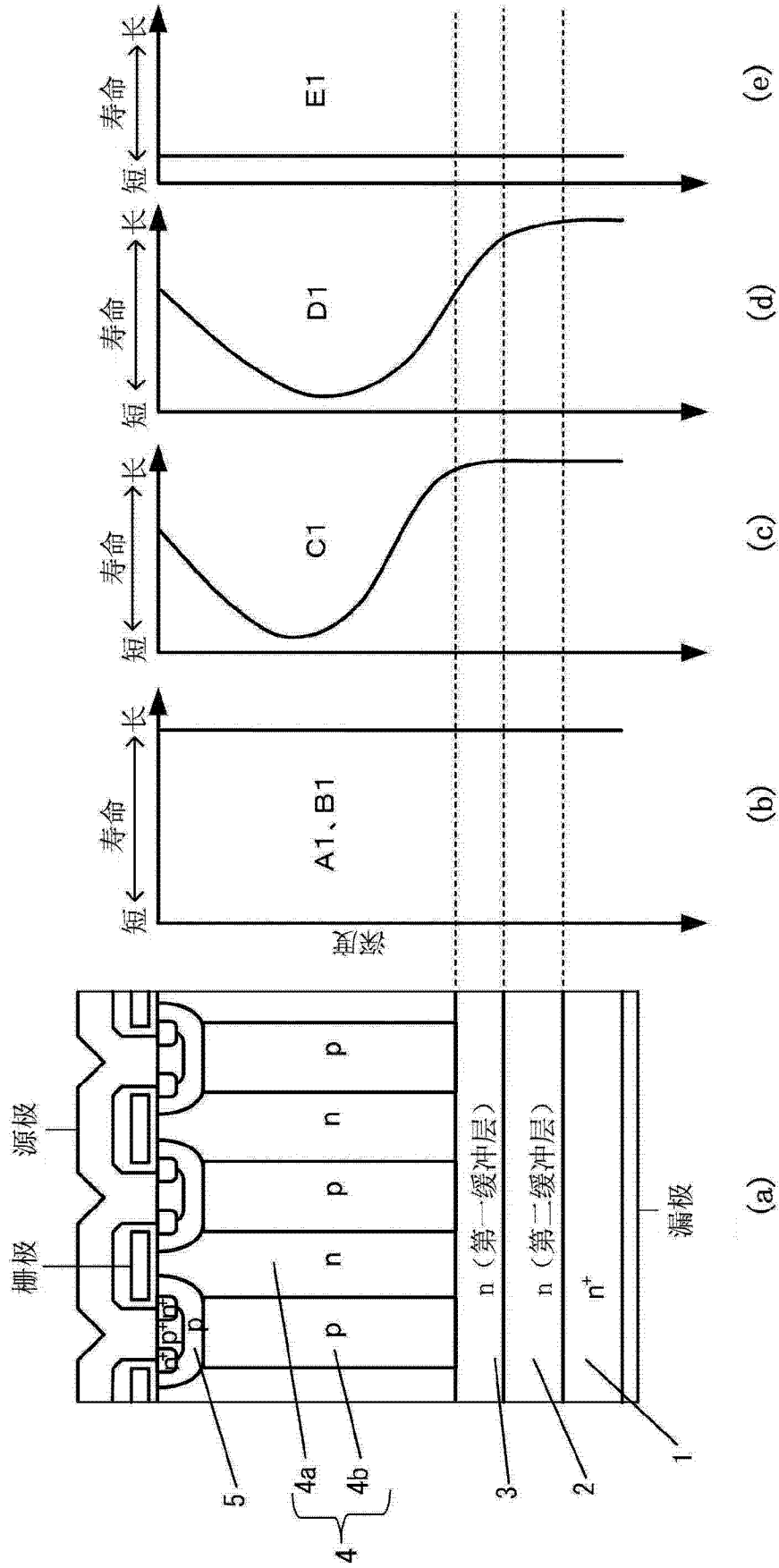


图 2

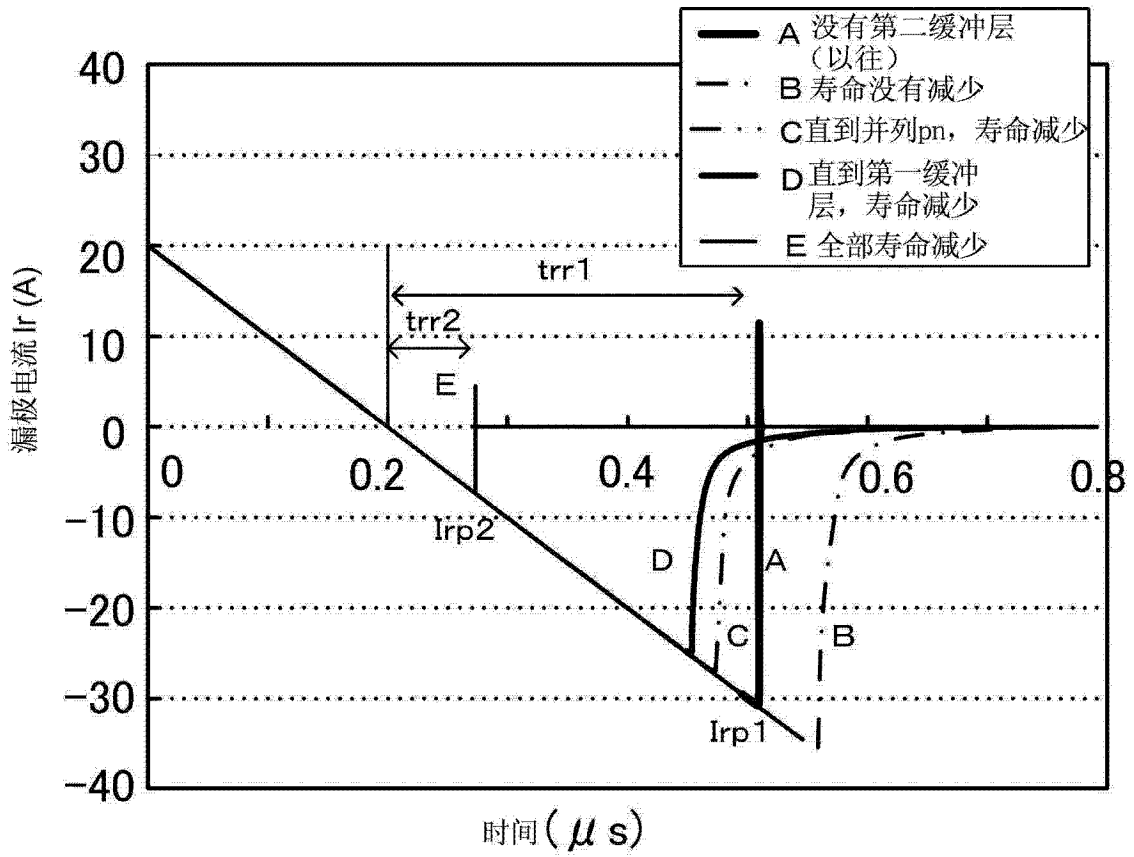


图 3

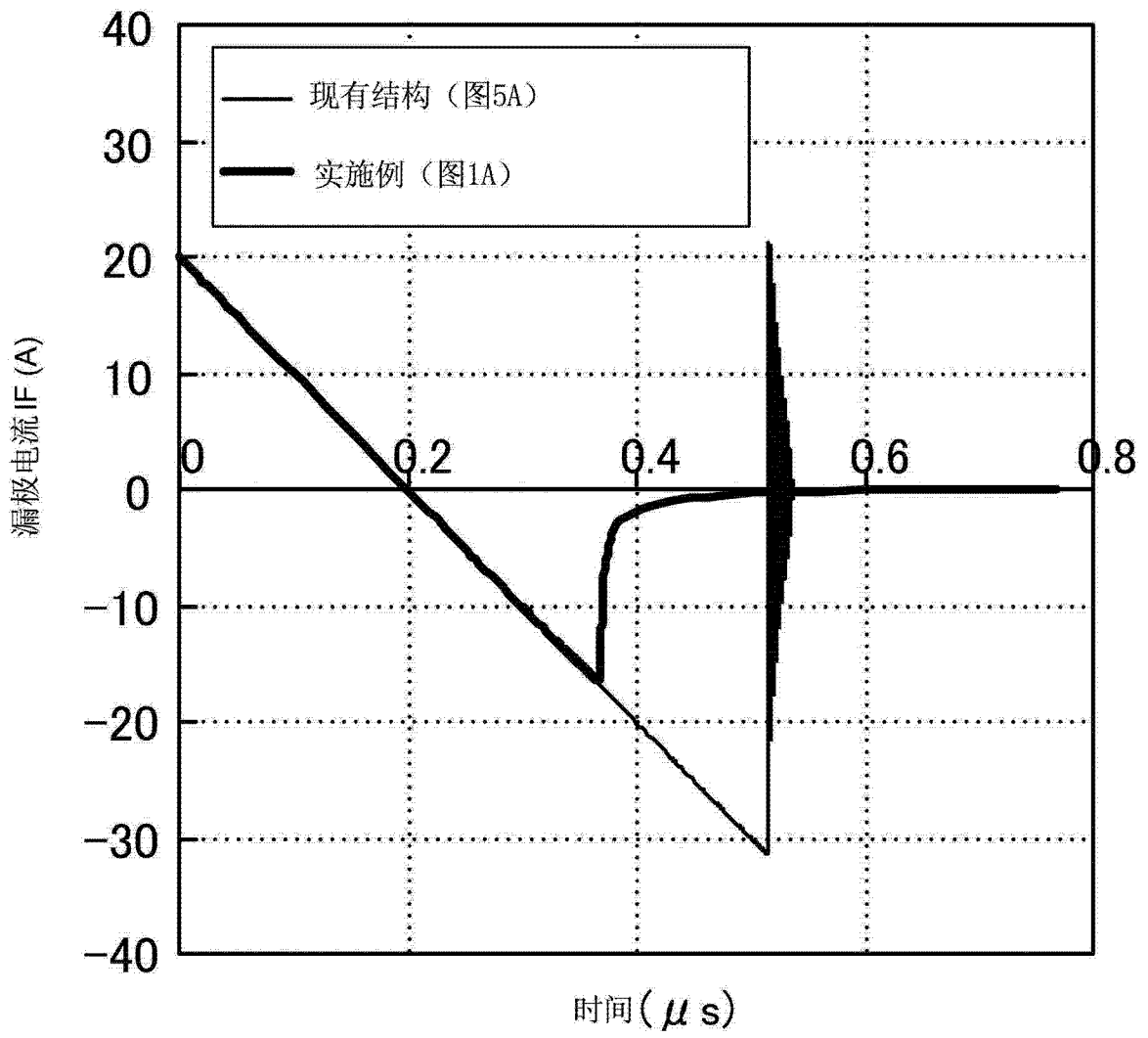


图 4

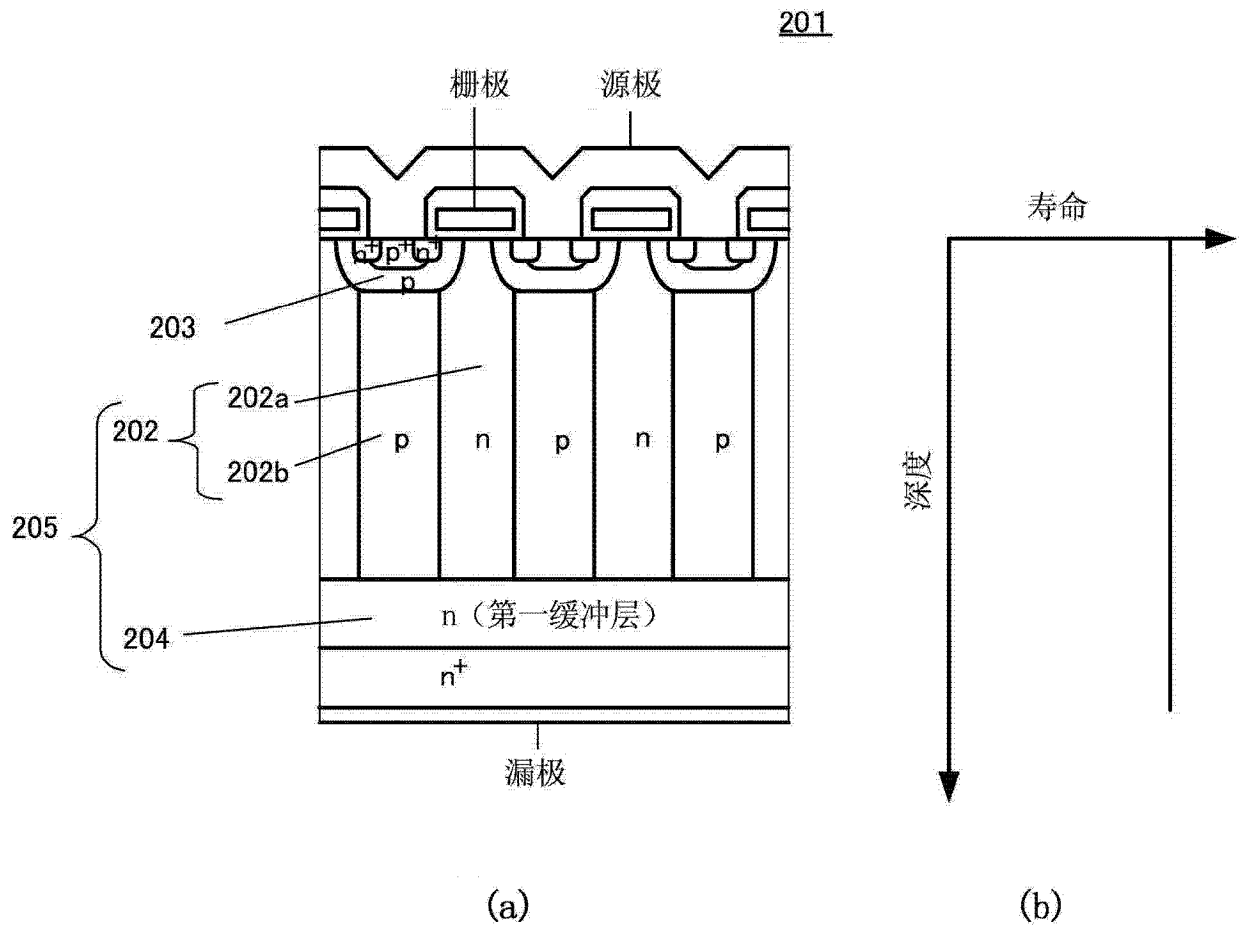


图 5

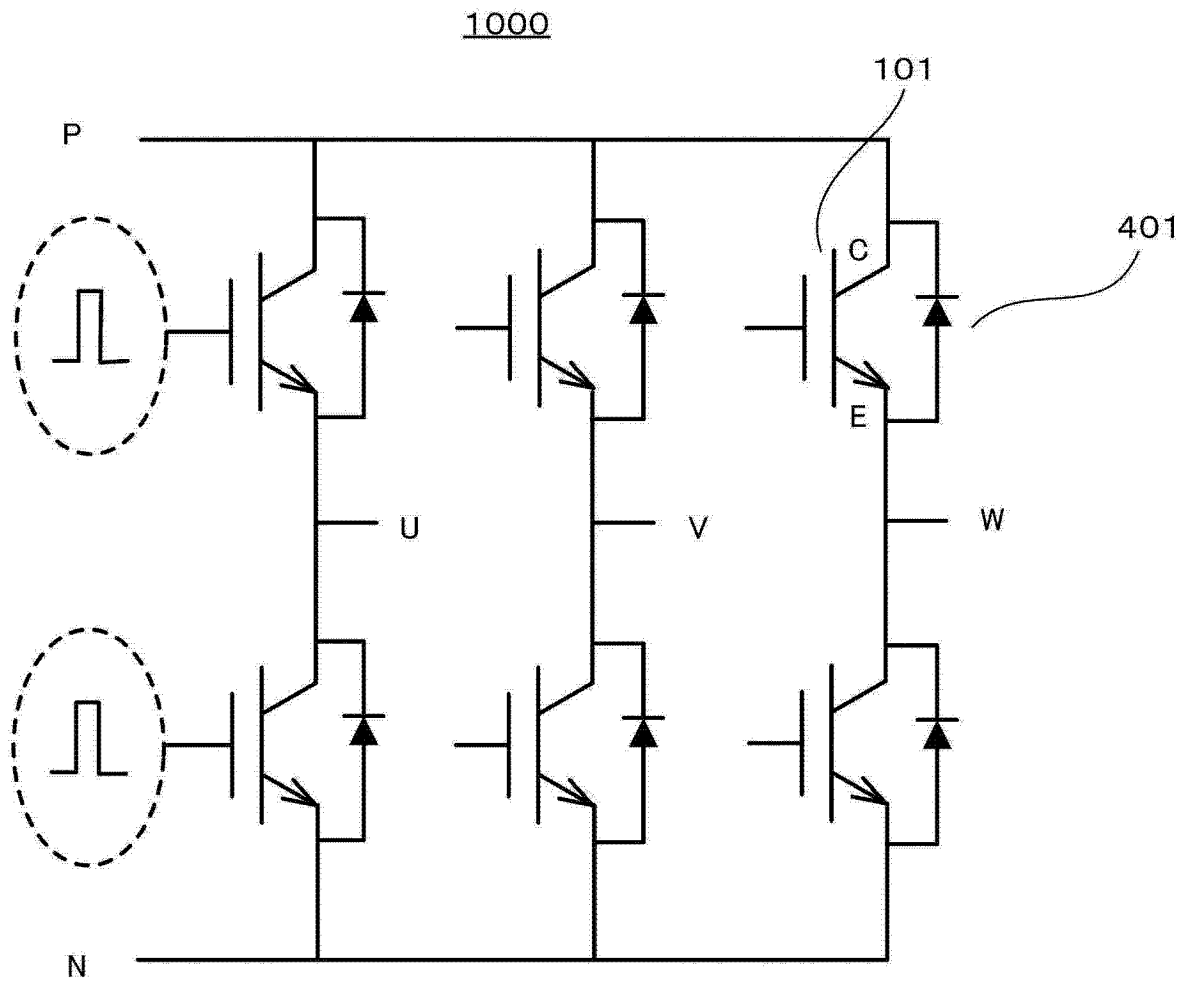


图 6

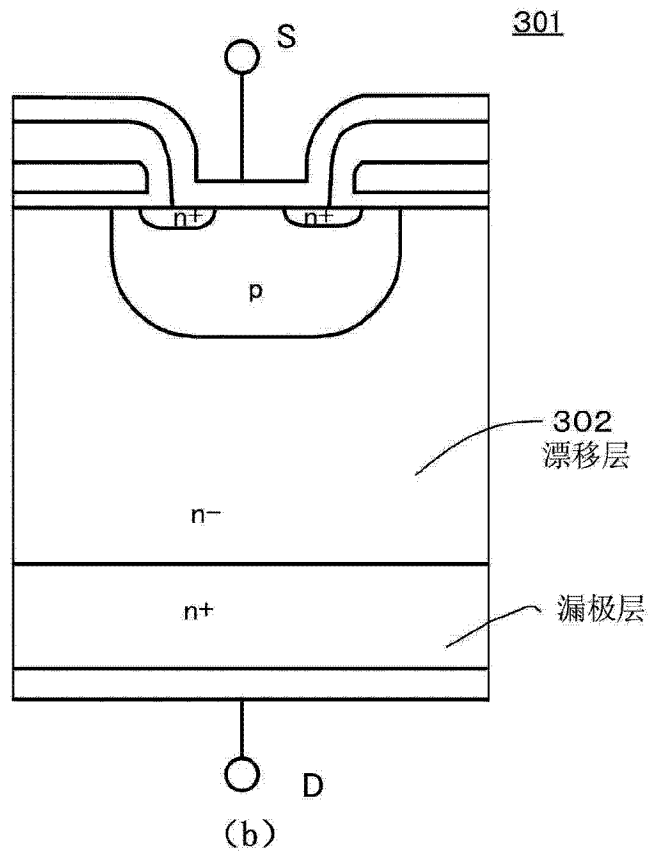
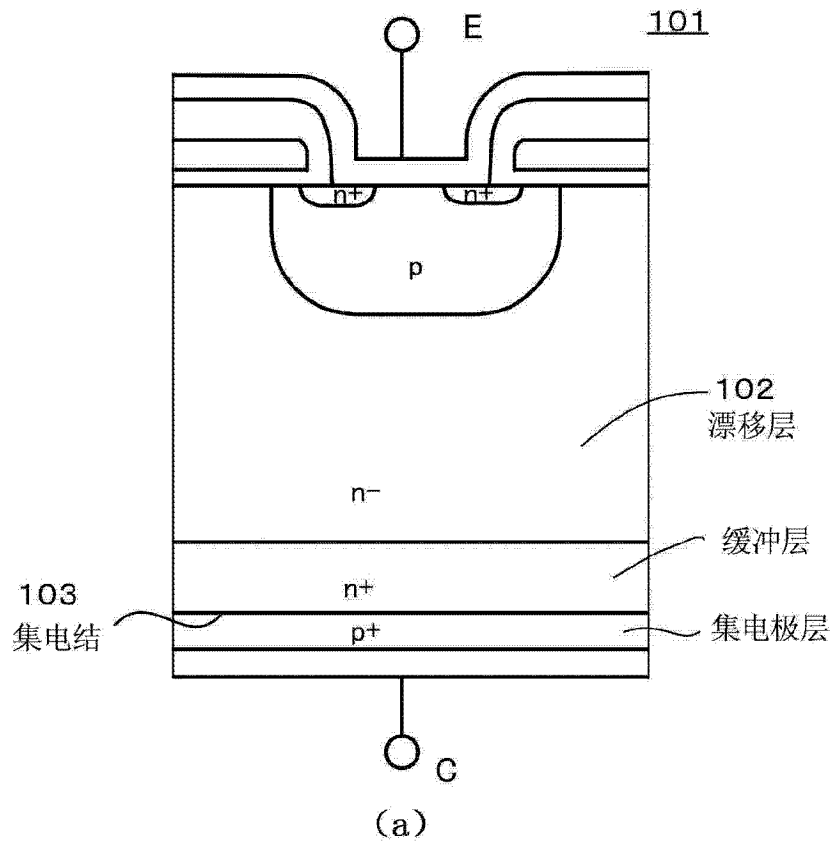


图 7



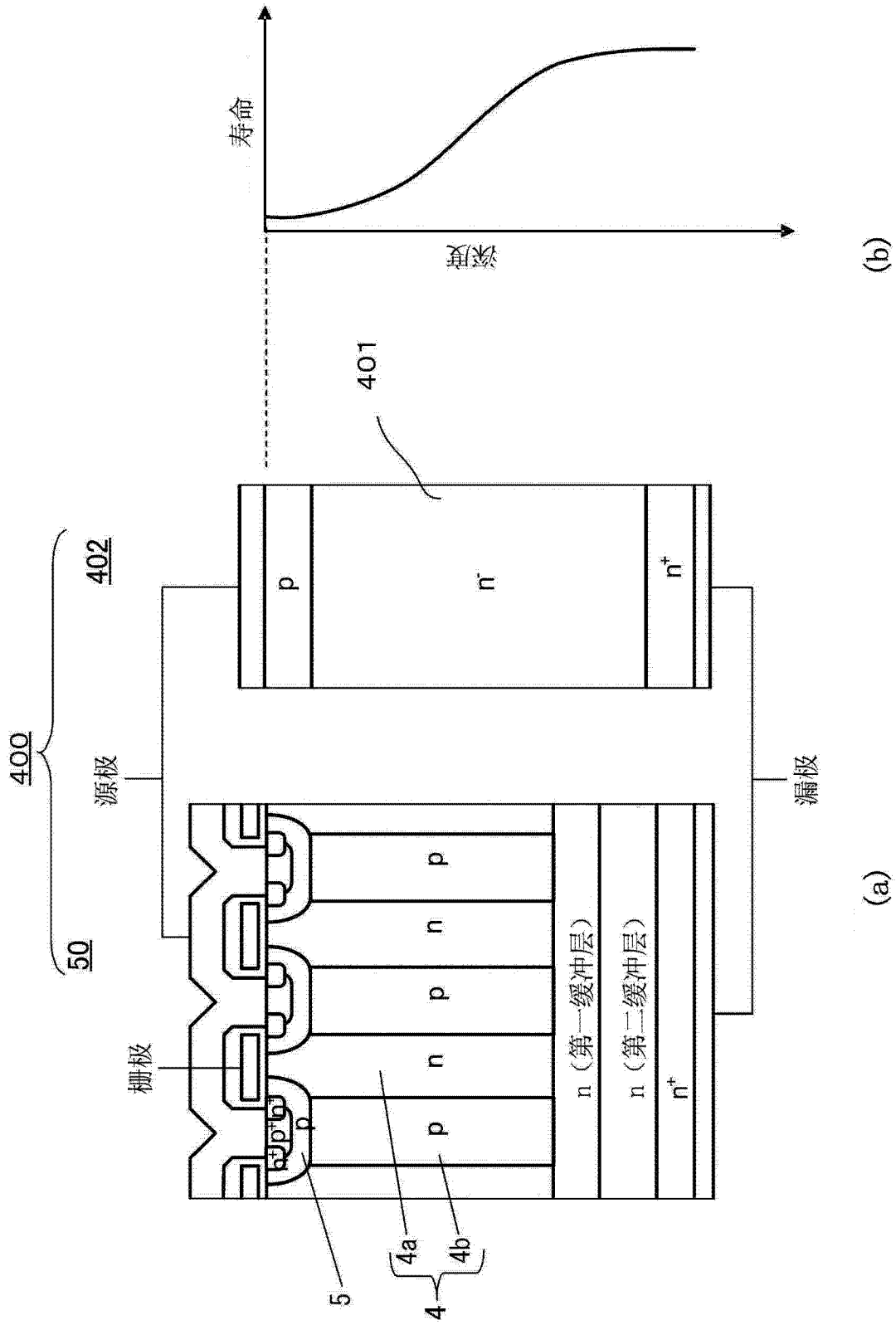


图 8

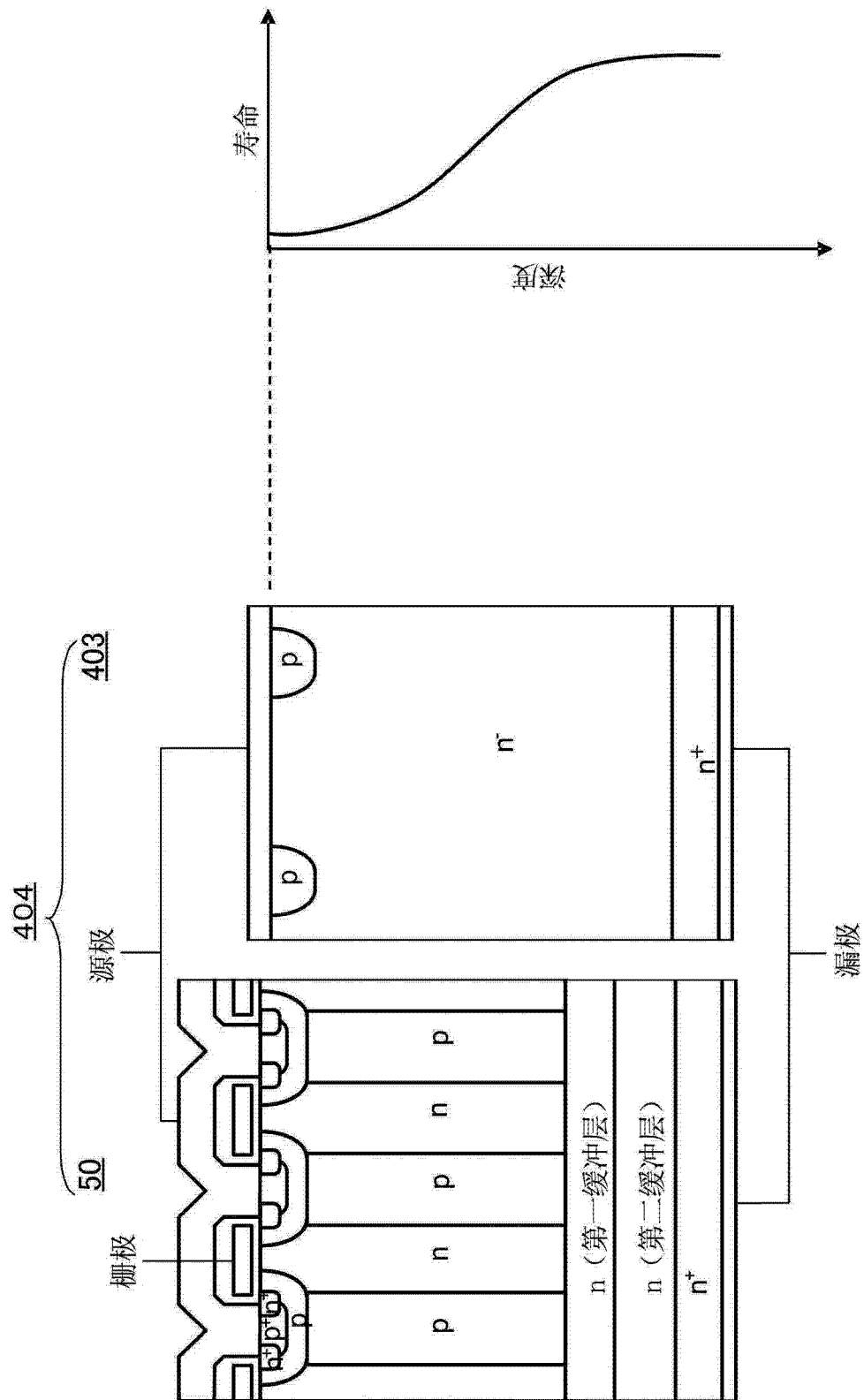


图 9