



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I572074 B

(45) 公告日：中華民國 106 (2017) 年 02 月 21 日

(21) 申請案號：104103712

(22) 申請日：中華民國 104 (2015) 年 02 月 04 日

(51) Int. Cl. : H01L45/00 (2006.01)

H01L27/24 (2006.01)

(71) 申請人：力晶科技股份有限公司 (中華民國) POWERCHIP TECHNOLOGY CORPORATION  
(TW)

新竹市新竹科學工業園區力行一路 12 號

(72) 發明人：陳啟明 CHEN, CHI MING (TW)；林勝結 LIN, SHENG CHIEH (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

TW I239591

TW I249815

TW I256639

US 7463502B2

US 2011/0062407A1

US 2012/0313068A1

審查人員：翁佑菱

申請專利範圍項數：13 項 圖式數：3 共 32 頁

(54) 名稱

電阻式隨機存取記憶體及其製造方法

RESISTIVE RANDOM ACCESS MEMORY AND METHOD FOR MANUFACTURING THE SAME

(57) 摘要

一種電阻式隨機存取記憶體，包括電阻式隨機存取記憶胞串。電阻式隨機存取記憶胞串包括基底、第一導電型導體層與多個堆疊結構。第一導電型導體層設置於基底上。堆疊結構分離設置於第一導電型導體層上。各個堆疊結構包括第二導電型沉積層、電阻式隨機存取記憶胞與第一導線。第二導電型沉積層設置於第一導電型導體層上。電阻式隨機存取記憶胞設置於第二導電型沉積層上。第一導線設置於電阻式隨機存取記憶胞上。

A resistive random access memory (RRAM) including a resistive random access memory cell string. The resistive random access memory cell string includes a substrate, a first conductive type conductor layer and a plurality of stacked structures. The first conductive type conductor layer is disposed on the substrate. The stacked structures are separately disposed on the first conductive type conductor layer. Each of the stacked structures includes a second conductive type deposition layer, a RRAM cell and a first conductive line. The second conductive type deposition layer is disposed on the first conductive type conductor layer. The RRAM cell is disposed on the second conductive type deposition layer. The first conductive line is disposed on the RRAM cell.

指定代表圖：

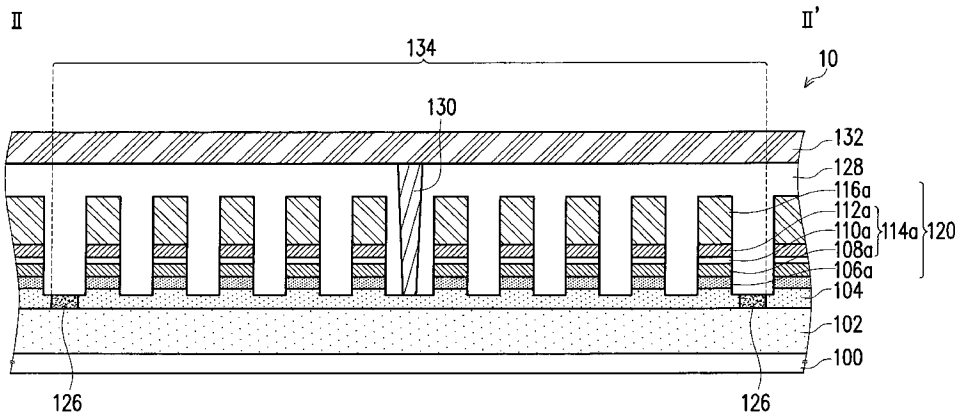


圖 3D

符號簡單說明：

- 10 . . . 電阻式隨機存取記憶體
- 100 . . . 基底
- 102 . . . 第二導電型井區
- 104 . . . 第一導電型導體層
- 106a . . . 第二導電型沉積層
- 108a、112a . . . 電極層
- 110a . . . 可變電阻層
- 114a . . . 電阻式隨機存取記憶胞
- 116a . . . 導線
- 120 . . . 堆疊結構
- 126 . . . 第二導電型摻雜區
- 128 . . . 介電層
- 130 . . . 接觸窗
- 132 . . . 導線
- 134 . . . 電阻式隨機存取記憶胞串

## 發明摘要

公告本

※ 申請案號：104103712

※ 申請日：104. 2. 04

※IPC 分類：H01L 45/00 (2006.01)

H01L 27/54 (2006.01)

【發明名稱】電阻式隨機存取記憶體及其製造方法

RESISTIVE RANDOM ACCESS MEMORY AND  
METHOD FOR MANUFACTURING THE SAME

## 【中文】

一種電阻式隨機存取記憶體，包括電阻式隨機存取記憶胞串。電阻式隨機存取記憶胞串包括基底、第一導電型導體層與多個堆疊結構。第一導電型導體層設置於基底上。堆疊結構分離設置於第一導電型導體層上。各個堆疊結構包括第二導電型沉積層、電阻式隨機存取記憶胞與第一導線。第二導電型沉積層設置於第一導電型導體層上。電阻式隨機存取記憶胞設置於第二導電型沉積層上。第一導線設置於電阻式隨機存取記憶胞上。

## 【英文】

A resistive random access memory (RRAM) including a resistive random access memory cell string. The resistive random access memory cell string includes a substrate, a first conductive type conductor layer and a plurality of stacked structures. The first conductive type conductor layer is disposed on the substrate. The stacked structures are separately disposed on the first conductive type conductor layer. Each of the stacked structures includes a

second conductive type deposition layer, a RRAM cell and a first conductive line. The second conductive type deposition layer is disposed on the first conductive type conductor layer. The RRAM cell is disposed on the second conductive type deposition layer. The first conductive line is disposed on the RRAM cell.

### 【代表圖】

【本案指定代表圖】：圖 3D

【本代表圖之符號簡單說明】：

- 10：電阻式隨機存取記憶體
- 100：基底
- 102：第二導電型井區
- 104：第一導電型導體層
- 106a：第二導電型沉積層
- 108a、112a：電極層
- 110a：可變電阻層
- 114a：電阻式隨機存取記憶胞
- 116a：導線
- 120：堆疊結構
- 126：第二導電型摻雜區
- 128：介電層
- 130：接觸窗
- 132：導線
- 134：電阻式隨機存取記憶胞串

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】** 電阻式隨機存取記憶體及其製造方法

RESISTIVE RANDOM ACCESS MEMORY AND  
METHOD FOR MANUFACTURING THE SAME

**【技術領域】**

**【0001】** 本發明是有關於一種記憶體及其製造方法，且特別是有關於一種電阻式隨機存取記憶體及其製造方法。

**【先前技術】**

**【0002】** 由於，非揮發性記憶體具有資料在斷電後也不會消失的優點，因此許多電器產品中必須具備此類記憶體，以維持電器產品開機時的正常操作。目前，業界積極發展的一種非揮發性記憶體元件是電阻式隨機存取記憶體(resistive random access memory, RRAM)，其具有寫入操作電壓低、寫入抹除時間短、記憶時間長、非破壞性讀取、多狀態記憶、結構簡單以及所需面積小等優點，因此在未來將可成為個人電腦和電子設備所廣泛採用的非揮發性記憶體元件之一。

**【0003】** 然而，目前的電阻式隨機存取記憶體在操作時存在會產生漏電流(sneak current)的問題，進而造成記憶體元件的可靠度降低。

**【發明內容】**

**【0004】** 本發明提供一種電阻式隨機存取記憶體及其製造方法，其可有效地提升記憶體元件的可靠度。

**【0005】** 本發明提出一種電阻式隨機存取記憶體，包括電阻式隨機存取記憶胞串。電阻式隨機存取記憶胞串包括基底、第一導電型導體層與多個堆疊結構。第一導電型導體層設置於基底上。堆疊結構分離設置於第一導電型導體層上。各個堆疊結構包括第二導電型沉積層、電阻式隨機存取記憶胞與第一導線。第二導電型沉積層設置於第一導電型導體層上。電阻式隨機存取記憶胞設置於第二導電型沉積層上。第一導線設置於電阻式隨機存取記憶胞上。

**【0006】** 依照本發明的一實施例所述，在上述之電阻式隨機存取記憶體中，各個電阻式隨機存取記憶胞包括可變電阻層。可變電阻層設置於第二導電型沉積層上。

**【0007】** 依照本發明的一實施例所述，在上述之電阻式隨機存取記憶體中，各個電阻式隨機存取記憶胞更包括第一電極層與第二電極層。第一電極層設置於可變電阻層與第二導電型沉積層之間。第二電極層設置於可變電阻層與第一導線之間。

**【0008】** 依照本發明的一實施例所述，在上述之電阻式隨機存取記憶體中，電阻式隨機存取記憶胞串更包括二個第二導電型摻雜區，設置於電阻式隨機存取記憶胞串兩末端的第一導電型導體層中。

【0009】 依照本發明的一實施例所述，在上述之電阻式隨機存取記憶體中，電阻式隨機存取記憶胞串更包括第二導線。第二導線設置於堆疊結構上，且與堆疊結構隔離設置。第二導線電性連接至第一導電型導體層。

【0010】 依照本發明的一實施例所述，在上述之電阻式隨機存取記憶體中，第二導線與第一導電型導體層例如是不在電阻式隨機存取記憶胞串中最末端的相鄰兩個堆疊結構之間進行連接。

【0011】 依照本發明的一實施例所述，在上述之電阻式隨機存取記憶體中，位於第二導電型沉積層之間的第一導電型導體層的上表面例如是低於第二導電型沉積層的下表面。

【0012】 本發明提出一種電阻式隨機存取記憶體的製造方法，包括形成電阻式隨機存取記憶胞串。電阻式隨機存取記憶胞串的形成方法包括下列步驟。於基底上形成第一導電型導體層。於第一導電型導體層上分離形成多個堆疊結構。各個堆疊結構包括第二導電型沉積層、電阻式隨機存取記憶胞與第一導線。第二導電型沉積層設置於第一導電型導體層上。電阻式隨機存取記憶胞設置於第二導電型沉積層上。第一導線設置於電阻式隨機存取記憶胞上。

【0013】 依照本發明的一實施例所述，在上述之電阻式隨機存取記憶體的製造方法中，第一導電型導體層的形成方法包括對基底進行離子植入製程而形成或藉由臨場摻雜的沉積法所形成。

【0014】 依照本發明的一實施例所述，在上述之電阻式隨機存取



記憶體的製造方法中，堆疊結構的形成方法包括下列步驟。於第一導電型導體層上沉積第二導電型沉積材料層。於第二導電型沉積材料層上形成電阻式隨機存取記憶胞層。於電阻式隨機存取記憶胞層上形成第一導線材料層。對第一導線材料層、電阻式隨機存取記憶胞層與第二導電型沉積材料層進行圖案化製程。

【0015】 依照本發明的一實施例所述，在上述之電阻式隨機存取記憶體的製造方法中，第二導電型沉積材料層的沉積方法包括藉由臨場摻雜的沉積法直接形成或藉由以下方法所形成。於第一導電型導體層上沉積未摻雜半導體層。於未摻雜半導體層上沉積第二導電型摻雜半導體層。將第二導電型摻雜半導體層中的多個第二導電型摻質擴散到未摻雜半導體層中。

【0016】 依照本發明的一實施例所述，在上述之電阻式隨機存取記憶體的製造方法中，電阻式隨機存取記憶胞層的形成方法包括下列步驟。於第二導電型沉積材料層上形成第一電極材料層。於第一電極材料層上形成可變電阻材料層。於可變電阻材料層上形成第二電極材料層。

【0017】 依照本發明的一實施例所述，在上述之電阻式隨機存取記憶體的製造方法中，更包括於電阻式隨機存取記憶胞串兩末端的第一導電型導體層中形成二個第二導電型摻雜區。

【0018】 依照本發明的一實施例所述，在上述之電阻式隨機存取記憶體的製造方法中，更包括於堆疊結構上形成電性連接至第一導電型導體層的第二導線。第二導線與堆疊結構隔離設置。

【0019】 依照本發明的一實施例所述，在上述之電阻式隨機存取記憶體之製造方法中，第二導線與第一導電型導體層例如是不在電阻式隨機存取記憶胞串中最末端的相鄰兩個堆疊結構之間進行連接。

【0020】 基於上述，在本發明所提出的電阻式隨機存取記憶體及其製造方法中，由於第二導電型沉積層是使用沉積的方式形成，所以在製造過程中可使得相鄰的堆疊結構中的第二導電型沉積層完全分離，以避免產生電性干擾，進而有效地提升記憶體元件的可靠度。此外，第二導電型沉積層與第一導電型導體層可形成二極體，所以能夠抑制記憶體元件的漏電流，進而防止誤動作產生，因此可有效地提升記憶體元件的可靠度。

【0021】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【圖式簡單說明】

#### 【0022】

圖 1 為本發明一實施例的電阻式隨機存取記憶體的上視圖。

圖 2A 至圖 2D 為沿著圖 1 中的 I-I' 剖面線的電阻式隨機存取記憶體的製造流程剖面圖。

圖 3A 至圖 3D 為沿著圖 1 中的 II-II' 剖面線的電阻式隨機存取記憶體的製造流程剖面圖。

**【實施方式】**

【0023】 圖 1 為本發明一實施例的電阻式隨機存取記憶體的上視圖。為了清楚地進行說明，在圖 1 中省略介電層的繪示。圖 2A 至圖 2D 為沿著圖 1 中的 I-I' 剖面線的電阻式隨機存取記憶體的製造流程剖面圖。圖 3A 至圖 3D 為沿著圖 1 中的 II-II' 剖面線的電阻式隨機存取記憶體的製造流程剖面圖。

【0024】 在此實施例中，所指的「第一導電型」與「第二導電型」為不同的導電型態。當第一導電型為 N 型時，第二導電型為 P 型。當第一導電型為 P 型時，第二導電型為 N 型。

【0025】 首先，請同時參照圖 1 與圖 2A，可選擇性地於基底 100 中形成第二導電型井區 102。基底 100 例如是矽基底。第二導電型井區 102 例如是 P 型井區或 N 型井區。在此實施例中，第二導電型井區 102 是以 P 型井區為例進行說明。第二導電型井區 102 的形成方法例如是離子植入法。

【0026】 接著，於基底 100 上形成第一導電型導體層 104。第一導電型導體層 104 可用以作為埋入式位元線。第一導電型導體層 104 例如是 N 型導體層或 P 型導體層。在此實施例中，第一導電型導體層 104 是以 N 型導體層為例進行說明。第一導電型導體層 104 的形成方法可藉由對基底 100 進行離子植入製程而形成。此外，第一導電型導體層 104 亦可藉由臨場摻雜的沉積法所形成，如臨場摻雜的化學氣相沉積法。藉由臨場摻雜的沉積法所形成的第一導電型導體層 104 的材料例如是摻雜半導體，如摻雜多晶矽。

【0027】 然後，請同時參照圖 1 與圖 2B，於第一導電型導體層 104 上沉積第二導電型沉積材料層 106。第二導電型沉積材料層 106 例如是 P 型沉積材料層或 N 型沉積材料層。在此實施例中，第二導電型沉積材料層 106 是以 P 型沉積材料層為例進行說明。第二導電型沉積材料層 106 的沉積方法可藉由臨場摻雜的沉積法直接形成，如臨場摻雜的化學氣相沉積法。第二導電型沉積材料層 106 的材料例如是摻雜半導體，如摻雜多晶矽。

【0028】 此外，第二導電型沉積材料層 106 亦可藉由以下方法所形成。於第一導電型導體層 104 上沉積未摻雜半導體層(未繪示)。於未摻雜半導體層上沉積第二導電型摻雜半導體層(未繪示)。將第二導電型摻雜半導體層中的第二導電型摻質擴散到未摻雜半導體層中，使得未摻雜半導體層亦成為第二導電型摻雜半導體層，而藉由此兩層第二導電型摻雜半導體層形成第二導電型沉積材料層 106。將第二導電型摻雜半導體層中的第二導電型摻質擴散到未摻雜半導體層中的方法例如是對第二導電型摻雜半導體層進行回火製程。

【0029】 接下來，於第二導電型沉積材料層 106 上形成電極材料層 108。電極材料層 108 的材料例如是鈦、鎳、鉭或銅等金屬材料。電極材料層 108 的形成方法例如是物理氣相沉積法。

【0030】 之後，於電極材料層 108 上形成可變電阻材料層 110。可變電阻材料層 110 的材料例如是金屬氧化物，如氧化鉛、氧化鎂、氧化鎳、氧化鈮、氧化鈦、氧化鋁、氧化釩、氧化錫、氧化鋅或

氧化鈷。可變電阻材料層 110 的形成方法例如是化學氣相沉積法。

【0031】 再者，於可變電阻材料層 110 上形成電極材料層 112。電極材料層 112 的材料例如是鈦、鎳、鈮或銅等金屬材料。電極材料層 112 的形成方法例如是物理氣相沉積法。此外，由電極材料層 108、可變電阻材料層 110 與電極材料層 112 形成位於第二導電型沉積材料層 106 上的電阻式隨機存取記憶胞層 114。

【0032】 隨後，可選擇性地於電極材料層 112 上形成硬罩幕層 113。硬罩幕層 113 的材料例如是氮化矽或氧化矽。硬罩幕層 113 的形成方法例如是化學氣相沉積法。

【0033】 繼之，於硬罩幕層 113 上形成圖案化光阻層 115。圖案化光阻層 115 的形成方法例如是藉由進行微影製程而形成。

【0034】 接著，請同時參照圖 1 與圖 2C，以圖案化光阻層 115 為罩幕，移除部分硬罩幕層 113，而形成圖案化硬罩幕層 113a。部分硬罩幕層 113 的移除方法例如是乾式蝕刻法。

【0035】 然後，可選擇性地移除圖案化光阻層 115。圖案化光阻層 115 的移除方法例如是乾式去光阻法。

【0036】 接下來，以圖案化硬罩幕層 113a 為罩幕，移除部分電阻式隨機存取記憶胞層 114、部分第二導電型沉積材料層 106、部分第一導電型導體層 104 與部分第二導電型井區 102，而於上述膜層中形成開口 117。上述移除步驟所使用的移除方法例如是乾式蝕刻法。

【0037】 之後，請同時參照圖 1 與圖 2D，於開口 117 中形成隔離

結構 119。隔離結構 119 例如是淺溝渠隔離結構(STI)。隔離結構 119 的材料例如是氧化矽。隔離結構 119 的形成方法例如是先形成填滿開口 117 的隔離結構材料層(未繪示)，再移除開口 117 以外的隔離結構材料層而形成。其中，開口 117 以外的隔離結構材料層的移除方法例如是化學機械研磨法。

【0038】 再者，移除圖案化硬罩幕層 113a。圖案化硬罩幕層 113a 的移除方法例如是乾式蝕刻法。

【0039】 隨後，請同時參照圖 1 與圖 3A，於電阻式隨機存取記憶胞層 114 上形成導線材料層 116。導線材料層 116 的材料例如是摻雜多晶矽或金屬等導體材料。電極材料層 112 的形成方法例如是化學氣相沉積法或物理氣相沉積法。

【0040】 繼之，請同時參照圖 1 與圖 3B，於導線材料層 116 上形成圖案化光阻層 118。圖案化光阻層 118 的形成方法例如是藉由進行微影製程而形成。

【0041】 接著，以圖案化光阻層 118 為罩幕，移除部分導線材料層 116、部分電阻式隨機存取記憶胞層 114 與部分第二導電型沉積材料層 106，而暴露出第一導電型導體層 104，並於第一導電型導體層 104 上形成堆疊結構 120。在此實施例中，堆疊結構 120 例如是藉由對導線材料層 116、電阻式隨機存取記憶胞層 114 與第二導電型沉積材料層 106 進行上述自對準的圖案化製程而形成。上述移除步驟所使用的移除方法例如是乾式蝕刻法。

【0042】 各個堆疊結構 120 包括第二導電型沉積層 106a、電阻式

隨機存取記憶胞 114a 與導線 116a。第二導電型沉積層 106a 設置於第一導電型導體層 104 上。電阻式隨機存取記憶胞 114a 設置於第二導電型沉積層 106a 上。各個電阻式隨機存取記憶胞 114a 包括電極層 108a、可變電阻層 110a、電極層 112a。電極層 108a 設置於第二導電型沉積層 106a 上。可變電阻層 110a 設置於電極層 108a 上。電極層 112a 設置於可變電阻層 110a 上。導線 116a 設置於電阻式隨機存取記憶胞 114a 上，且可做為字元線使用。

● **【0043】** 在上述移除步驟中，由於第二導電型沉積材料層 106 是使用沉積的方式形成，所以可輕易地將位於堆疊結構 120 之間的第二導電型沉積材料層 106 移除。因此，可使得相鄰的堆疊結構 120 中的第二導電型沉積層 106a 完全分離，以避免產生電性干擾，進而提升記憶體元件的可靠度。

● **【0044】** 為了確保完全移除位於堆疊結構 120 之間的第二導電型沉積材料層 106，更可選擇性地移除所暴露出的部分第一導電型導體層 104。如此一來，位於第二導電型沉積層 106a 之間的第一導電型導體層 104 的上表面例如是低於第二導電型沉積層 106a 的下表面。

**【0045】** 此外，由於第二導電型沉積層 106a 與第一導電型導體層 104 可形成二極體，所以能夠抑制記憶體元件的漏電流，進而防止誤動作產生，因此可有效地提升記憶體元件的可靠度。

**【0046】** 然後，請同時參照圖 1 與圖 3C，移除圖案化光阻層 118。圖案化光阻層 118 的移除方法例如是乾式去光阻法。

【0047】 接下來，形成圖案化光阻層 122。圖案化光阻層 122 中的開口 124 暴露出第一導電型導體層 104。圖案化光阻層 122 的形成方法例如是藉由進行微影製程而形成。

【0048】 之後，在開口所暴露出的第一導電型導體層 104 中形成第二導電型摻雜區 126，而在預定形成的電阻式隨機存取記憶胞串的兩末端的第一導電型導體層 104 中形成二個第二導電型摻雜區 126。第二導電型摻雜區 126 例如是 P 型摻雜區或 N 型摻雜區。在此實施例中，第二導電型摻雜區 126 是以 P 型摻雜區為例進行說明。第二導電型摻雜區 126 的形成方法例如是離子植入法。此外，第二導電型摻雜區 126 與第一導電型導體層 104 可形成二極體，所以能夠進一步地抑制記憶體元件的漏電流，進而有效地提升記憶體元件的可靠度。

【0049】 再者，請同時參照圖 1 與圖 3D，移除圖案化光阻層 122。圖案化光阻層 122 的移除方法例如是乾式去光阻法。

【0050】 隨後，形成覆蓋堆疊結構 120 的介電層 128。介電層 128 的材料例如是氧化矽等介電材料。介電層 128 的形成方法例如是化學氣相沉積法。

【0051】 繼之，於介電層 128 中形成接觸窗 130。接觸窗 130 的材料例如是銅或鎢。介電層 128 可組合使用微影製程、蝕刻製程與沉積製程而形成或藉由金屬鑲嵌法而形成，如單重金屬鑲嵌法。

【0052】 接著，於堆疊結構 120 上形成電性連接至第一導電型導體層 104 的導線 132。導線 132 可藉由接觸窗 130 而電性連接至第



一導電型導體層 104。導線 132 與堆疊結構 120 可藉由介電層 128 而隔離設置。導線 132 的材料例如是銅或鋁等金屬材料。導線 132 的形成方法例如是先利用物理氣相沉積法形成導線材料層(未繪示)，再對導線材料層進行圖案化製程而形成。

【0053】 藉由上述製造方法已完成電阻式隨機存取記憶體 10 的製作。電阻式隨機存取記憶體 10 包括電阻式隨機存取記憶胞串 134。在此實施例中，繪示出電阻式隨機存取記憶體 10 中的一串電阻式隨機存取記憶胞串 134 為例進行說明，但本發明並不以此為限。只要電阻式隨機存取記憶體 10 包括一串以上電阻式隨機存取記憶胞串 134 即屬於本發明所保護的範圍。

【0054】 在此實施例中，導線 132 與第一導電型導體層 104 例如是不在電阻式隨機存取記憶胞串 134 中最末端的相鄰兩個堆疊結構 120 之間進行連接，而可具有較佳的操作效能，但本發明並不以此為限。所屬技術領域具有通常知識者可依照產品設計需求來對導線 132 與第一導電型導體層 104 的電性連接位置進行調整。

【0055】 以下，藉由圖 3D 來說明本實施例的電阻式隨機存取記憶體 10 的結構。

【0056】 請參照圖 3D，電阻式隨機存取記憶體 10 包括電阻式隨機存取記憶胞串 134。電阻式隨機存取記憶胞串 134 包括基底 100、第一導電型導體層 104 與多個堆疊結構 120。第一導電型導體層 104 設置於基底 100 上。堆疊結構 120 分離設置於第一導電型導體層 104 上。各個堆疊結構 120 包括第二導電型沉積層 106a、

電阻式隨機存取記憶胞 114a 與導線 116a。第二導電型沉積層 106a 設置於第一導電型導體層 104 上。位於第二導電型沉積層 106a 之間的第一導電型導體層 104 的上表面例如是低於第二導電型沉積層 106a 的下表面。電阻式隨機存取記憶胞 114a 設置於第二導電型沉積層 106a 上。各個電阻式隨機存取記憶胞 114a 包括可變電阻層 110a。可變電阻層 110a 設置於第二導電型沉積層 106a 上。各個電阻式隨機存取記憶胞 114a 更可包括電極層 108a 與電極層 112a。電極層 108a 設置於可變電阻層 110a 與第二導電型沉積層 106a 之間。電極層 112a 設置於可變電阻層 110a 與導線 116a 之間。導線 116a 設置於電阻式隨機存取記憶胞 114a 上。

【0057】 此外，電阻式隨機存取記憶胞串 134 更可選擇性地包括第二導電型井區 102、二個第二導電型摻雜區 126 與導線 132 中的至少一者。第二導電型井區 102 設置於第一導電型導體層 104 下方的基底 100 中。第二導電型摻雜區 126 設置於電阻式隨機存取記憶胞串 134 兩末端的第一導電型導體層 104 中。導線 132 設置於堆疊結構 120 上。導線 132 與堆疊結構 120 可藉由介電層 128 而隔離設置。導線 132 可藉由接觸窗 130 而電性連接至第一導電型導體層 104。導線 132 與第一導電型導體層 104 例如是不在電阻式隨機存取記憶胞串 134 中最末端的相鄰兩個堆疊結構 120 之間進行連接，而可具有較佳的操作效能，但本發明並不以此為限。

【0058】 基於上述，在上述實施例的電阻式隨機存取記憶體及其製造方法中，由於第二導電型沉積層 106a 是使用沉積的方式形

成，所以在製造過程中可使得相鄰的堆疊結構 120 中的第二導電型沉積層 106a 完全分離，以避免產生電性干擾，進而有效地提升記憶體元件的可靠度。此外，第二導電型沉積層 106a 與第一導電型導體層 104 可形成二極體，所以能夠抑制記憶體元件的漏電流，進而防止誤動作產生，因此可有效地提升記憶體元件的可靠度。

【0059】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

### 【符號說明】

#### 【0060】

10：電阻式隨機存取記憶體

100：基底

102：第二導電型井區

104：第一導電型導體層

106：第二導電型沉積材料層

106a：第二導電型沉積層

108、112：電極材料層

108a、112a：電極層

110：可變電阻材料層

110a：可變電阻層

- 113：硬罩幕層
- 113a：圖案化硬罩幕層
- 114：電阻式隨機存取記憶胞層
- 114a：電阻式隨機存取記憶胞
- 115、118、122：圖案化光阻層
- 116：導線材料層
- 116a：導線
- 117、124：開口
- 119：隔離結構
- 120：堆疊結構
- 126：第二導電型摻雜區
- 128：介電層
- 130：接觸窗
- 132：導線
- 134：電阻式隨機存取記憶胞串

## 申請專利範圍

1. 一種電阻式隨機存取記憶體，包括一電阻式隨機存取記憶胞串，其中該電阻式隨機存取記憶胞串包括：

一基底；

一第一導電型導體層，設置於該基底上；

一第二導電型摻雜區，設置於該電阻式隨機存取記憶胞串兩末端的該第一導電型導體層中；以及

多個堆疊結構，分離設置於該第一導電型導體層上，其中各該堆疊結構包括：

一第二導電型沉積層，設置於該第一導電型導體層上；

一電阻式隨機存取記憶胞，設置於該第二導電型沉積層上；以及

一第一導線，設置於該電阻式隨機存取記憶胞上。

2. 如申請專利範圍第 1 項所述的電阻式隨機存取記憶體，其中各該電阻式隨機存取記憶胞包括一可變電阻層，設置於該第二導電型沉積層上。

3. 如申請專利範圍第 1 項所述的電阻式隨機存取記憶體，其中各該電阻式隨機存取記憶胞更包括：

一第一電極層，設置於該可變電阻層與該第二導電型沉積層之間；以及

一第二電極層，設置於該可變電阻層與該第一導線之間。

4. 如申請專利範圍第 1 項所述的電阻式隨機存取記憶體，其

中該電阻式隨機存取記憶胞串更包括一第二導線，設置於該些堆疊結構上，且與該些堆疊結構隔離設置，其中該第二導線電性連接至該第一導電型導體層。

5. 如申請專利範圍第 4 項所述的電阻式隨機存取記憶體，其中該第二導線與該第一導電型導體層並非在該電阻式隨機存取記憶胞串中最末端的相鄰兩個堆疊結構之間進行連接。

6. 如申請專利範圍第 1 項所述的電阻式隨機存取記憶體，其中位於該些第二導電型沉積層之間的該第一導電型導體層的上表面低於該些第二導電型沉積層的下表面。

7. 一種電阻式隨機存取記憶體的製造方法，包括形成一電阻式隨機存取記憶胞串，其中該電阻式隨機存取記憶胞串的形成方法包括：

於一基底上形成一第一導電型導體層；

於該電阻式隨機存取記憶胞串兩末端的該第一導電型導體層中形成一第二導電型摻雜區；以及

於該第一導電型導體層上分離形成多個堆疊結構，其中各該堆疊結構包括：

一第二導電型沉積層，設置於該第一導電型導體層上；

一電阻式隨機存取記憶胞，設置於該第二導電型沉積層

上；以及

一第一導線，設置於該電阻式隨機存取記憶胞上。

8. 如申請專利範圍第 7 項所述的電阻式隨機存取記憶體的製

造方法，其中該第一導電型導體層的形成方法包括對該基底進行一離子植入製程而形成或藉由一臨場摻雜的沉積法所形成。

9. 如申請專利範圍第 7 項所述的電阻式隨機存取記憶體的製造方法，其中該些堆疊結構的形成方法包括：

於該第一導電型導體層上沉積一第二導電型沉積材料層；

於該第二導電型沉積材料層上形成一電阻式隨機存取記憶胞層；

於該電阻式隨機存取記憶胞層上形成一第一導線材料層；以及

對該第一導線材料層、該電阻式隨機存取記憶胞層與該第二導電型沉積材料層進行一圖案化製程。

10. 如申請專利範圍第 9 項所述的電阻式隨機存取記憶體的製造方法，其中該第二導電型沉積材料層的沉積方法包括藉由一臨場摻雜的沉積法直接形成或藉由以下方法所形成：

於該第一導電型導體層上沉積一未摻雜半導體層；

於該未摻雜半導體層上沉積一第二導電型摻雜半導體層；以及

將該第二導電型摻雜半導體層中的多個第二導電型摻質擴散到該未摻雜半導體層中。

11. 如申請專利範圍第 9 項所述的電阻式隨機存取記憶體的製造方法，其中該電阻式隨機存取記憶胞層的形成方法包括：

於該第二導電型沉積材料層上形成一第一電極材料層；

於該第一電極材料層上形成一可變電阻材料層；以及

於該可變電阻材料層上形成一第二電極材料層。

12. 如申請專利範圍第 7 項所述的電阻式隨機存取記憶體的製造方法，更包括於該些堆疊結構上形成電性連接至該第一導電型導體層的一第二導線，其中該第二導線與該些堆疊結構隔離設置。

13. 如申請專利範圍第 12 項所述的電阻式隨機存取記憶體的製造方法，其中該第二導線與該第一導電型導體層並非在該電阻式隨機存取記憶胞串中最末端的相鄰兩個堆疊結構之間進行連接。



圖式

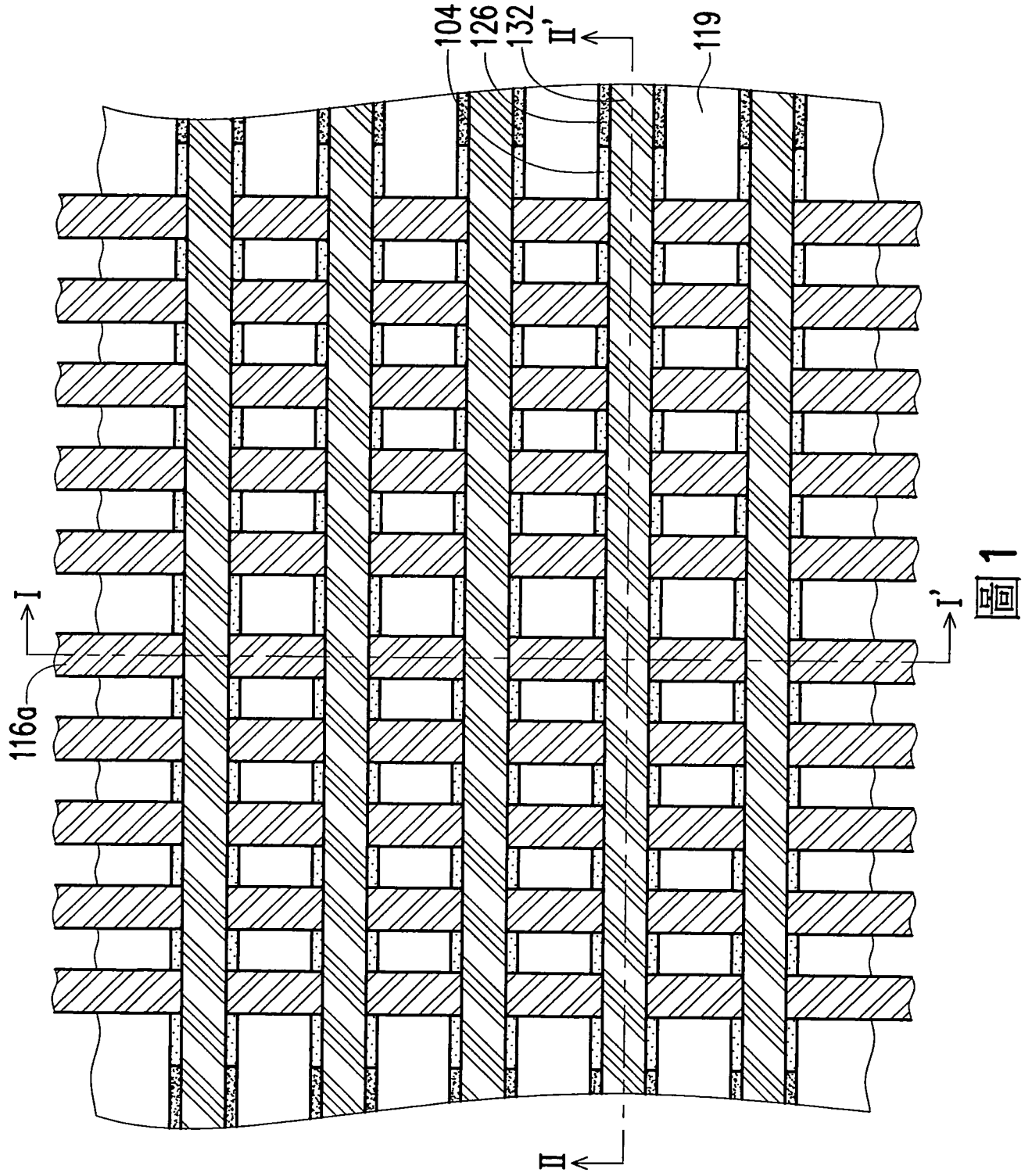


圖1

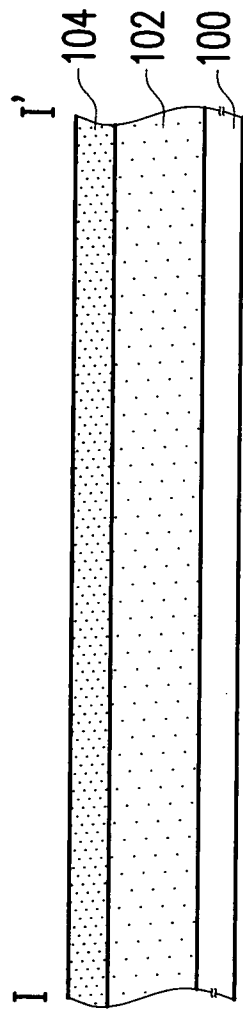


圖 2A

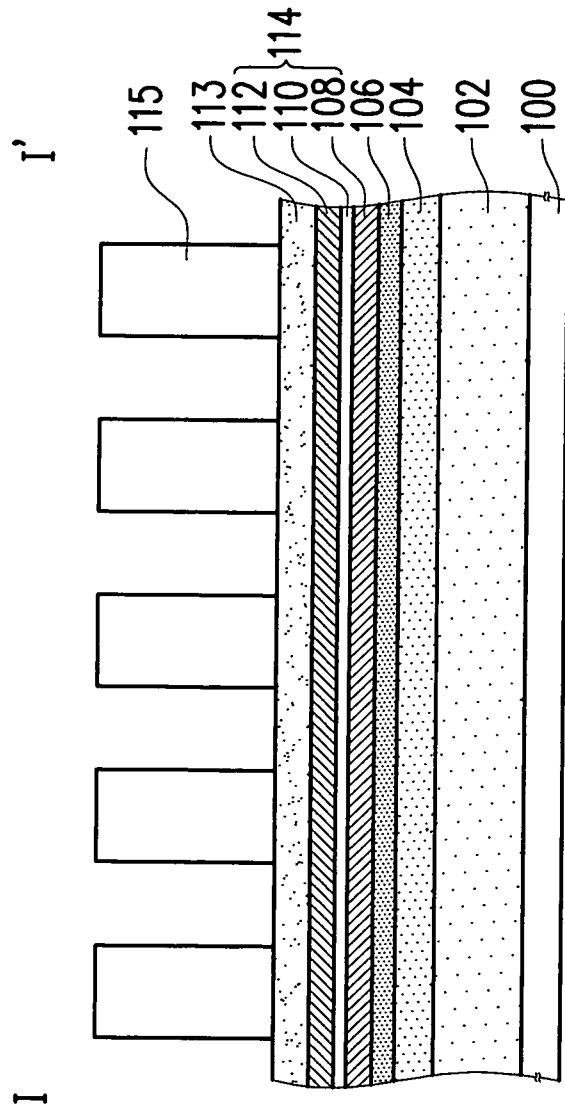


圖 2B

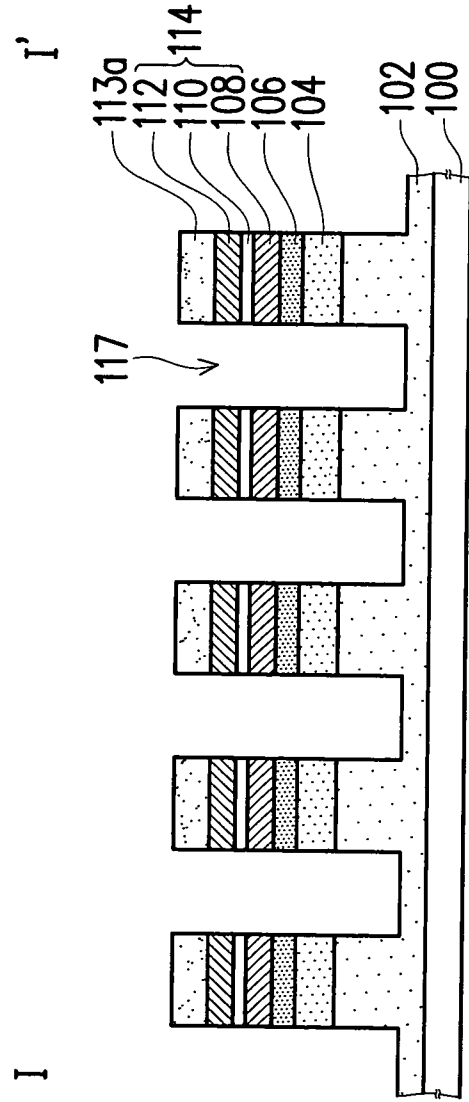


圖 2C

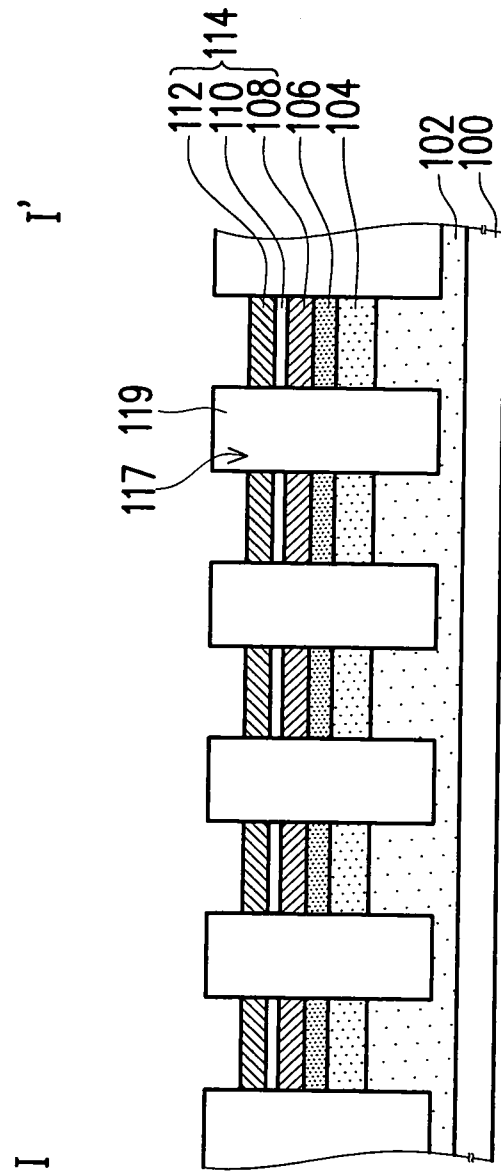


圖 2D

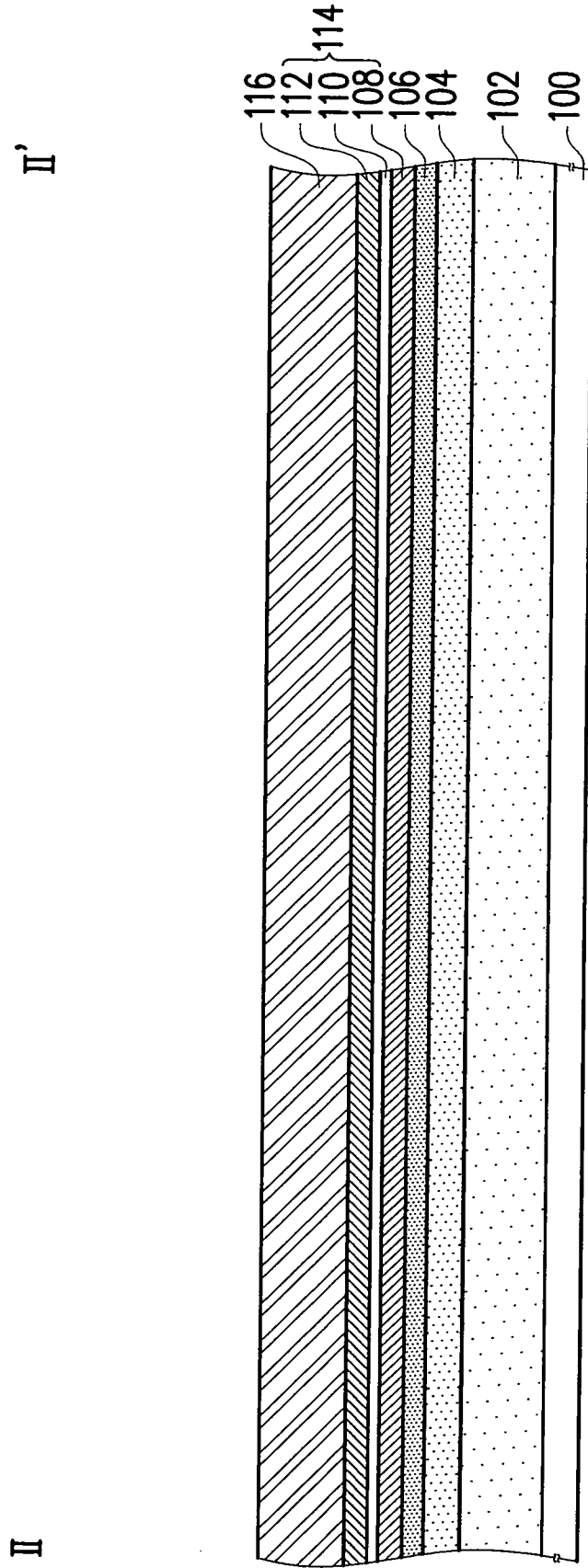


圖 3A

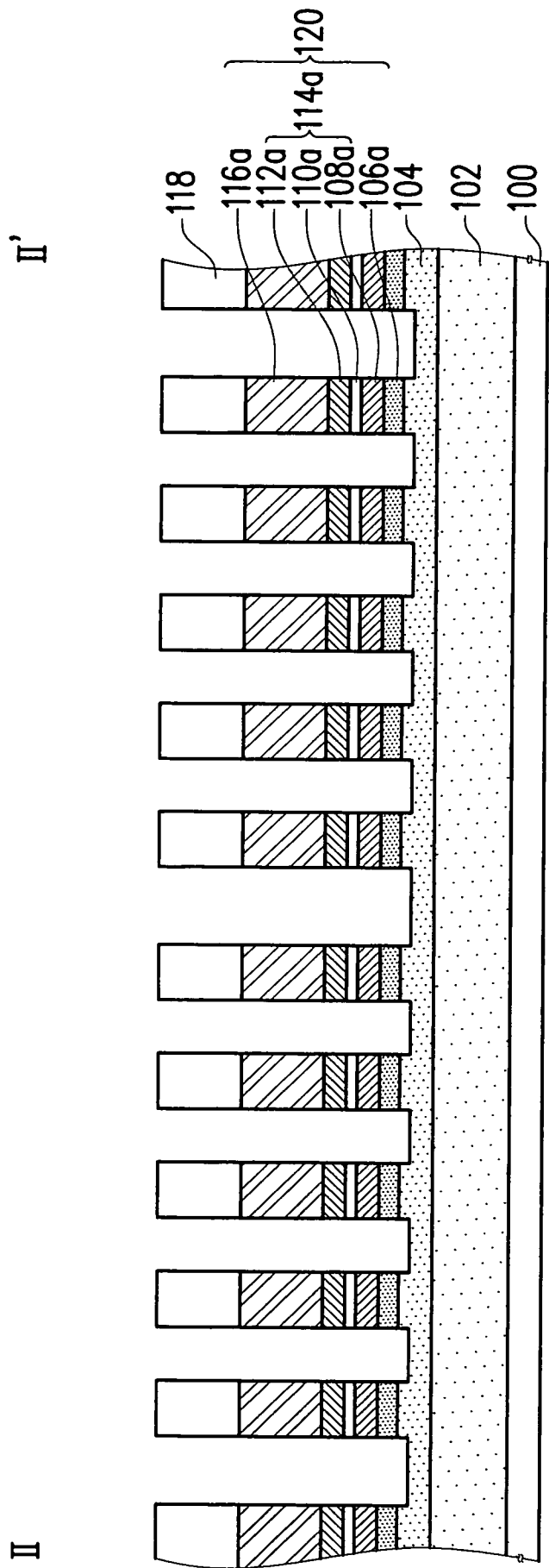


圖 3B

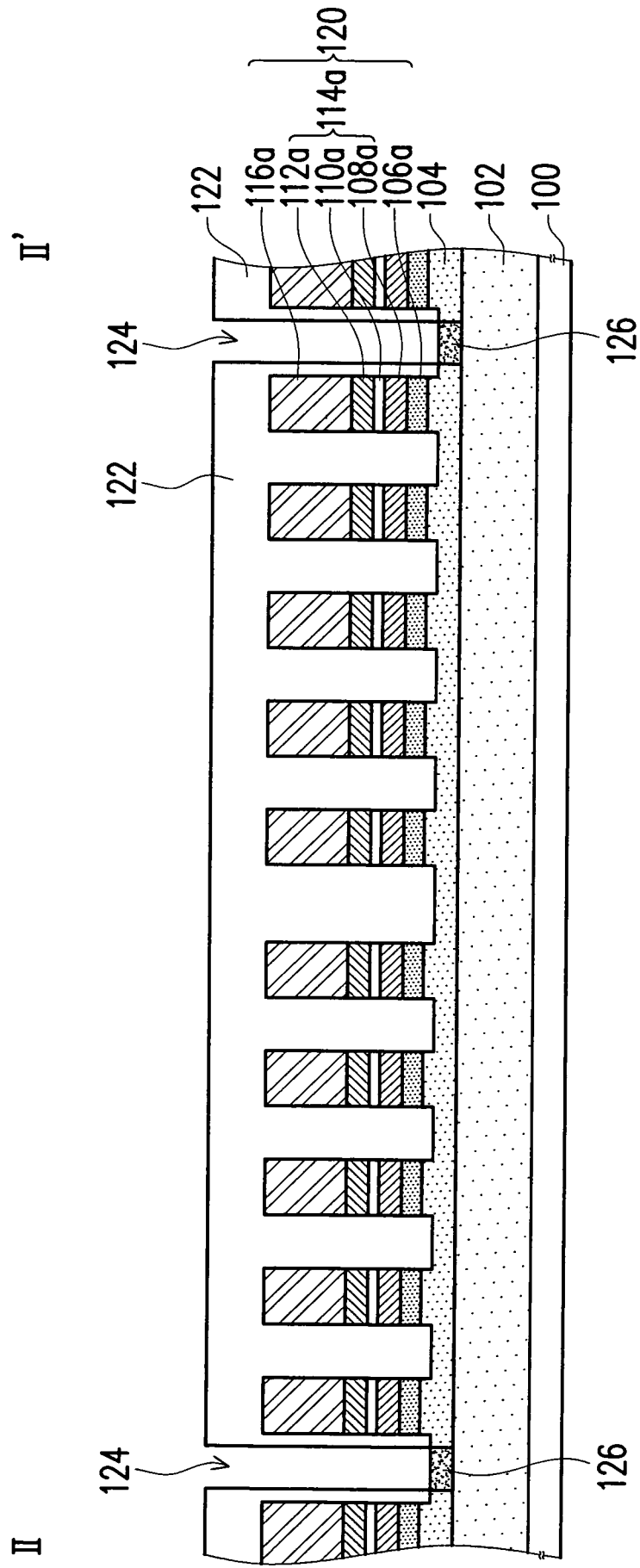


圖 3C



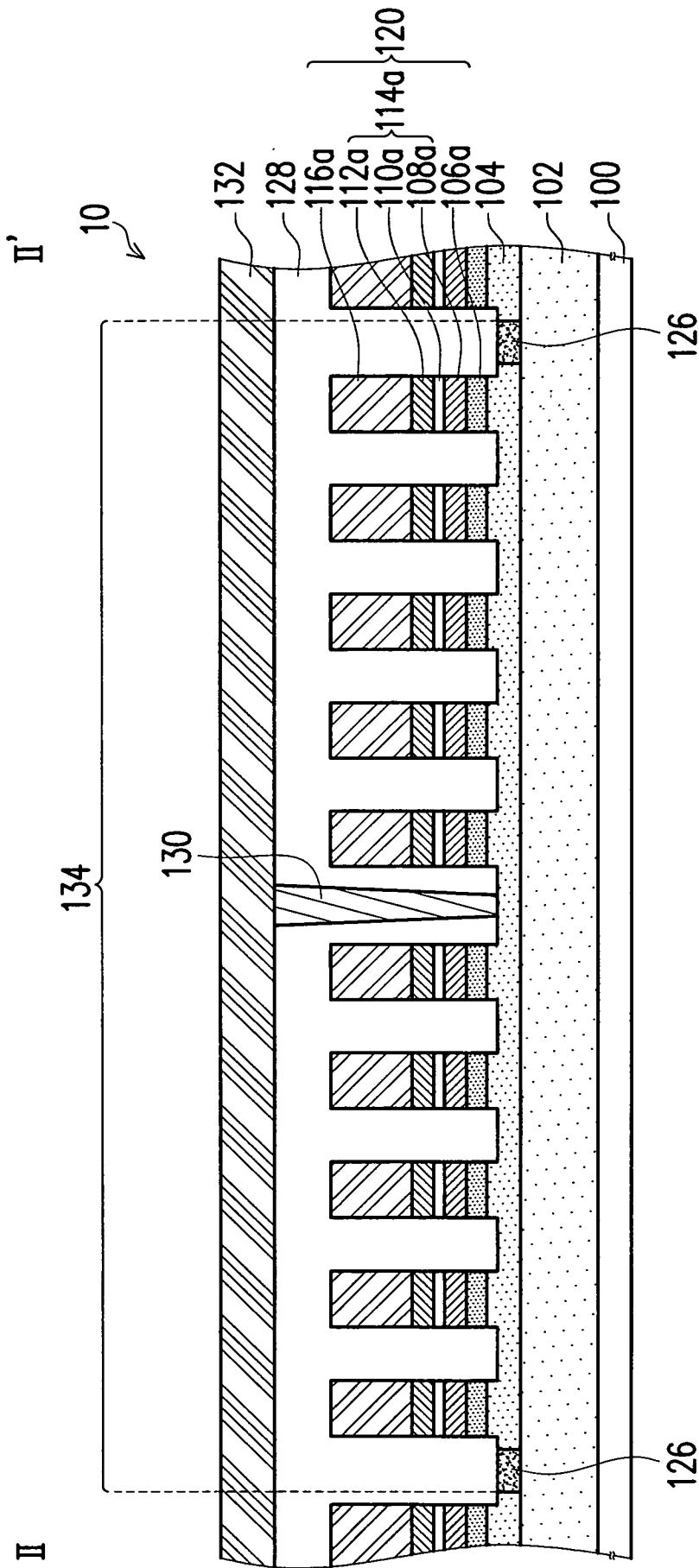


圖 3D