

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020年7月16日 (16.07.2020)



(10) 国际公布号
WO 2020/143433 A1

- (51) 国际专利分类号:
H01L 27/32 (2006.01)
- (21) 国际申请号: PCT/CN2019/127229
- (22) 国际申请日: 2019年12月20日 (20.12.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201910014900.4 2019年1月8日 (08.01.2019) CN
- (71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。
- (72) 发明人: 王国英(**WANG, Guoying**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
- (74) 代理人: 北京同达信恒知识产权代理有限公司
(**TDIP & PARTNERS**); 中国北京市海淀区宝盛南路1号院20号楼8层101-01, Beijing 100192 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(54) **Title:** ARRAY SUBSTRATE, PREPARATION METHOD THEREOF, AND RELATED DEVICE

(54) 发明名称: 阵列基板、其制备方法及相关装置

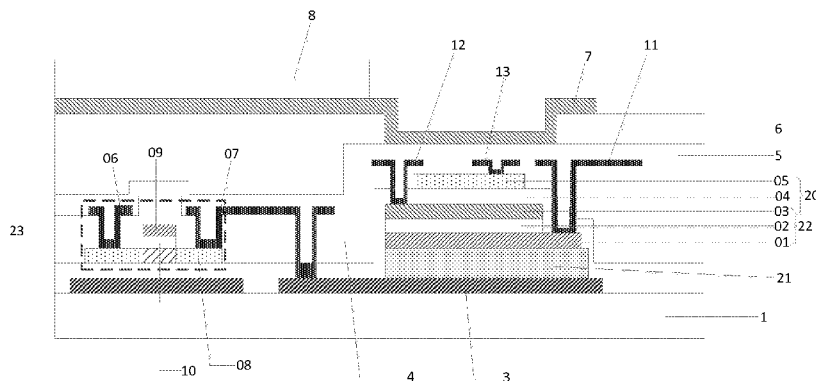
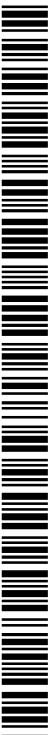


图 1

(57) **Abstract:** An array substrate, a preparation method thereof, and a related device. The array substrate comprises a plurality of sub-pixel regions, each of which comprising a pixel driver circuit and an optical compensation circuit (2) located on a base substrate (1). The pixel driver circuit comprises a pixel storage capacitor (20) coupled to a driver transistor. The optical compensation circuit (2) comprises a photosensitive storage capacitor (22) coupled to a photosensitive device (21). The pixel storage capacitor (20) and the photosensitive storage capacitor (22) are stacked, and share the same electrode plate. By sequentially stacking the photosensitive device (21), the photosensitive storage capacitor (22), and the pixel storage capacitor (20) along the direction away from the base substrate (1), i.e., the orthographic projection of the photosensitive device (21), the photosensitive storage capacitor (22), and the pixel storage capacitor (20) on the base substrate (1) has an overlapping region, which reduces the occupying area of the pixel storage capacitor (20) of the sub-pixel region, and accordingly increases the area of a light-emitting region, thereby increasing the aperture ratio of the sub-pixel region.



WO 2020/143433 A1

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种阵列基板、其制备方法及相关装置, 该阵列基板包括多个子像素区域, 各子像素区域包括位于衬底基板 (1) 上的像素驱动电路和光学补偿电路 (2), 像素驱动电路包括与驱动晶体管耦接的像素存储电容 (20), 光学补偿电路 (2) 包括与感光器件 (21) 耦接的感光存储电容 (22); 像素存储电容 (20) 和感光存储电容 (22) 叠层设置, 且像素存储电容 (20) 和感光存储电容 (22) 共用同一电极板。通过将感光器件 (21)、感光存储电容 (22) 和像素存储电容 (20) 沿背离衬底基板 (1) 的方向上依次叠层设置, 即感光器件 (21)、感光存储电容 (22) 和像素存储电容 (20) 三者 在衬底基板 (1) 上的正投影具有重叠区域, 减小了子像素区域像素存储电容 (20) 的占用面积, 相应地可以增加发光区的面积, 从而提高子像素区域的开口率。

阵列基板、其制备方法及相关装置

相关申请的交叉引用

本公开要求在2019年01月08日提交中国专利局、申请号为201910014900.4、
申请名称为“一种阵列基板、其制备方法及相关装置”的中国专利申请的优
先权，其全部内容通过引用结合在本公开中。

技术领域

本公开涉及显示技术领域，特别是涉及一种阵列基板、其制备方法及相关
装置。

背景技术

OLED 显示器件由于自身的特性，被广泛应用，目前 OLED 的显示画面
亮度及均匀性补偿主要以电学补偿为主，包括内部补偿和外部补偿两种方式，
也可以采用两种补偿方案相结合的方式，但是电学补偿只能对由于驱动 TFT
阈值电压和迁移率变化造成的显示 Mura 进行补偿，无法补偿由于 OLED 器件
本身发光效率变化造成的显示不均的问题。现行的光学补偿方案是在 panel 出
厂时对 panel 整体进行一次光学补偿，但无法解决伴随 EL 效率衰减造成的
Mura，即无法实现与电学补偿类似的实时补偿。除此之外像素驱动 TFT 的像
素存储电容占用版图设计的大部分面积，使得像素开口率较低。

发明内容

本公开实施例提供了一种阵列基板，包括多个子像素区域，各所述子像
素区域包括位于衬底基板上的像素驱动电路和光学补偿电路，所述像素驱动
电路包括与驱动晶体管耦接的像素存储电容，所述光学补偿电路包括与感光
器件耦接的感光存储电容；所述像素存储电容和所述感光存储电容叠层设置，
且所述像素存储电容和所述感光存储电容共用同一电极板。

可选地，在具体实施时，在本公开实施例提供的上述阵列基板中，所述光学补偿电路中的感光器件位于所述感光存储电容与所述衬底基板之间；所述像素存储电容位于所述感光存储电容背离所述衬底基板的一侧；

5 在所述感光器件与所述衬底基板之间具有遮光金属层，所述遮光金属层在所述衬底基板上的正投影覆盖所述感光器件在所述衬底基板上的正投影。

可选地，在具体实施时，在本公开实施例提供的上述阵列基板中，所述感光存储电容包括位于所述感光器件之上依次叠层设置的第一电极、绝缘介质层、第二电极；所述像素存储电容包括依次叠层设置的所述第二电极、绝缘缓冲层和第三电极。

10 可选地，在具体实施时，在本公开实施例提供的上述阵列基板中，所述光学补偿电路还包括位于所述绝缘缓冲层上的光学补偿控制晶体管；所述光学补偿控制晶体管的源极或漏极与所述遮光金属层电耦接、且与所述第二电极电耦接。

15 可选地，在具体实施时，在本公开实施例提供的上述阵列基板中，所述光学补偿控制晶体管为顶栅型晶体管；所述遮光金属层在所述衬底基板上的正投影覆盖所述光学补偿控制晶体管的有源层在所述衬底基板上的正投影。

可选地，在具体实施时，在本公开实施例提供的上述阵列基板中，所述第三电极与所述光学补偿控制晶体管的有源层同层设置。

20 可选地，在具体实施时，在本公开实施例提供的上述阵列基板中，所述像素驱动电路还包括驱动薄膜晶体管，所述驱动薄膜晶体管的栅极与所述第三电极电耦接。

相应地，本公开实施例还提供了一种底发射型 OLED 显示面板，包括本公开实施例提供的上述阵列基板。

25 相应地，本公开实施例还提供了一种显示装置，包括本公开实施例提供的上述底发射型 OLED 显示面板。

相应地，本公开实施例还提供了一种阵列基板的制备方法，包括：
在衬底基板上形成遮光金属层；

在所述遮光金属层上形成感光器件；

在所述感光器件上形成感光存储电容；所述感光存储电容包括依次叠层设置的第一电极、绝缘介质层、第二电极；

在所述感光存储电容上形成绝缘缓冲层；

- 5 在所述绝缘缓冲层上同时形成光学补偿控制晶体管的有源层和第三电极；
所述第二电极、所述绝缘缓冲层和所述第三电极构成像素存储电容；
依次形成所述光学补偿控制晶体管的栅极和源漏极。

附图说明

- 10 图 1 为本公开实施例提供的阵列基板的结构示意图；
图 2 为图 1 所示的阵列基板的结构示意图；
图 3 为本公开实施例提供的感光器件的结构示意图；
图 4 为本公开实施例提供的感光器件、感光存储电容和光学补偿控制晶体管的等效电路示意图；
15 图 5 为本公开实施例提供的阵列基板的制备方法的流程示意图；
图 6A 至图 6F 分别为图 1 所示的阵列基板在执行各步骤后的结构示意图；
图 7 为本公开实施例提供的显示装置的结构示意图。

具体实施方式

- 20 为了使本公开的目的、技术方案和优点更加清楚，下面将结合附图对本公开作进一步地详细描述，显然，所描述的实施例仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例，都属于本公开保护的范

- 25 附图各部件的形状和大小不反映真实比例，目的只是示意说明本公开内容。

本公开实施例提供的一种阵列基板，如图 1 所示，包括多个子像素区域，各子像素区域包括位于衬底基板 1 上的像素驱动电路（图 1 中未示出）和光

学补偿电路 2, 本公开的图 1 中以其中一个子像素区域为例进行说明, 像素驱动电路包括与驱动晶体管 (图 1 中未示出) 耦接的像素存储电容 20, 光学补偿电路 2 包括与感光器件 21 耦接的感光存储电容 22; 像素存储电容 20 和感光存储电容 22 叠层设置, 且像素存储电容 20 和感光存储电容 22 共用同一电极板。

本公开实施例提供的阵列基板包括多个子像素区域, 各子像素区域包括位于衬底基板上的像素驱动电路和光学补偿电路, 像素驱动电路包括与驱动晶体管耦接的像素存储电容, 光学补偿电路包括与感光器件耦接的感光存储电容; 像素存储电容和感光存储电容叠层设置, 且像素存储电容和感光存储电容共用同一电极板。本公开通过将感光器件、感光存储电容和像素存储电容沿背离衬底基板的方向上依次叠层设置, 即感光器件、感光存储电容和像素存储电容三者 10 在衬底基板上的正投影具有重叠区域, 减小了子像素区域像素存储电容的占用面积, 相应地可以增加发光区的面积, 从而提高子像素区域的开口率。

可选地, 在具体实施时, 在本公开实施例提供的上述阵列基板中, 如图 1 15 所示, 光学补偿电路 2 中的感光器件 21 位于感光存储电容 22 与衬底基板 1 之间; 像素存储电容 20 位于感光存储电容 22 背离衬底基板 1 的一侧;

在感光器件 21 与衬底基板 1 之间具有遮光金属层 3, 遮光金属层 3 在衬底基板 1 上的正投影覆盖感光器件 21 在衬底基板 1 上的正投影。本公开实施例 20 通过将感光器件 21 制备在遮光金属层 3 上, 遮光金属层 3 可以对感光器件 21 起到一定的保护作用, 避免非子像素区域发出的环境光对感光器件 21 造成影响, 可以提高感光器件 21 的感光准确度, 进而提高光补偿精度。

在本公开实施例提供的上述阵列基板中, 遮光金属层的材料可以为 Mo、Al、Ti、Au、Cu、Hf、Ta 等常用金属材料, 也可以为 AlNd、MoNb 等合金材料。 25

可选地, 在具体实施时, 在本公开实施例提供的上述阵列基板中, 如图 1 所示, 感光存储电容 22 包括位于感光器件 21 之上依次叠层设置的第一电极

01、绝缘介质层 02、第二电极 03；像素存储电容 20 包括依次叠层设置的第二电极 03、绝缘缓冲层 04 和第三电极 05。

在本公开实施例提供的上述阵列基板中，如图 1 所示，由于感光器件 21 是用于亮度检测的，为了避免第一电极 01、第二电极 03 和第三电极 05 影响感光器件 21 进行亮度检测的准确性，第一电极 01、第二电极 03 和第三电极 05 的材料均为透明导电材料。例如，第一电极 01、第二电极 03 和第三电极 05 的材料均可以为氧化铟锡（ITO）或掺铟氧化锌（IZO）等。

可选地，绝缘介质层的材料可以为氧化硅、氮化硅、氮氧化硅等绝缘材料。

可选地，绝缘缓冲层的材料可以为氧化硅、氮化硅、氮氧化硅等绝缘材料。

可选地，在具体实施时，在本公开实施例提供的上述阵列基板中，如图 3 所示，感光器件 21 可以包括背离衬底基板 1 一侧叠层设置的 N 型半导体层 001、本征半导体层 002 和 P 型半导体层 003。N 型半导体层 001 与光学补偿控制晶体管 23 的漏极电耦接，P 型半导体层 003 与第一电极 01 电耦接，第一电极 01 与信号线 11 相连。感光器件 21、感光存储电容 22 和光学补偿控制晶体管 23 的等效电路图如图 4 所示。具体地，N 型半导体层可以磷或砷掺杂半导体，P 型半导体层可以为硼掺杂半导体。

在具体实施时，在本公开实施例提供的上述阵列基板中，如图 1 所示，还包括与第一电极 01 电耦接的信号线 11，信号线 11 通过贯穿绝缘缓冲层 04 和层间介质层 4 的过孔与第一电极 01 电耦接，信号线 11 可以提供低电压，例如提供的低电压可以是-5V。

可选地，在具体实施时，在本公开实施例提供的上述阵列基板中，如图 1 所示，光学补偿电路 2 还包括位于绝缘缓冲层 04 上的光学补偿控制晶体管 23；光学补偿控制晶体管 23 的源极 06 或漏极 07 与遮光金属层 3 电耦接、且与第二电极电 03 耦接。需要说明的是，本公开实施例均是以光学补偿控制晶体管 23 的漏极 07 与遮光金属层 3 电耦接为例进行示意性说明的。具体地，漏极

07 与第二电极电 03 通过填充在贯穿绝缘缓冲层 04 和层间介质层 4 的过孔内的第一耦接部 12 电耦接。

5 可选地，在具体实施时，在本公开实施例提供的上述阵列基板中，如图 1 所示，光学补偿控制晶体管 23 为顶栅型晶体管；遮光金属层 3 在衬底基板 1 上的正投影覆盖光学补偿控制晶体管 23 的有源层 08 在衬底基板 1 上的正投影。遮光金属层 3 可以遮挡光照射到光学补偿控制晶体管 23 的有源层 08，这样可以对光学补偿控制晶体管 23 的有源层 08 起到一定的保护作用，避免光线对光学补偿控制晶体管 23 的有源层 08 造成影响，从而提高光学补偿控制晶体管 23 的稳定性。

10 可选地，有源层 08 的材料可以包括 a-IGZO, ZnON, IZTO, a-Si, p-Si, 六噻吩，聚噻吩等各种材料。

可选地，在具体实施时，为了减少制作工艺，在本公开实施例提供的上述阵列基板中，如图 1 所示，第三电极 05 与光学补偿控制晶体管 23 的有源层 08 同层设置。第三电极 05 的材料可以为金属氧化物材料，如 IGZO 材料。

15 可选地，在具体实施时，在本公开实施例提供的上述阵列基板中，如图 1 所示，像素驱动电路还包括驱动薄膜晶体管（图 1 中未示出），驱动薄膜晶体管的栅极通过填充在贯穿层间介质层 4 的过孔内的第二耦接部 13 与第三电极 05 电耦接。

20 在具体实施时，如图 1 所示，本公开实施例通过将感光器件 21 制备在遮光金属层 3 上，遮光金属层 3 可以对感光器件 21 起到一定的保护作用，避免环境光对感光器件 21 造成影响，可以提高感光器件 21 的感光准确度，进而提高光学补偿精度，然后在感光器件 21 上制备感光存储电容 22，在感光存储电容 22 上制备绝缘缓冲层 04，在绝缘缓冲层 04 上制备光学补偿控制晶体管 23、第三电极 05 和信号线 11，光学补偿控制晶体管 23 的漏极 07 与遮光金属层 3 电耦接，由于感光器件 21 设置于遮光金属层 3 上，即光学补偿控制晶体管 23 的漏极 07 与感光器件 21 电耦接，且感光器件 21 的 N 型半导体层形成于遮光金属层 3 上，遮光金属层 3 与光学补偿控制晶体管 23 的漏极 07 相连，

则遮光金属层 3 可以作为感光器件 21 的 N 端电极与光学补偿控制晶体管 23 相连，感光器件 21 的 P 型半导体层为感光器件 21 的 P 端电极与信号线 11 耦接。

5 如图 2 所示，图 2 为图 1 所示的阵列基板的俯视示意图，可以看出由于感光存储电容 22 和像素存储电容 20 采用叠层设置，因此可以减小像素存储电容 20 占用的面积，从而提高像素的开口率。

综上所述，本公开实施例提供的上述阵列基板在每个子像素区域设置了光学补偿电路，光学补偿电路包括光学补偿控制晶体管、感光存储电容和感光器件，感光存储电容和感光器件整体结构称为光学检测器件，该光学检测
10 器件与光学补偿控制晶体管中的源极或漏极电耦接，通过光学检测器件可以检测子像素区域发出的光的亮度，并将光亮度的检测结果通过光学补偿控制晶体管输出，之后就可以根据该光亮度的检测结果对子像素区域的亮度进行补偿。从而能够实现在该阵列基板所在的 OLED 显示面板出厂后，对子像素进行实时亮度补偿，有效缓解了 OLED 显示面板亮度变化造成的显示不良，
15 并且由于本公开实施例中先制备感光器件和感光存储电容，在感光存储电容上形成绝缘缓冲层之后再制备光学补偿控制晶体管，则感光器件和感光存储电容上有绝缘缓冲层保护，在后续制备光学补偿控制晶体管过程中的刻蚀工艺不会对感光器件的侧壁造成损伤，且由于绝缘缓冲层将感光器件和光学补偿控制晶体管隔离开，在制备光学补偿控制晶体管时，可以避免在制备感光
20 器件过程中引入的氢对光学补偿控制晶体管造成影响，提高阵列基板的信赖性。

可选地，在具体实施时，在本公开实施例提供的上述阵列基板中，如图 1 所示，光学补偿控制晶体管 23 还包括栅极绝缘层 10 和栅极 09，栅极绝缘层 10 的材料可以为氧化硅、氮化硅、氮氧化硅等绝缘材料；栅极 09 的材料可以
25 为 Mo、Al、Ti、Au、Cu、Hf、Ta 等常用金属材料，也可以为 MoNd/Cu/MoNd 合金材料。

可选地，在具体实施时，在本公开实施例提供的上述阵列基板中，如图 1

所示，还包括钝化层 5、平坦化 6、阳极层 7 和像素界定层 8。这些膜层与现有技术中的功能及结构相同，在此不做详述。

基于同一发明构思，本公开实施例还提供了一种阵列基板的制备方法，如图 5 所示，包括：

- 5 S501、在衬底基板上形成遮光金属层；
- S502、在遮光金属层上形成感光器件；
- S503、在感光器件上形成感光存储电容；感光存储电容包括依次叠层设置的第一电极、绝缘介质层、第二电极；
- S504、在感光存储电容上形成绝缘缓冲层；
- 10 S505、在绝缘缓冲层上同时形成光学补偿控制晶体管的有源层和第三电极；第二电极、绝缘缓冲层和第三电极构成像素存储电容；
- S506、依次形成光学补偿控制晶体管的栅极和源漏极。

本公开实施例提供的上述阵列基板的制备方法，本公开通过将感光器件、感光存储电容和像素存储电容沿背离衬底基板的方向上依次叠层设置，即感光器件、感光存储电容和像素存储电容三者

15 在衬底基板上的正投影具有重叠区域，减小了子像素区域像素存储电容的占用面积，相应地可以增加发光区的面积，从而提高子像素区域的开口率；并在制备光学补偿控制晶体管之前制备感光器件和感光存储电容，并在感光存储电容上形成绝缘缓冲层，在后续制备光学补偿控制晶体管过程中的刻蚀工艺不会对感光器件的侧壁造成损伤，且由于绝缘缓冲层将感光器件和光学补偿控制晶体管隔离开，在制备光学补偿控制晶体管时，可以避免在制备感光器件过程中引入的氢对光学补偿控制晶体管造成影响，从而可以提高阵列基板的信赖性。

20

下面通过具体的实例对本公开实施例提供的图 1 所示的阵列基板的制备方法进行详细说明，如图 6A 至 6F 所示，该制备方法具体包括以下步骤：

- 25 (1) 在衬底基板 1 上形成遮光金属层 3，如图 6A 所示；
- (2) 在遮光金属层 3 上形成感光器件 21，遮光金属层 3 在衬底基板 1 上的正投影覆盖感光器件 21 在衬底基板 1 上的正投影，如图 6B 所示；

(3) 在感光器件 21 上形成感光存储电容 22; 感光存储电容 22 包括依次叠层设置的第一电极 01、绝缘介质层 02、第二电极 03, 如图 6C 所示;

(4) 在感光存储电容 22 上形成绝缘缓冲层 04, 如图 6D 所示;

5 (5) 在绝缘缓冲层 04 上同时形成光学补偿控制晶体管 23 的有源层 08 和第三电极 05; 第二电极 03、绝缘缓冲层 04 和第三电极 05 构成像素存储电容 20, 如图 6E 所示;

10 (6) 依次形成光学补偿控制晶体管 23 的栅极 09、源极 06、漏极 07、贯穿绝缘缓冲层 04 和层间介质层 4 的过孔内的第一耦接部 12、贯穿层间介质层 4 的过孔内的第二耦接部 13 和信号线 11, 漏极 07 与遮光金属层 3、第一耦接部 12 电耦接, 第二耦接部 13 和驱动晶体管的栅极电耦接, 信号线 11 通过贯穿层间介质层 4 和绝缘缓冲层 04 的过孔与第一电极 01 电耦接, 如图 6F 所示;

(7) 依次形成钝化层 5、平坦化层 6、阳极层 7 和像素界定层 8, 如图 1 所示。

通过上述步骤(1)-(7)即可以得到本公开实施例图 1 所示的阵列基板。

15 需要说明的是, 上述步骤(1)-(7)中各膜层的材料参见本公开实施例提供的阵列基板中提供的各膜层的材料, 在上述制备方法中不一一举例。

在具体实施时, 在步骤(7)之后还包括制备驱动电路, 滤色层、有机发光层和阴极, 阳极层与驱动电路耦接, 驱动电路驱动有机发光层向衬底基板所在侧发光。这些膜层的结构及功能均与现有技术中相同的膜层结构及功能
20 相同, 在此不做详述。

需要说明的是, 在本公开实施例提供的上述制备方法中, 构图工艺可只包括光刻工艺, 或, 可以包括光刻工艺以及刻蚀步骤, 同时还可以包括打印、
25 喷墨等其他用于形成预定图形的工艺; 光刻工艺是指包括成膜、曝光、显影等工艺过程的利用光刻胶、掩模板、曝光机等形成图形的工艺。在具体实施时, 可根据本公开中所形成的结构选择相应的构图工艺。

基于同一发明构思, 本公开实施例还提供了一种底发射型 OLED 显示面板, 包括本公开实施例提供的上述阵列基, 该阵列基板为底发射型 OLED 显

示面板的背板，还包括与背板对应设置的盖板，该盖板可以为玻璃盖板。

基于同一发明构思，本公开实施例还提供了一种显示装置，包括上述实施例中的底发射型 OLED 显示面板。由于该显示装置解决问题的原理与前述一种阵列基板相似，因此该显示装置的实施可以参见前述阵列基板的实施，
5 重复之处不再赘述。

在具体实施时，本公开实施例提供的上述显示装置可以为全面屏显示装置，或者也可以为柔性显示装置等，在此不作限定。

在具体实施时，本公开实施例提供的上述显示装置可以为如图 7 所示的全面屏的手机。当然，本公开实施例提供的上述显示装置也可以为平板电脑、
10 电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本公开的限制。

本公开实施例提供的阵列基板、其制备方法及相关装置，该阵列基板包括多个子像素区域，各子像素区域包括位于衬底基板上的像素驱动电路和光学
15 补偿电路，像素驱动电路包括与驱动晶体管耦接的像素存储电容，光学补偿电路包括与感光器件耦接的感光存储电容；像素存储电容和感光存储电容叠层设置，且像素存储电容和感光存储电容共用同一电极板。本公开通过将感光器件、感光存储电容和像素存储电容沿背离衬底基板的方向上依次叠层
20 设置，即感光器件、感光存储电容和像素存储电容三者衬底基板上的正投影具有重叠区域，减小了子像素区域像素存储电容的占用面积，相应地可以增加发光区的面积，从而提高子像素区域的开口率。

显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权利要求

1、一种阵列基板，其中，包括多个子像素区域，各所述子像素区域包括位于衬底基板上的像素驱动电路和光学补偿电路，所述像素驱动电路包括与驱动晶体管耦接的像素存储电容，所述光学补偿电路包括与感光器件耦接的感光存储电容；所述像素存储电容和所述感光存储电容叠层设置，且所述像素存储电容和所述感光存储电容共用同一电极板。

2、如权利要求 1 所述的阵列基板，其中，所述光学补偿电路中的感光器件位于所述感光存储电容与所述衬底基板之间；所述像素存储电容位于所述感光存储电容背离所述衬底基板的一侧；

3、如权利要求 2 所述的阵列基板，其中，所述感光存储电容包括位于所述感光器件之上依次叠层设置的第一电极、绝缘介质层、第二电极；所述像素存储电容包括依次叠层设置的所述第二电极、绝缘缓冲层和第三电极。

4、如权利要求 3 所述的阵列基板，其中，所述光学补偿电路还包括位于所述绝缘缓冲层上的光学补偿控制晶体管；所述光学补偿控制晶体管的源极或漏极与所述遮光金属层电耦接、且与所述第二电极电耦接。

5、如权利要求 4 所述的阵列基板，其中，所述光学补偿控制晶体管为顶栅型晶体管；所述遮光金属层在所述衬底基板上的正投影覆盖所述光学补偿控制晶体管的有源层在所述衬底基板上的正投影。

6、如权利要求 5 所述的阵列基板，其中，所述第三电极与所述光学补偿控制晶体管的有源层同层设置。

7、如权利要求 3 所述的阵列基板，其中，所述像素驱动电路还包括驱动薄膜晶体管，所述驱动薄膜晶体管的栅极与所述第三电极电耦接。

8、一种底发射型 OLED 显示面板，其中，包括如权利要求 1-7 任一项所述的阵列基板。

9、一种显示装置，其中，包括如权利要求 8 所述的底发射型 OLED 显示面板。

10、一种如权利要求 1-7 任一项所述的阵列基板的制备方法，其中，包括：

在衬底基板上形成遮光金属层；

5 在所述遮光金属层上形成感光器件；

在所述感光器件上形成感光存储电容；所述感光存储电容包括依次叠层设置的第一电极、绝缘介质层、第二电极；

在所述感光存储电容上形成绝缘缓冲层；

在所述绝缘缓冲层上同时形成光学补偿控制晶体管的有源层和第三电极；

10 所述第二电极、所述绝缘缓冲层和所述第三电极构成像素存储电容；

依次形成所述光学补偿控制晶体管的栅极和源漏极。

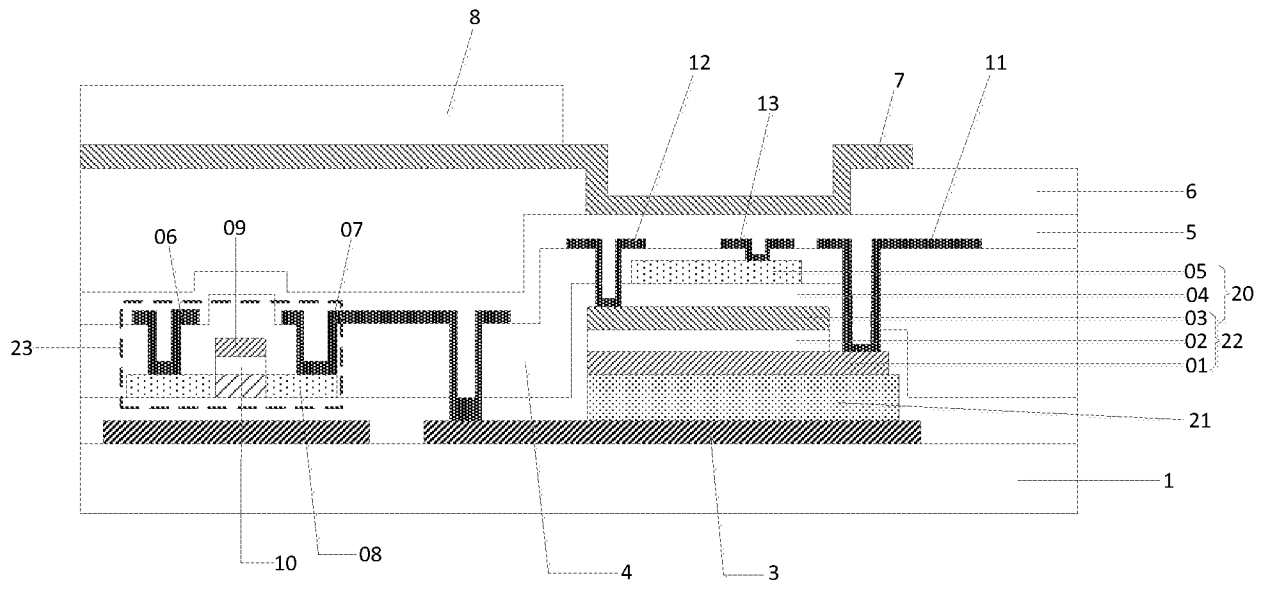


图 1

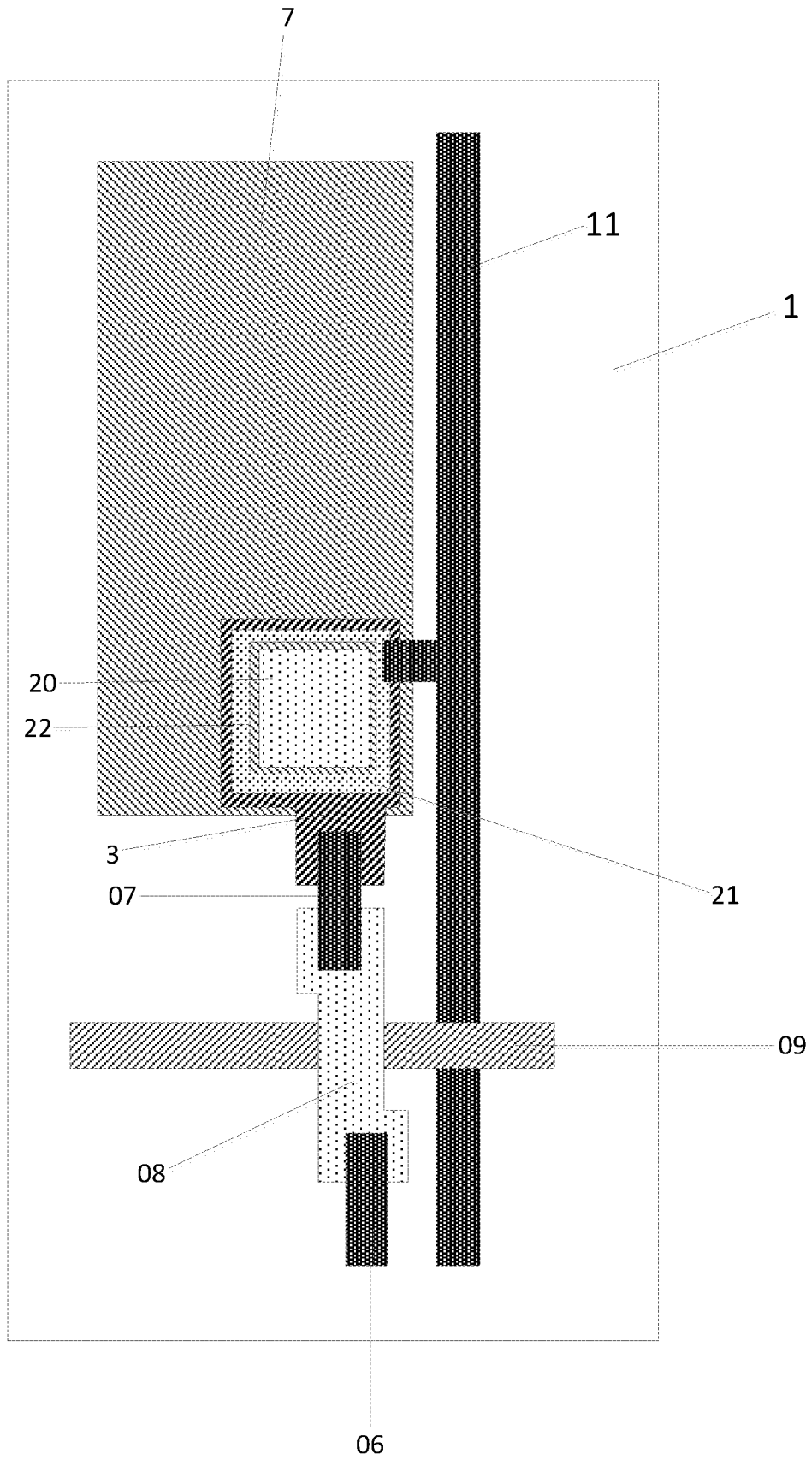


图 2

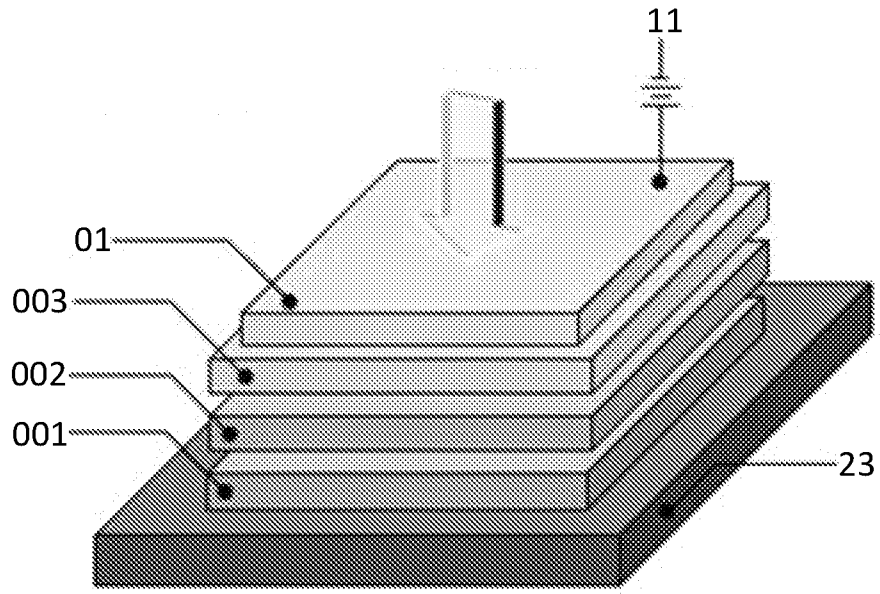


图 3

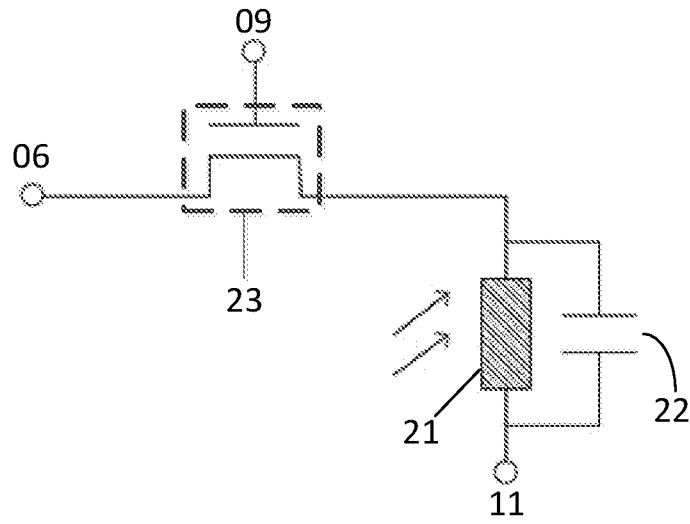


图 4



图 5

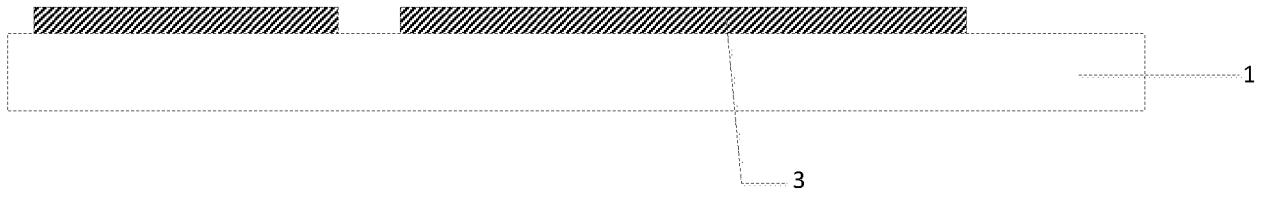


图 6A

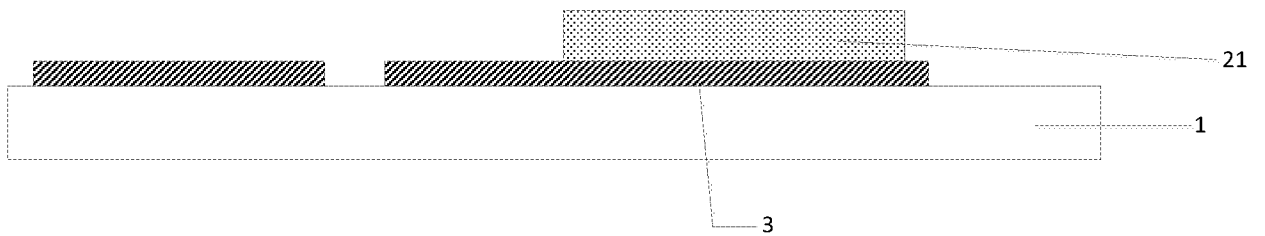


图 6B

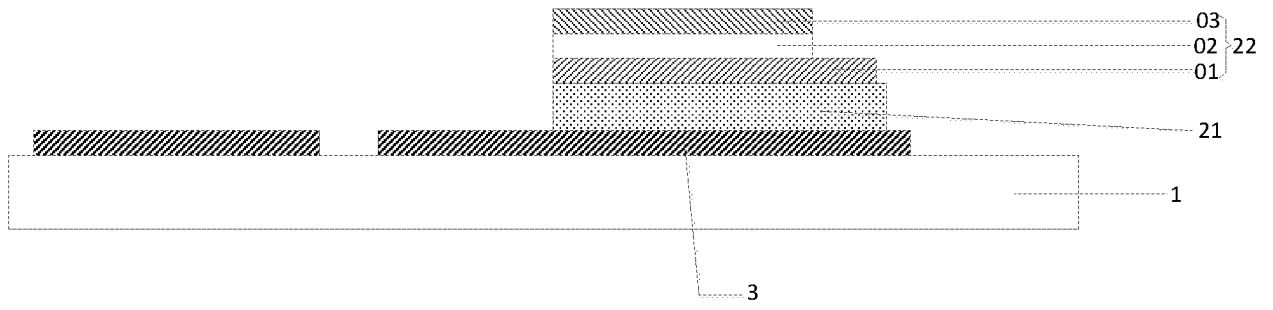


图 6C

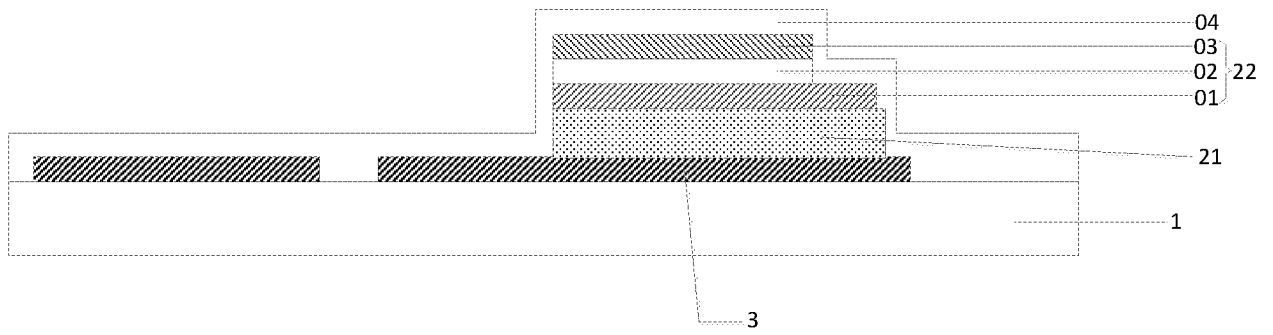


图 6D

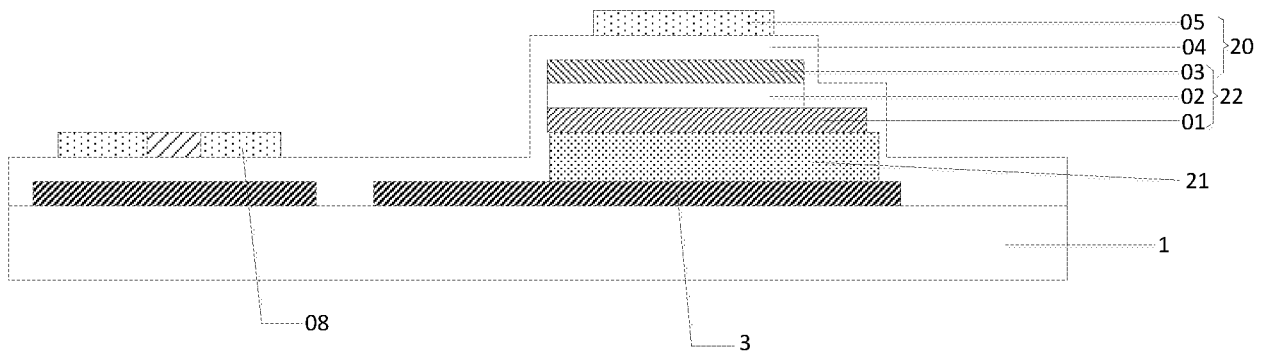


图 6E

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/127229

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 27/32(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
WPI, EPODOC, CNPAT, CNKI: display, panel, array, substrate, light, compensat+, sens+, detect+, capacitor, electrode, 显示, 面板, 基板, 衬底, 基底, 光, 补偿, 探测, 感测, 光敏, 感光, 电容, 极板, 电极, 共用, 公共		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109742113 A (BOE TECHNOLOGY GROUP CO., LTD.) 10 May 2019 (2019-05-10) claims 1-10, description, paragraphs [0032]-[0071], and figures 1-7	1-10
A	CN 107425038 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD.) 01 December 2017 (2017-12-01) description, paragraphs [0027]-[0045], and figures 1-6	1-10
A	CN 108649059 A (BOE TECHNOLOGY GROUP CO., LTD.) 12 October 2018 (2018-10-12) entire document	1-10
A	CN 107785399 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD.) 09 March 2018 (2018-03-09) entire document	1-10
A	US 2015243217 A1 (SAMSUNG DISPLAY CO., LTD.) 27 August 2015 (2015-08-27) entire document	1-10
A	US 2015041628 A1 (SAMSUNG DISPLAY CO., LTD.) 12 February 2015 (2015-02-12) entire document	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
28 February 2020		19 March 2020
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/ CN) No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/127229

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109742113	A	10 May 2019	None			
CN	107425038	A	01 December 2017	US	2018053032	A1	22 February 2018
CN	108649059	A	12 October 2018	WO	2019218831	A1	21 November 2019
CN	107785399	A	09 March 2018	None			
US	2015243217	A1	27 August 2015	US	9972246	B2	15 May 2018
				KR	20150101504	A	04 September 2015
US	2015041628	A1	12 February 2015	US	10078011	B2	18 September 2018
				US	2017287991	A1	05 October 2017
				US	9709439	B2	18 July 2017
				KR	20150017076	A	16 February 2015

<p>A. 主题的分类</p> <p>H01L 27/32 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>WPI, EPDOC, CNPAT, CNKI: display, panel, array, substrate, light, compensat+, sens+, detect+, capacitor, electrode, 显示, 面板, 基板, 衬底, 基底, 光, 补偿, 探测, 感测, 光敏, 感光, 电容, 极板, 电极, 共用, 公共</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 109742113 A (京东方科技集团股份有限公司) 2019年 5月 10日 (2019 - 05 - 10) 权利要求1-10、说明书第[0032]-[0071]段、附图1-7</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 107425038 A (武汉天马微电子有限公司) 2017年 12月 1日 (2017 - 12 - 01) 说明书第[0027]-[0045]段、附图1-6</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 108649059 A (京东方科技集团股份有限公司) 2018年 10月 12日 (2018 - 10 - 12) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 107785399 A (武汉天马微电子有限公司) 2018年 3月 9日 (2018 - 03 - 09) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2015243217 A1 (SAMSUNG DISPLAY CO., LTD.) 2015年 8月 27日 (2015 - 08 - 27) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2015041628 A1 (SAMSUNG DISPLAY CO., LTD.) 2015年 2月 12日 (2015 - 02 - 12) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 109742113 A (京东方科技集团股份有限公司) 2019年 5月 10日 (2019 - 05 - 10) 权利要求1-10、说明书第[0032]-[0071]段、附图1-7	1-10	A	CN 107425038 A (武汉天马微电子有限公司) 2017年 12月 1日 (2017 - 12 - 01) 说明书第[0027]-[0045]段、附图1-6	1-10	A	CN 108649059 A (京东方科技集团股份有限公司) 2018年 10月 12日 (2018 - 10 - 12) 全文	1-10	A	CN 107785399 A (武汉天马微电子有限公司) 2018年 3月 9日 (2018 - 03 - 09) 全文	1-10	A	US 2015243217 A1 (SAMSUNG DISPLAY CO., LTD.) 2015年 8月 27日 (2015 - 08 - 27) 全文	1-10	A	US 2015041628 A1 (SAMSUNG DISPLAY CO., LTD.) 2015年 2月 12日 (2015 - 02 - 12) 全文	1-10
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
PX	CN 109742113 A (京东方科技集团股份有限公司) 2019年 5月 10日 (2019 - 05 - 10) 权利要求1-10、说明书第[0032]-[0071]段、附图1-7	1-10																					
A	CN 107425038 A (武汉天马微电子有限公司) 2017年 12月 1日 (2017 - 12 - 01) 说明书第[0027]-[0045]段、附图1-6	1-10																					
A	CN 108649059 A (京东方科技集团股份有限公司) 2018年 10月 12日 (2018 - 10 - 12) 全文	1-10																					
A	CN 107785399 A (武汉天马微电子有限公司) 2018年 3月 9日 (2018 - 03 - 09) 全文	1-10																					
A	US 2015243217 A1 (SAMSUNG DISPLAY CO., LTD.) 2015年 8月 27日 (2015 - 08 - 27) 全文	1-10																					
A	US 2015041628 A1 (SAMSUNG DISPLAY CO., LTD.) 2015年 2月 12日 (2015 - 02 - 12) 全文	1-10																					
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																							
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																							
<p>国际检索实际完成的日期</p> <p>2020年 2月 28日</p>		<p>国际检索报告邮寄日期</p> <p>2020年 3月 19日</p>																					
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN)</p> <p>中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>李元</p> <p>电话号码 86-(10)-53961205</p>																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/127229

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109742113	A	2019年 5月 10日	无			
CN	107425038	A	2017年 12月 1日	US	2018053032	A1	2018年 2月 22日
CN	108649059	A	2018年 10月 12日	WO	2019218831	A1	2019年 11月 21日
CN	107785399	A	2018年 3月 9日	无			
US	2015243217	A1	2015年 8月 27日	US	9972246	B2	2018年 5月 15日
				KR	20150101504	A	2015年 9月 4日
US	2015041628	A1	2015年 2月 12日	US	10078011	B2	2018年 9月 18日
				US	2017287991	A1	2017年 10月 5日
				US	9709439	B2	2017年 7月 18日
				KR	20150017076	A	2015年 2月 16日