

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5095183号
(P5095183)

(45) 発行日 平成24年12月12日(2012.12.12)

(24) 登録日 平成24年9月28日(2012.9.28)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 611C
G02F 1/133 (2006.01)	G09G 3/20 660V
	G09G 3/20 621A
	G09G 3/20 612L
	請求項の数 7 (全 15 頁) 最終頁に続く

(21) 出願番号	特願2006-315103 (P2006-315103)	(73) 特許権者	390019839
(22) 出願日	平成18年11月22日(2006.11.22)		三星電子株式会社
(65) 公開番号	特開2007-156462 (P2007-156462A)		Samsung Electronics Co., Ltd.
(43) 公開日	平成19年6月21日(2007.6.21)		大韓民国京畿道水原市靈通区三星路129
審査請求日	平成21年11月19日(2009.11.19)		129, Samsung-ro, Yeon gtong-gu, Suwon-si, G yeonggi-do, Republic of Korea
(31) 優先権主張番号	10-2005-0117582	(74) 代理人	110000408
(32) 優先日	平成17年12月5日(2005.12.5)		特許業務法人高橋・林アンドパートナーズ
(33) 優先権主張国	韓国 (KR)	(72) 発明者	具 在 鎬
			大韓民国ソウル特別市恩平区津寛内洞41 7-3番地 17/8
			最終頁に続く

(54) 【発明の名称】 液晶表示装置及び駆動方法

(57) 【特許請求の範囲】

【請求項1】

行列状に配列されている複数の画素と、
前記画素に接続されているデータ線及びゲート線と、
外部からの映像データと複数の制御信号とを処理して送信する信号制御部と、
前記信号制御部に接続されて、前記映像データに対応するデータ電圧を前記データ線に出力する複数の出力端子を有する少なくとも一つのデータ駆動ICを含むデータ駆動部と
を含み、
前記信号制御部は、
前記映像データと前記複数の制御信号のうちの第1データインーブル信号とを受信して、
一つの画素行に対応する映像データと一つの画素行に対応するパルスを含む第2データインーブル信号とを生成して順次出力する第1メモリと、
前記第2データインーブル信号を受信して変形することにより第3データインーブル信号を生成して出力する変換部と、
前記一つの画素行に対応する映像データ、前記第2データインーブル信号及び前記第3データインーブル信号を受信し、前記第2データインーブル信号に応じて前記一つの画素行に対応する映像データを順次受信すると同時に、前記第3データインーブル信号に応じて前記一つの画素行に対応する映像データを少なくともM個(Mは2以上の整数)含む前記M個の画素行に対応する映像データをそれぞれ含む複数の映像データ集合に分けて前記データ駆動部へ出力する第2メモリと、を含み、

10

20

前記第3データイネーブル信号は、前記複数の映像データ集合の各映像データ集合における前記少なくともM個の映像データをデータ駆動部に出力するタイミングを制御するパルスを含み、前記各映像データ集合における前記少なくともM個の画素行の映像データのうちの最後の映像データを除いた残り映像データのパルスのタイミングが対応する前記第2データイネーブル信号のパルスのタイミングよりも所定時間遅延されており、
 前記データ駆動ICの複数の出力端子のうち隣接する出力端子から出力される前記データ電圧の極性は、互いに異なっており、
 前記データ駆動部は、所定の映像データ集合における最後の映像データの出力と次の映像データ集合における最初の映像データの出力との間に前記データ駆動ICの全ての出力端子を互いに接続させることにより生成される電荷共有電圧をインパルス電圧としてN個（Nは1以上の整数）の画素行における各画素に接続されたデータ線に出力することを特徴とする液晶表示装置。

10

【請求項2】

前記映像データを前記データ線に出力する時間を定義する第1ゲートオン電圧及び前記インパルス電圧を前記N個の画素行における各画素に接続されたデータ線に出力する期間を定義する第2ゲートオン電圧を生成して前記ゲート線に印加するゲート駆動部をさらに含むことを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記ゲート駆動部は、前記第1ゲートオン電圧を前記ゲート線に順次に印加した後、前記第2ゲートオン電圧を前記所定の映像データ集合における最後の映像データの出力と次の映像データ集合における最初の映像データの出力との間に前記ゲート線を除いた複数のゲート線に同時に印加することを特徴とする請求項2に記載の液晶表示装置。

20

【請求項4】

前記所定の映像データ集合の最後の映像データの出力と次の映像データ集合の最初の映像データの出力との間を第1ブランク期間とするとき、
 前記映像データ集合は、前記第1ブランク期間と前記映像データ集合における各映像データの出力間に位置する第2ブランク期間を含むことを特徴とする請求項3に記載の液晶表示装置。

【請求項5】

前記第1ブランク期間は前記第2ブランク期間より大きいことを特徴とする請求項4に記載の液晶表示装置。

30

【請求項6】

前記第2メモリに順次に受信される前記少なくともM個の画素行に対応する映像データの各前記一つの画素行に対応する映像データの間には第3ブランク期間が位置し、
 前記少なくともM個の画素行に対応する映像データと前記少なくともM個の画素行に対応する映像データの前記各一つの画素行に対応する映像データの間における前記第3ブランク期間との全体の長さは、前記第1ブランク期間と前記第2ブランク期間とを含む一つの前記映像データ集合の長さと同じであることを特徴とする請求項5に記載の液晶表示装置。

【請求項7】

行列状に配列されている複数の画素、前記画素に接続されているデータ線及びゲート線と、外部からの映像データと複数の制御信号とを受信し処理して送信する信号制御部と、前記信号制御部に接続されて、前記映像データに対応するデータ電圧を前記データ線に出力する複数の出力端子を有する少なくともひとつのデータ駆動ICを含むデータ駆動部と、を含む液晶表示装置の駆動方法において、
 前記映像データと前記複数の制御信号のうちの第1データイネーブル信号とから一つの画素行に対応する映像データと一つの画素行に対応するパルスを含む第2データイネーブル信号とを生成し、
 前記第2データイネーブル信号を変形することにより第3データイネーブル信号を生成し、

40

50

前記一つの画素行に対応する映像データ、前記第2データイネーブル信号及び前記第3データイネーブル信号を受信し、前記第2データイネーブル信号に応じて前記一つの画素行に対応する映像データを順次受信すると同時に、前記第3データイネーブル信号に応じて前記一つの画素行に対応する映像データを少なくともM個(Mは2以上の整数)含む前記M個の画素行に対応する映像データをそれぞれ含む複数の映像データ集合に分けて前記データ駆動部に出し、

所定の映像データ集合における最後の映像データの出力と次の映像データ集合における最初の映像データの出力との間に前記データ駆動ICの複数の出力端子を互いに接続することにより、前記複数の出力端子のうち隣接する出力端子から出力される極性が互いに異なるデータ電圧から生成した電荷共有電圧をインパルス電圧としてN個(Nは1以上の整数)の画素行における各画素に接続されたデータ線に出力すること、

10

を含み、

前記第3データイネーブル信号は、前記複数の映像データ集合の各映像データ集合における前記少なくともM個の映像データをデータ駆動部に出しするタイミングを制御するパルスを含み、前記各映像データ集合における前記少なくともM個の画素行の映像データのうちの最後の映像データを除いた残り映像データのパルスのタイミングが対応する前記第2データイネーブル信号のパルスのタイミングよりも所定時間遅延されていることを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

一般的な液晶表示装置(liquid crystal display、LCD)は画素電極及び共通電極が具備された二つの表示板と、その間に入っている誘電率異方性(dielectric anisotropy)を有する液晶層とを含む。画素電極は行列状に配列されていて、薄膜トランジスタ(TFT)などスイッチング素子に接続されて一行ずつ順次にデータ電圧の印加を受ける。共通電極は表示板の全面にわたって形成されており、共通電圧の印加を受ける。画素電極と共通電極及びその間の液晶層は回路的に見れば液晶キャパシタをなし、液晶キャパシタはこれに接続されたスイッチング素子と共に画素を構成する基本単位となる。

30

【0003】

このような液晶表示装置においては、二つの電極に電圧を印加して液晶層に電界を生成し、この電界の強さを調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。このとき、液晶層に一方向の電界が長く印加されることによって発生する劣化現象を防止するために、フレーム毎に、行毎に、または画素毎に共通電圧に対するデータ電圧の極性を反転させる。

【0004】

液晶表示装置はホールドタイプ(hold type)の表示装置であるため、動画映像を表示する際に物体の輪郭(edge)が鮮明でなくぼけるブラリング(blurring)現象が発生する。ブラリング現象を減らすために、所望の正規映像を表示しながらその中間にブラック映像を表示するインパルス駆動方式が開発された。

40

【0005】

インパルス駆動のために、正規映像データだけでなくブラック映像データもデータ駆動部に伝送しなければならない。ところが、同時にブラック映像データも伝送しなければならないので、正規映像データのみを伝送することに比べてデータ伝送周波数が高くなる。従って、電力消費が多くなり、EMI(electromagnetic interference)が高くなり、高解像度ではデータ駆動部の動作速度が限界に至ることがある。また、これを処理する信号制御部に二つのクロック周波数が存在するため、各種信号の

50

同期を合せることが難しく、また、これを実現する内部回路が非常に複雑になり、誤動作やエラーの可能性が高くなる。

【発明の開示】

【発明が解決しようとする課題】

【0006】

そこで、本発明が解決しようとする技術的課題は、駆動周波数を高めないながらもブラリング現象を減らせる液晶表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0007】

このような技術的課題を達成するための本発明の一実施形態による液晶表示装置は、行列状に配列されている複数の画素と、画素に接続されているデータ線及びゲート線と、外部からの第1映像データと複数の制御信号を処理して送信する信号制御部と、信号制御部に接続されているデータ駆動部とを含み、

10

【0008】

信号制御部は、少なくとも二つの画素行の第1映像データを各々含む複数の集合に分けて順次に処理するが、各集合の第1映像データのうち最後の映像データを除いた残りの映像データを遅延させ、データ駆動部は遅延した時間に電荷共有電圧をインパルス電圧として所定の数の画素行に印加してインパルス映像を表示する。

【0009】

信号制御部は、第1映像データと複数の制御信号のうち第1信号を受信して、各画素行ずつ第2映像データと第2信号を送信する第1メモリと、第2信号を受信して第3信号を送信する変換部と、第2映像データ、第2信号及び第3信号を受信する第2メモリとを含んでもよい。

20

【0010】

このとき、第2メモリは、第2信号によって第2映像データを受信すると同時に、第3信号によって複数の第3映像データ集合を送信してもよい。

【0011】

液晶表示装置は、第1及び第2ゲートオン電圧を生成してゲート線に印加するゲート駆動部をさらに含んでもよく、このゲート駆動部は第1ゲートオン電圧をゲート線に順次に印加した後、第2ゲートオン電圧を遅延した時間に前記ゲート線を除いた複数のゲート線に同時に印加してもよい。

30

【0012】

また、前記遅延した時間を第1ブランク期間 (b l a n k i n t e r v a l) とするとき、第3映像データを構成する各集合は第1ブランク期間と第3映像データとの間に位置する第2ブランク期間をさらに含んでもよく、第1ブランク期間は第2ブランク期間より大きいことがある。

【0013】

このとき、第2映像データを含む各集合は第2映像データの間位置する第3ブランク期間を含み、前記第2映像データを含む各集合と前記第3映像データを含む各集合の長さが同一でもよい。

40

【0014】

電荷共有電圧はデータ線を互いに接続して得られる電圧でもよい。

【0015】

液晶表示装置は、画素、ゲート線及びデータ線が形成されている液晶表示パネルアセンブリに共通電圧を印加する共通電圧生成部をさらに含んでもよく、電荷共有電圧は共通電圧と実質的に同一でもよい。

【0016】

本発明の一実施形態による、行列状に配列されている複数の画素と、画素に接続されているデータ線及びゲート線と、外部からの第1映像データと複数の制御信号を受信し処理して送信する信号制御部と、信号制御部に接続されているデータ駆動部とを含む液晶表示装

50

置の駆動方法は、少なくとも二つの画素行の第1映像データを各々含む複数の集合に分けて順次に処理するが、各集合の第1映像データのうちの最後の映像データを除いた残り映像データを遅延させる第1ステップと、遅延した時間に電荷共有電圧をインパルス電圧として所定の数の画素行に印加してインパルス映像を表示する第2ステップとを含む。

【0017】

このとき、第1ステップは、第1映像データと複数の制御信号のうちの第1信号を受信して、一つの画素行ずつ第2映像データと第2信号を生成し、第2信号を受信して第3信号を生成し、第2映像データ、第2信号及び第3信号を受信することを含んでもよく、第3信号によって複数の第3映像データ集合を生成することをさらに含んでもよい。

【0018】

また、液晶表示装置の駆動方法は、第1及び第2ゲートオン電圧を生成して前記ゲート線に印加する第3ステップをさらに含んでもよく、第3ステップは第1ゲートオン電圧をゲート線に順次に印加した後、第2ゲートオン電圧を遅延した時間にゲート線を除いた複数のゲート線に同時に印加することを含んでもよい。

【0019】

また、遅延した時間を第1ブランク期間とするとき、第3映像データ集合は第1ブランク期間と第3映像データの間に位置する第2ブランク期間をさらに含んでもよく、第1ブランク期間は第2ブランク期間より大きいことがある。

第2映像データを含む各集合は、第2映像データの間に位置する第3ブランク期間を含み、第2映像データを含む各集合と第3映像データを含む各集合の長さが同一でもよい。

【0020】

一方、前記電荷共有電圧はデータ線を互いに接続して得てもよい。

【0021】

液晶表示装置が、画素、ゲート線及びデータ線が形成されている液晶表示パネルアセンブリに共通電圧を印加する共通電圧生成部をさらに含んでもよく、電荷共有電圧は共通電圧と実質的に同一でもよい。

【発明の効果】

【0022】

本発明によれば、映像データDATを同一時間Tt内で単に遅延させるだけでインパルス映像を表示し、別途のブラック映像データを伝送しないので、データ伝送周波数が増加しない。これにより、EMI増加を最小化することは勿論、高解像度を実現することができる。また、信号制御部600に一つのクロック信号MCLKだけが存在するので、いろいろな信号の同期を合せることが容易である。

【発明を実施するための最良の形態】

【0023】

添付した図面を参照して、本発明の実施形態について本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。

【0024】

図面において、いろいろな層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似の部分については同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の「上」にあるとするとき、これは他の部分の「直上」にある場合だけでなく、その中間に他の部分がある場合も含む。

【0025】

図1及び図2を参照して、本発明の実施形態による液晶表示装置及びその駆動方法について詳細に説明する。

【0026】

図1は本発明の一実施形態による液晶表示装置のブロック図であり、図2は本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【0027】

図1を参照すると、本発明の一実施形態による液晶表示装置は、液晶表示パネルアセン

10

20

30

40

50

ブリ (liquid crystal panel assembly) 300 と、これに接続されたゲート駆動部 400 及びデータ駆動部 500 と、データ駆動部 500 に接続された階調電圧生成部 800 と、これらを制御する信号制御部 600 とを含む。

【0028】

液晶表示パネルアッセンブリ 300 は、等価回路で見れば、複数の信号線 $G_1 - G_n$ 、 $D_1 - D_m$ と、これに接続されていてほぼ行列状に配列された複数の画素 PX とを含む。図 2 に示した構造で見ると、液晶表示パネルアッセンブリ 300 は、互いに対向する下部及び上部表示板 100、200 と、両者の間に入っている液晶層 3 とを含む。

【0029】

信号線 $G_1 - G_n$ 、 $D_1 - D_m$ は、ゲート信号 (「走査信号」とも言う) を伝達する複数のゲート線 $G_1 - G_n$ と、データ信号を伝達する複数のデータ線 $D_1 - D_m$ とを含む。ゲート線 $G_1 - G_n$ はほぼ行方向にのびて互いにほとんど平行し、データ線 $D_1 - D_m$ はほぼ列方向にのびて互いにほとんど平行する。

10

【0030】

各画素 PX 、例えば、 i 番目 ($i = 1, 2, n$) ゲート線 G_i と j 番目 ($j = 1, 2, m$) データ線 D_j に接続された画素 PX は、信号線 G_i 、 D_j に接続されたスイッチング素子 Q と、これに接続された液晶キャパシタ (liquid crystal capacitor) C_{lc} 及びストレージキャパシタ (storage capacitor) C_{st} とを含む。ストレージキャパシタ C_{st} は必要に応じて省略してもよい。

【0031】

20

スイッチング素子 Q は、下部表示板 100 に備えられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線 G_i と接続されており、入力端子はデータ線 D_j と接続されており、出力端子は液晶キャパシタ C_{lc} 及びストレージキャパシタ C_{st} と接続されている。

【0032】

液晶キャパシタ C_{lc} は、下部表示板 100 の画素電極 191 と上部表示板 200 の共通電極 270 とを二つの端子とし、二つの電極 191、270 の間の液晶層 3 は誘電体として機能する。画素電極 191 はスイッチング素子 Q と接続され、共通電極 270 は上部表示板 200 の全面に形成され、共通電圧 V_{com} の印加を受ける。図 2 とは異なって、共通電極 270 が下部表示板 100 に備えられる場合もあり、このときには二つの電極 191、270 のうちの少なくとも一つが線状または棒状に構成されてもよい。

30

【0033】

液晶キャパシタ C_{lc} の補助的な役割を果たすストレージキャパシタ C_{st} は、下部表示板 100 に設けられた別個の信号線 (図示せず) と画素電極 191 とが絶縁体を間に置いて重畳 (オーバーラップ) してなり、この別個の信号線には共通電圧 V_{com} などの所定の電圧が印加される。しかし、ストレージキャパシタ C_{st} は、画素電極 191 が絶縁体を媒介としてすぐ上の前段のゲート線と重畳して形成してもよい。

【0034】

色表示を実現するためには各画素 PX が基本色 (primary color) のうちの一つを固有に表示したり (空間分割)、各画素 PX が時間によって交互に基本色を表示するように (時間分割) して、これら基本色の空間的、時間的合計によって所望の色相が認識されるようにする。基本色の例としては、赤色、緑色、青色など三原色がある。図 2 は空間分割の一例であって、各画素 PX が画素電極 191 に対応する上部表示板 200 の領域に基本色のうちの一つを示すカラーフィルタ 230 を備えることを示している。図 2 とは異なって、カラーフィルタ 230 は下部表示板 100 の画素電極 191 上または下に形成してもよい。

40

【0035】

液晶表示パネルアッセンブリ 300 の外側の面には光を偏光させる少なくとも一つの偏光子 (図示せず) が付着している。

【0036】

50

再び図1を参照すると、階調電圧生成部800は、画素PXの透過率に関連する二組の階調電圧集合（または基準階調電圧集合）を生成する。二組のうちの一組は共通電圧Vcomに対して正の値を有し、他の一組は負の値を有する。

【0037】

ゲート駆動部400は、液晶表示パネルアッセンブリ300のゲート線 $G_1 - G_n$ と接続され、ゲートオン電圧Vonとゲートオフ電圧Voffとの組み合わせからなるゲート信号をゲート線 $G_1 - G_n$ に印加する。

【0038】

データ駆動部500は、液晶表示板組立体300のデータ線 $D_1 - D_m$ に接続されており、階調電圧生成部800からの階調電圧を選択し、これをデータ信号としてデータ線 $D_1 - D_m$ に印加する。しかし、階調電圧生成部800が全ての階調に対する電圧を全て提供することなく、決められた数の基準階調電圧のみを提供する場合は、データ駆動部500は基準階調電圧を分圧して全体の階調に対する階調電圧を生成し、この中からデータ信号を選択する。

10

【0039】

信号制御部600は信号変換部650を含み、ゲート駆動部400、データ駆動部500及び階調電圧生成部800などを制御する。

【0040】

このような駆動装置400、500、600、800各々は、少なくとも一つの集積回路チップの形態で液晶表示板組立体300上に直接装着するか、またはフレキシブル印刷回路膜（flexible printed circuit film）（図示せず）上に装着されてTCP（tape carrier package）の形態で液晶表示板組立体300に付着するか、または別途の印刷回路基板（printed circuit board）（図示せず）上に装着してもよい。これとは異なって、これら駆動装置400、500、600、800が信号線 $G_1 - G_n$ 、 $D_1 - D_m$ 及びスイッチング素子Qなどと共に液晶表示板組立体300に集積してもよい。また、駆動装置400、500、600、800は単一チップで集積してもよく、この場合、これらのうちの少なくとも一つまたはこれらをなす少なくとも一つの回路素子を単一チップの外側に配置してもよい。

20

【0041】

以下、このような液晶表示装置の動作について詳細に説明する。

30

【0042】

信号制御部600は、外部のグラフィック制御部（図示せず）から入力映像信号R、G、B及びその表示を制御する入力制御信号を受信する。入力映像信号R、G、Bは、各画素PXの輝度（luminance）情報を含んでおり、輝度は決められた数、例えば、1024（ $= 2^{10}$ ）、256（ $= 2^8$ ）または64（ $= 2^6$ ）個の階調（gray）を有している。入力制御信号の例としては、垂直同期信号Vsync、水平同期信号Hsync、メインクロックMCLK、及びデータイネーブル信号DEなどがある。

【0043】

信号制御部600は、入力映像信号R、G、Bと入力制御信号に基づいて入力映像信号R、G、Bを液晶表示パネルアッセンブリ300及びデータ駆動部500の動作条件に合うように適切に処理し、ゲート制御信号CONT1及びデータ制御信号CONT2などを生成した後、ゲート制御信号CONT1をゲート駆動部400に送信し、データ制御信号CONT2と処理した映像信号DATをデータ駆動部500に送信する。出力映像信号DATはデジタル信号として決められた数の値（または階調）を有する。

40

【0044】

ゲート制御信号CONT1は、走査開始を指示する走査開始信号STV、ゲートオン電圧Vonの出力時期を制御する少なくとも一つのゲートクロック信号CPV、及びゲートオン電圧Vonの持続時間を限定する少なくとも一つの出力イネーブル信号OEとを含む。

【0045】

50

データ制御信号CONT2は、一つの画素行の出力映像信号DATの伝送開始を知らせる水平同期開始信号STH、液晶表示板組立体300にデータ信号の印加を指示するロード信号(load signal)TP、及びデータクロック信号(HCLK)とを含む。データ制御信号CONT2は、また、共通電圧Vcomに対するデータ信号の電圧極性(以下、「共通電圧に対するデータ信号の電圧極性」を略して「データ信号の極性」という)を反転させる極性信号POLをさらに含む。

【0046】

信号制御部600からのデータ制御信号CONT2によって、データ駆動部500は一つの行の画素PXに対するデジタル映像信号DATを受信し、各デジタル映像信号DATに対応する階調電圧を選択することによってデジタル映像信号DATをアナログデータ信号に変換した後に、これを当該データ線D₁-D_mに印加する。

10

【0047】

ゲート駆動部400は、信号制御部600からのゲート制御信号CONT1によってゲートオン電圧Vonをゲート線G₁-G_nに印加し、このゲート線G₁-G_nに接続されたスイッチング素子Qをターンオンさせる。そうすると、データ線D₁-D_mに印加されたデータ信号がターンオンされたスイッチング素子Qを通じて当該画素PXに印加される。

【0048】

画素PXに印加されたデータ信号の電圧と共通電圧Vcomとの差は液晶キャパシタC_{1c}の維持電圧、つまり、画素電圧として現れる。液晶分子は画素電圧の大きさによってその配列を異にし、これによって液晶層3を通過する光の偏光が変化する。このような偏光の変化は、液晶表示板組立体300に付着された偏光子によって光の透過率の変化として現れる。

20

【0049】

1水平周期[「1H」とも記し、水平同期信号Hsync及びデータイネーブル信号DEの一周期と同一である]を単位としてこのような過程を繰り返すことによって、全てのゲート線G₁-G_nに対し順次にゲートオン電圧Vonを印加して全ての画素PXにデータ信号を印加し、1フレーム(frame)の映像を表示する。

【0050】

1フレームが終了すれば、次のフレームが開始し、各画素PXに印加されるデータ信号の極性が直前フレームでの極性と反対になるようにデータ駆動部500に印加される反転信号RVSの状態が制御される(「フレーム反転」)。このとき、1フレーム内でも反転信号RVSの特性によって、一つのデータ線を通じて流れるデータ信号の極性が変わるか(例:行反転、点反転)、または一つの画素列に印加されるデータ信号の極性が互いに異なるとしてもよい(例:列反転、点反転)。

30

【0051】

以下、図3乃至6を参照して、信号変換部650及びデータ駆動部500の構造及び動作についてより詳細に説明する。

【0052】

図3は本発明の一実施形態による信号変換部650のブロック図であり、図4は図1に示した液晶表示装置のデータ駆動部の一例を示すブロック図である。図5は本発明の一実施形態による液晶表示装置の駆動信号を示すタイミング図であり、図6は図5に示した駆動信号のうちのデータ駆動部に印加される制御信号を拡大して示したタイミング図である。

40

【0053】

本発明の一実施形態による信号変換部650は、入力バッファ651と、これに接続されているデータストリーム変換部(data stream changer)653とを含み、データストリーム変換部653は、データイネーブル信号変換部655と、デュアルポートラム(dual port ram)を含む。

【0054】

データ駆動部500は図4に示すデータ駆動IC540を少なくとも一つ含み、データ駆動IC540は、順次に接続されているシフトレジスタ541、ラッチ543、デジタル

50

-アナログ変換器545、及びバッファ547を含む。

【0055】

本発明の一実施形態による液晶表示装置は、正規映像を第1画素行から下に一つの画素行ずつ順次に表示し、M個の画素行に正規映像を表示した以降にインパルス映像を所定時間内でk番目画素行からN個の画素行に同時に表示する。これを1フレームの間に繰り返せば、N個の画素行の幅を有するインパルス映像帯(band)が回転するよう見える。以下にこれについて詳細に説明し、M及びNが3である場合を一例として説明する。

【0056】

信号制御部600の信号変換部650は、データネーブル信号DEと入力映像信号R、G、Bを処理して、変形されたデータネーブル信号MDE及び映像データDATを送信する。

10

【0057】

入力バッファ651は、一つの画素行に対応するデータR、G、B及びデータネーブル信号DEを記憶してデータ変換部653に送信し、一つの行のデータを記憶するラインメモリ(line memory)でもよい。

【0058】

データ変換部653のDE変換部655は入力バッファ651からデータネーブル信号IDEを受信し、デュアルポートラム657は入力バッファ651から映像データIDATを受信する。

20

【0059】

DE変換部655は、一つの画素行に対応する入力データネーブル信号IDEの全体的な長さを分析し、特にブランク期間TOの長さを把握した後にデータネーブル信号IDEを変形し、変形されたデータネーブル信号MDEをデュアルポートRAM657とデータ駆動IC540に各々出力する。

デュアルポートRAM657は、書込み(write)と読出し(read)を同時に行うことができるRAMであって、読出し及び書込み動作はデータネーブル信号DEによって行われる。このとき、書込みは入力データネーブル信号IDEによって行われ、読出しは変形されたデータネーブル信号MDEによって行われる。

【0060】

これによって、映像データDATの一部は、変形されたデータネーブル信号MDEにしたがって入力映像データIDATに比べて所定時間ほど遅延する。例えば、時間Ttの間に二つの映像データD4、D5は、入力映像データIDATのブランク期間TOより遅延したブランク期間TB1を経た後に出力される。しかし、映像データD6については遅延しないため、全体的な時間Ttは、入力データネーブル信号IDEと変形されたデータネーブル信号MDEにおいて同一である。つまり、所定個数の画素行データを一群(packet)として遅延が行われる場合、その一群の最後のデータは遅延させずに、最後のデータの前のデータを遅延させることにより、ブランク期間TB1を確保する。

30

【0061】

また、前述したように、三個の画素行の映像データD4、D5、D6とブランク期間を合わせた全時間Ttは、入力データネーブル信号IDEと出力データネーブル信号MDEにおいて全て同一であるので、ブランク期間TB1の長さは3TO-2TB2と見ることができる。

40

【0062】

このように出力された映像データDATはデータ駆動IC540に入力される。

【0063】

データ駆動IC540のシフトレジスタ541は、水平同期開始信号STHの印加を受けると、データクロック信号HCLKによって入力された映像データDATを順次にシフトさせてラッチ543に伝達する。データ駆動部500が複数のデータ駆動IC540を含む場合、シフトレジスタ541は、シフトレジスタ541が保持している映像データDATを全てシフトさせた後に、シフトクロック信号SCを隣接するデータ駆動ICのシフト

50

レジスタに送信する。

【0064】

ラッチ543は第1及び第2ラッチ(図示せず)を含む。第1ラッチはシフトレジスタ541から映像データDATを順次に受信して記憶し、第2ラッチはロード信号TPの立ち上がりエッジ(rising edge)で第1ラッチから映像データDATを同時に受信して記憶し、ロード信号TPの立下りエッジ(falling edge)でこれをデジタル-アナログ変換器545に送信する。

【0065】

ここで、ロード信号TPのハイ期間T4は、ブランク期間TB2と同一である時間T2と、水平同期開始信号STHの立ち上がりエッジとロード信号TPの立下りエッジの間の時間T3とを含む。このとき、時間T4は製品の仕様(specification)が許す限り最小とすることが望ましい。これは、液晶表示装置がCRTとは異なって電子銃を使用することでないため、前述したブランク期間TB2とロード信号TPのハイ期間T4を最小と設定しても差し支えない。但し、映像標準がCRTを基準とするので、これに対する最小限の仕様を合わせればよい。

10

【0066】

デジタル-アナログ変換器545は、ラッチ543からのデジタル映像データDATをアナログデータ電圧に変換してバッファ547に送信する。データ電圧は、極性信号POLによって共通電圧Vcomに対して正の値を有するか、または負の値を有する。

【0067】

バッファ547は、デジタル-アナログ変換器545からのデータ電圧を出力端子 $Y_1 - Y_r$ を通じて送信する。隣接する出力端子 $Y_1 - Y_r$ を通じて出力されるデータ電圧の極性は互いに異なる。出力端子 $Y_1 - Y_r$ は当該データ線 $D_1 - D_m$ に接続される。

20

【0068】

このとき、映像データDATは、ロード信号TPの立下りエッジで第2ラッチ、デジタルアナログ変換器545及びバッファ547を経て、図示したようにデータ線 $D_1 - D_m$ に出力される。ここで、映像データD0は直前フレームの最後の画素行の映像データであるか、または任意の電圧でもよい。

【0069】

一方、データ駆動IC540は、ブランク期間TB1、TB2内でロード信号TPがハイレベルになると、全ての出力端子 $Y_1 - Y_r$ を内部で互いに接続させる。全ての出力端子 $Y_1 - Y_r$ が接続されると、当該データ線に印加されていた正極性及び負極性のデータ線電圧Vdatが互いに接続され、全ての出力端子 $Y_1 - Y_r$ には正極性と負極性のデータ線電圧Vdatの中間値であるほぼ共通電圧Vcomのレベルを有する電荷共有電圧(charge sharing voltage)が、図5に示すように、かかるようになる。そして、このような状態でロード信号TPが再びローレベルになると、ラッチ543に記憶されている映像データDATをデータ電圧に変換して出力端子 $Y_1 - Y_r$ に送信する。

30

【0070】

このとき、特にブランク期間TB3に生成される電荷共有電圧はインパルス電圧(impulsive voltage)として用いられ、このようなインパルス電圧は正規映像データDATが印加された後、ブランク期間TB1で複数の画素行に印加される。つまり、1フレーム内で、ゲート駆動部400は、ゲートオン電圧Vonを順次に生成して正規映像データDATを画素PXに印加する一方、複数のゲートオン電圧Vonを同時に生成してインパルス電圧を画素PXに印加する。これについて図7と先の図5及び図6を参照してより詳細に説明する。

40

【0071】

図7は本発明の一実施形態によるゲート駆動部400のタイミング図である。

【0072】

図7には、前述したゲート制御信号CONT、つまり、走査開始を指示する走査開始信号

50

STV、ゲートオン電圧Vonの出力時期を制御する少なくとも一つのゲートクロック信号CPV、及びゲートオン電圧Vonの持続時間を限定する少なくとも一つの出力イネーブル信号OEN、OEI、そしてゲート線 $G_1 - G_n$ のうちの第1乃至第6ゲート線 $G_1 - G_6$ が示されており、各部分の突出部はゲートオン電圧Vonを示す。

【0073】

ゲートクロック信号CPVは、周期が1Hである2つと、2Hである1つが繰り返され、ゲートオン電圧Vonはゲートクロック信号CPVに合わせて生成される。

【0074】

走査開始信号STVは、正規映像データ用信号P1とインパルスデータ用信号P2とを合わせて全て2つがゲート駆動部400に入力される。特に、インパルスデータ用P2信号は3つのゲート線にゲートオン信号Vonが一度に出力されるように十分な長さを持たせるようにする。例えば、図7にはインパルスデータ用信号P2のハイ期間の長さは4Hを有し、4つの画素行の映像データを一群として遅延させる場合には5Hの長さを有する。

10

【0075】

正規映像データ用出力イネーブル信号OENとインパルス電圧用出力イネーブル信号OEIは、各々正規映像データ用ゲートオン電圧Vonとインパルス電圧用ゲートオン電圧Vonの持続時間を限定する。この時、図7に示すように、2つの信号OEN、OEIがハイであるときには2つのゲートオン電圧Vonは各々ローを維持し、反対に2つの信号OEN、OEIがローであるときには2つのゲートオン電圧Vonは各々ハイを維持する。

【0076】

20

これによって、ゲート駆動部400においてハイ期間の幅が4Hであるゲートオン電圧Vonが出力されても、出力イネーブル信号OEIによってその幅だけ減少したゲートオン電圧Vonが出力される。このように生成されたインパルス電圧用ゲートオン電圧Vonが図5に示したゲート線 $G_k - G_{k+2}$ に印加されれば、インパルス電圧Iが当該画素Qに印加される。同様に、図7における第3及び第6ゲート線 G_3 、 G_6 に印加された正規映像データ用ゲートオン電圧Vonも、出力イネーブル信号OENによってハイ期間の幅が限定されて出力されたことを示す。

【0077】

従って、ゲート駆動部400がk番目ゲート線 G_k から $(k+2)$ 番目ゲート線 G_{k+2} にゲートオン電圧Vonを同時に印加してこれらに接続されているスイッチング素子Qをターンオンさせれば、電荷共有電圧が当該画素PXに印加されてインパルス映像を表示する。このようなインパルス映像は、液晶表示装置がノーマリーブラック(normaly black)である場合には横線の黒帯(black band)として現れる。

30

【0078】

まとめれば、信号制御部600は所定数の画素行の映像データを一群とし、その群の最後のデータを除いた残り映像データを遅延させて十分なブランク区間TB1を確保し、データ駆動部500はこのブランク区間TB1に電荷共有電圧をインパルス電圧として所定数の画素行に印加してインパルス映像を表示する。

【0079】

以上、本発明の望ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されるわけではなく、添付した請求範囲で定義している本発明の基本概念を利用した当業者の種々の変形及び改良形態も本発明の権利範囲に属するものである。

40

【図面の簡単な説明】

【0080】

【図1】本発明の一実施形態による液晶表示装置のブロック図である。

【図2】本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【図3】図1に示した液晶表示装置の信号変換部を示したブロック図である。

【図4】図1に示した液晶表示装置のデータ駆動部の一例を示したブロック図である。

【図5】本発明の一実施形態による液晶表示装置の駆動信号を示したタイミング図である

50

。

【図6】図5に示した駆動信号のうちデータ駆動部に印加される制御信号を拡大して示したタイミング図である。

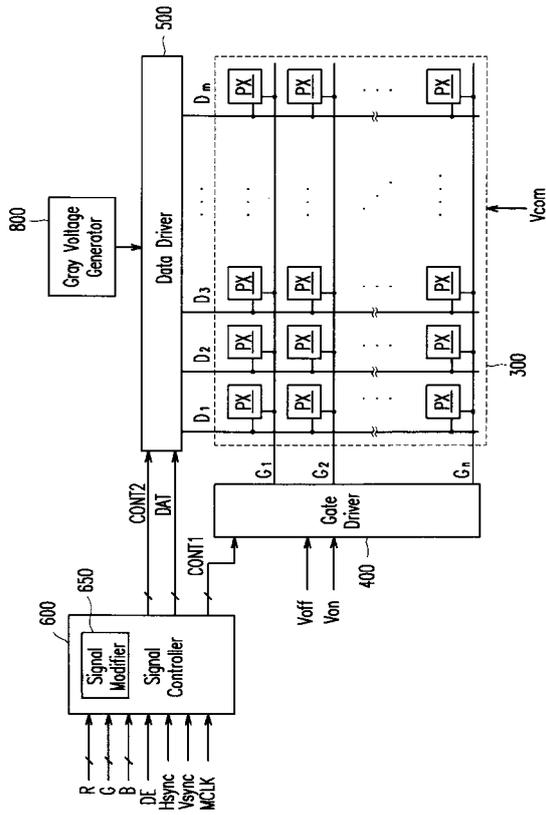
【図7】図5に示したゲート信号とゲート駆動部に入力される制御信号を示したタイミング図である。

【符号の説明】

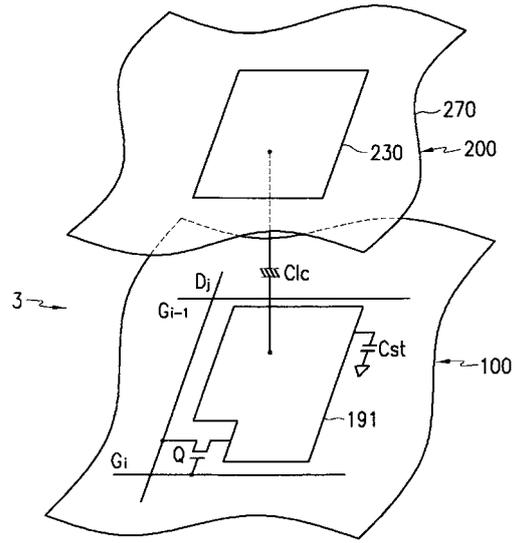
【0081】

3	液晶層	
100	下部表示板	
191	画素電極	10
200	上部表示板	
230	カラーフィルタ	
270	共通電極	
300	液晶表示パネルアッセンブリ	
400	ゲート駆動部	
500	データ駆動部	
540	データ駆動IC	
600	信号制御部	
650	信号変換部	
651	入力バッファ	20
653	データ変換部	
655	DE変換部	
657	デュアルポートラム	
800	階調電圧生成部	
R、G、B	入力映像データ	
DE	データイネーブル信号	
IDE	入力データイネーブル信号	
MDE	変形データイネーブル信号	
MCLK	メインクロック	
Hsync	水平同期信号	30
Vsync	垂直同期信号	
CONT1	ゲート制御信号	
CONT2	データ制御信号	
DAT	デジタル映像信号	
Clc	液晶キャパシタ	
Cst	ストレージキャパシタ	
Q	スイッチング素子	

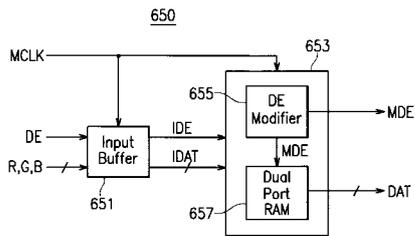
【 図 1 】



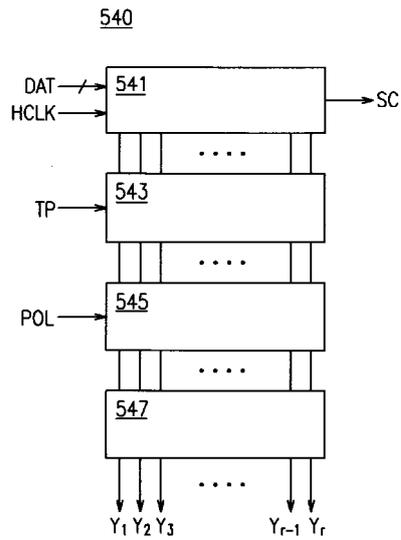
【 図 2 】



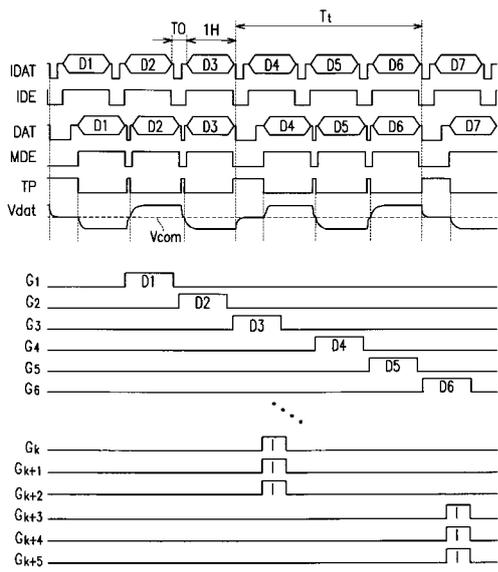
【 図 3 】



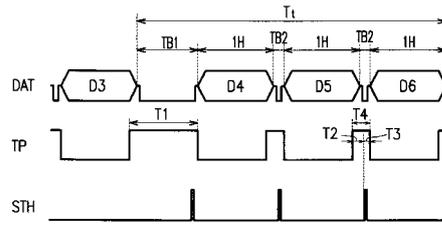
【 図 4 】



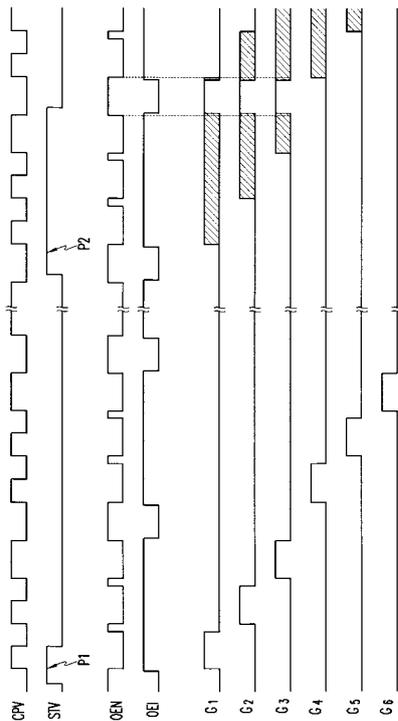
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 3 3 D
G 0 9 G 3/20 6 3 3 P
G 0 9 G 3/20 6 3 1 V
G 0 9 G 3/20 6 2 2 A
G 0 9 G 3/20 6 2 2 D
G 0 9 G 3/20 6 2 3 D
G 0 9 G 3/20 6 2 3 A
G 0 9 G 3/20 6 1 2 T
G 0 9 G 3/20 6 1 2 R
G 0 2 F 1/133 5 0 5
G 0 2 F 1/133 5 7 0
G 0 2 F 1/133 5 5 0

(72)発明者 金 太 星
大韓民国京畿道水原市靈通区靈通洞 シンナムシル信元アパートメント642棟1501号

審査官 西島 篤宏

(56)参考文献 特開2003-280599(JP,A)
特開2003-255912(JP,A)
特開2004-212749(JP,A)
国際公開第2005/059886(WO,A1)
特開平02-204718(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 6 - 3 / 3 8
G 0 2 F 1 / 1 3 3