

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/148537

発行日 平成25年7月25日 (2013. 7. 25)

(43) 国際公開日 平成23年12月1日 (2011. 12. 1)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09F 9/30 (2006.01)</b>	G09F 9/30 338	2H092
<b>G09F 9/00 (2006.01)</b>	G09F 9/00 338	5C094
<b>G02F 1/1368 (2006.01)</b>	G02F 1/1368	5F038
<b>H01L 29/786 (2006.01)</b>	H01L 29/78 618B	5F110
<b>H01L 21/336 (2006.01)</b>	H01L 29/78 627C	5G435

審査請求 有 予備審査請求 未請求 (全 25 頁) 最終頁に続く

出願番号 特願2012-517092 (P2012-517092)	(71) 出願人 000005049 シャープ株式会社
(21) 国際出願番号 PCT/JP2011/000800	大阪府大阪市阿倍野区長池町22番22号
(22) 国際出願日 平成23年2月14日 (2011. 2. 14)	(74) 代理人 110001427 特許業務法人前田特許事務所
(11) 特許番号 特許第5133468号 (P5133468)	(72) 発明者 山下 徹也 大阪府大阪市阿倍野区長池町22番22号
(45) 特許公報発行日 平成25年1月30日 (2013. 1. 30)	シャープ株式会社内
(31) 優先権主張番号 特願2010-117986 (P2010-117986)	(72) 発明者 吉田 徳生 大阪府大阪市阿倍野区長池町22番22号
(32) 優先日 平成22年5月24日 (2010. 5. 24)	シャープ株式会社内
(33) 優先権主張国 日本国 (JP)	(72) 発明者 近間 義雅 大阪府大阪市阿倍野区長池町22番22号
	シャープ株式会社内

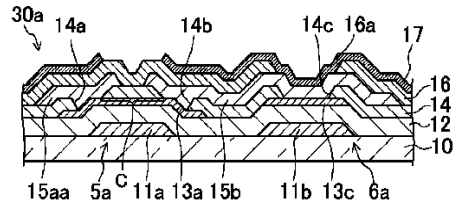
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ基板及びその製造方法

(57) 【要約】

各TFT(5a)が、基板(10)に設けられたゲート電極(11a)と、ゲート電極(11a)を覆うように設けられたゲート絶縁膜(12)と、ゲート絶縁膜(12)上にゲート電極(11a)に重なるようにチャンネル領域(C)が設けられた酸化物半導体からなる半導体層(13a)と、半導体層(13a)上にチャンネル領域(C)を介して互いに離間するように設けられたソース電極(15aa)及びドレイン電極(15b)とを備え、各補助容量(6a)が、ゲート電極(11a)と同一層に同一材料により設けられた容量線(11b)と、容量線(11b)を覆うように設けられたゲート絶縁膜(12)と、ゲート絶縁膜(12)上に容量線(11b)に重なるように酸化物半導体を用いて設けられた容量中間層(13c)と、容量中間層(13c)上に設けられた容量電極(15b)とを備え、容量中間層(13c)は、導電性を有している。

【図2】



**【特許請求の範囲】****【請求項 1】**

マトリクス状に設けられた複数の画素電極と、  
上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、

上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、

上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるようにチャンネル領域が設けられた酸化物半導体からなる半導体層と、該半導体層上に上記チャンネル領域を介して互いに離間するように設けられたソース電極及びドレイン電極とを備え、

10

上記各補助容量が、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように上記酸化物半導体を用いて設けられた容量中間層と、該容量中間層上に設けられた容量電極とを備えた薄膜トランジスタ基板であって、

上記容量中間層は、導電性を有していることを特徴とする薄膜トランジスタ基板。

**【請求項 2】**

請求項 1 に記載された薄膜トランジスタ基板において、

上記容量電極は、上記ドレイン電極の一部であることを特徴とする薄膜トランジスタ基板。

**【請求項 3】**

20

請求項 2 に記載された薄膜トランジスタ基板において、

上記半導体層上には、上記チャンネル領域を少なくとも覆うように保護膜が設けられ、

上記容量中間層は、上記保護膜から露出していることを特徴とする薄膜トランジスタ基板。

**【請求項 4】**

請求項 1 に記載された薄膜トランジスタ基板において、

上記容量電極は、上記各画素電極の一部であることを特徴とする薄膜トランジスタ基板

。

**【請求項 5】**

請求項 4 に記載された薄膜トランジスタ基板において、

30

上記各薄膜トランジスタ上には、層間絶縁膜が設けられ、

上記容量中間層は、上記層間絶縁膜から露出していることを特徴とする薄膜トランジスタ基板。

**【請求項 6】**

マトリクス状に設けられた複数の画素電極と、

上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、

上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、

上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるようにチャンネル領域が設けられた酸化物半導体からなる半導体層と、該半導体層上に上記チャンネル領域を介して互いに離間するように設けられたソース電極及びドレイン電極とを備え、

40

上記各補助容量が、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように上記酸化物半導体を用いて設けられた容量中間層と、該容量中間層上に設けられた容量電極とを備えた薄膜トランジスタ基板を製造する方法であって、

基板に上記ゲート電極及び容量線を形成する第 1 工程と、

上記ゲート電極及び容量線を覆うように上記ゲート絶縁膜を形成した後に、該ゲート絶縁膜上に上記半導体層、及び上記容量中間層となる他の半導体層を形成する第 2 工程と、

上記チャンネル領域に重なりと共に、上記他の半導体層が露出するように保護膜を形成し

50

た後に、該保護膜から露出する上記他の半導体層を真空アニール処理により導体化して、上記容量中間層を形成する第3工程と、

上記半導体層上に上記ソース電極、及び上記容量電極として機能する上記ドレイン電極を形成する第4工程と、

上記ソース電極及びドレイン電極上に、該ドレイン電極に到達するコンタクトホールを有する層間絶縁膜を形成する第5工程と、

上記層間絶縁膜上に上記各画素電極を形成する第6工程とを備えることを特徴とする薄膜トランジスタ基板の製造方法。

【請求項7】

マトリクス状に設けられた複数の画素電極と、

上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、

上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、

上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるようにチャンネル領域が設けられた酸化物半導体からなる半導体層と、該半導体層上に上記チャンネル領域を介して互いに離間するように設けられたソース電極及びドレイン電極とを備え、

上記各補助容量が、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように上記酸化物半導体を用いて設けられた容量中間層と、該容量中間層上に設けられた容量電極とを備えた薄膜トランジスタ基板を製造する方法であって、

基板に上記ゲート電極及び容量線を形成する第1工程と、

上記ゲート電極及び容量線を覆うように上記ゲート絶縁膜、酸化物半導体膜及びソース金属膜を順に形成した後に、該ソース金属膜上に、上記ソース電極及びドレイン電極となる部分が相対的に厚く、且つ、上記チャンネル領域及び容量中間層となる部分が相対的に薄いレジストパターンを形成し、続いて、該レジストパターンから露出する上記ソース金属膜及び酸化物半導体膜をエッチングした後に、該レジストパターンを薄肉化することにより上記相対的に薄い部分を除去して露出させた上記ソース金属膜をエッチングして、上記半導体層、ソース電極及びドレイン電極、並びに上記容量中間層となる他の半導体層を形成する第2工程と、

上記半導体層のチャンネル領域に重なると共に、上記ドレイン電極の一部及び上記他の半導体層が露出するように層間絶縁膜を形成した後に、該層間絶縁膜から露出する上記他の半導体層を真空アニール処理により導体化して、上記容量中間層を形成する第3工程と、

上記層間絶縁膜上に上記容量電極として機能する上記各画素電極を形成する第4工程とを備えることを特徴とする薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ基板及びその製造方法に関し、特に、補助容量を備えた薄膜トランジスタ基板及びその製造方法に関するものである。

【背景技術】

【0002】

アクティブマトリクス駆動方式の液晶表示パネルは、画像の最小単位である各画素毎に、例えば、薄膜トランジスタ（Thin Film Transistor、以下、「TFT」とも称する）がスイッチング素子として設けられたTFT基板と、TFT基板に対向するように配置された対向基板と、両基板の間に封入された液晶層とを備えている。このTFT基板では、各画素の液晶層、すなわち、液晶容量に充電された電荷を安定に保持するために、各画素毎に補助容量が設けられている。

【0003】

例えば、特許文献1には、アモルファスシリコンなどの半導体からなる半導体パターン

10

20

30

40

50

、リンなどのn型不純物が高濃度にドーブされたアモルファスシリコンなどからなる接触層パターン、及びMo又はMoW合金、Cr、Al又はAl合金、Taなどの導電物質からなる維持蓄電器用導電パターンが順に積層された積層パターンと、積層パターンの下に位置するように設けられ、Mo又はMoW合金、Cr、Al又はAl合金、Taなどの導電物質からなる維持電極と、積層パターン及び維持電極の間に設けられたゲート絶縁膜とにより構成された(上記補助容量に相当する)維持蓄電器が形成されたTFT基板を4枚のマスクを用いて製造する方法が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許第3756363号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に開示されたように、補助容量を備えたTFT基板において、補助容量を構成する一对の電極の一方に半導体層が積層されていると、一对の電極の間に印加される電圧により、補助容量の電気容量が変動するので、そのTFT基板を備えた液晶表示パネルでは、表示品位が低下してしまう。

【0006】

本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、半導体に起因する補助容量の電気容量の変動を抑制することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明は、酸化物半導体を用いて設けられた容量中間層が導電性を有するようにしたものである。

【0008】

具体的に本発明に係る薄膜トランジスタ基板は、マトリクス状に設けられた複数の画素電極と、上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるようにチャンネル領域が設けられた酸化物半導体からなる半導体層と、該半導体層上に上記チャンネル領域を介して互いに離間するように設けられたソース電極及びドレイン電極とを備え、上記各補助容量が、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように上記酸化物半導体を用いて設けられた容量中間層と、該容量中間層上に設けられた容量電極とを備えた薄膜トランジスタ基板であって、上記容量中間層は、導電性を有していることを特徴とする。

【0009】

上記の構成によれば、各補助容量において、各薄膜トランジスタを構成する酸化物半導体からなる半導体層と同一層に設けられた容量中間層が半導体性でなく導電性を有しているので、容量線と容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜だけになり、電気容量が安定になる( $1/C_{\text{補助容量}} = 1/C_{\text{ゲート絶縁膜}}$ )。これに対して、容量中間層が酸化物半導体からなることにより半導体性を有している場合には、容量線と容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜及び半導体性を有する容量中間層になり、電気容量が不安定になる( $1/C_{\text{補助容量}} = 1/C_{\text{酸化物半導体}} + 1/C_{\text{ゲート絶縁膜}}$ )。これにより、容量中間層が酸化物半導体を用いて設けられていても導電性を有しているので、半導体に起因する補助容量の電気容量の変動が抑制される。また、容量線と容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜だけになるので、補助容量の電気容量が安定にな

10

20

30

40

50

るだけでなく、補助容量の電気容量が大きくなる。

【0010】

上記容量電極は、上記ドレイン電極の一部であってもよい。

【0011】

上記の構成によれば、容量電極がドレイン電極の一部であるので、容量線、ゲート絶縁膜、容量中間層及びドレイン電極の積層構造により補助容量が具体的に構成される。

【0012】

上記半導体層上には、上記チャネル領域を少なくとも覆うように保護膜が設けられ、上記容量中間層は、上記保護膜から露出しているもよい。

【0013】

上記の構成によれば、半導体層のチャネル領域上に保護膜が設けられ、容量中間層がその保護膜から露出しているため、酸化物半導体を用いた容量中間層が導電性を有するように、基板に対して、例えば、真空アニール処理を行っても、半導体層のチャネル領域が導体化されずに、その半導体性が保持される。

【0014】

上記容量電極は、上記各画素電極の一部であってもよい。

【0015】

上記の構成によれば、容量電極が各画素電極の一部であるので、容量線、ゲート絶縁膜、容量中間層及び画素電極の積層構造により補助容量が具体的に構成される。

【0016】

上記各薄膜トランジスタ上には、層間絶縁膜が設けられ、上記容量中間層は、上記層間絶縁膜から露出しているもよい。

【0017】

上記の構成によれば、各薄膜トランジスタ上に層間絶縁膜が設けられ、容量中間層がその層間絶縁膜から露出しているため、酸化物半導体を用いた容量中間層が導電性を有するように、基板に対して、例えば、真空アニール処理を行っても、各薄膜トランジスタを構成する半導体層が導体化されずに、その半導体性が保持される。

【0018】

また、本発明に係る薄膜トランジスタ基板の製造方法は、マトリクス状に設けられた複数の画素電極と、上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるようにチャネル領域が設けられた酸化物半導体からなる半導体層と、該半導体層上に上記チャネル領域を介して互いに離間するように設けられたソース電極及びドレイン電極とを備え、上記各補助容量が、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように上記酸化物半導体を用いて設けられた容量中間層と、該容量中間層上に設けられた容量電極とを備えた薄膜トランジスタ基板を製造する方法であって、基板に上記ゲート電極及び容量線を形成する第1工程と、上記ゲート電極及び容量線を覆うように上記ゲート絶縁膜を形成した後に、該ゲート絶縁膜上に上記半導体層、及び上記容量中間層となる他の半導体層を形成する第2工程と、上記チャネル領域に重なりと共に、上記他の半導体層が露出するように保護膜を形成した後に、該保護膜から露出する上記他の半導体層を真空アニール処理により導体化して、上記容量中間層を形成する第3工程と、上記半導体層上に上記ソース電極、及び上記容量電極として機能する上記ドレイン電極を形成する第4工程と、上記ソース電極及びドレイン電極上に、該ドレイン電極に到達するコンタクトホールを有する層間絶縁膜を形成する第5工程と、上記層間絶縁膜上に上記各画素電極を形成する第6工程とを備えることを特徴とする。

【0019】

上記の方法によれば、第2工程において、ゲート絶縁膜上にゲート電極に重なるように

10

20

30

40

50

チャンネル領域が設けられた酸化物半導体からなる半導体層、及びゲート絶縁膜上に容量線と重なるように容量中間層となる他の半導体層を形成した後に、第3工程において、チャンネル領域に重なる保護膜から露出する他の半導体層を真空アニール処理により導体化することにより、半導体層の半導体性を保持して、他の半導体層により容量中間層を形成するので、容量線、ゲート絶縁膜、容量中間層及びドレイン電極の積層構造により構成された各補助容量において、各薄膜トランジスタを構成する酸化物半導体からなる半導体層と同一層に設けられた容量中間層が半導体性でなく導電性を有していることにより、容量線と容量電極（ドレイン電極）との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜だけになり、電気容量が安定になる（ $1/C_{\text{補助容量}} = 1/C_{\text{ゲート絶縁膜}}$ ）。これに対して、容量中間層が酸化物半導体からなることにより半導体性を有している場合には、容量線と容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜及び半導体性を有する容量中間層になり、電気容量が不安定になる（ $1/C_{\text{補助容量}} = 1/C_{\text{酸化物半導体}} + 1/C_{\text{ゲート絶縁膜}}$ ）。これにより、容量中間層が酸化物半導体を用いて設けられていても導電性を有しているので、半導体に起因する補助容量の電気容量の変動が抑制される。また、容量線と容量電極（ドレイン電極）との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜だけになるので、補助容量の電気容量が安定になるだけでなく、補助容量の電気容量が大きくなる。

10

20

30

40

50

#### 【0020】

また、本発明に係る薄膜トランジスタ基板の製造方法は、マトリクス状に設けられた複数の画素電極と、上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるようにチャンネル領域が設けられた酸化物半導体からなる半導体層と、該半導体層上に上記チャンネル領域を介して互いに離間するように設けられたソース電極及びドレイン電極とを備え、上記各補助容量が、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように上記酸化物半導体を用いて設けられた容量中間層と、該容量中間層上に設けられた容量電極とを備えた薄膜トランジスタ基板を製造する方法であって、基板に上記ゲート電極及び容量線を形成する第1工程と、上記ゲート電極及び容量線を覆うように上記ゲート絶縁膜、酸化物半導体膜及びソース金属膜を順に形成した後に、該ソース金属膜上に、上記ソース電極及びドレイン電極となる部分が相対的に厚く、且つ、上記チャンネル領域及び容量中間層となる部分が相対的に薄いレジストパターンを形成し、続いて、該レジストパターンから露出する上記ソース金属膜及び酸化物半導体膜をエッチングした後に、該レジストパターンを薄肉化することにより上記相対的に薄い部分を除去して露出させた上記ソース金属膜をエッチングして、上記半導体層、ソース電極及びドレイン電極、並びに上記容量中間層となる他の半導体層を形成する第2工程と、上記半導体層のチャンネル領域に重なると共に、上記ドレイン電極の一部及び上記他の半導体層が露出するように層間絶縁膜を形成した後に、該層間絶縁膜から露出する上記他の半導体層を真空アニール処理により導体化して、上記容量中間層を形成する第3工程と、上記層間絶縁膜上に上記容量電極として機能する上記各画素電極を形成する第4工程とを備えることを特徴とする。

#### 【0021】

上記の方法によれば、第2工程において、ゲート絶縁膜上にゲート電極に重なるようにチャンネル領域が設けられた酸化物半導体からなる半導体層、及びゲート絶縁膜上に容量線と重なるように容量中間層となる他の半導体層を形成した後に、第3工程において、チャンネル領域に重なる層間絶縁膜から露出する他の半導体層を真空アニール処理により導体化することにより、半導体層の半導体性を保持して、他の半導体層により容量中間層を形成するので、容量線、ゲート絶縁膜、容量中間層及び画素電極の積層構造により構成された各補助容量において、各薄膜トランジスタを構成する酸化物半導体からなる半導体層と同一層に設けられた容量中間層が半導体性でなく導電性を有していることにより、容量線と

容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜だけになり、電気容量が安定になる（ $1/C_{\text{補助容量}} = 1/C_{\text{ゲート絶縁膜}}$ ）。これに対して、容量中間層が酸化物半導体からなることにより半導体性を有している場合には、容量線と容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜及び半導体性を有する容量中間層になり、電気容量が不安定になる（ $1/C_{\text{補助容量}} = 1/C_{\text{酸化物半導体}} + 1/C_{\text{ゲート絶縁膜}}$ ）。これにより、容量中間層が酸化物半導体を用いて設けられていても導電性を有しているので、半導体に起因する補助容量の電気容量の変動が抑制される。また、容量線と容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜だけになるので、補助容量の電気容量が安定になるだけでなく、補助容量の電気容量が大きくなる。さらに、第1工程に用いるフォトマスク、第2工程に用いる（ハーフ露光が可能な）フォトマスク、第3工程に用いるフォトマスク及び第4工程に用いるフォトマスクの計4枚のフォトマスクを用いて薄膜トランジスタ基板が製造されるので、薄膜トランジスタ基板の製造コストが低減される。

10

【発明の効果】

【0022】

本発明によれば、酸化物半導体を用いて設けられた容量中間層が導電性を有しているので、半導体に起因する補助容量の電気容量の変動を抑制することができる。

【図面の簡単な説明】

【0023】

【図1】図1は、実施形態1に係るTFT基板の平面図である。

20

【図2】図2は、図1中のII-II線に沿ったTFT基板の断面図である。

【図3】図3は、実施形態1に係るTFT基板の製造工程を断面で示す説明図である。

【図4】図4は、第1の実験例におけるTFT特性を示すグラフである。

【図5】図5は、第2の実験例におけるTFT特性を示すグラフである。

【図6】図6は、第3の実験例におけるアニール温度と表面抵抗率との関係を示すグラフである。

【図7】図7は、第4の実験例におけるアニール時間と比電気抵抗との関係を示すグラフである。

【図8】図8は、実施形態2に係るTFT基板の平面図である。

【図9】図9は、図8中のIX-IX線に沿ったTFT基板の断面図である。

30

【図10】図10は、実施形態2に係るTFT基板の製造工程を断面で示す説明図である。

【発明を実施するための形態】

【0024】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

【0025】

《発明の実施形態1》

図1～図7は、本発明に係るTFT基板及びその製造方法の実施形態1を示している。具体的に、図1は、本実施形態のTFT基板30aの平面図であり、図2は、図1中のII-II線に沿ったTFT基板30aの断面図である。

40

【0026】

TFT基板30aは、図1及び図2に示すように、絶縁基板10と、絶縁基板10上に互いに平行に延びるように設けられた複数のゲート線11aと、各ゲート線11aの間にそれぞれ設けられ、互いに平行に延びるように配置された複数の容量線11bと、各ゲート線11aと直交する方向に互いに平行に延びるように設けられた複数のソース線15aと、各ゲート線11a及び各ソース線15aの交差部分毎、すなわち、画像の最小単位である各画素毎にそれぞれ設けられた複数のTFT5aと、各TFT5aを覆うように設けられた層間絶縁膜16と、層間絶縁膜16上にマトリクス状に設けられた複数の画素電極17と、各画素電極17を覆うように設けられた配向膜（不図示）とを備えている。

50

## 【0027】

TFT5aは、図1及び図2に示すように、絶縁基板10上に設けられたゲート電極(11a)と、ゲート電極(11a)を覆うように設けられたゲート絶縁膜12と、ゲート絶縁膜12上に設けられ、ゲート電極(11a)に重なるようにチャンネル領域Cが配置された半導体層13aと、半導体層13aのチャンネル領域Cを少なくとも覆うように設けられた保護膜14と、半導体層13a上に設けられ、チャンネル領域Cを介して互いに離間するように配置されたソース電極15aa及びドレイン電極15bとを備えている。

## 【0028】

ゲート電極(11a)は、図1に示すように、各ゲート線11aの一部である。

## 【0029】

ソース電極15aaは、図1に示すように、各ソース線15aが側方にL字状に突出した部分である。また、ソース電極15aaは、図1及び図2に示すように、保護膜14に形成されたコンタクトホール14aを介して半導体層13aに接続されている。

## 【0030】

ドレイン電極15bは、図1及び図2に示すように、層間絶縁膜16に形成されたコンタクトホール16aを介して画素電極17に接続されていると共に、保護膜14に形成されたコンタクトホール14bを介して半導体層13aに接続されている。また、ドレイン電極15bは、図1及び図2に示すように、ゲート絶縁膜12及び容量中間層13cを介して容量線11bと重なることにより補助容量6aを構成している。

## 【0031】

半導体層13aは、例えば、 $\text{InGaZnO}_4$ などのIn-Ga-Zn-O系の酸化物半導体により構成されている。

## 【0032】

容量中間層13cは、例えば、 $\text{InGaZnO}_4$ などのIn-Ga-Zn-O系の酸化物半導体を用いて、図2に示すように、その大部分が保護膜14から露出するように設けられている。また、容量中間層13cは、導電性を有し、図1及び図2に示すように、保護膜14に形成されたコンタクトホール14cを介してドレイン電極15bに接続されている。

## 【0033】

上記構成のTFT基板30aは、それに対向して配置される対向基板と、それらの両基板の間に封入される液晶層と共に、アクティブマトリクス駆動方式の液晶表示パネルを構成するものである。

## 【0034】

次に、本実施形態のTFT基板30aを製造する方法について、図3を用いて説明する。ここで、図3は、図2の断面図に対応して、本実施形態のTFT基板30aの製造工程を断面で示す説明図である。なお、本実施形態の製造方法は、第1工程、第2工程、第3工程、第4工程、第5工程及び第6工程を備える。

## 【0035】

まず、ガラス基板などの絶縁基板10の基板全体に、スパッタリング法により、例えば、チタン膜(2000程度)などの金属膜を成膜した後に、その金属膜をパターニングすることにより、図3(a)に示すように、ゲート線11a、ゲート電極(11a)及び容量線11bを形成する(第1工程)。

## 【0036】

続いて、ゲート線11a、ゲート電極(11a)及び容量線11bが形成された基板全体に、CVD(Chemical Vapor Deposition)法により、例えば、窒化シリコン膜(厚さ200nm~500nm程度)及び酸化シリコン膜(厚さ20nm~500nm程度)などを順に成膜することにより、ゲート絶縁膜12を形成し、さらに、例えば、スパッタリング法又は塗布法により、 $\text{InGaZnO}_4$ などのIn-Ga-Zn-O系の酸化物半導体膜(厚さ200~500程度)を室温で成膜した後に、その酸化物半導体膜をパターニングすることにより、図3(b)に示すように、半導体層13a及び他の半導体層1

10

20

30

40

50



3 bを形成する(第2工程)。

【0037】

そして、半導体層13 a及び他の半導体層13 bが形成された基板全体に、CVD法により、例えば、酸化シリコン膜(厚さ20 nm~500 nm程度)などの無機絶縁膜を成膜し、その無機絶縁膜をパターニングすることにより、図3(c)に示すように、コンタクトホール14 a、14 b及び14 cを有する保護膜14を形成した後に、保護膜14が形成された基板に対して、赤外線ヒーターや拡散炉などを用いて真空アニール処理(アニール温度:250~350、アニール時間:5分~2時間、チャンパー内圧力: $10^{-3}$  Pa以下)を行うことにより、他の半導体層13 bを導体化して、容量中間層13 cを形成する(第3工程)。ここで、アニール温度が350を超えると、ガラス基板(絶縁基板10 a)が破損し易くなる。また、アニール時間が5分~2時間の範囲であれば、再現性よくTFT特性を得ることができる。また、チャンパー内圧力が $10^{-3}$  Paを超えると、チャンパー内の酸素濃度が高くなり、酸素欠陥が起き難くなるので、他の半導体層13 bが導体化し難くなる。

10

【0038】

続いて、容量中間層13 cが形成された基板全体に、スパッタリング法により、例えば、チタン膜(300程度)及びアルミニウム膜(2000程度)、チタン膜(300程度)及び銅膜(2000程度)、又はチタン膜(300程度)、アルミニウム膜(2000程度)及びチタン膜(1000程度)などを順に成膜した後に、その金属積層膜をパターニング(酢酸、リン酸及び硝酸の混合液、並びにシュウ酸によるエッチング)することにより、図3(d)に示すように、ソース線15 a、ソース電極15 a a及びドレイン電極15 bを形成して、TFT 5 a及び補助容量6 aを形成する(第4工程)。

20

【0039】

さらに、TFT 5 a及び補助容量6 aが形成された基板全体に、例えば、CVD法により、例えば、酸化シリコン膜(厚さ20 nm~500 nm程度)などの無機絶縁膜を成膜し、その無機絶縁膜をパターニングすることにより、図3(e)に示すように、コンタクトホール16 aを有する層間絶縁膜16を形成する(第5工程)。

【0040】

最後に、層間絶縁膜16が形成された基板全体に、スパッタリング法により、例えば、ITO(Indium Tin Oxide)膜(厚さ50 nm~200 nm程度)などの透明導電膜を成膜した後に、その透明導電膜をパターニングすることにより、図2に示すように、画素電極17を形成する(第6工程)。

30

【0041】

以上のようにして、TFT基板30 aを製造することができる。

【0042】

次に、具体的に行った実験について、図4~図7を用いて説明する。ここで、図4は、第1の実験例におけるTFT特性を示すグラフであり、図5は、第2の実験例におけるTFT特性を示すグラフである。また、図6は、第3の実験例におけるアニール温度と表面抵抗率との関係を示すグラフである。さらに、図7は、第4の実験例におけるアニール時間と比電気抵抗との関係を示すグラフである。

40

【0043】

まず、第1の実験例では、本実施形態の製造方法と異なり、220で5分間、真空アニール処理を行ったTFT基板を準備し、その準備されたTFT基板のTFT特性を測定した(図4参照)。

【0044】

また、第2の実験例では、本実施形態の製造方法と同様に、322で5分間、真空アニール処理を行ったTFT基板を準備し、その準備されたTFT基板のTFT特性を測定した(図5参照)。

【0045】

50

第1及び第2の実験例の結果としては、真空アニール処理において、アニール温度が220と低いと、他の半導体層（容量中間層）が半導体性（図4参照）を示すものの、アニール温度が322と適温であると、他の半導体層（容量中間層）が導体性（図5参照）を示すようになることが確認された。

【0046】

次に、第3の実験例では、ガラス基板の上に、 $\text{InGaZnO}_4$ からなる半導体膜を形成した後に、真空アニール処理前の初期（図6中の線a参照）、220で5分間の真空アニール処理後（図6中の線c参照）、及び330で5分間の真空アニール処理後（図6中の線b参照）における表面抵抗率を測定器（三菱化学アナリテック社製MCP-HT450）を用いて測定した。ここで、表面抵抗率（ $\Omega/\square$ ：オームパースクエア）は、単位面積当たりの抵抗であり、シート抵抗又は単に表面抵抗とも呼ばれるものである。なお、図6では、横軸の $S_1$ 、 $S_2$ 及び $S_3$ は、半導体膜の $\text{In-Ga-Zn-O}$ の組成比の違いを示している。

【0047】

第3の実験例の結果としては、図6に示すように、初期及び220で5分間の真空アニール処理後において、TFT特性が得られる表面抵抗率の範囲（ $1.0 \times 10^9 \Omega/\square \sim 1.0 \times 10^{13} \Omega/\square$ ）の表面抵抗率を示し、330で5分間の真空アニール処理後において、導電体のような表面抵抗率を示すことが確認された。

【0048】

次に、第4の実験例では、ガラス基板の上に、 $\text{InGaZnO}_4$ からなる半導体膜を形成した後に、220（図7中の線a参照）又は350（図7中の線b参照）で真空アニール処理を行い、アニール時間毎の比電気抵抗を測定器（三菱化学アナリテック社製MCP-HT450）を用いて測定した。

【0049】

第4の実験例の結果としては、図7に示すように、アニール温度が220である場合、アニール時間の経過と共に比電気抵抗が抵抗し、アニール温度が350である場合、アニール時間の経過と共に比電気抵抗が抵抗するものの、アニール時間が0.3時間を超えると、比電気抵抗がほぼ一定になることが確認された。

【0050】

上記第1～第4の実験例により、酸化物半導体からなる半導体層に対して、適切な真空アニール処理を行うことにより、導電性が付与されることが確認された。

【0051】

以上説明したように、本実施形態のTFT基板30a及びその製造方法によれば、第2工程において、ゲート絶縁膜12上にゲート電極（11a）に重なるようにチャネル領域Cが設けられた酸化物半導体からなる半導体層13a、及びゲート絶縁膜12上に容量線11bと重なるように容量中間層13cとなる他の半導体層13bを形成した後に、第3工程において、チャネル領域Cに重なる保護膜14から露出する他の半導体層13bを真空アニール処理により導体化することにより、半導体層13aの半導体性を保持して、他の半導体層13bにより容量中間層13cを形成するので、容量線11b、ゲート絶縁膜12、容量中間層13c及びドレイン電極15bの積層構造により構成された各補助容量6aにおいて、各TFT5aを構成する酸化物半導体からなる半導体層13aと同一層に設けられた容量中間層13cが半導体性でなく導電性を有していることにより、容量線11bとドレイン電極15bとの間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜12だけになり、電気容量を安定にすることができる（ $1/C_{\text{補助容量}} = 1/C_{\text{ゲート絶縁膜}}$ ）。これに対して、容量中間層が酸化物半導体からなることにより半導体性を有している場合には、容量線とドレイン電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜及び半導体性を有する容量中間層になり、電気容量が不安定になってしまう（ $1/C_{\text{補助容量}} = 1/C_{\text{酸化物半導体}} + 1/C_{\text{ゲート絶縁膜}}$ ）。これにより、容量中間層13cが酸化物半導体を用いて設けられていても導電性を有しているので、半導体に起因する補助容量6aの電気容量の変動を抑制することができる。また

、容量線 1 1 b とドレイン電極 1 5 b との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜 1 2 だけになるので、補助容量 6 a の電気容量を安定にすることができるだけでなく、補助容量 6 a の電気容量を大きくすることができる。さらに、T F T 基板 3 0 a では、酸化物半導体からなる半導体層 1 3 a が設けられているので、高移動度、高信頼性及び低オフ電流などの良好な特性を有する T F T 5 a を実現することができる。

【 0 0 5 2 】

また、本実施形態の T F T 基板 3 0 a 及びその製造方法によれば、半導体層 1 3 a のチャンネル領域 C 上に保護膜 1 4 が設けられ、容量中間層 1 3 c の大部分がその保護膜 1 4 から露出しているため、酸化物半導体を用いた容量中間層 1 3 c が導電性を有するように、基板に対して、真空アニール処理を行っても、半導体層 1 3 a のチャンネル領域 C を導体化させることなく、その半導体性を保持させることができる。

10

【 0 0 5 3 】

《 発明の実施形態 2 》

図 8 ~ 図 1 0 は、本発明に係る T F T 基板及びその製造方法の実施形態 2 を示している。具体的に、図 8 は、本実施形態の T F T 基板 3 0 b の平面図であり、図 9 は、図 8 中の I X - I X 線に沿った T F T 基板 3 0 b の断面図である。なお、以下の実施形態において、図 1 ~ 図 7 と同じ部分については同じ符号を付して、その詳細な説明を省略する。

【 0 0 5 4 】

上記実施形態 1 では、補助容量を構成する容量電極がドレイン電極の一部である T F T 基板 3 0 a 及びその製造方法を例示したが、本実施形態では、容量電極が画素電極の一部である T F T 基板 3 0 b 及びその（ 4 枚のフォトリソを用いた）製造方法を例示する。

20

【 0 0 5 5 】

T F T 基板 3 0 b は、図 8 及び図 9 に示すように、絶縁基板 1 0 と、絶縁基板 1 0 上に互いに平行に延びるように設けられた複数のゲート線 2 1 a と、各ゲート線 2 1 a の間にそれぞれ設けられ、互いに平行に延びるように配置された複数の容量線 2 1 b と、各ゲート線 2 1 a と直交する方向に互いに平行に延びるように設けられた複数のソース線 2 4 a と、各ゲート線 2 1 a 及び各ソース線 2 4 a の交差部分毎、すなわち、画像の最小単位である各画素毎にそれぞれ設けられた複数の T F T 5 b と、各 T F T 5 b を覆うように設けられた層間絶縁膜 2 5 と、層間絶縁膜 2 5 上にマトリクス状に設けられた複数の画素電極 2 6 と、各画素電極 2 6 を覆うように設けられた配向膜（不図示）とを備えている。

30

【 0 0 5 6 】

T F T 5 b は、図 8 及び図 9 に示すように、絶縁基板 1 0 上に設けられたゲート電極（ 2 1 a ）と、ゲート電極（ 2 1 a ）を覆うように設けられたゲート絶縁膜 2 2 と、ゲート絶縁膜 2 2 上に設けられ、ゲート電極（ 2 1 a ）に重なるようにチャンネル領域 C が配置された半導体層 2 3 a と、半導体層 2 3 a 上に設けられ、チャンネル領域 C を介して互いに離間するように配置されたソース電極 2 4 a a 及びドレイン電極 2 4 b とを備えている。

【 0 0 5 7 】

ゲート電極（ 2 1 a ）は、図 8 に示すように、各ゲート線 2 1 a の一部である。

【 0 0 5 8 】

ソース電極 2 4 a a は、図 8 に示すように、各ソース線 2 4 a が側方に L 字状に突出した部分である。

40

【 0 0 5 9 】

ドレイン電極 2 4 b は、図 8 及び図 9 に示すように、層間絶縁膜 2 5 に形成されたコンタクトホール 2 5 a を介して画素電極 2 6 に接続されている。ここで、画素電極 2 6 は、図 8 及び図 9 に示すように、ゲート絶縁膜 2 2 及び容量中間層 2 3 c を介して容量線 2 1 b と重なることにより補助容量 6 b を構成している。

【 0 0 6 0 】

半導体層 2 3 a は、例えば、 $\text{InGaZnO}_4$  などの  $\text{In-Ga-Zn-O}$  系の酸化物半導体により構成されている。

50

## 【0061】

容量中間層23cは、例えば、 $\text{InGaZnO}_4$ などのIn-Ga-Zn-O系の酸化物半導体を用いて、図9に示すように、その大部分が層間絶縁膜25から露出するように設けられている。また、容量中間層23cは、導電性を有し、図8及び図9に示すように、層間絶縁膜25に形成されたコンタクトホール25bを介して画素電極26に接続されている。

## 【0062】

上記構成のTFT基板30bは、それに対向して配置される対向基板と、それらの両基板の間に封入される液晶層と共に、アクティブマトリクス駆動方式の液晶表示パネルを構成するものである。

10

## 【0063】

次に、本実施形態のTFT基板30bを製造する方法について、図10を用いて説明する。ここで、図10は、図9の断面図に対応して、本実施形態のTFT基板30bの製造工程を断面で示す説明図である。なお、本実施形態の製造方法は、第1工程、第2工程、第3工程及び第4工程を備える。

## 【0064】

まず、ガラス基板などの絶縁基板10の基板全体に、スパッタリング法により、例えば、チタン膜(2000程度)などの金属膜を成膜した後に、その金属膜をフォトリソグラフィを用いてパターンングすることにより、図10(a)に示すように、ゲート線21a、ゲート電極(21a)及び容量線21bを形成する(第1工程)。

20

## 【0065】

続いて、ゲート線21a、ゲート電極(21a)及び容量線21bが形成された基板全体に、CVD法により、例えば、窒化シリコン膜(厚さ200nm~500nm程度)及び酸化シリコン膜(厚さ20nm~500nm程度)などを順に成膜してゲート絶縁膜22(図10(b)参照)を形成し、その後、例えば、スパッタリング法又は塗布法により、 $\text{InGaZnO}_4$ などのIn-Ga-Zn-O系の酸化物半導体膜(厚さ200~500程度)を室温で成膜して酸化物半導体膜23(図10(b)参照)を形成し、さらに、スパッタリング法により、例えば、チタン膜(300程度)及びアルミニウム膜(2000程度)、チタン膜(300程度)及び銅膜(2000程度)、又はチタン膜(300程度)、アルミニウム膜(2000程度)及びチタン膜(1000程度)などを順に成膜してソース金属膜24(図10(b)参照)を形成する。そして、ソース金属膜24上に感光性樹脂膜Rを塗布し、その塗布された感光性樹脂膜Rをハーフトーン又はグレイトーンのハーフ露光が可能なフォトマスクを介して露光した後に、現像することにより、図10(b)に示すように、ソース線24a、ソース電極24aa及びドレイン電極24bとなる部分が相対的に厚く、チャンネル領域C及び容量中間層23cとなる部分が相対的に薄いレジストパターンRaを形成する。続いて、レジストパターンRaから露出するソース金属膜24、及びその下層の酸化物半導体膜23をエッチングし、さらに、レジストパターンRaをアッシングなどで薄肉化することにより相対的に薄い部分を除去して、レジストパターンRb(図10(c)参照)を形成した後に、レジストパターンRbから露出するソース金属膜24をエッチングすることにより、図10(c)に示すように、半導体層23a、ソース線24a、ソース電極24aa及びドレイン電極24b、並びに容量中間層23cとなる他の半導体層23bを形成する(第2工程)。

30

40

## 【0066】

そして、半導体層23a、ソース線24a、ソース電極24aa、ドレイン電極24b及び他の半導体層23bが形成された基板全体に、CVD法により、例えば、酸化シリコン膜(厚さ20nm~500nm程度)などの無機絶縁膜を成膜し、その無機絶縁膜をフォトリソグラフィを用いてパターンングすることにより、図10(d)に示すように、コンタクトホール25a及び25bを有する層間絶縁膜25を形成した後に、層間絶縁膜25が形成された基板に対して、赤外線ヒーターや拡散炉などを用いて真空アニール処理を行うことにより、他の半導体層23bを導体化して、図10(e)に示すように、容量中

50

間層 23c を形成する（第 3 工程）。

【0067】

最後に、容量中間層 23c が形成された基板全体に、スパッタリング法により、例えば、ITO 膜（厚さ 50 nm ~ 200 nm 程度）などの透明導電膜を成膜した後に、その透明導電膜をフォトリソグラフィを用いてパターンングすることにより、図 9 に示すように、画素電極 26 を形成する（第 4 工程）。

【0068】

以上のようにして、TFT 基板 30b を製造することができる。

【0069】

以上説明したように、本実施形態の TFT 基板 30b 及びその製造方法によれば、第 2 10  
 工程において、ゲート絶縁膜 22 上にゲート電極（21a）に重なるようにチャネル領域 C が設けられた酸化物半導体からなる半導体層 23a、及びゲート絶縁膜 22 上に容量線 21b と重なるように容量中間層 23c となる他の半導体層 23b を形成した後に、第 3 工程において、チャネル領域 C に重なる層間絶縁膜 25 から露出する他の半導体層 23b を真空アニール処理により導体化することにより、半導体層 23a の半導体性を保持して、他の半導体層 23b により容量中間層 23c を形成するので、容量線 21b、ゲート絶縁膜 22、容量中間層 23c 及び画素電極 26 の積層構造により構成された各補助容量 6b において、各 TFT 5a を構成する酸化物半導体からなる半導体層 23a と同一層に設けられた容量中間層 23c が半導体性でなく導電性を有していることにより、容量線 21b と画素電極 26 との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜 22 だけになり、電気容量を安定にすることができる（ $1/C_{\text{補助容量}} = 1/C_{\text{ゲート絶縁膜}}$ ）。これに対して、容量中間層が酸化物半導体からなることにより半導体性を有している場合には、容量線と画素電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜及び半導体性を有する容量中間層になり、電気容量が不安定になってしまう（ $1/C_{\text{補助容量}} = 1/C_{\text{酸化物半導体}} + 1/C_{\text{ゲート絶縁膜}}$ ）。これにより、容量中間層 23c が酸化物半導体を用いて設けられていても導電性を有しているので、半導体に起因する補助容量 6b の電気容量の変動を抑制することができる。また、容量線 21b と画素電極 26 との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜 22 だけになるので、補助容量 6b の電気容量を安定にすることができるだけでなく、補助容量 6b の電気容量を大きくすることができる。さらに、第 1 工程に用いるフォトマスク、第 2 工程に用いるハーフ露光が可能なフォトマスク、第 3 工程に用いるフォトマスク及び第 4 工程に用いるフォトマスクの計 4 枚のフォトマスクを用いて TFT 基板 30b を製造することができるので、TFT 基板 30b の製造コストを低減することができる。また、TFT 基板 30b では、酸化物半導体からなる半導体層 23a が設けられているので、高移動度、高信頼性及び低オフ電流などの良好な特性を有する TFT 5b を実現することができる。

【0070】

また、本実施形態の TFT 基板 30b 及びその製造方法によれば、各 TFT 5b 上に層間絶縁膜 25 が設けられ、容量中間層 23c の大部分がその層間絶縁膜 25 から露出しているので、酸化物半導体を用いた容量中間層 23c が導電性を有するように、基板に対して、真空アニール処理を行っても、各 TFT 5b を構成する半導体層 23a を導体化させることなく、その半導体性を保持させることができる。

【0071】

なお、上記各実施形態では、In-Ga-Zn-O 系の酸化物半導体層を例示したが、本発明は、例えば、In-Si-Zn-O 系、In-Al-Zn-O 系、Sn-Si-Zn-O 系、Sn-Al-Zn-O 系、Sn-Ga-Zn-O 系、Ga-Si-Zn-O 系、Ga-Al-Zn-O 系、In-Cu-Zn-O 系、Sn-Cu-Zn-O 系、Zn-O 系、In-O 系、In-Zn-O 系などの酸化物半導体層にも適用することができる。

【0072】

また、上記各実施形態では、単層構造を有するゲート線（ゲート電極）及び容量線を例

10

20

30

40

50

示したが、ゲート線（ゲート電極）及び容量線は、積層構造を有するものであってもよい。

【0073】

また、上記各実施形態では、積層構造を有するソース線、ソース電極及びドレイン電極を例示したが、ソース線、ソース電極及びドレイン電極は、単層構造を有するものであってもよい。

【0074】

また、上記各実施形態では、積層構造を有するゲート絶縁膜を例示したが、ゲート絶縁膜は、単層構造を有するものであってもよい。

【0075】

また、上記各実施形態では、単層構造を有する保護膜及び層間絶縁膜を例示したが、保護膜及び層間絶縁膜は、積層構造を有するものであってもよい。

【0076】

また、上記各実施形態では、画素電極に接続されたTFTの電極をドレイン電極としたTFT基板を例示したが、本発明は、画素電極に接続されたTFTの電極をソース電極と呼ぶTFT基板にも適用することができる。

【産業上の利用可能性】

【0077】

以上説明したように、本発明は、半導体に起因する補助容量の電気容量の変動を抑制することができるので、液晶表示パネルを構成するTFT基板について有用である。

【符号の説明】

【0078】

C	チャンネル領域
R	レジストパターン
5 a , 5 b	TFT
6 a , 6 b	補助容量
10	絶縁基板
11 a , 21 a	ゲート線（ゲート電極）
11 b , 21 b	容量線
12 , 22	ゲート絶縁膜
13 a , 23 a	半導体層
13 b , 23 b	他の半導体層
13 c , 23 c	容量中間層
14	保護膜
15 a a , 24 a a	ソース電極
15 b , 24 b	ドレイン電極（容量電極）
17	画素電極
23	酸化物半導体膜
24	ソース金属膜
25	層間絶縁膜
25 b	コンタクトホール
26	画素電極（容量電極）
30 a , 30 b	TFT基板

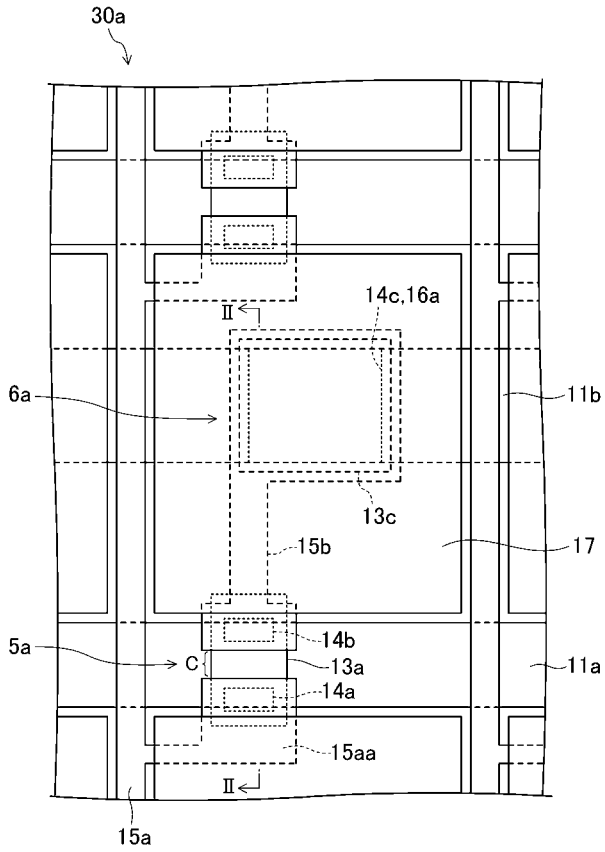
10

20

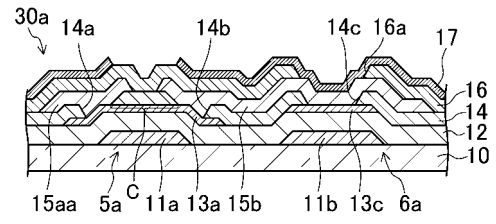
30

40

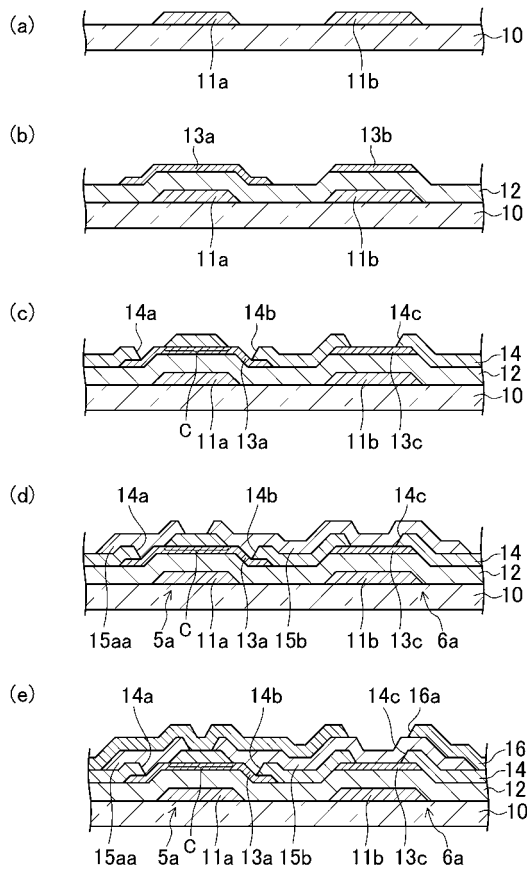
【 図 1 】



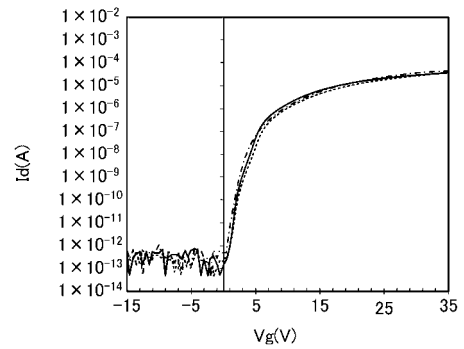
【 図 2 】



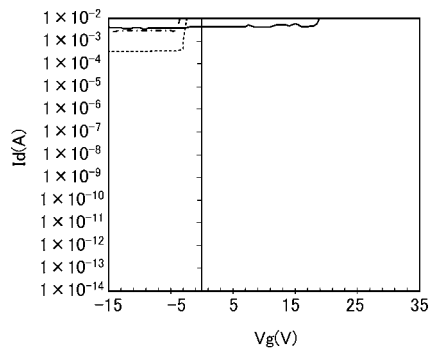
【 図 3 】



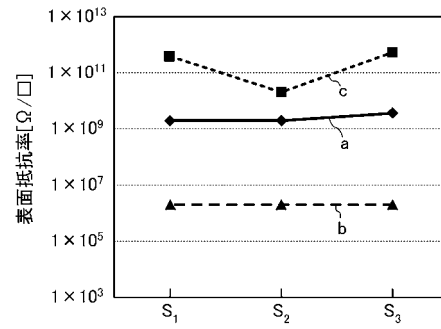
【 図 4 】



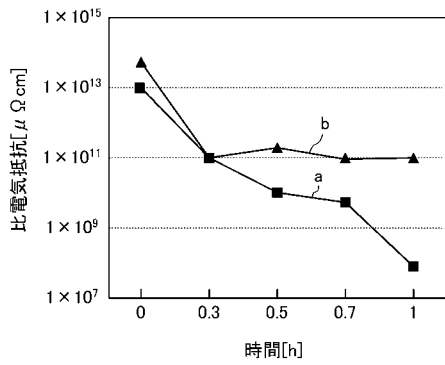
【 図 5 】



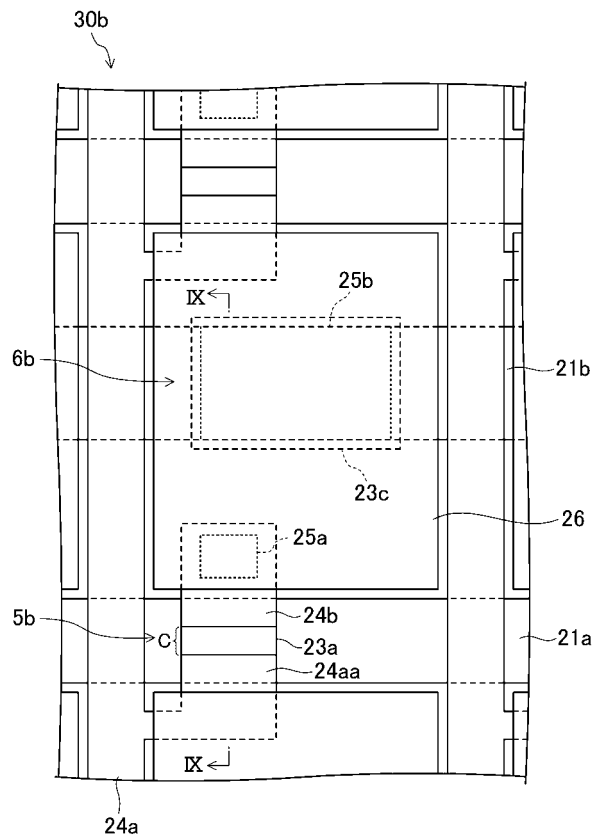
【 図 6 】



【 図 7 】

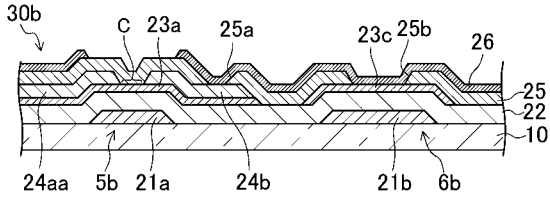


【 図 8 】

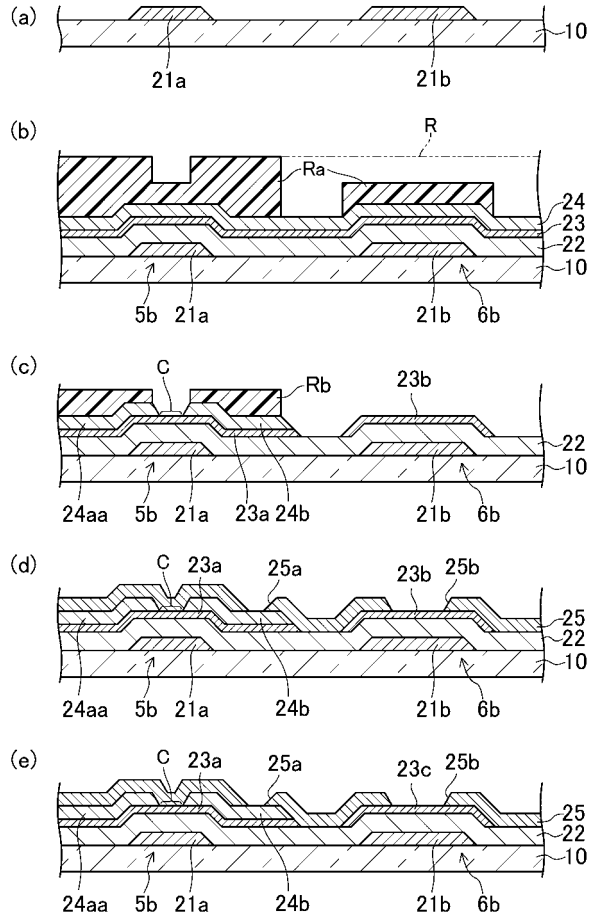




【図 9】



【図 10】



【手続補正書】

【提出日】平成24年9月3日(2012.9.3)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マトリクス状に設けられた複数の画素電極と、  
 上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、

上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、

上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるようにチャンネル領域が設けられた酸化物半導体からなる半導体層と、該半導体層上に上記チャンネル領域を介して互いに離間するように設けられたソース電極及びドレイン電極とを備え、

上記各補助容量が、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように上記酸化物半導体を用いて設けられた容量中間層と、該容量中間層上に設けられた容量電極とを備えた薄膜トランジスタ基板を製造する方法であって、

基板に上記ゲート電極及び容量線を形成する第 1 工程と、

上記ゲート電極及び容量線を覆うように上記ゲート絶縁膜、酸化物半導体膜及びソース金属膜を順に形成した後に、該ソース金属膜上に、上記ソース電極及びドレイン電極となる部分が相対的に厚く、且つ、上記チャンネル領域及び容量中間層となる部分が相対的に薄

いレジストパターンを形成し、続いて、該レジストパターンから露出する上記ソース金属膜及び酸化物半導体膜をエッチングした後に、該レジストパターンを薄肉化することにより上記相対的に薄い部分を除去して露出させた上記ソース金属膜をエッチングして、上記半導体層、ソース電極及びドレイン電極、並びに上記容量中間層となる他の半導体層を形成する第2工程と、

上記半導体層のチャンネル領域に重なりと共に、上記ドレイン電極の一部及び上記他の半導体層が露出するように層間絶縁膜を形成した後に、該層間絶縁膜から露出する上記他の半導体層を真空アニール処理により導体化して、上記容量中間層を形成する第3工程と、

上記層間絶縁膜上に上記容量電極として機能する上記各画素電極を形成する第4工程とを備えることを特徴とする薄膜トランジスタ基板の製造方法。

【請求項2】

請求項1に記載された薄膜トランジスタ基板の製造方法において、

上記酸化物半導体は、In-Ga-Zn-O系であることを特徴とする薄膜トランジスタ基板の製造方法。

【請求項3】

請求項1又は2に記載された薄膜トランジスタ基板の製造方法において、

上記第2工程では、上記ゲート電極及び容量線を覆うように、窒化シリコン膜及び酸化シリコン膜を順に成膜して上記ゲート絶縁膜を形成することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項4】

請求項1～3の何れか1つに記載された薄膜トランジスタ基板の製造方法において、

上記第2工程では、スパッタリング法又は塗布法により、上記酸化物半導体膜を形成することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項5】

請求項1～4の何れか1つに記載された薄膜トランジスタ基板の製造方法において、

上記第2工程では、上記酸化物半導体膜を覆うように、チタン膜及びアルミニウム膜、チタン膜及び銅膜、又はチタン膜、アルミニウム膜及びチタン膜を順に成膜して上記金属膜を形成することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項6】

請求項1～5の何れか1つに記載された薄膜トランジスタ基板の製造方法において、

上記層間絶縁膜は、酸化シリコン膜であることを特徴とする薄膜トランジスタ基板の製造方法。

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2011/000800
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> G09F9/30(2006.01)i, G02F1/1368(2006.01)i, H01L29/786(2006.01)i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) G09F9/00-9/46, G02F1/13-1/141, H01L21/336, H01L27/32, H01L29/786, H01L51/50, H05B33/00-33/28  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011 Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-114213 A (Sony Corp.), 20 May 2010 (20.05.2010), paragraphs [0011] to [0055], [0076]; fig. 1 to 5, 9 to 17 & US 2010/0109004 A1 & CN 101740564 A	1-3 4-6 7
Y	JP 11-103066 A (Semiconductor Energy Laboratory Co., Ltd.), 13 April 1999 (13.04.1999), paragraphs [0188] to [0193]; fig. 16(B) & US 6218219 B1 & KR 10-2005-0095816 A	4-5
Y	JP 2008-108985 A (Kochi Industrial Promotion Center, Casio Computer Co., Ltd.), 08 May 2008 (08.05.2008), paragraphs [0017], [0039]; fig. 5 (Family: none)	6
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 19 April, 2011 (19.04.11)		Date of mailing of the international search report 10 May, 2011 (10.05.11)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer  Telephone No.
Facsimile No.		

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000800

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-235871 A (Canon Inc.), 02 October 2008 (02.10.2008), paragraphs [0046], [0047], [0073]; fig. 3 & US 2010/0044701 A1 & WO 2008/105347 A1 & CN 101617408 A	6
E,X	JP 2011-49539 A (Semiconductor Energy Laboratory Co., Ltd.), 10 March 2011 (10.03.2011), paragraphs [0068], [0219] to [0226]; fig. 9(B) (Family: none)	1-3
E,X	JP 2011-76079 A (Semiconductor Energy Laboratory Co., Ltd.), 14 April 2011 (14.04.2011), paragraphs [0093], [0116]; fig. 3 (Family: none)	1-2
A	JP 2008-65225 A (Toppan Printing Co., Ltd.), 21 March 2008 (21.03.2008), entire text; all drawings (Family: none)	1-7
A	JP 2009-99847 A (Canon Inc.), 07 May 2009 (07.05.2009), entire text; all drawings (Family: none)	1-7

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000800

<b>Box No. II</b>	<b>Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)</b>
<p>This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:</p> <p>1. <input type="checkbox"/> Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:</p> <p>2. <input type="checkbox"/> Claims Nos.: because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:</p> <p>3. <input type="checkbox"/> Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).</p>	
<b>Box No. III</b>	<b>Observations where unity of invention is lacking (Continuation of item 3 of first sheet)</b>
<p>This International Searching Authority found multiple inventions in this international application, as follows: The invention in claim 1 does not have novelty and inventiveness, since the invention is described in the document 1 (JP 2010-114213 A) which is cited in this international search report. Consequently, there is no same or corresponding special technical feature between the invention in claim 1 and the inventions in claims 2 - 7. Therefore, a group of those inventions cannot be considered to be so linked as to form a single general concept.</p> <p>1. <input type="checkbox"/> As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.</p> <p>2. <input checked="" type="checkbox"/> As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.</p> <p>3. <input type="checkbox"/> As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:</p> <p>4. <input type="checkbox"/> No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:</p> <p><b>Remark on Protest</b></p> <p><input type="checkbox"/> The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.</p> <p><input type="checkbox"/> The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.</p> <p><input type="checkbox"/> No protest accompanied the payment of additional search fees.</p>	

国際調査報告		国際出願番号 PCT/JP2011/000800									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09F9/30(2006.01)i, G02F1/1368(2006.01)i, H01L29/786(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09F9/00-9/46, G02F1/13-1/141, H01L21/336, H01L27/32, H01L29/786, H01L51/50, H05B33/00-33/28											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2011年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2011年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2011年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2011年	日本国実用新案登録公報	1996-2011年	日本国登録実用新案公報	1994-2011年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2011年										
日本国実用新案登録公報	1996-2011年										
日本国登録実用新案公報	1994-2011年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X Y A	JP 2010-114213 A (ソニー株式会社) 2010.05.20, 段落【0011】 - 【0055】, 【0076】, 図 1-5, 図 9-17 & US 2010/0109004 A1 & CN 101740564 A	1-3 4-6 7									
Y	JP 11-103066 A (株式会社半導体エネルギー研究所) 1999.04.13, 段落【0188】 - 【0193】, 図 16 (B) & US 6218219 B1 & KR 10-2005-0095816 A	4-5									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 19.04.2011		国際調査報告の発送日 10.05.2011									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 田辺 正樹	21 4403								
		電話番号 03-3581-1101 内線 3273									

国際調査報告		国際出願番号 PCT/JP2011/000800
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-108985 A (財団法人高知県産業振興センター, カシオ計算機株式会社) 2008.05.08, 段落【0017】, 【0039】, 図5 (ファミリーなし)	6
Y	JP 2008-235871 A (キャノン株式会社) 2008.10.02, 段落【0046】, 【0047】, 【0073】, 図3 & US 2010/0044701 A1 & WO 2008/105347 A1 & CN 101617408 A	6
E, X	JP 2011-49539 A (株式会社半導体エネルギー研究所) 2011.03.10, 段落【0068】, 【0219】 - 【0226】, 図9(B) (ファミリーなし)	1-3
E, X	JP 2011-76079 A (株式会社半導体エネルギー研究所) 2011.04.14, 段落【0093】, 【0116】, 図3 (ファミリーなし)	1-2
A	JP 2008-65225 A (凸版印刷株式会社) 2008.03.21, 全文, 全図 (ファミリーなし)	1-7
A	JP 2009-99847 A (キャノン株式会社) 2009.05.07, 全文, 全図 (ファミリーなし)	1-7

国際調査報告

国際出願番号 PCT/J P 2011/000800

## 第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1.  請求項 \_\_\_\_\_ は、この国際調査機関が調査することを要しない対象に係るものである。つまり、
2.  請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3.  請求項 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に係る発明は、国際調査報告で引用された文献1 (JP 2010-114213 A) に記載されているので、新規性、進歩性を有しない。よって、請求項1に係る発明と、請求項2-7に係る発明との間には、同一の又は対応する特別な技術的特徴は存在しない。したがって、これらの一群の発明は単一の一般的概念を形成するように連関しているとは認められない。

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

## 追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

様式PCT/ISA/210 (第1ページの続葉(2)) (2009年7月)



## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 1 L 21/822 (2006.01)	H 0 1 L 29/78	6 1 2 D
H 0 1 L 27/04 (2006.01)	H 0 1 L 29/78	6 1 2 Z
	H 0 1 L 29/78	6 1 7 U
	H 0 1 L 29/78	6 1 8 A
	H 0 1 L 29/78	6 1 6 U
	H 0 1 L 29/78	6 1 6 V
	H 0 1 L 29/78	6 1 9 A
	H 0 1 L 27/04	C

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, T M), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, R S, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, I D, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO , NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

- (72) 発明者 太田 純史  
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72) 発明者 水野 裕二  
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72) 発明者 鈴木 正彦  
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72) 発明者 中川 興史  
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72) 発明者 春本 祥征  
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72) 発明者 宮本 恵信  
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H092 JA26 JA28 JA46 JB66 JB69 KA08 KB14 MA05 MA07 MA10  
MA13 MA17 NA22 NA24  
5C094 AA02 AA21 AA43 AA44 AA53 BA03 BA43 DA13 DA15 DB04  
EA10 FB14 FB19 GB10  
5F038 AC02 AC05 AC14 CA02 EZ02 EZ06 EZ15 EZ17 EZ20  
5F110 AA16 AA30 BB01 CC07 DD02 EE04 EE44 FF02 FF03 FF09  
FF29 GG01 GG25 GG42 GG43 HK02 HK03 HK04 HK22 HL07  
HL23 NN03 NN04 NN23 NN35 NN40 NN72 NN73 QQ02 QQ08  
5G435 AA01 AA16 AA17 BB12 CC09 HH13 KK05 KK10

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。