

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6401588号
(P6401588)

(45) 発行日 平成30年10月10日(2018.10.10)

(24) 登録日 平成30年9月14日(2018.9.14)

(51) Int. Cl.		F I			
GO 1 N	27/00	(2006.01)	GO 1 N	27/00	Z
GO 1 R	19/00	(2006.01)	GO 1 R	19/00	C
HO 3 F	3/34	(2006.01)	HO 3 F	3/34	Z
			GO 1 R	19/00	E

請求項の数 3 (全 16 頁)

(21) 出願番号	特願2014-242021 (P2014-242021)	(73) 特許権者	390005175
(22) 出願日	平成26年11月28日(2014.11.28)		株式会社アドバンテスト
(65) 公開番号	特開2016-102748 (P2016-102748A)		東京都千代田区丸の内1丁目6番2号
(43) 公開日	平成28年6月2日(2016.6.2)	(74) 代理人	100105924
審査請求日	平成29年3月31日(2017.3.31)		弁理士 森下 賢樹
		(74) 代理人	100109047
			弁理士 村田 雄祐
		(74) 代理人	100109081
			弁理士 三木 友由
		(74) 代理人	100133215
			弁理士 真家 大樹
		(72) 発明者	倉持 泰秀
			東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

最終頁に続く

(54) 【発明の名称】 電流測定装置および塩基配列解析装置、測定用チップ

(57) 【特許請求の範囲】

【請求項1】

測定対象の電流信号が発生する電流発生部と、
 前記電流信号を電圧信号に変換するトランスインピーダンスアンプと、
 を備え、
 前記トランスインピーダンスアンプは、
 反転型の増幅回路と、
 前記増幅回路の反転入力端子と出力端子の間に設けられる帰還抵抗と、
 を含み、
 前記増幅回路は、入力段と増幅段を含み、
 前記増幅回路の前記入力段を含む一部が、前記電流発生部と同一の半導体チップに集積化され、
 前記半導体チップに形成され、前記増幅回路の前記反転入力端子と接続される第1コンタクト用パッドと、
 前記半導体チップに形成され、前記入力段の出力端子と接続される第2コンタクト用パッドと、
 前記第1、第2コンタクト用パッドと接触する第1、第2プローブを有するヘッドユニットと、
 をさらに備え、
 前記帰還抵抗および前記増幅段は前記ヘッドユニットに内蔵され、

前記増幅段の入力端子は、前記第2プローブと接続され、
前記帰還抵抗は、前記第1プローブと前記増幅段の出力端子の間に接続されることを特徴とする電流測定装置。

【請求項2】

請求項1に記載の電流測定装置を備えることを特徴とする塩基配列解析装置。

【請求項3】

第1電極および第2電極を含み、前記第1電極と前記第2電極の間に試料が通過可能に構成される電極対と、

反転型の増幅回路の一部であって、その入力端子が前記第1電極と接続される入力段と、

前記入力段の入力端子と接続される第1コンタクト用パッドと、
前記入力段の出力端子と接続される第2コンタクト用パッドと、
を備え、ひとつの半導体基板に一体集積化され、
使用において、前記第1コンタクト用パッドと前記第2コンタクト用パッドの間に、帰還抵抗および前記増幅回路の増幅段が接続されることにより、トランスインピーダンスアンプが構成可能となっていることを特徴とする測定用チップ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流測定装置に関する。

【背景技術】

【0002】

DNA（デオキシリボ核酸）やRNA（リボ核酸）などの塩基配列を解析するために、塩基配列解析装置（シーケンサ）が用いられる。次世代（第4世代）のシーケンサとしてさまざまな手法が研究機関や企業により模索されており、その中のひとつとして、ゲーティングナノポアシーケンス技術が注目を集めている。

【0003】

ゲーティングナノポアシーケンス技術では、ナノメートルオーダーの1対の電極（ナノ電極）の間をDNAやRNAが通過するときに電極間に流れるトンネル電流が、塩基の種類（A, G, T, C）に応じて変化することを利用して、塩基配列を決定する。この手法によれば、非常に安価でかつ小型な装置により、塩基配列の解析が可能となることが期待されている。なお本明細書において、ナノ電極とは、それよりも大きなサブマイクロ電極やマイクロ電極を包含するものとして用いる。

【0004】

またゲーティングナノポアシーケンス技術と同様にトンネル電流を利用する手法として、MCBJ法（Mechanically Controllable Break Junction）が開発されている。MCBJ法では、金属線を破断することによりナノ電極を形成する。

【0005】

これらのシーケンサにおいて重要な要素技術のひとつに、ナノ電極間に流れるトンネル電流を十分な精度で測定可能な電流測定器が挙げられる。すなわちトンネル電流のオーダーは数十pAであり、塩基の種類を判定するためには、数pSのオーダーのコンダクタンスの差を検出しなければならない。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2003-240747号公報

【特許文献2】特開2009-133762号公報

【特許文献3】特開2013-257334号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【0007】

本発明者等は、微弱電流測定器として、トランスインピーダンスアンプを利用することを検討した。図1は、トランスインピーダンスアンプ800を備える電流測定装置900の回路図である。トランスインピーダンスアンプ800は、オペアンプ802と、オペアンプ802の反転入力(-)と出力の間に設けられた抵抗 R_F と、を備える。オペアンプ802の非反転入力端子(+)には所定電位 V_{REF} (たとえば接地電圧)が入力される。キャパシタ C_F は、回路の安定性のために、抵抗 R_F と並列に接続される。

【0008】

DUT(被試験デバイス)810は、DNAやRNA(以下、DNAと総称する)などのサンプルと、サンプルを収容するチップを含む。チップには、サンプルから分離されたDNA分子が通過するナノ流路およびナノピラー、電極対などが形成される。ケーブル820は、DUT810とトランスインピーダンスアンプ800の間を接続する。

10

【0009】

図2は、図1の電流測定装置900の等価回路図である。DUT810は、トンネル電流 I_{DUT} を発生する電流源812と、寄生並列抵抗 R_{DUT} 、寄生並列キャパシタ C_{DUT} としてモデリングされる。

【0010】

ケーブル820は、DUT810の一端814とオペアンプ802の反転入力端子を接続する第1ライン822と、DUT810の他端816とオペアンプ802の非反転入力端子を接続する第2ライン824と、を含む。 C_{CAB} は、2つのライン822、824の間の寄生容量である。同軸ケーブルの場合、10cmあたりで10pFの寄生容量が発生する。

20

【0011】

トランスインピーダンスアンプ800の入力段には、様々な寄生容量が存在する。 C_{PRO} は、ESD用の保護素子、たとえばダイオードやESDサプレッサなどの寄生容量である。オペアンプに802は、理想アンプ804と、さまざまな寄生容量で表される。 C_{MN} 、 C_{MP} は、コモン入力容量であり、 C_D は差動入力容量である。なお、図2に示される抵抗値や容量値は例示にすぎない。

【0012】

このトランスインピーダンスアンプ800の直流トランスインピーダンスは、以下の式で与えられる。

30

$$20 \times \text{Log}_{10}(R_F) \quad (\text{dB}) \quad \dots (1)$$

たとえば $R_F = 1 \text{ G}$ とすると、トランスインピーダンスは180dBとなる。

【0013】

DNAシーケンサは、数十億もの膨大な数の塩基対の種類を特定する必要がある。第4世代では1塩基1ms程度の測定時間が要求されるところ、1回の測定ではノイズの影響で塩基を特定することは難しい。そこで、1msの間に複数回、トンネル電流を測定し、その結果得られるヒストグラムにもとづいて塩基を特定するなど、統計的手法が用いられる。たとえば1msの間に100回、トンネル電流を測定するためには、サンプリングレートとして100ksp/sが要求され、この場合にトランスインピーダンスアンプに要求される帯域は、マージンを考慮すると数百kHz~数MHzとなる。

40

【0014】

ここで図2のトランスインピーダンスアンプ800の周波数特性について検討する。カットオフ周波数 f_2 は、式(2)で与えられる。

$$f_2 = 1 / \{ 2 R_F \times (C_F + C_S / A_{OL}) \} \quad \dots (2)$$

ただし、 $C_S = C_{DUT} + C_{CAB} + C_{PRO} + C_D$ あり、 A_{OL} は、オペアンプのオープンループゲインである。式(2)からカットオフ周波数 f_2 を高めるためには、 C_F を小さく、 C_S を小さく、 A_{OL} を高利得、広帯域にするアプローチが取り得ることがわかる。 C_S を入力シャント容量と称する。オープンループゲイン A_{OL} が十分に大きく、入力シャント容量 C_S が小さい場合、式(2)は式(3)で近似できる。

50

$$f_2 = 1 / \{ 2 R_F \times C_F \} \quad \dots (3)$$

たとえば $R_F = 1 \text{ G}$ 、 $C_F = 10 \text{ fF}$ とすると、式(3)から $f_2 = 15.9 \text{ kHz}$ となる。

【0015】

一方でトンネル電流は微弱であるため、測定系のノイズも問題となる。図3は、トランスインピーダンスアンプのノイズ特性を示す図である。微小電流を検出するためには、 R_F として数十M から数T のオーダーが必要となり、したがって低周波領域においては抵抗 R_F による熱雑音が支配的となる。

$$V_{\text{NOISE}} = (4 \times k \times T \times R_F) \quad [V / \text{Hz}]$$

T は温度、 k はボルツマン定数である。この式は単位周波数当たりの電圧雑音密度を表す。

$R_F = 1 \text{ G}$ 、 $T = 27$ の場合、 $V_{\text{NOISE}} = 4.1 \mu\text{V} / \text{Hz}$ (V / rtHz とも記す) となる。

【0016】

熱雑音に関しては、上述のカットオフ周波数 f_2 を境界として帯域制限がかかるため、カットオフ周波数 f_2 を超える高周波領域では、 R_F の熱雑音よりも、トランスインピーダンスアンプ800のノイズが支配的となる。高周波領域では、アンプのノイズゲインが、 $(C_F + C_S + C_M + C_D) / C_F$ 倍となるため、ノイズを低減するためには、 C_S 、 C_M 、 C_D を小さく、 C_F を大きくしなければならない。しかしながら C_F を大きくすることは、カットオフ周波数 f_2 の低下を意味し、広帯域化の要請に反するため、 C_F は系の安定性が確保される範囲において極力小さく設計する必要がある。このように図1のトランスインピーダンスアンプでは、広帯域(カットオフ周波数)と低ノイズがトレードオフの関係にありそれらを両立することは困難である。

【0017】

特にトランスインピーダンスアンプは、オペアンプの入力インピーダンスが非常に高いことから、電界ノイズに敏感である。ノイズを低減するために、信号ラインをシールドで覆い、シールドの電位を制御する技術がある。ところが、高速化が要求されるトランスインピーダンスアンプに、シールドを追加すると、信号ラインの寄生容量が増加し、またシールドを駆動するアンプの容量が付加されることとなるため、帯域が狭くなり速度が低下する。

【0018】

本発明に係る課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、ノイズを低減した電流測定装置の提供にある。

【課題を解決するための手段】

【0019】

本発明のある態様は、電流測定装置に関する。電流測定装置は、測定対象の電流信号が発生する電流発生部と、電流信号を電圧信号に変換するトランスインピーダンスアンプと、を備える。トランスインピーダンスアンプは、反転型の増幅回路と、増幅回路の反転入力端子と出力端子の間に設けられる帰還抵抗と、を含む。増幅回路は、電流発生部と同一の半導体チップに集積化される。

この態様によれば、電流発生部から増幅回路の反転入力端子に至る信号ラインを半導体基板上の配線で形成でき、その長さを短くして入力ラインの対接地容量を小さくできる。これによりトランスインピーダンスアンプのノイズゲインを低下させることができ、低ノイズな電流測定装置を提供できる。またトランスインピーダンスアンプは、入力インピーダンスが非常に高いため電界ノイズに敏感であるところ、干渉経路である信号ラインを短くできるため、電界ノイズの影響も低減することができる。また増幅回路を集積化することで、高抵抗なアンプ入力端が外部に露出しないことにより、電界ノイズ等の影響を低減できる。

【0020】

ある態様の電流測定装置は、半導体チップに形成され、増幅回路の反転入力端子と接続

10

20

30

40

50

される第1コンタクト用パッドと、半導体チップに形成され、増幅回路の出力端子と接続される第2コンタクト用パッドと、第1、第2コンタクト用パッドと接触する第1、第2プローブを有するヘッドユニットと、をさらに備えてもよい。帰還抵抗は、ヘッドユニットに内蔵され、第1、第2プローブの間に接続されてもよい。

この態様では、帰還抵抗を半導体チップに集積化せずに、ヘッドユニットにチップ部品やSiP部品、抵抗モジュールを利用して帰還抵抗を構成することで、帰還抵抗の抵抗値はプロセスデザインルール等の制約を受けないため、大きくできる。ここで電流測定装置の利得(トランスインピーダンス)は、帰還抵抗に比例する一方、抵抗が発生する熱雑音は、 $V_{NOISE} = (4 \times k \times T \times R_F) [V / \text{Hz}]$ で与えられ、帰還抵抗の平方根に比例するため、帰還抵抗の抵抗値が大きいほど、S/N比を高めることができる。また、帰還抵抗を半導体チップに集積化すると抵抗値がプロセスばらつきで変動し、トランスインピーダンス(利得)がばらつくという問題が生ずるが、この態様によれば、帰還抵抗をヘッドユニットに内蔵して使い回すことで、トランスインピーダンスのばらつきを抑制できる。

10

【0021】

ある態様の電流測定装置は、半導体チップ上に形成される第3コンタクト用パッドと、半導体チップ上に形成され、第3コンタクト用パッドと接続されるドライビングガードメタルと、半導体チップ上に形成され、ドライビングガードメタルに増幅回路の非反転入力端子の電圧を供給するガードアンプと、をさらに備えてもよい。ヘッドユニットは、第3コンタクト用パッドと接触する第3プローブと、第1プローブから帰還抵抗に至る配線の一部である芯線および第3プローブと接続されるシールドを有するケーブルと、をさらに有してもよい。

20

この態様によれば、ドライビングガード機能を用いることで、アンプ入力から帰還抵抗の間を保護することにより、電界シールドとなると同時に、浮遊容量を削減できる。

【0022】

本発明の別の態様も、電流測定装置に関する。電流測定装置は、測定対象の電流信号が発生する電流発生部と、電流信号を電圧信号に変換するトランスインピーダンスアンプと、を備える。トランスインピーダンスアンプは、反転型の増幅回路と、増幅回路の反転入力端子と出力端子の間に設けられる帰還抵抗と、を含む。増幅回路は、入力段と増幅段を含む。増幅回路の入力段を含む一部が、電流発生部と同一の半導体チップに集積化される。

30

【0023】

この態様によれば、電流発生部から増幅回路の反転入力端子に至る信号ラインを半導体基板上の配線で形成でき、その長さを短くして入力ラインの対接地容量を小さくできる。これによりトランスインピーダンスアンプのノイズゲインを低下させることができ、低ノイズな電流測定装置を提供できる。またトランスインピーダンスアンプは、入力インピーダンスが非常に高いため電界ノイズに敏感であるところ、干渉経路である信号ラインを短くできるため、電界ノイズの影響も低減することができる。また増幅回路を集積化することで、高抵抗なアンプ入力端が外部に露出しないことにより、電界ノイズ等の影響を低減できる。

40

【0024】

ある態様の電流測定装置は、半導体チップに形成され、増幅回路の反転入力端子と接続される第1コンタクト用パッドと、半導体チップに形成され、入力段の出力端子と接続される第2コンタクト用パッドと、第1、第2コンタクト用パッドと接触する第1、第2プローブを有するヘッドユニットと、をさらに備えてもよい。帰還抵抗および増幅段はヘッドユニットに内蔵され、増幅段の入力端子は、第2プローブと接続され、帰還抵抗は、第1プローブと増幅段の出力端子の間に接続されてもよい。

【0025】

本発明の別の態様は、塩基配列解析装置に関する。塩基配列解析装置は、上述のいずれかの電流測定装置を備える。

50

【0026】

本発明の別の態様は、測定用チップに関する。測定用チップは、第1電極および第2電極を含み、第1電極と第2電極の間に試料が通過可能に構成される電極対と、その反転入力端子が第1電極と接続される反転型の増幅回路と、増幅回路の反転入力端子と接続される第1コンタクト用パッドと、増幅回路の出力端子と接続される第2コンタクト用パッドと、を備え、ひとつの半導体基板に一体集積化される。測定用チップは、使用において、第1コンタクト用パッドと第2コンタクト用パッドの間に、帰還抵抗が接続されることにより、トランスインピーダンスアンプが構成可能となっている。

【0027】

本発明の別の態様は、測定用チップに関する。測定用チップは、第1電極および第2電極を含み、第1電極と第2電極の間に試料が通過可能に構成される電極対と、反転型の増幅回路の一部であって、その入力端子が第1電極と接続される入力段と、入力段の入力端子と接続される第1コンタクト用パッドと、入力段の出力端子と接続される第2コンタクト用パッドと、を備え、ひとつの半導体基板に一体集積化される。使用において、第1コンタクト用パッドと第2コンタクト用パッドの間に、帰還抵抗および増幅回路の増幅段が接続されることにより、トランスインピーダンスアンプが構成可能となっている。

10

【0028】

なお、以上の構成要素の任意の組み合わせや本発明の構成要素や表現を、方法、装置などの間で相互に置換したのももまた、本発明の態様として有効である。

【発明の効果】

20

【0029】

本発明のある態様によれば、ノイズを低減した電流測定装置を提供できる。

【図面の簡単な説明】

【0030】

【図1】トランスインピーダンスアンプを備える電流測定装置の回路図である。

【図2】図1の電流測定装置の等価回路図である。

【図3】トランスインピーダンスアンプのノイズ特性を示す図である。

【図4】第1の実施の形態に係る電流測定装置を示す図である。

【図5】図5(a)は、第2の実施の形態に係る電流測定装置を示す図であり、図5(b)は、増幅回路の別の構成例を示す回路図である。

30

【図6】第1変形例に係る電流測定装置を示す図である。

【図7】第2変形例に係る電流測定装置を示す図である。

【図8】第3変形例に係る電流測定装置を示す図である。

【図9】電流測定装置を備える塩基配列解析装置のブロック図である。

【発明を実施するための形態】

【0031】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

40

【0032】

本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合のほか、部材Aと部材Bが、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

【0033】

(第1の実施の形態)

50

図4は、第1の実施の形態に係る電流測定装置100を示す図である。電流測定装置100は、トンネル電流やイオン電流などの微弱な電流信号 $I_{DU T}$ を検出し、電圧信号 $V_{O U T}$ に変換する。

【0034】

電流測定装置100は、電流発生部110、トランスインピーダンスアンプ120を備える。電流発生部110には、測定対象の電流信号 $I_{DU T}$ が発生する。トランスインピーダンスアンプ120は、電流信号 $I_{DU T}$ を、電圧信号 $V_{O U T}$ に変換する。

【0035】

トランスインピーダンスアンプ120は、反転型の増幅回路122、帰還抵抗 R_F 、帰還キャパシタ C_F を含む。帰還抵抗 R_F は、増幅回路122の反転入力端子(-)と出力端子の間に設けられる。帰還キャパシタ C_F は、帰還抵抗 R_F と並列に接続される。

10

【0036】

本実施の形態において、電流発生部110およびトランスインピーダンスアンプ120の構成部品は、測定用チップ102とヘッドユニット104に分けて実装されている。

【0037】

増幅回路122は、電流発生部110と同一の半導体チップ(測定用チップ)102に集積化される。測定用チップ102には、第1コンタクト用パッド P_{d1} および第2コンタクト用パッド P_{d2} が形成される。第1コンタクト用パッド P_{d1} は、増幅回路122の反転入力端子と電氣的に接続され、第2コンタクト用パッド P_{d2} は、増幅回路122の出力端子と電氣的に接続される。複数の測定用チップ102は、搬送装置106によって順次、ヘッドユニット104の直下に運び込まれ、測定後に運び出される。

20

【0038】

ヘッドユニット104は、第1プローブ P_{b1} 、 P_{b2} を備える。第1プローブ P_{b1} 、第2プローブ P_{b2} はそれぞれ、第1コンタクト用パッド P_{d1} 、第2コンタクト用パッド P_{d2} と接触可能な箇所に配置されている。ヘッドユニット104は昇降装置108によって昇降可能となっている。

【0039】

トランスインピーダンスアンプ120の帰還抵抗 R_F は、ヘッドユニット104に内蔵され、第1プローブ P_{b1} と第2プローブ P_{b2} の間に電氣的に接続される。帰還キャパシタ C_F も、第1プローブ P_{b1} と第2プローブ P_{b2} の間に電氣的に接続される。

30

【0040】

測定用チップ102には、コンタクト用パッド P_{d2}' および出力バッファ124がさらに設けられる。出力バッファ124は、増幅回路122の出力を受ける。コンタクト用パッド P_{d2}' は、出力バッファ124の出力端子と電氣的に接続される。ヘッドユニット104は、プローブ P_{b2}' および測定部126、電源回路128、信号発生器130、校正器132をさらに備える。

【0041】

プローブ P_{b2}' は、コンタクト用パッド P_{d2}' と接触可能な箇所に配置される。測定部126は、第2プローブ P_{b2} およびプローブ P_{b2}' の電圧を測定可能に構成される。測定部126はたとえばデジタイザ(A/Dコンバータ)などを含む。電源回路128は、ヘッドユニット104内の回路素子や測定用チップ102内の回路素子に供給すべき電源電圧等を生成する。信号発生器130は、測定やキャリブレーションに使用されるさまざまな信号を発生する。校正器132は、測定用チップ102の測定に先立って、測定用チップ102の増幅回路122のDCオフセットなどのキャリブレーションを行なう。

40

【0042】

なお増幅回路122の出力インピーダンスが十分小さい場合、出力バッファ124は省略してもよく、この場合、コンタクト用パッド P_{d2}' 、プローブ P_{b2}' は省略してもよい。また電源回路128、信号発生器130、校正器132は、ヘッドユニット104の外部に設けられてもよい。

50

【 0 0 4 3 】

以上が電流測定装置 1 0 0 の構成である。

この電流測定装置 1 0 0 によれば、増幅回路 1 2 2 を測定用チップ 1 0 2 に集積化したことにより、電流発生部 1 1 0 から増幅回路 1 2 2 の反転入力端子に至る信号ライン 1 1 2 を測定用チップ 1 0 2 (半導体基板)上の配線で形成できる。これにより信号ライン 1 1 2 の長さを短くして信号ライン 1 1 2 の対接地容量 (図 2 の C_S) を小さくできる。また信号ライン 1 1 2 が短くなることから、保護素子 (ESD 素子) を省略してもよく、この場合にはさらに対接地容量 C_S を小さくできる。その結果、 $(C_F + C_S + C_M + C_D) / C_F$ に応じたトランスインピーダンスアンプのノイズゲインを低下させることができ、低ノイズな電流測定装置を提供できる。

10

【 0 0 4 4 】

またトランスインピーダンスアンプ 1 2 0 は、入力インピーダンスが非常に高いため電界ノイズに敏感であるところ、干渉経路である信号ライン 1 1 2 を短くできるため、電界ノイズの影響も低減することができる。また増幅回路 1 2 2 を SiP 部品や DiP 部品などを用いた場合、高抵抗なアンプ入力端が外部に露出することとなるが、増幅回路 1 2 2 を集積化することで、高抵抗なアンプ入力端が外部に露出しないことにより、電界ノイズ等の影響を低減できる。

【 0 0 4 5 】

さらに図 4 の電流測定装置 1 0 0 では、帰還抵抗 R_F を半導体チップ (測定用チップ) 1 0 2 に集積化せずに、ヘッドユニット 1 0 4 にチップ部品や SiP 部品、抵抗モジュールを利用して帰還抵抗 R_F を構成することとした。半導体基板上の抵抗素子は、数 M 程度が現実的な上限であり、数百 M ~ 数 G の抵抗は膨大なチップサイズを要求する。本実施の形態では、帰還抵抗 R_F を外付け部品とすることで、測定用チップ 1 0 2 のチップサイズの増加を抑制しつつも数百 M ~ 数 G のオーダーとすることができる。

20

【 0 0 4 6 】

ここで電流測定装置の利得 (トランスインピーダンス) は、帰還抵抗 R_F に比例する一方、抵抗が発生する熱雑音は、 $V_{NOISE} = (4 \times k \times T \times R_F) [V / \sqrt{Hz}]$ で与えられ、帰還抵抗の平方根に比例するため、帰還抵抗の抵抗値が大きいほど、S/N 比を高めることができる。

【 0 0 4 7 】

また、帰還抵抗 R_F を半導体チップに集積化すると、抵抗値がプロセスばらつきで変動し、トランスインピーダンス (利得) がばらつくという問題が生ずるが、帰還抵抗 R_F をヘッドユニット 1 0 4 に内蔵して繰り返し使用することで、トランスインピーダンスのばらつきを抑制できる。これにより半導体チップごとのキャリブレーションが不要となる。

30

【 0 0 4 8 】

トランスインピーダンスアンプの帯域について検討する。この電流測定装置 1 0 0 では入力容量 C_S が小さくなることで、トランスインピーダンスアンプの帯域 (カットオフ周波数) は上述の式 (3) で与えられ、帰還抵抗 R_F と帰還キャパシタ C_F のみの関数となる。したがって、帰還抵抗 R_F に加えて帰還キャパシタ C_F をヘッドユニット 1 0 4 に設けたことで、カットオフ周波数 f_2 のばらつきを抑え、複数の測定用チップ 1 0 2 を同じ帯域で測定することができる。

40

【 0 0 4 9 】

増幅回路 1 2 2 を構成するオペアンプで大きくばらつくパラメータとして、オープンループゲインが挙げられる。ここでカットオフ周波数 f_2 のオープンループゲインに対する感度は式 (3) で与えられるが、これは対接地容量 C_S が小さいことにより、十分に小さくできる。

【 0 0 5 0 】

オペアンプの DC オフセットについては、以下の方法によりキャリブレーション可能である。測定対象である電流発生部 1 1 0 の出力インピーダンスが、帰還抵抗 R_F より高いものとする。この場合、帰還抵抗 R_F をコンタクトさせ、電流発生部 1 1 0 が電流を発生

50

しない状態とし、トランスインピーダンスアンプの出力電圧を測定部 126 によって測定することで、オペアンプ（増幅回路 122）の DC オフセットを測定できる。こうして測定された DC オフセットを保持しておき、電流信号 I_{DUT} を測定するときには、測定値から DC オフセットを減算（加算）することで、DC オフセットの影響を除くことができる。

【0051】

このように、製造バラツキによりオペアンプの特性が変動したとしても、実施の形態に係る電流測定装置 100 によれば、その変動の影響は無視しうるか、あるいは容易に対処することができ、したがってオペアンプへの性能要求は高くないと言える。オペアンプを CMOS（Complementary Metal Oxide Semiconductor）プロセスで構成する場合、CMOS はゲート入力抵抗が高いため、低リークな増幅器を構成できるという利点もある。

10

【0052】

また、測定用チップ 102 のみを可搬型としたことで、自動連続高感度測定が可能になる。

【0053】

（第 2 の実施の形態）

図 5（a）は、第 2 の実施の形態に係る電流測定装置 100 a を示す図である。電流測定装置 100 a は、図 4 の電流測定装置 100 に加えて、ガードアンプ 134、ESD 保護素子 136、ドライビングガードメタル 138、同軸配線（ケーブル）140 をさらに備える。

20

【0054】

ドライビングガードメタル 138 は、信号ライン 112 の近傍に配置される。たとえば信号ライン 112 と第 1 コンタクト用パッド Pd1 を結ぶフィードバックライン 113 を挟み込むように、2 本のドライビングガードメタル 138 a、138 b を形成してもよい。

【0055】

ドライビングガードメタル 138 a / b は、第 3 コンタクト用パッド Pd3 a / b と接続される。ヘッドユニット 104 は、第 3 コンタクト用パッド Pd3 a / b と対応する位置に設けられた第 3 プローブ Pb3 a / b を備える。第 3 プローブ Pb3 a / b は、同軸配線 140 のシールド 144 と接続される。第 1 プローブ Pb1 は、同軸配線 140 の芯線 142 と接続される。同軸配線 140 のシールド 144 は、帰還キャパシタ C_F および帰還抵抗 R_F の少なくとも一部を覆う。

30

【0056】

ガードアンプ 134 は、増幅回路 122 の非反転入力端子（+）の電圧 V_{REF} を受け、ドライビングガードメタル 138 に印加する。基準電圧 V_{REF} は、基準電圧源 123 により生成された電圧であってもよいし、接地電圧であってもよい。

【0057】

ESD 保護素子 136 は、信号ライン 112 とドライビングガードメタル 138 の間に設けられ、たとえばダイオードで構成される。

【0058】

以上が電流測定装置 100 a の構成である。

40

電流測定装置 100 a によれば、ドライビングガード機能を用いることで、アンプ入力から帰還抵抗の間を保護することにより、電界シールドとなると同時に、浮遊容量を削減できる。ESD 保護素子 136 もドライビングガード内に配置することで、ESD 保護素子 136 の寄生容量も低減される。浮遊容量を C_{STRAY} とした場合、実効的な容量は、 C_{STRAY} / A_{OL} に低減される。

【0059】

図 5（b）は、増幅回路 122 の別の構成例を示す回路図である。増幅回路 122 は、単一のオペアンプで構成してもよいが、非反転アンプ 150 と反転アンプ 152 の組み合わせで構成される。非反転アンプ 150 は、たとえばオペアンプ 154、抵抗 R_1 、 R_2

50

を含む。反転アンプ 152 は、非反転アンプ 150 の出力を反転増幅する。オペアンプ 154 の非反転入力端子は、増幅回路 122 の反転入力端子に対応し、オペアンプ 154 の反転入力端子は、増幅回路 122 の反転入力端子に対応する。

【0060】

この変形例によれば以下の効果を得ることができる。

増幅回路 122 は、非反転アンプ 150 と反転アンプ 152 の 2 段構成となっている。図 2 では、オペアンプ 802 の差動入力容量 C_D が、ケーブル容量 C_{CAB} 等と並列に接続されて入力シャント容量 C_S の一部となり、トランスインピーダンスアンプ 800 のカットオフ周波数 f_2 を低下させる要因となっている。これに対して、図 5 (b) の構成では、オペアンプ 154 の差動入力容量は、図 2 のケーブル容量 C_{CAB} 等とは並列に存在せず、したがってトランスインピーダンスアンプのカットオフ周波数 f_2 が、オペアンプ 154 の差動入力容量によって低下するのを防止できる。

10

【0061】

以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

【0062】

(第 1 変形例)

実施の形態では、測定用チップ 102 を搬送装置 106 によって搬送し、測定用チップ 102 を 1 個ずつ測定したが、本発明はそれには限定されない。図 6 は、第 1 変形例に係る電流測定装置 100b を示す図である。この変形例では、電流測定装置 100b は、ウェハ上のダイシング前のウェハ 160 上の複数の測定用チップ 102 の一部あるいは全部を同時に測定する。

20

【0063】

プローブカード 162 には、上述のヘッドユニット 104 が、複数個、ウェハ 160 上の複数の測定用チップ 102 と対応するように並べられている。ウェハ 160 は、図示しないハンドラによりヘッドユニット 104 の直下まで搬送される。そしてウェハ 160 とプローブカード 162 が近接し、各ヘッドユニット 104 のプローブ Pb とそれと対応する測定用チップ 102 のコンタクト用パッド Pd が接触することにより、複数の測定用チップ 102 を一括測定することができ、あるいは測定用チップ 102 上の増幅回路 122 の良否・不良品を一括で判定することができる。

30

【0064】

なおプローブカード 162 は、ウェハ 160 のすべての測定用チップ 102 を同時に測定する必要はなく、8 個、16 個など、複数の測定用チップ 102 を同時に測定できればよい。

【0065】

(第 2 変形例)

図 7 は、第 2 変形例に係る電流測定装置 100c を示す図である。電流測定装置 100c は、マニュアルハンドリング可能なケース型の測定装置である。治具 170 は、上部蓋部分であるプローブユニット 172 と、下部ベース部分であるマウンタ 174 を備える。マウンタ 174 には、ひとつあるいは複数のソケット 176 が設けられ、各ソケット 176 には測定用チップ 102 が装着可能となっている。プローブユニット 172 には、ひとつあるいは複数のヘッドユニット 104 が設けられる。

40

【0066】

ユーザは、手動で測定用チップ 102 をソケット 176 に置いた後に、プローブユニット 172 をマウンタ 174 に覆い被せ、ヘッドユニット 104 と測定用チップ 102 の対応するパッドとプローブを接触させる。

【0067】

(第 3 変形例)

50

実施の形態では、増幅回路122全体が測定用チップ102に集積化される場合を説明したが、本発明はそれに限定されない。図8(a)~(d)は、第3変形例に係る電流測定装置を示す図である。図8(a)に示すように、増幅回路122は、入力段122aと増幅段122bを含み、入力段122aを含む一部が測定用チップ102に集積化され、増幅段122bは、ヘッドユニット104に内蔵される。図8(b)~(c)には、入力段122aの具体例が示される。図8(b)はソースフォロア回路であり、図8(c)はバッファ(ボルテージフォロア)であり、図8(d)は非反転増幅器である。

【0068】

図8(a)に戻る。増幅回路122の入力段122aの入力端子、つまり増幅回路122の反転入力端子は、電流発生部110(図9の第1電極310a)と接続される。第1 10
 コンタクト用パッドPd1は、入力段122aの入力端子と接続される。第2コンタクト用パッドPd2は、入力段122aの出力端子と接続される。

【0069】

第1プローブPb1、第2プローブPb2は、第1コンタクト用パッドPd1、第2コンタクト用パッドPd2それぞれと接触可能に配置される。増幅段122bの入力端子は第2プローブPb2と接続される。帰還抵抗 R_F は、増幅段pb2122bの出力端子と第1プローブPb1の間に設けられる。

【0070】

つまり使用において、第1コンタクト用パッドPd1と第2コンタクト用パッドPd2 20
 の間に、帰還抵抗 R_F および増幅回路122の増幅段122bが接続されることにより、トランスインピーダンスアンプ110が構成可能となっている。

【0071】

この変形例によっても、実施の形態と同様の効果を得ることができる。

【0072】

(第4変形例)

実施の形態では、ヘッドユニット104にデジタイザ(A/Dコンバータ)を搭載する場合を説明したが、測定用チップ102に、デジタイザを集積化してもよい。この場合、測定用チップ102に、デジタルデータを伝送するためのインタフェース回路と、デジタルデータを出力するためのコンタクト用パッドをさらに形成する。ヘッドユニット104 30
 側には、プローブと、プローブを介したデジタルデータを受信するインタフェース回路と、を設ければよい。

【0073】

(第5変形例)

実施の形態では、第1コンタクト用パッドPd1と信号ライン112を直接接続したが、回路保護のために、第1コンタクト用パッドPd1と信号ライン112の間に、抵抗を形成してもよい。同様に、第2コンタクト用パッドPd2と増幅回路122の出力の間に、抵抗を形成してもよい。

【0074】

(用途)

最後に、電流測定装置100の用途について説明する。実施の形態に係る電流測定装置 40
 100は、塩基配列解析装置(DNAシーケンサあるいはRNAシーケンサ)300に用いることができる。図9は、電流測定装置100を備える塩基配列解析装置300のブロック図である。ナノポアチップ302は、上述の測定用チップ102に対応する。なお図9のチップは模式図であり、各部材のサイズは実際のそれとは異なることに留意されたい。

【0075】

ナノポアチップ302は、シリコンなどの半導体チップであり、その上にはナノ流路304、ナノピラー306、電極対310、ナノポア312、増幅回路122、第1コンタクト用パッドPd1~第3コンタクト用パッドPd3が集積化される。そのほか、測定用チップ102には、電気泳動用電極(不図示)と、電気泳動用電極に電圧を供給するため 50

のコンタクト用パッド、電源回路128が生成した電源電圧を供給するためのコンタクト用パッドなども形成される。

【0076】

ナノ流路304をDNAサンプルが通過することにより、1分子のDNAが分離、抽出される。このDNA分子がナノピラー306を通過すると、DNA分子が直線化される。

【0077】

ヘッドユニット104には、駆動アンプ180が設けられる。駆動アンプ180は、電気泳動用電極対に印加する電圧を制御し、電気泳動用電極対の間に発生する電界を制御する。この電界は、DNA分子に印加され、DNA分子がナノポア312に形成された電極対310の間を通過する。

10

【0078】

電極対310は、第1電極310a、第2電極310bを有する。電極対310は増幅回路122の反転入力端子および第1コンタクト用パッドPd1と接続される。電極対310の間には、そのとき通過するDNA分子の塩基の種類に応じたトンネル電流 I_{DUT} が流れる。電流測定装置100は、このトンネル電流(電流信号) I_{DUT} を検出し、電圧信号 V_{OUT} に変換する。つまり塩基配列解析装置300においては、電極対310およびナノポア312が、図4の電流発生部110に相当するものと理解される。

【0079】

電圧信号 V_{OUT} は、測定部(A/Dコンバータ)126によってデジタル値に変換される。デジタル値はデータ処理装置314に入力される。データ処理装置314は、メモリやプロセッサを含むコンピュータであり、信号処理によりDNA分子の塩基配列を特定する。

20

【0080】

抵抗 R_F による電流換算の抵抗熱雑音は、 $I_{NOISE} = (4 \times k \times T / R_F)$ となる。 $R_F = 1M$ 、27の環境下で129fA/Hzとなり、トランスインピーダンスが100kHzの帯域を有する場合、40.7pA_{RMS}のノイズが発生することとなる。したがって高精度測定のためには、多数サンプリングを行い、統計的処理が必要となるであろう。この観点において、実施の形態に係る電流測定装置100は、低ノイズ特性および高速性を有するため、1塩基当たりのサンプリング回数を増やして精度を高め、あるいは単位時間当たりに解析する塩基の個数を増やすことができる。あるいは電流測定装置100のノイズを低減できるため、1塩基当たりのサンプリング回数を減らすことができる。

30

【0081】

図9では、ゲーティングナノポア方式のシーケンサを説明したが、電流測定装置100はMCBJ方式のシーケンサにも利用可能である。この場合、ナノポアチップ302に代えて、MCBJチップが使用される。MCBJチップには、ナノポア312に代えて、金線などの電極材料と、電極材料を破断するための破断機構などが集積化される。

【0082】

実施の形態にもとづき本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

40

【符号の説明】

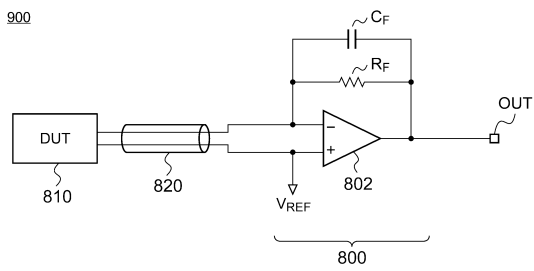
【0083】

100...電流測定装置、102...測定用チップ、104...ヘッドユニット、106...搬送装置、108...昇降装置、110...電流発生部、112...信号ライン、120...トランスインピーダンスアンプ、122...増幅回路、124...出力バッファ、126...測定部、128...電源回路、130...信号発生器、132...校正器、134...ガードアンプ、136...ESD保護素子、138...ドライビングガードメタル、140...同軸配線、142...芯線、144...シールド、 R_F ...帰還抵抗、 C_F ...帰還キャパシタ、150...非反転アンプ、152...反転アンプ、154...オペアンプ、Pd1...第1コンタクト用パッド、Pd2

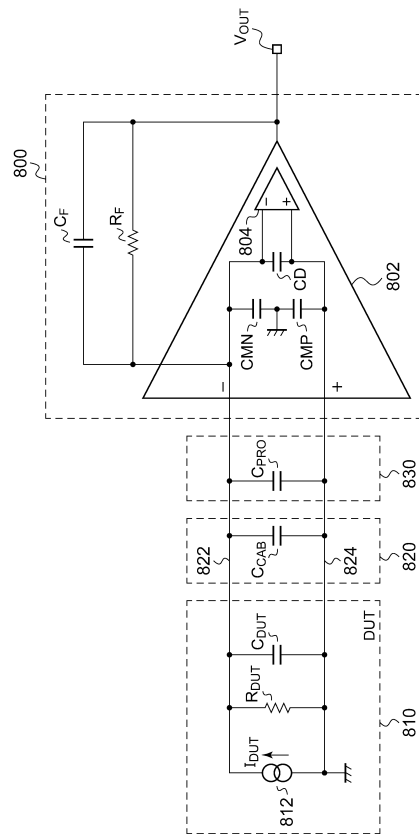
50

...第2コンタクト用パッド、P d 3 ...第3コンタクト用パッド、P b 1 ...第1プローブ、P b 2 ...第2プローブ、P b 3 ...第3プローブ、1 1 2 ...信号ライン、1 6 0 ...ウェハ、1 6 2 ...プローブカード、1 7 0 ...治具、1 7 2 ...プローブユニット、1 7 4 ...マウンタ、1 7 6 ...ソケット、1 8 0 ...駆動アンプ、3 0 0 ...塩基配列解析装置、3 0 2 ...ナノポアチップ、3 0 4 ...ナノ流路、3 0 6 ...ナノピラー、3 1 0 ...電極対、3 1 0 a ...第1電極、3 1 0 b ...第2電極、3 1 2 ...ナノポア。

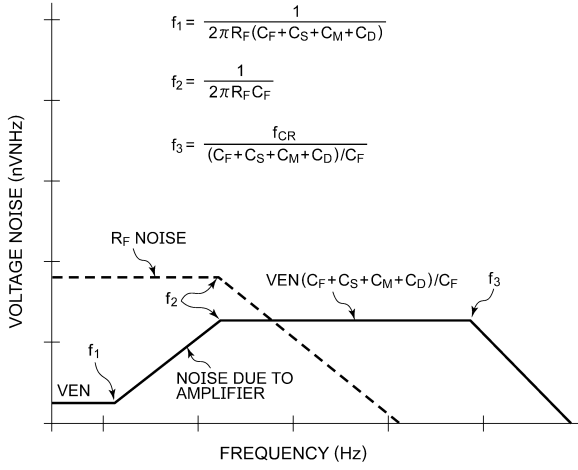
【図1】



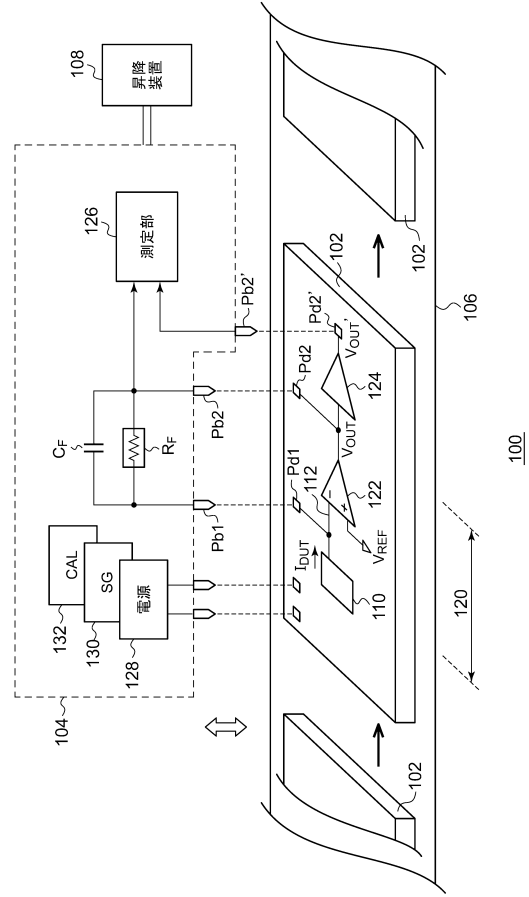
【図2】



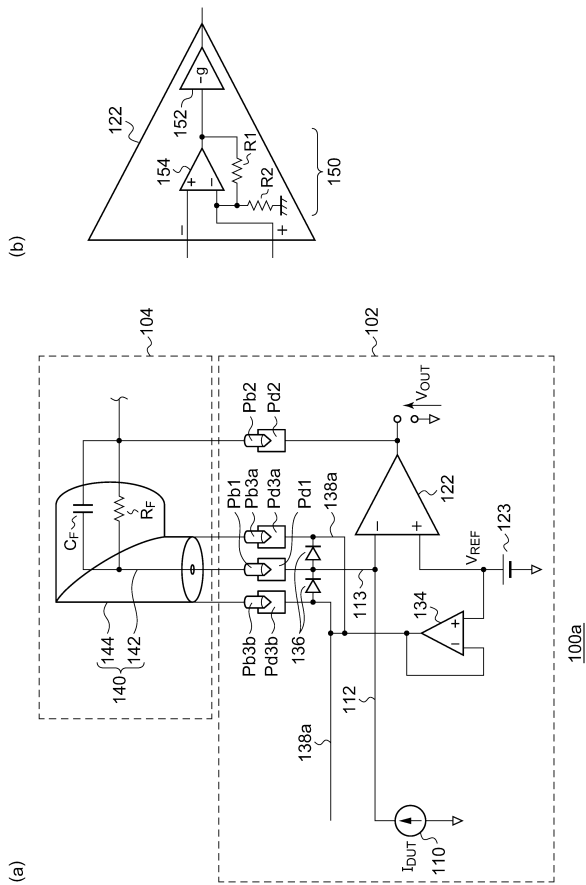
【図3】



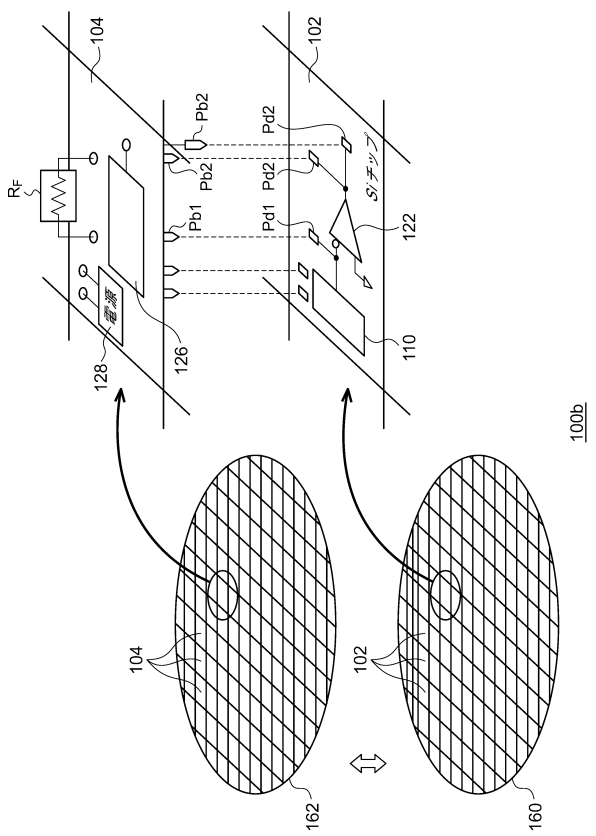
【図4】



【図5】

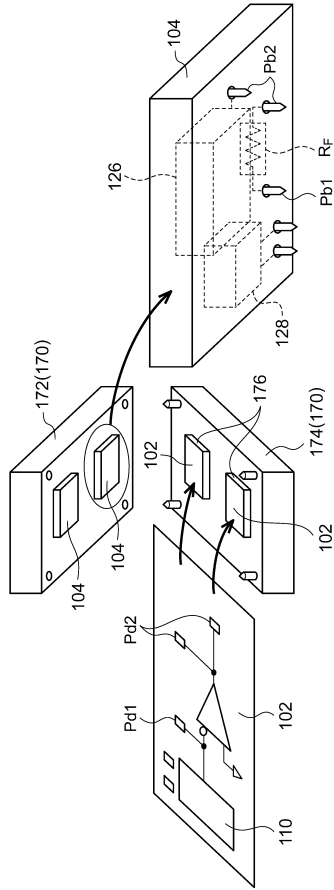


【図6】

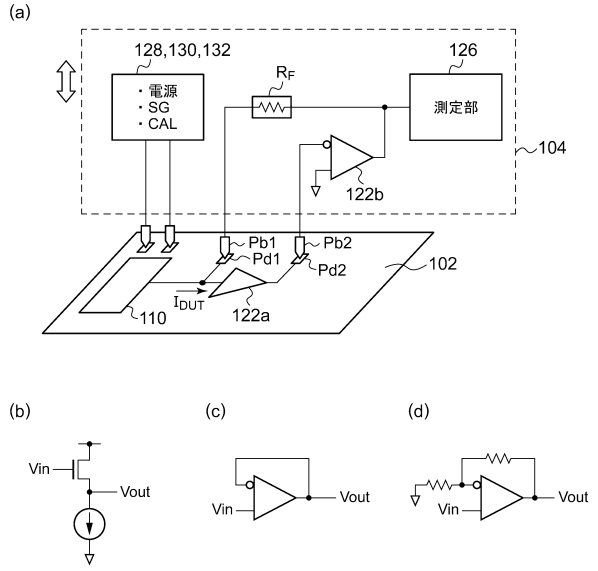


【図7】

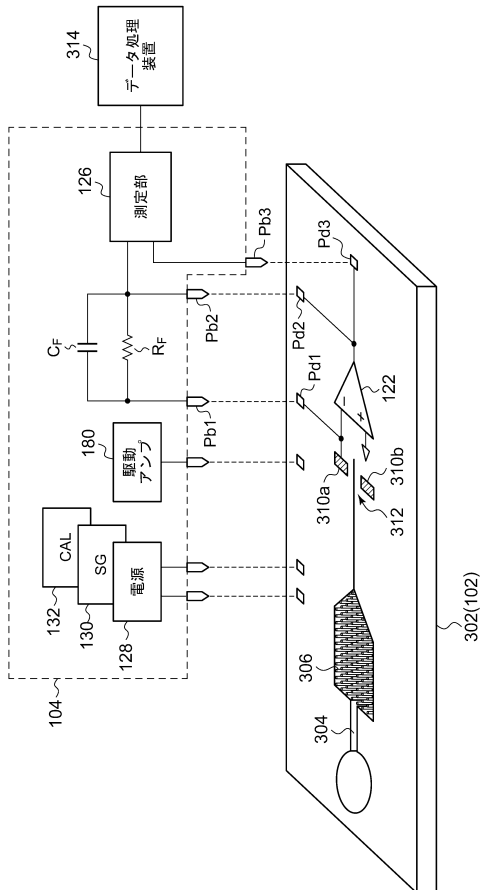
100c



【図8】



【図9】



フロントページの続き

審査官 小澤 瞬

(56)参考文献 米国特許出願公開第2013/0180867 (US, A1)

特開2011-226886 (JP, A)

特開平11-101807 (JP, A)

特表2014-508300 (JP, A)

特開2014-190891 (JP, A)

特表2014-520568 (JP, A)

国際公開第2013/109970 (WO, A1)

国際公開第2014/123716 (WO, A1)

国際公開第2012/164679 (WO, A1)

特開2003-050192 (JP, A)

特公昭51-012388 (JP, B1)

特開2013-019853 (JP, A)

特開平10-065473 (JP, A)

国際公開第2014/066909 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G01N 27/00 - 27/10

27/14 - 27/24

G01R 19/00 - 19/32

H03F 1/00 - 3/45

3/50 - 3/52

3/62 - 3/64

3/68 - 3/72