

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁵ H01L 21/74	(11) 공개번호 특 1991-0013507	(43) 공개일자 1991년 08월 08일
(21) 출원번호	특 1989-0019283	
(22) 출원일자	1989년 12월 22일	
(71) 출원인	가부시키가이샤 도시바 아오이 죠이치 일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지	
(72) 발명자	야마모토 다다시 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 종합연구소내 다나카 다케시 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 종합연구소내 고오야마 유수케 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 종합연구소내	
(74) 대리인	김윤배	

심사청구 : 있음

(54) 반도체장치의 제조방법

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

반도체장치의 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 1실시예에 관계되는 반도체장치의 제조방법을 도시한 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체기판(101)을 선택적으로 에칭하여 그 반도체기판(101)에 구(105)를 형성하는 공정과, 상기 구(105)의 측면 및 저면에 도전성 제1층(107)을 형성하는 공정과, 상기 도전성 제1층(107) 윗면 및 상기 반도체기판(101)의 윗면에 절연성 제2층(108)을 형성하는 공정과, 상기 절연성 제2층(108) 위에 도전성 제3층(109)을 형성하는 공정과, 상기 도전성 제3층(109)을 패터닝 하여 캐패시터용 전극을 형성하는 공정과, 상기 캐패시터용 전극을 피복하는 절연성 제4층(110)을 형성하는 공정과, 상기 절연성 제4층(110) 위에 상기 구(105)를 매립하는 제5층(111)을 형성하는 공정과, 상기 제5층(111)이 상기 구(105)내에만 잔존하도록 제5층(111)을 에칭하는 공정과, 상기 제5층(111) 위에 절연성 제6층(112)을 형성하는 공정을 구비한 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

제1항에 있어서, 상기 절연성 제2층이 실리콘 산화막, 실리콘질화막 및 실리콘 산화막으로 이루어진 3층 구성으로 형성된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3

제1항에 있어서, 상기 제5층(111)이 다결정성실리콘층으로 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4

제1항에 있어서, 상기 제5층(111)이 스피도포법에 의해 형성된 실리콘산화막으로 된 것을 특징으로 하는 반도체장치의 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

