



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년04월18일
(11) 등록번호 10-2523238
(24) 등록일자 2023년04월14일

- (51) 국제특허분류(Int. Cl.)
H01L 29/778 (2006.01) H01L 29/20 (2006.01)
H01L 29/423 (2006.01) H01L 29/51 (2006.01)
H01L 29/66 (2006.01)
- (52) CPC특허분류
H01L 29/7786 (2013.01)
H01L 29/2003 (2013.01)
- (21) 출원번호 10-2019-7036621
- (22) 출원일자(국제) 2018년06월19일
심사청구일자 2021년05월24일
- (85) 번역문제출일자 2019년12월11일
- (65) 공개번호 10-2020-0018445
- (43) 공개일자 2020년02월19일
- (86) 국제출원번호 PCT/EP2018/066311
- (87) 국제공개번호 WO 2018/234338
국제공개일자 2018년12월27일
- (30) 우선권주장
17176699.1 2017년06월19일
유럽특허청(EPO)(EP)
- (56) 선행기술조사문헌
US20090146185 A1*
WO2011163318 A2*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
에피간 엔브이
벨기에, 비-3500 하셀트, 캠퍼쉐 스티언웨그 293
- (72) 발명자
델라원 요프
벨기에 3051 신트-요리스-베르트 스타티온스스트라트 14
- (74) 대리인
특허법인코리아나

전체 청구항 수 : 총 19 항

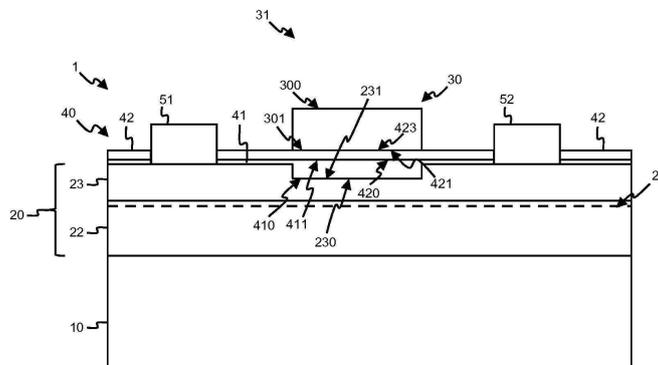
심사관 : 안경민

(54) 발명의 명칭 고 전자 이동도 트랜지스터

(57) 요약

아날로그 애플리케이션들을 위한 고 전자 이동도 트랜지스터 (1) 는: - 기관 (10); - 상기 기관 (10) 위의 에피택셜 III-N 반도체 층 스택 (20) 으로서, 상기 에피택셜 III-N 반도체 층 스택 (20) 은: • 제 1 활성 III-N 층 (22); 및 • 리세스를 포함하는 제 2 활성 III-N 층 (23) 을; 그들 사이의 2 차원 전자 가스 (21) 와 함께 포함 (뒷면에 계속)

대표도 - 도3b



하는, 상기 에피택셜 III-N 반도체 층 스택 (20); - 상기 에피택셜 III-N 반도체 층 스택 (20) 위의 게이트 (30); 및 - 상기 에피택셜 III-N 반도체 층 스택 (20) 과 상기 게이트 (30) 사이의 패시베이션 스택 (40) 으로서, 상기 패시베이션 스택 (40) 은 상기 게이트 (30) 가 바이어싱되지 않을 때 상기 2 차원 전자 가스 (21) 를 공핍시키도록 적응된 전자 수용성 유전체 층 (41) 을 포함하고; 상기 전자 수용성 유전체 층 (41) 은 상기 리세스 (24) 에서 연장되고 실리콘 및/또는 알루미늄과 합금된 마그네슘 질화물을 포함하는, 상기 패시베이션 스택 (40) 을 포함한다.

(52) CPC특허분류

H01L 29/4236 (2013.01)

H01L 29/42364 (2013.01)

H01L 29/513 (2013.01)

H01L 29/518 (2013.01)

H01L 29/66462 (2013.01)

명세서

청구범위

청구항 1

아날로그 애플리케이션들을 위한 고 전자 이동도 트랜지스터 (high electron mobility transistor; HEMT) (1)로서,

상기 고 전자 이동도 트랜지스터 (1)는:

- 기판 (10);
- 상기 기판 (10) 위의 에피택셜 III-N 반도체 층 스택 (20) 으로서, 상기 에피택셜 III-N 반도체 층 스택 (20)은, 활성 층으로서, 상기 활성 층은:

- o 제 1 활성 III-N 층 (22); 및
- o 게이트 영역 (31) 에 리세스 (24) 를 포함하는 제 2 활성 III-N 층 (23) 을 포함하는, 상기 활성 층을;

상기 제 1 활성 III-N 층 (22) 과 상기 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함하는, 상기 에피택셜 III-N 반도체 층 스택 (20);

- 상기 에피택셜 III-N 반도체 층 스택 (20) 위의 그리고 상기 게이트 영역 (31) 에서의 게이트 (30); 및
- 상기 에피택셜 III-N 반도체 층 스택 (20) 과 상기 게이트 (30) 사이의 패시베이션 스택 (40) 으로서, 상기 패시베이션 스택 (40) 은 상기 게이트 (30) 가 바이어싱되지 않을 때 상기 2 차원 전자 가스 (21) 를 공핍시키도록 구성된 전자 수용성 유전체 층 (41) 을 포함하고; 상기 전자 수용성 유전체 층 (41) 은 상기 리세스 (24) 에서 연장되고 상기 전자 수용성 유전체 층 (41) 은 실리콘 및/또는 알루미늄이 도핑된 마그네슘 질화물을 포함하는, 상기 패시베이션 스택 (40) 을 포함하는, HEMT (1).

청구항 2

제 1 항에 있어서,

상기 전자 수용성 유전체 층 (41) 은:

- MgSiN;
- MgAlN; 또는
- MgSiAlN;

의 단일 층 또는 복수개의 층을 포함하는, HEMT (1).

청구항 3

제 1 항에 있어서,

상기 전자 수용성 유전체 층 (41) 은:

- x 가 0.05 와 0.95 사이로 구성되는, $Mg_xSi_{1-x}N$;
- y 가 0.05 와 0.95 사이로 구성되는, $Mg_yAl_{1-y}N$; 또는
- a 가 0.05 와 0.95 사이로 구성되고 z 가 0.05 와 0.95 사이로 구성되고 a+z 가 0.1 과 1 사이로 구성되는, $Mg_aSi_zAl_{1-a-z}N$;

의 단일 층 또는 복수개의 층을 포함하는, HEMT (1).

청구항 4

제 1 항에 있어서,

상기 전자 수용성 유전체 층 (41) 은 상기 에피택셜 III-N 반도체 층 스택 (20) 위에 에피택셜로 성장되는, HEMT (1).

청구항 5

제 2 항에 있어서,

상기 전자 수용성 유전체 층 (41) 은 상기 에피택셜 III-N 반도체 층 스택 (20) 위에 에피택셜로 성장되는, HEMT (1).

청구항 6

제 3 항에 있어서,

상기 전자 수용성 유전체 층 (41) 은 상기 에피택셜 III-N 반도체 층 스택 (20) 위에 에피택셜로 성장되는, HEMT (1).

청구항 7

제 1 항에 있어서,

상기 패시베이션 스택 (40) 은 산화물 층 (42) 을 더 포함하는, HEMT (1).

청구항 8

제 7 항에 있어서,

상기 산화물 층 (42) 은 MgO 를 포함하는, HEMT (1).

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

- 상기 전자 수용성 유전체 층 (41) 은 상기 에피택셜 III-N 반도체 층 스택 (20) 과 접촉하는 패시베이션 표면 (410) 및 상기 패시베이션 표면 (410) 에 대향하는 유전체 표면 (411) 을 포함하고; 그리고

- 상기 제 2 활성 III-N 층 (23) 은 상기 전자 수용성 유전체 층 (41) 의 상기 패시베이션 표면 (410) 과 접촉하는 제 2 패시베이션 표면 (230) 을 포함하여, 상기 제 2 활성 III-N 층 (23) 과 상기 전자 수용성 유전체 층 (41) 사이의 패시베이션 콘택 계면 (231) 을 정의하는, HEMT (1).

청구항 10

제 9 항에 있어서,

상기 패시베이션 콘택 계면 (231) 은, 상기 패시베이션 표면 (410) 이 상기 제 2 패시베이션 표면 (230) 의 전체 표면을 따라 상기 제 2 패시베이션 표면 (230) 과 직접 접촉하도록 연장되는, HEMT (1).

청구항 11

제 9 항에 있어서,

- 상기 패시베이션 콘택 계면 (231) 은, 상기 패시베이션 표면 (410) 이 게이트 영역 (31) 에서 상기 제 2 패시베이션 표면 (230) 의 10 내지 30 % 와 직접 접촉하도록 연장되고; 그리고

- 상기 패시베이션 스택 (40) 은 상기 제 2 활성 III-N 층 (23) 위에 그리고 상기 전자 수용성 유전체 층 (41) 의 양쪽에 형성된 2 개의 전자 공여성 유전체 층들 (43;44) 을 더 포함하여, 2 개의 전자 공여성 유전체 층들 (43;44) 의 각각은 상기 제 2 활성 III-N 층 (23) 과 직접 접촉하는 III-N 콘택 표면 (430;440) 을 포함하는, HEMT (1).

청구항 12

제 9 항에 있어서,

상기 게이트 영역 (31) 에서의 III-N 리세스 (24) 는 상기 제 2 활성 III-N 층 (23) 을 통해 완전히 연장되어, 상기 제 1 활성 III-N 층 (22) 을 노출시키는, HEMT (1).

청구항 13

제 10 항에 있어서,

상기 게이트 영역 (31) 에서의 III-N 리세스 (24) 는 상기 제 2 활성 III-N 층 (23) 을 통해 완전히 연장되어, 상기 제 1 활성 III-N 층 (22) 을 노출시키는, HEMT (1).

청구항 14

제 11 항에 있어서,

상기 게이트 영역 (31) 에서의 III-N 리세스 (24) 는 상기 제 2 활성 III-N 층 (23) 을 통해 완전히 연장되어, 상기 제 1 활성 III-N 층 (22) 을 노출시키는, HEMT (1).

청구항 15

제 12 항에 있어서,

상기 전자 수용성 유전체 층 (41) 은, 상기 패시베이션 표면 (410) 이 상기 리세스 (24) 에서 상기 제 1 활성 III-N 층 (22) 과 직접 접촉하도록 상기 리세스 (24) 에서 연장되는, HEMT (1).

청구항 16

제 12 항에 있어서,

상기 패시베이션 스택 (40) 은 AlN 층 (45) 을 더 포함하여, 상기 AlN 층 (45) 은 상기 리세스 (24) 에서 상기 제 1 활성 III-N 층 (22) 과 직접 접촉하고; 그리고 상기 전자 수용성 유전체 층 (41) 은 상기 AlN 층 (45) 위의 상기 리세스 (24) 에서 연장되는, HEMT (1).

청구항 17

고 전자 이동도 트랜지스터 (1) 를 제조하기 위한 방법으로서,

- 기판 (10) 을 제공하는 단계;
- 상기 기판 (10) 위에 에피택셜 III-N 반도체 층 스택 (20) 을 제공하는 단계로서, 상기 에피택셜 III-N 반도체 층 스택 (20) 을 제공하는 단계는:
 - o 제 1 활성 III-N 층 (22); 및
 - o 제 2 활성 III-N 층 (23) 을 포함하는 활성 층을 제공하여, 상기 제 1 활성 III-N 층 (22) 과 상기 제 2 활성 III-N 층 (23) 사이에 2 차원 전자 가스 (21) 를 형성하는 단계를 포함하는, 상기 에피택셜 III-N 반도체 층 스택 (20) 을 제공하는 단계;
- 게이트 영역 (31) 에서 상기 제 2 활성 III-N 층 (23) 에 리세스 (24) 를 형성하는 단계;
- 상기 에피택셜 III-N 반도체 층 스택 (20) 위에 패시베이션 스택 (40) 을 제공하는 단계로서, 상기 패시베이션 스택 (40) 은 전자 수용성 유전체 층 (41) 을 포함하는, 상기 패시베이션 스택 (40) 을 제공하는 단계; 및
- 상기 전자 수용성 유전체 층 (41) 이, 게이트 (30) 가 바이어싱되지 않을 때 상기 2 차원 전자 가스 (21) 를 공핍시키도록 게이트 영역 (31) 에서 상기 전자 수용성 유전체 층 (41) 위에 상기 게이트 (30) 를 제공하는 단계로서; 상기 전자 수용성 유전체 층 (41) 은 상기 리세스 (24) 에서 연장되고 상기 전자 수용성 유전체 층 (41) 은 실리콘 및/또는 알루미늄이 도핑된 마그네슘 질화물을 포함하는, 상기 게이트 (30) 를 제공하는 단계를 포함하는, 고 전자 이동도 트랜지스터 (1) 를 제조하기 위한 방법.

청구항 18

제 17 항에 있어서,

상기 전자 수용성 유전체 층 (41) 을 제공하는 단계는 상기 전자 수용성 유전체 층 (41) 을 에피택셜로 성장시키는 단계에 대응하는, 고 전자 이동도 트랜지스터 (1) 를 제조하기 위한 방법.

청구항 19

제 17 항에 있어서,

상기 고 전자 이동도 트랜지스터 (1) 를 제조하기 위한 방법은:

- 소스 영역 (51) 및 드레인 영역 (52) 에서 상기 패시베이션 스택 (40) 을 에칭하는 단계; 및
- 상기 소스 영역 (51) 및 상기 드레인 영역 (52) 에 각각 오믹 콘택을 형성하는 단계를 더 포함하는, 고 전자 이동도 트랜지스터 (1) 를 제조하기 위한 방법.

발명의 설명

기술 분야

[0001] 본 발명은 일반적으로 반도체 디바이스들에 관한 것으로, 특히, 질화물계 활성 층들을 포함하는 고 전자 이동도 트랜지스터들에 관한 것이다.

배경 기술

[0002] GaN 으로 또한 지칭된, 갈륨 질화물을 포함하는 반도체 디바이스들은, 큰 전류들을 전달하고 고 전압들을 지원하는 능력을 갖는다. 이는 그것들을 전력 반도체 디바이스들에 점점 더 바람직하게 만든다. 최근에, 연구 노력들은 고 전력/고 주파수 애플리케이션들을 위한 디바이스들을 개발하는데 초점을 맞췄다. 일반적으로, 이들 타입들의 애플리케이션들을 위한 제조된 디바이스들은 고 전자 이동도를 나타내고 HFET들로도 불리는 헤테로접합 전계 효과 트랜지스터들, HEMT들로도 불리는 고 전자 이동도 트랜지스터들, 또는 MODFET들로도 불리는 변조 도핑된 전계 효과 트랜지스터들로 지칭되는 디바이스 구조들에 기초한다. HEMT들은 예를 들어 RF/마이크로파 전력 증폭기들 또는 전력 스위치들과 같은 아날로그 회로 애플리케이션들에 유용하다. 이러한 디바이스들은 통상적으로 예를 들어 1000 볼트까지의 고 전압들을 견디거나, 또는 예를 들어 100 kHz 에서 100 GHz 까지의 고 주파수들에서 동작할 수 있다.

[0003] 우르자이트 (wurzite) III-질화물 층에는 2 개의 타입들의 분극 (polarization), 즉 압전기 (piezoelectricity) 및 자발 분극 (spontaneous polarization) 이 존재한다. 압전기는, 결정이 비-중심대칭성이고 구성 원자들이 사이즈 및 전기음성도에 있어서 상이한 경우에 발생할 수 있다. 예를 들어, 우르자이트 결정 또는 GaN 층은 비-중심대칭성이다. 자발 분극은 상기의 특별한 경우이고, 결정이 예를 들어 그의 구성 원자들, 이를 테면 Ga 및 N 원자들의 상이한 사이즈로 인해, 그의 이상적인 형상에서 왜곡되는 경우에 발생한다.

[0004] GaN 계 HEMT 는 적어도 2 개의 질화물 층들을 포함한다. 질화물 층들은 상이한 밴드갭들 및 상이한 분극의 정도를 갖는 상이한 재료들로 형성된다. 인접한 질화물 층들에서의 상이한 재료들은 분극 및 밴드갭 에너지에 있어서 불연속적인 스텝을 야기하는데, 이는 디바이스를 통하여 전하가 흐르게 하고 2 개의 층들의 접합부 근처에, 그리고 특히 더 좁은 밴드갭을 가진 층에 위치되는, 2DEG 로도 또한 지칭된, 컨덕티브 2 차원 전자 가스의 원인이 된다. Applied Physics Letters Volume 77, number 2 에 2000년 7월 10일자로 게재된 "Polarization effects, surface states, and the source of electrons in AlGaIn/GaN heterostructure field effect transistors" 라는 제목의 과학출판물 (scientific publication) 에서, Ibbetson 등은 AlGaIn/GaN 헤테로구조 전계 효과 트랜지스터들에서의 2DEG 의 기원을 이론적으로 그리고 실험적으로 조사한다. 그 구조는 다음의 공간 전하 성분들을 포함한다: 이온성이고 고정되는 GaN 층에서의 버퍼 분극 전하, AlGaIn 층 위의 이온화된 공여체 (donor) 들로 인한 표면 전하, AlGaIn/GaN 계면 및 AlGaIn 층의 상부 표면에서의 고정된 및 이온성 분극-유도 전하들 및 2DEG 영역에서의 양자 우물들에서의 전자들로 인한 음전하. 다양한 전하들의 합은, 구조가 전체로서 외부적으로 인가된 전계의 부재 시에 전하 중립이어야 하기 때문에 제로이다. Ibbetson 등은, AlGaIn 층의 표면에서의 Ga-덴글링 본드들 또는 불순물들과 같은 공여체-유사 표면 상태들이 HFET들에서의

2DEG 전자들의 소스일 가능성이 있음을 이론적으로 그리고 실험적으로 입증한다.

[0005] 2008년 6월 27일자로 게재된 "Effects of Si deposition on AlGa_N barrier surfaces in GaN heterostructure field-effect transistors" 라는 제목의 과학출판물에서, Onojima 등은, Si_N 패시베이션으로 또한 지칭된, 실리콘 질화물 패시베이션으로 인한 AlGa_N/GaN HFET들의 2DEG 밀도의 증가 및 AlGa_N 포텐셜 배리어 높이의 감소를 설명하는 개략적인 모델들을 예시한다. AlGa_N 포텐셜 배리어 높이의 감소의 가능한 원인은, Si_N/AlGa_N 계면에 위치한 Si 원자들이 AlGa_N 표면의 음의 분극 전하들을 부분적으로 중화하고 이로써 분극 효과들을 통해 2DEG 밀도를 증가시킬 수 있는 양으로 이온화된 공여체들의 역할을 한다는 것이다.

[0006] 제로 게이트 바이어스에서 게이트 아래에 존재하는 2DEG 영역 때문에, 대부분의 질화물 디바이스들은 노멀리 온 (normally on), 또는 소위 공핍 모드 디바이스 (depletion mode device) 들이다. 임계 전압으로 불리는, 게이트 상의 소정의 음의 전압은, 용량성 커플링을 통해 2DEG 를 공핍 (deplete) 시키도록 요구된다. 예를 들어, 전력 스위칭과 같은 소정의 애플리케이션들에 대해, 디바이스를 스위치 오프하기 위한 비-제로 게이트 전압은 바람직하지 않다. 이러한 경우에, 게이트 제어는, 제어 회로부가 어떤 이유로든 고장나면, 소스와 드레인 사이에 갈바닉 연결이 없는 것과 같은 방식으로 작동해야 한다. 2DEG 영역이 제로 인가된 게이트 바이어스에서 게이트 아래에서 공핍, 즉, 제거되면, 디바이스는 향상 모드 디바이스 (enhancement mode device) 일 수 있다. 향상 모드 디바이스들은 노멀리 오프 (normally off) 이고 그들이 제공하는 추가 안전 (added safety) 때문에 바람직하다. 향상 모드 디바이스는 전류를 전도시키기 위하여 게이트에 양의 바이어스가 인가되는 것을 요구한다. 특히, 2DEG 를 페르미 레벨 (Fermi level) 아래로 이동시키기 위하여 게이트에 양의 전압이 인가된다. 일단 다른 전압이 소스와 드레인 사이에 인가되면, 2DEG 에서의 전자들은 소스로부터 드레인으로 이동한다. 다른 경우에, 노멀리-온 및 노멀리-오프 디바이스들을 공동-통합할 기회를 가지면, NOT, OR, AND, NOR, NAND 및 XOR 게이트들과 같은, 논리 기능성의 생성을 허용한다. 다른 경우에, 향상 모드 디바이스들은 음의 공급 전압에 대한 필요성을 제거하고, 이로써 회로 복잡성 및 비용을 감소시킨다.

[0007] Onojima 등으로부터, Ga 계 HEMT 의 표면을 Si_N 으로 패시베이션할 때, Si_N 층의 Si 원자들은 전자들을 HEMT 의 2DEG 에 제공하여, 이로써 HEMT 의 채널을 팽플레이팅하는 것이 이해될 수 있다. 결정질 Si_N 은 III-질화물 결정의 연속이며 Si 원자들은 공여체들의 역할을 한다. 다시 말해서, Ga 계 HEMT 의 표면에서의 Si_N 패시베이션 층은 HEMT 의 2DEG 를 향상시킨다. 따라서 HEMT 의 표면을 Si_N 으로 패시베이션하면 HEMT 의 공핍 모드를 방지하고 제로 게이트 바이어스에서 2DEG 의 전도성을 높여, 노멀리-온 동작을 강화한다. 다른 한편으로는, 스위치들 또는 고온 가능 집적 회로들로서 트랜지스터들을 사용하는 애플리케이션들에 대해, 노멀리 오프 디바이스들을 갖는 것이 바람직하다. 이에 따라, 당업계에는, 고전력, 고전압, 고속 및/또는 고온 컨디션들에서 수행할 수 있는 디바이스들에 대한 개선된 방법들 및 구조들이 계속해서 필요하다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 목적은 기존 솔루션들의 상기 식별된 결점들을 극복하는 디바이스를 개시하는 것이다. 특히, 그 목적은 개선된 패시베이션 층을 포함하고 개선된 향상 모드를 나타내는 고 전자 이동도 트랜지스터를 개시하는 것이다.

과제의 해결 수단

[0009] 본 발명의 제 1 양태에 따르면, 상기 정의된 목적들은 아날로그 애플리케이션들을 위한 고 전자 이동도 트랜지스터에 의해 실현되며, 고 전자 이동도 트랜지스터는:

- [0010] - 기관;
- [0011] - 기관 위의 에피택셜 III-N 반도체 층 스택으로서, 에피택셜 III-N 반도체 층 스택은, 활성 층으로서, 상기 활성 층은:
 - [0012] o 제 1 활성 III-N 층; 및
 - [0013] o 게이트 영역에 리세스를 포함하는 제 2 활성 III-N 층을 포함하는, 상기 활성 층을;
- [0014] 제 1 활성 III-N 층과 제 2 활성 III-N 층 사이의 2 차원 전자 가스와 함께 포함하는, 상기 에피택셜 III-N 반도체 층 스택;

- [0015] - 에피택셜 III-N 반도체 스택 층 위의 게이트; 및
- [0016] - 에피택셜 III-N 반도체 층 스택과 게이트 사이의 패시베이션 스택으로서, 패시베이션 스택은 게이트가 바이어싱되지 않을 때 2 차원 전자 가스를 공핍시키도록 적응된 전자 수용성 유전체 층을 포함하고; 전자 수용성 유전체 층은 리세스에서 연장되고 전자 수용성 유전체 층은 실리콘 및/또는 알루미늄이 도핑된 마그네슘 질화물을 포함하는, 상기 패시베이션 스택을 포함한다.
- [0017] 이렇게 하여, 본 발명의 고 전자 이동도 트랜지스터는 노멀리 오프 동작을 향상시키고 이로써 고 전자 이동도 트랜지스터의 향상 모드를 개선시키는 개선된 패시베이션 스택을 포함한다. 실제로, 본 발명에 따른 고 전자 이동도 트랜지스터의 패시베이션 스택은 패시베이션 스택과 에피택셜 III-N 반도체 층 스택 사이의 계면에서 수용체 레벨 (acceptor level) 을 생성하는 전자 수용성 유전체 층을 포함한다. 본 발명의 전자 수용성 유전체 층은, 고 전자 이동도 트랜지스터의 게이트가 바이어싱되지 않을 때 2DEG 로도 또한 지칭된, 2 차원 전자 가스로부터 전자들을 공핍시킨다. 따라서, 고 전자 이동도 트랜지스터가 동작을 위해 바이어싱될 때까지 채널이 존재하지 않고 전류 흐름이 발생하지 않는다. 특히, 동작 시, 2DEG 를 페르미 레벨 아래로부터 이동시키기 위하여 고 전자 이동도 트랜지스터의 게이트에 바이어스 전압이 인가된다. 일단 다른 전압이 고 전자 이동도의 드레인과 소스 사이에 인가되면, 2DEG 에서의 전자들은 소스로부터 드레인으로 흐른다. 따라서 본 발명에 따른 고 전자 이동도 트랜지스터는, 예를 들어, 음의 극성 게이트 공급이 바람직하지 않은 전력 스위칭 또는 집적 로직과 같은 애플리케이션들에 적합하다. 본 발명에 따른 고 전자 이동도 트랜지스터의 게이트 극성은 추가적으로 그것이 제공하는 추가 안전 때문에 바람직하다.
- [0018] 제 2 활성 III-N 층 및 게이트 영역에서의 리세스 때문에, 본 발명에 따른 고 전자 이동도 트랜지스터는 제 2 활성 III-N 층에 리세스를 포함하지 않는 유사한 고 전자 이동도 트랜지스터보다 게이트로부터 2DEG 로의 훨씬 더 높은 누설 전류를 입증한다. 이는 더 얇은 배리어 층의 경우에, 전자들이 극복하게 하고 열린 방출, 또는 TE 및 전계-지원 열린 방출, 또는 FTE 를 통해 수송되게 하는 대표하는 더 낮은 배리어 높이는 물론, 증가된 터널링, 트랩-지원 터널링의 가능성이 증가하고 있기 때문이다. 마그네슘 질화물, 또는 MgN 에, Si 로도 또한 지칭된 실리콘, 및/또는 Al 로도 또한 지칭된 알루미늄을 도핑하면, 전자 수용성 유전체 층의 밴드갭이 증가된다. 이러한 전자 수용성 유전체 층이 게이트 영역에서의 제 2 활성 III-N 층에서의 리세스에서, 그리고 게이트와 2DEG 사이에서 연장되는 경우, 누설 전류가 따라서 감소된다. 추가적으로, MgN 에 Si 및/또는 Al 을 도핑하면, 전자 수용성 유전체 층의 유전 상수가 증가되어, 이로써 게이트와 2DEG 사이에 더 나은 커플링을 허용하고 개선된 컨덕턴스를 입증한다. 추가적으로, 게이트 영역에서의 제 2 활성 III-N 층에서의 리세스 때문에, 전자 수용성 유전체 층은 2DEG 에 더 가까워져, 이로써 게이트가 바이어싱되지 않을 때 전자 수용성 유전체 층에 의해 2DEG 로부터 전자들의 공핍의 효과를 개선시킨다. 본 발명의 맥락에서 마그네슘 질화물에 도핑하는 것은 마그네슘 질화물을 실리콘 및/또는 알루미늄과 합금하는 것으로서 이해된다. 다시 말해서, 전자 수용성 유전체 층은 그것이 제조되는 방법과는 독립적으로 불순물 도핑에 의해 얻어진다. 본 발명에 따르면, SiN 는, SiH₄ 로도 또한 지칭된 실란 또는 NH₃ 전구체들로도 또한 지칭된 암모니아를 사용한 SiN 의 증착 동안 MOCVD 챔버 내에 각각 TMA 로도 또한 지칭된 트리메틸알루미늄, 또는 비스-시클로-펜타디에닐-마그네슘 (Cp)₂Mg 의 잘 제어된 흐름을 도입함으로써 Al 또는 Mg 와 합금된다. 다시 말해서, 전자 수용성 유전체 층은 실리콘 및/또는 알루미늄과 합금된 마그네슘 질화물을 포함한다. 대안적으로, 전자 수용성 유전체 층은 마그네슘 및 알루미늄과 합금된 실리콘 질화물을 포함한다.
- [0019] 전자 수용성 유전체 층의 질화물 원자들은 패시베이션 콘택 계면을 따라 제 2 활성 III-N 층의 III 족 원자들에 본딩한다. 따라서, 고 전자 이동도 트랜지스터의 패시베이션 스택에 Mg 원자들을 통합하면, 에피택셜 III-N 반도체 층 스택과 패시베이션 스택 사이의 계면에서 전자 수용 레벨이 생성되어, 이로써 게이트가 바이어싱되지 않을 때 고 전자 이동도 트랜지스터의 2DEG 채널로부터 전자들을 공핍시킨다. 에피택셜 III-N 반도체 층 스택과 패시베이션 스택 사이의 계면에서 이온화된 Mg 수용체들에 의해 음의 표면 전하가 제공된다.
- [0020] MgSiN 은 고 전자 이동도 트랜지스터의 게이트가 바이어싱되지 않을 때 고 전자 이동도 트랜지스터의 채널을 공핍시키고 이로써 고 전자 이동도 트랜지스터의 향상 모드를 개선시킨다. 전자 수용성 유전체 층의 재료 MgSiN 은 크거나 또는 넓은 밴드갭을 나타내고, 이는 고 전자 이동도 트랜지스터의 게이트 유전체가 누설을 방지하는데 흥미로운 유전체 층으로 한다. 2014년 9월에 Applied Physics Letters Volume 105, Issue 11 에 게재된 "Band gap and electronic structure of MgSiN₂" 라는 제목의 Quirk J.B. 등의 과학출판물은 6.3 eV 와 동일한 MgSiN 의 밴드갭을 개시한다. Al 도핑으로도 또한 지칭된 알루미늄 도핑은 전자 수용성 유전체 층의 재료의 밴드갭을 증가시키고, 이는 더 높은 밴드갭이 전자들이 게이트로 또는 게이트로부터 누설되는 것을 보다

효과적으로 차단할 것이기 때문에 게이트 유전체로서의 사용 및 고 전자 이동도 트랜지스터의 패시베이션에 훨씬 더 흥미로운 유전체 층을 초래한다. 추가적으로, Al 도핑은 패시베이션 스택의 플루오르계 플라즈마에서의 에칭 레이트에 영향을 미친다. 다시 말해서, 패시베이션 스택에 알루미늄을 도핑하면, 플루오르계 플라즈마 에칭을 위한 에치 스톱 층이 생성된다. MgAlSiN의 밴드갭은 6 eV 보다 높을 것으로 예상된다.

[0021] 2 차원 전자 가스는 2 차원으로 자유롭게 이동하지만, 처음에 엄격히 구속된 전자들의 가스이다. 이 엄격한 구속은 그 방향으로의 움직임을 위해 양자화된 에너지 레벨들을 야기한다. 전자들은 3D 세계에 임베딩된 2D 시트인 것으로 보인다. 고전력 및/또는 고주파수 애플리케이션들에 특히 흥미로운 디바이스는 HEMT 로도 또한 지칭된 고 전자 이동도 트랜지스터이다. 본 발명에 따르면, 패시베이션 스택은 에피택셜 III-N 반도체 층 스택과 게이트 사이에 형성된다. 패시베이션 스택은 게이트 아래에만 형성될 수도 있고 게이트 유전체로서 추가적으로 기능할 수도 있다. 대안적으로, 패시베이션 스택은 에피택셜 III-N 반도체 층 스택 위에 형성될 수도 있고 에피택셜 III-N 반도체 층 스택을 완전히 커버할 수도 있다. 대안적으로, 패시베이션 스택은 에피택셜 III-N 반도체 층 스택 위에 형성되고 에피택셜 III-N 반도체 층 스택의 표면을 부분적으로 커버할 수도 있고, 예를 들어, 그것은 본 발명에 따른 고 이동도 전자 트랜지스터의 드레인과 소스 사이의 비게이티드 영역에 형성될 수도 있고, 여기서 그것은 패시베이션으로서 기능하고 근본적인 2DEG의 공핍을 방지한다.

[0022] 본 발명에 따른 고 전자 이동도 트랜지스터의 게이트의 바이어스 전압은 특히 양의 전압들을 향하여, 전자 수용성 유전체 층의 두께에 의존한다. 실제로, 전자 수용성 유전체 층은 본 발명에 따른 고 전자 이동도 트랜지스터의 최대 게이트 바이어스를 큰 전압들로 시프트시키고 또한 고 전자 이동도 트랜지스터의 임계 전압을 시프트시킨다. 본 발명에 따른 고 전자 이동도 트랜지스터의 게이트 바이어스 전압은 -10 볼트와 20 볼트 사이, 바람직하게는 0 볼트와 10 볼트 사이로 구성된다. 본 발명에 따른 고 전자 이동도 트랜지스터의 임계 전압은 1 볼트와 5 볼트 사이, 바람직하게는 1 볼트와 2 볼트 사이로 구성된다. 대조적으로, 노멀리 온 고 전자 이동도 트랜지스터의 경우, 게이트 바이어스 전압은 통상적으로 -2 전압에 도달하고 고 전자 이동도 트랜지스터의 게이트 바이어스 범위는 일반적으로 -10 볼트와 2 볼트 사이로 구성된다.

[0023] 제 2 활성 III-N 층은 게이트 영역에 리세스를 포함하고, 여기서 리세스는 상기 제 2 활성 III-N 층에서 적어도 부분적으로 연장되고 전자 수용성 유전체 층은 패시베이션 표면이 리세스에서 제 2 패시베이션 표면과 직접 접촉하도록 리세스에서 연장된다.

[0024] 이렇게 하여, 본 발명에 따른 고 전자 이동도 트랜지스터는 에피택셜 III-N 반도체 층 스택의 제 2 활성 III-N 층에 형성된 게이트 아래에 리세스를 가진 절연된 게이트 HEMT이다. 이렇게 하여, 고 전자 이동도 트랜지스터의 임계 전압은 양의 전압들을 향하여 시프트하고 이것은 고 전자 이동도 트랜지스터의 향상 모드를 개선시킨다.

[0025] 본 발명의 실시형태들은 III 족-질화물계 HEMT들과 같은 질화물계 디바이스들에서의 사용에 특히 매우 적합할 수도 있다. III 족-질화물, 또는 III 족-N은, 주기율표의 III 족에서의 원소들, 예를 들어, B 로도 또한 지칭된 보론, Al 로도 또한 지칭된 알루미늄, Ga 로도 또한 지칭된 갈륨, In 로도 또한 지칭된 인듐, 및 N 로도 또한 지칭된 질소 간에 형성된 반도체 화합물들을 지칭한다. 이원 (binary) III 족-질화물 화합물들의 예는 GaN, AlN, BN 등이다. III 족-질화물은 또한 예를 들어, AlGaIn 및 InAlGaIn 과 같은 삼원 (ternary) 및 사원 (quaternary) 화합물들을 지칭한다.

[0026] 대안적으로, 에피택셜 III-N 반도체 층 스택은 기판과 활성 층 사이에 성장된 에피택셜로 성장된 버퍼 층을 포함한다. 버퍼 층은, 현재의 특성들, 이를 테면 고 파괴 (break down) 전압, 예를 들어, 250 V 초과, 바람직하게는 500 V 초과, 훨씬 더 바람직하게는 1000 V 초과, 이를 테면 2000 V 초과, 또는 심지어 훨씬 더 큰 전압을 제공하기 위하여, 버퍼 층이 큰 밴드갭을 갖는다는 의미에서, 예를 들어, 기판과 버퍼 층의 밴드갭이 (각각 1.1 eV 및 6.2 eV 와 같이) 상대적으로 멀리 떨어져 있는 점에서, 기판과는 상이한 성질의 것일 수도 있다. 버퍼 층은 예에서 큰 밴드갭을 가진 III-N 버퍼 층이다. 여기서 III 은 B, Al, Ga, In, Tl, Sc, Y 및 란타나이드 및 악티나이드 계열과 같은 13 족 및 3 족 원소들인, III 족 원소들을 지칭한다. 버퍼 층은 층들의 스택을 포함하고, 예에서, 통상적으로 제 1 층은 핵형성 층이다.

[0027] 본 발명의 옵션의 양태에 따르면, 고 전자 이동도 트랜지스터는 에피택셜 III-N 반도체 층 스택과 패시베이션 스택 사이의 계면을 더 포함하고, 전자 수용성 유전체 층은 계면에서 전자 수용체 레벨을 제공한다.

[0028] 이렇게 하여, 게이트가 바이어싱되지 않을 때, 고 전자 이동도 트랜지스터의 2DEG는 2DEG의 전자들이 에피택셜 III-N 반도체 층 스택과 패시베이션 스택 사이의 계면에서 전자 수용체 레벨을 향하여 흐르고 있기 때문에

공핍된다. 다시 말해서, 전자 수용성 유전체 층은 에피택셜 III-N 반도체 층 스택과 패시베이션 스택 사이의 계면에서 이온화된 전자 수용성 원자들의 존재를 통해 음의 표면 전하를 제공하고, 이로써 게이트가 바이어싱되지 않을 때 고 전자 이동도 트랜지스터의 2DEG의 전자들을 공핍시킨다.

- [0029] 본 발명의 옵션의 양태에 따르면, 고 전자 이동도 트랜지스터는 에피택셜 III-N 반도체 층 스택과 패시베이션 스택 사이의 계면을 더 포함하고, 전자 수용성 유전체 층은 패시베이션 스택에서 전자 수용체 레벨을 제공한다.
- [0030] 이렇게 하여, 게이트가 바이어싱되지 않을 때, 고 전자 이동도 트랜지스터의 2DEG는 2DEG의 전자들이 패시베이션 스택에서 전자 수용체 레벨을 향하여 흐르고 있기 때문에 공핍된다. 다시 말해서, 전자 수용성 유전체 층은 패시베이션 스택에서 이온화된 전자 수용성 원자들의 존재를 통해 음의 표면 전하를 제공하여, 이로써 게이트가 바이어싱되지 않을 때 고 전자 이동도 트랜지스터의 2DEG의 전자들을 공핍시킨다.
- [0031] 본 발명의 옵션의 양태에 따르면, 전자 수용성 유전체 층은 다음 중 하나 이상을 포함한다: $MgSiN$; $MgAlN$; $MgSiAlN$.
- [0032] 본 발명의 옵션의 양태에 따르면, 전자 수용성 유전체 층은 다음 중 하나 이상을 포함한다:
- [0033] - $Mg_xSi_{1-x}N$, 여기서 x 는 0.05와 0.95 사이로 구성되고;
- [0034] - $Mg_yAl_{1-y}N$, 여기서 y 는 0.05와 0.95 사이로 구성되고;
- [0035] - $Mg_aSi_zAl_{1-a-z}N$, 여기서 a 는 0.05와 0.95 사이로 구성되고 z 는 0.05와 0.95 사이로 구성되고 $a+z$ 는 0.1과 1 사이로 구성된다.
- [0036] 용어 $MgSiN$ 은 임의의 화학량론비 (stoichiometric ratio) ($Mg_xSi_{1-x}N$)로 Mg, Si 및 N을 포함하는 조성물에 관한 것이고, 여기서 x 는 0.05와 0.95 사이로 구성된다. 용어 $MgAlN$ 은 임의의 화학량론비 ($Mg_yAl_{1-y}N$)로 Mg, Al 및 N을 포함하는 조성물에 관한 것이고, 여기서 y 는 0.05와 0.95 사이로 구성된다. 용어 $MgSiAlN$ 은 임의의 화학량론비 ($Mg_aSi_zAl_{1-a-z}N$)로 Mg, Si, Al 및 N을 포함하는 조성물에 관한 것이고, 여기서 a 는 0.05와 0.95 사이로 구성되고 z 는 0.05와 0.95 사이로 구성되고 $a+z$ 는 0.1과 1 사이로 구성된다.
- [0037] 본 발명의 옵션의 양태에 따르면, 전자 수용성 유전체 층은 $Mg_xSi_{1-x}N$ 을 포함하고, 여기서 x 는 0.05와 0.95 사이로 구성된다.
- [0038] 이렇게 하여, 고 전자 이동도 트랜지스터의 채널에서의 전자 밀도는 전자 수용성 유전체 층의 조성물의 파라미터 x 를 튜닝함으로써 조절될 수 있다.
- [0039] 본 발명의 옵션의 양태에 따르면, 전자 수용성 유전체 층은 $Mg_ySi_{1-y}N$ 을 포함하고, 여기서 y 는 0.05와 0.95 사이로 구성된다.
- [0040] 이렇게 하여, 고 전자 이동도 트랜지스터의 채널에서의 전자 밀도는 전자 수용성 유전체 층의 조성물의 파라미터 y 를 튜닝함으로써 조절될 수 있다.
- [0041] 본 발명의 옵션의 양태에 따르면, 전자 수용성 유전체 층은 $Mg_aSi_zAl_{1-a-z}N$ 을 포함하고, 여기서 a 는 0.05와 0.95 사이로 구성되고 z 는 0.05와 0.95 사이로 구성되고 $a+z$ 는 0.1과 1 사이로 구성된다.
- [0042] 이렇게 하여, 고 전자 이동도 트랜지스터의 채널에서의 전자 밀도는 전자 수용성 유전체 층의 조성물의 파라미터 z 를 튜닝함으로써 조절될 수 있다. 전자 수용성 유전체 층의 재료의 밴드갭은 파라미터들 a 및 z 를 튜닝함으로써 조절될 수 있다.
- [0043] 본 발명의 옵션의 양태에 따르면, 전자 수용성 유전체 층은 에피택셜 III-N 반도체 층 스택 위에 에피택셜로 성장된다.
- [0044] 이렇게 하여, 전자 수용성 유전체 층은 에피택셜 III-N 반도체 층 스택의 형성으로 형성된다. 완전 결정질 전자 수용성 유전체 층은 에피택셜 III-N 반도체 층 스택 위에 에피택셜로 성장된다. 대안적으로, 부분 결정질 전자 수용성 유전체 층은 에피택셜 III-N 반도체 층 스택 위에 에피택셜로 성장된다. 전자 수용성 유전체 층은 ALD로도 또한 지칭된 원자 층 증착, CVD로도 또한 지칭된 화학 기상 증착, 또는 PVD로도 또한 지칭된 물리 기상 증착 같은 에피택시 툴들의 도움으로 엑스-시츄 (ex-situ) 증착에 의해 형성될 수도 있다. 대안적으로, 전자 수용성 유전체 층은 MOCVD 또는 MBE 챔버에서 인-시츄 (in-situ) 증착에 의해 형성될 수도 있다.

다. 대안적으로, 전자 수용성 유전체 층은 동일한 재료의 비정질 막을 증착하고 그것을 열 어닐을 사용하여 재결정화함으로써 형성될 수도 있다.

[0045] 제 1 활성 III-N 층과 제 2 활성 III-N 층 사이의 격자 상수의 차이는 활성 층의 전위 (dislocation) 를 초래할 수 있는 변형 (strain) 을 생성한다. 이 변형은 디바이스의 응답을 늦추는 계면 트랩 상태들을 초래할 수 있다. 계면 트랩 상태들은 제 2 활성 III-N 층의 표면에서 접근가능한 스테딩 전위들, 산소 또는 히드록실 흡착원자들, dangling 본드들에 의해 생성된 표면 상태들과 연관된다. 에피택셜 III-N 반도체 층 스택 위에 에피택셜로 성장된 전자 수용성 유전체 층은 따라서 계면 트랩들의 수를 한정하기 위해 에피택셜 III-N 반도체 층 스택의 제 2 활성 III-N 층의 표면 상에서 dangling 본드들을 터미네이팅 및 패시베이팅하고, 산소 또는 히드록실 이온들이 제 2 활성 III-N 층의 표면으로 이동 및 그 표면 상에 본딩하는 것을 방지하고, 디바이스 성능을 개선시키는 것을 돕는다. 다시 말해서, 패시베이션 스택은 고 전자 이동도 트랜지스터의 드레인과 게이트 사이의 트랩핑 상태들의 존재로 인해, 예를 들어, 드레인 전류 저하, 더 큰 임계 전압 변동, 더 큰 오프-전류 누설 등과 같은 디바이스 성능의 저하를 담당하는 에피택셜 III-N 반도체 층의 표면에서의 효과들을 감소 또는 제거한다. 추가적으로, 결정질 패시베이션 스택은 에피택셜 III-N 반도체 층 및 그 위의 패시베이션 스택과 정합하는 격자 상수를 가질 수도 있고, 이런 이유로 계면의 양쪽에 적합한 본드-정합을 제공하고 따라서 에피택셜 III-N 반도체 층과 패시베이션 스택 사이의 계면 트랩들을 감소시킨다. 그것은 또한, 표면 본드들의 코히어런트 터미네이션을 제공함으로써 표면 트랩들의 효과들을 감소시킨다. 이렇게 하여, 양호한 계면이 이 결정질 패시베이션 스택을 도입함으로써 실현될 수 있다.

[0046] 본 발명의 옵션의 양태에 따르면, 제 1 활성 III-N 층은 InAlGaN 을 포함하고, 제 2 활성 III-N 층은 InAlGaN 을 포함하고, 제 2 활성 III-N 층은 제 1 활성 III-N 층의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층은 제 1 활성 III-N 층의 분극보다 큰 분극을 포함한다.

[0047] 이렇게 하여, 인접한 제 1 활성 III-N 층 및 제 2 III-N 층에서의 상이한 재료들의 사용은 제 1 활성 III-N 층과 제 2 활성 III-N 층 사이의 접합부 근처의, 특히 제 2 활성 III-N 층의 밴드갭보다 좁은 밴드갭을 포함하는 제 1 활성 III-N 층에서의 컨덕티브 2DEG 영역의 원인이 되는 분극을 야기한다.

[0048] 제 1 활성 III-N 층은 예를 들어 20 과 500 nm 사이, 바람직하게는 30 과 300 nm 사이, 더 바람직하게는 50 과 250 nm 사이, 이를 테면 예를 들어 100 내지 150 nm 로 구성된 두께를 갖는다. 제 2 활성 III-N 층은 예를 들어, 10 내지 100 nm 사이, 바람직하게는 20 내지 50 nm 사이로 구성된 두께를 갖는다. 이러한 두께들의 조합은 예를 들어, 얻어진 2DEG 의 면에서, 활성 층에 대한 양호한 특성들을 제공한다.

[0049] 제 1 활성 III-N 층은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 1 활성 III-N 층은 예를 들어 GaN 을 포함한다. 제 2 활성 III-N 층은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 2 활성 III-N 층은 예를 들어 AlGa_yN 을 포함한다. 용어 AlGa_yN 은 임의의 화학량론비 (Al_xGa_yN) 로 Al, Ga 및 N 을 포함하는 조성물에 관한 것이고, 여기서 x 는 0 과 1 사이로 구성되고 y 는 0 과 1 사이로 구성된다. 대안적으로, 제 2 활성 III-N 층은 예를 들어 AlN 을 포함한다. 대안적으로, 제 2 활성 III-N 층은 InAlGaN 을 포함한다. InAlGaN 과 같은 조성물은 In 을 임의의 적합한 양으로 포함한다. 대안적으로, 제 1 활성 III-N 층과 제 2 활성 III-N 층 양자 모두는 InAlGaN 을 포함하고, 제 2 활성 III-N 층은 제 1 활성 III-N 층의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층은 제 1 활성 III-N 층의 분극보다 큰 분극을 포함한다. 대안적으로, 제 1 활성 III-N 층과 제 2 활성 III-N 층 양자 모두는 BInAlGaN 을 포함하고, 제 2 활성 III-N 층은 제 1 활성 III-N 층의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층은 제 1 활성 III-N 층의 분극보다 큰 분극을 포함한다. 활성 층의 조성물들은 얻어질 특성들을 고려하여 선택될 수도 있고, 조성물들은 이에 따라 가변할 수도 있다. 예를 들어, 약 150 nm 두께의 GaN 을 포함하는 제 1 활성 III-N 층 및 약 20 nm 두께의 AlGa_yN 을 포함하는 제 2 활성 III-N 층으로 양호한 결과들이 얻어졌다.

[0050] 본 발명의 옵션의 양태에 따르면, 기판은 다음 중 하나 이상을 포함한다: Si, 실리콘-온-절연체, 실리콘 카바이드, 사파이어.

[0051] 이렇게 하여, 본 발명의 고 전자 이동도의 제조는 상보성 금속-산화물-반도체 기술 및 프로세스들을 위해 개발된 기존의 제조 기법들과 양립가능하다. 다시 말해서, 고 전자 이동도 트랜지스터의 제조는 현재 피쳐들 및 현재 프로세스 단계들이 많은 추가적인 노력 없이도 그 안에 통합될 수 있기 때문에 CMOS-양립가능하다. 이는 트랜지스터와 같은 제조와 연관된 복잡성 및 비용들을 감소시킨다. 바람직하게는, 기판은 Si 기판, 이를 테면 <111> Si 기판, 및 이들의 조합들, 및 층들의 스택과 같은 초기 층들을 포함하는 기판들이다. 대안적으로, 고 전자 이동도 트랜지스터의 기판은 Ge 로도 또한 지칭된 게르마늄, 또는 Ge-온-절연체 등을 포함한다.

대안적으로, 고 전자 이동도 트랜지스터의 기판은 독립된 (free-standing) GaN 기판, 독립된 AlN 기판을 포함한다.

- [0052] 본 발명의 옵션의 양태에 따르면, 패시베이션 스택은 산화물 층을 더 포함한다.
- [0053] 이렇게 하여, 고 전자 이동도 트랜지스터의 패시베이션 스택은 고 전자 이동도 트랜지스터의 게이트에 대한 게이트 절연체의 역할을 하는 산화물 층을 포함한다. 산화물 층은 게이트에 대한 전기적으로 깨끗한 계면, 고 전자 이동도 트랜지스터의 트랜스컨덕턴스의 증가를 초래하는 2DEG 와 게이트 사이의 정전 커플링을 최대화하기 위한 고 유전 상수 및 양자 터널링에 의해 유전 파괴 및 누설을 회피하기 위한 충분한 두께를 나타낸다.
- [0054] 본 발명의 옵션의 양태에 따르면, 산화물 층은 MgO 를 포함한다.
- [0055] 이렇게 하여, 산화물 층의 존재 시의 게이트 절연체는 고 유전 상수를 입증하고, 이는 더 높은 커패시턴스를 허용한다.
- [0056] 본 발명의 옵션의 양태에 따르면, 게이트는 산화물 층 위에 형성된다.
- [0057] 이렇게 하여, 산화물 층은 고 전자 이동도 트랜지스터의 게이트와 전자 수용성 유전체 층 사이에 포함되도록 형성된다. 다시 말해서, 전자 수용성 유전체 층은 에피택셜 III-N 반도체 층 위에 에피택셜로 형성되고, 산화물 층은 전자 수용성 유전체 층 위에 형성되고 게이트는 산화물 층 위에 형성된다.
- [0058] 본 발명의 옵션의 양태에 따르면:
- [0059] - 전자 수용성 유전체 층은 에피택셜 III-N 반도체 층 스택과 접촉하는 패시베이션 표면 및 패시베이션 표면에 대향하는 유전체 표면을 포함하고; 그리고
- [0060] - 제 2 활성 III-N 층은 전자 수용성 유전체 층의 패시베이션 표면과 접촉하는 제 2 패시베이션 표면을 포함하여, 이로써 제 2 활성 III-N 층과 전자 수용성 유전체 층 사이의 패시베이션 콘택 계면을 정의한다.
- [0061] 본 발명의 옵션의 양태에 따르면:
- [0062] - 전자 수용성 유전체 층은 에피택셜 III-N 반도체 층 스택과 접촉하는 패시베이션 표면 및 패시베이션 표면에 대향하는 유전체 표면을 포함하고;
- [0063] - 산화물 층은 유전체 표면과 접촉하는 산화물 표면 및 산화물 표면에 대향하는 패시베이션 절연 표면을 포함하고;
- [0064] - 유전체 표면 및 산화물 표면은, 산화물 표면이 유전체 표면의 전체 표면을 따라 유전체 표면과 직접 접촉하도록 연장되고;
- [0065] - 게이트는, 전압 바이어스가 게이트에 인가되는 바이어싱 표면 및 바이어싱 표면에 대향하는 게이트 절연 표면을 포함하고;
- [0066] - 게이트는 산화물 층 위에 형성되어, 이로써 패시베이션 절연 표면과 게이트 절연 표면 사이의 절연 콘택 계면을 정의한다.
- [0067] 이렇게 하여, 계면은 예를 들어 MgSiN 또는 MgAlN 또는 MgSiAlN 을 포함하는 전자 수용성 유전체 층과 예를 들어 MgO 를 포함하는 산화물 층 사이에 형성된다. 추가적으로, 계면은 예를 들어 MgO 를 포함하는 산화물 층과 고 전자 이동도 트랜지스터의 게이트 사이에 형성된다. 대안적으로, 유전체 표면 및 산화물 표면은, 산화물 표면이 유전체 표면의 표면의 10 % 내지 100 % 를 따라 유전체 표면과 직접 접촉하도록 연장된다. 고 전자 이동도 트랜지스터의 게이트는 게이트 절연 표면을 통해 바이어싱된다. 다시 말해서, 동작 시에 고 전자 이동도 트랜지스터를 바이어싱하기 위해 게이트 절연 표면에 전압이 인가된다.
- [0068] 본 발명의 옵션의 양태에 따르면, 절연 콘택 계면은, 게이트 절연 표면이 패시베이션 절연 표면의 10 % 내지 100 % 와 직접 접촉하도록 연장된다.
- [0069] 이렇게 하여, 게이트 절연 표면이 패시베이션 절연 표면의 100 % 를 따라 연장되는 경우, 산화물 층은 전자 수용성 유전체 층과 게이트 사이에, 즉 고 전자 이동도 트랜지스터의 게이트 아래에 완전히 포함된다. 게이트 절연 표면이 패시베이션 절연 표면과 직접 접촉하지만 전체 패시베이션 절연 표면을 따르지 않는 경우, 산화물 층은 예를 들어 게이트보다 더 많이 연장되고 예를 들어 고 전자 이동도 트랜지스터의 드레인과 소스 사이에서 연장된다.

- [0070] 본 발명의 옵션의 양태에 따르면, 전자 수용성 유전체 층은 에피택셜 III-N 반도체 층 스택과 접촉하는 패시베이션 표면 및 패시베이션 표면에 대항하는 유전체 표면을 포함하고; 제 2 활성 III-N 층은 전자 수용성 유전체 층의 패시베이션 표면과 접촉하는 제 2 패시베이션 표면을 포함하여, 이로써 제 2 활성 III-N 층과 전자 수용성 유전체 층 사이의 패시베이션 콘택 계면을 정의한다.
- [0071] 본 발명의 옵션의 양태에 따르면, 전자 수용성 유전체 층의 질화물 원자들은 패시베이션 콘택 계면을 따라 제 2 활성 III-N 층의 III 족 원자들에 본딩한다.
- [0072] 이렇게 하여, 패시베이션 스택의 존재로 인해 그리고 특히 전자 수용성 유전체 층의 존재로 인해, 게이트가 바이어싱되지 않을 때 고 전자 이동도 트랜지스터의 2DEG 밀도는 감소하고 제 2 활성 III-N 층에서의 포텐셜 배리어 높이는 증가한다. 실제로, 전자 수용성 유전체 층이 예를 들어 MgSiN 또는 MgAlN 또는 MgSiAlN 을 포함하는 경우, 전자 수용성 유전체 층의 패시베이션 표면에 위치한 Mg 원자들은 음으로 이온화된 공여체들의 역할을 하며, 이는 제 2 활성 III-N 층의 양의 분극 전하들을 부분적으로 중화하고 이로써 분극 효과들을 통해 2DEG 밀도를 감소시킬 수 있다. 다시 말해서, 전자 수용성 유전체 층의 원자들, 예를 들어 전자 수용성 유전체 층이 MgSiN 또는 MgAlN 또는 MgSiAlN 을 포함할 때 Mg 원자들은 따라서 2DEG 의 전자들에 대한 수용체들로서 기능하여, 고 전자 이동도 트랜지스터의 게이트가 바이어싱되지 않을 때 채널을 공핍시킨다.
- [0073] 본 발명의 옵션의 양태에 따르면:
- [0074] - 패시베이션 콘택 계면은, 패시베이션 표면이 게이트 영역에서 제 2 패시베이션 표면의 10 내지 30 % 와 직접 접촉하도록 연장되고; 그리고
- [0075] - 패시베이션 스택은 제 2 활성 III-N 층 위에 그리고 전자 수용성 유전체 층의 양쪽에 형성된 2 개의 전자 공여성 유전체 층들을 더 포함하여, 2 개의 전자 공여성 유전체 층들의 각각은 제 2 활성 III-N 층과 직접 접촉하는 III-N 콘택 표면을 포함한다.
- [0076] 이렇게 하여, 전자 수용성 유전체 층은 제 2 활성 III-N 층의 제 2 패시베이션 표면의 전체 표면을 따라 연장되지 않는다.
- [0077] 이렇게 하여, 전자 수용성 유전체 층은 전자 수용성 유전체 층의 양쪽의 전자 공여성 유전체 층에 의해 둘러싸인다. 다시 말해서, 전자 수용성 유전체 층의 패시베이션 표면은 제 2 패시베이션 표면과 직접 접촉하고 고 전자 이동도 트랜지스터의 전자 수용성 유전체 층의 양쪽에는 전자 공여성 유전체 층이 형성된다. 이 전자 공여성 유전체 층은, 어떤 전자 수용성 유전체 층도 제 2 활성 III-N 층 위에 형성되지 않은 영역들에서 제 2 활성 III-N 층의 패시베이션을 개선시킨다. 다시 말해서, 전자 공여성 유전체 층들의 각각은 제 2 활성 III-N 층과 직접 접촉한다.
- [0078] 본 발명의 옵션의 양태에 따르면, 전자 공여성 유전체 층들은 SiN 을 포함한다.
- [0079] 전자 공여성 유전체 층은 MOCVD 리액터에서 인-시츄로 증착된 고밀도를 가진 SiN 이다. SiN 은 화학량론적 또는 비-화학량론적일 수도 있다. 예를 들어 인-시츄 SiN 으로 캡핑되는 HEMT 구조는 프로세싱 단계들, 심지어 고온 버짓을 갖는 것들에 의해 영향을 받지 않음이 발명자들에 의해 실험적으로 밝혀졌다. 대안적으로, 전자 공여성 유전체 층은 AlSiN 을 포함한다. Al-도핑은 유전체 재료의 밴드갭의 증가를 허용한다. 대안적으로, 전자 공여성 유전체 층은 Si, Al, O 및 N 중 하나 이상을 포함한다. 전자 공여성 유전체 층은 1 내지 500 nm, 바람직하게는 30 내지 400 nm, 더 바람직하게는 50 내지 300 nm, 이를 테면 100 내지 200 nm 의 두께를 갖는다. 인-시츄 SiN 은, 임의의 다른 프로세싱이 일어나기 전에, 예를 들어 500 nm 를 넘는 두께들을 위해, PECVD 또는 LPCVD SiN 또는 SiO_x 에 의해 외부적으로 두꺼워질 수도 있다. 얇은 전자 공여성 유전체 층은 낮은 저항을 가진 오믹 콘택들의 형성을 허용한다. 추가적으로, 전자 공여성 유전체 층은 Si 를 포함하고, Si 는 그것이 공여체의 역할을 하는 AlGaN 에서 확산될 수 있다. AlGaN 층에의 공여체 타입의 도입은 콘택 저항을 감소시키는 오믹 콘택 형성을 용이하게 한다. 전자 공여성 유전체 층은 700 °C 와 1300 °C 사이, 700 °C 와 1250 °C 사이, 700 °C 와 1100 °C 사이의 온도에서 형성된다. SiN 이 언급될 때, Si 및 N 으로 이루어지는 화합물이 의도됨을 이해해야 한다. SiN 은 Si₃N₄ 를 포함할 수 있지만, 또한 상이한 화학량론 또는 비-화학량론비들로 있는 Si_xN_y 와 같지만 이에 한정되지 않는, 다른 화학식들이 포함된다. 화학식 Si_xN_y 에서, x 및 y 는 실수들로서 정의될 수 있고, 여기서 0<x≤100 및 0<y≤100 이다. 에피택셜 III-N 반도체 층 스택이 성장되는 경우, NH₃ 은 반응 챔버에서 계속 흐르고 있고 SiH₄ 라인도 개방되어,

고온 및 SiN 의 성장을 허용한다. SiN 의 성장 후, SiH₄ 흐름은 정지되고 구조는 상부 층으로부터의 탈착을 회피하기 위해, NH₃ 흐름을 유지하면서 실온으로 냉각된다.

- [0080] 본 발명의 옵션의 양태에 따르면, 전자 공여성 유전체 층들은 제 2 활성 III-N 층 위에 에피택셜로 성장된다.
- [0081] 인-시츄 성장된 SiN 의 결정성은 도핑하거나 또는 Al 또는 B 와 같은 층들을 첨가함으로써 유지된다는 이점이 있다. 제 2 활성 III-N 층 위에 성장될 경우, 인-시츄 SiN 은 재료들 사이의 격자 부정합으로부터 발생하는 변형에 적응하기 위해 변형된다. 큰 격자 부정합은 에피택셜 성장 모드를 2 차원 Franck-Van der Merwe 층별 (layer-by-layer) 성장 모드로부터, 후에 차례로 비정질 성장 모드로 되기가 더 쉬운 3 차원 Volker-Weber 성장 모드로 되돌리기 위한 트리거임이 잘 알려져 있다. 따라서 베타-상 SiN 의 격자 상수를 줄여들게 하고 그것을 제 2 활성 III-N 층의 격자 상수에 더 잘 정합하게 하기 위해, Si 보다 작은 원자, 예를 들어 Al 또는 B 가 SiN 에 통합될 수 있다. SiN 격자에서의 Al 의 포함의 추가적인 이점은 고도 비휘발성 AlF 를 산출하는 Al 과 F 사이의 상호작용 때문에 불소계 플라즈마에서의 건식 에칭에 대한 개선된 저항이다. 전자 공여성 유전체 층들은 완전히 결정질이다. 대안적으로, 전자 공여성 유전체 층들은 부분적으로 결정질이고 제 2 활성 III-N 층의 제 2 패시베이션 표면과의 계면에서 적어도 몇몇 결정질 단층들을 포함한다.
- [0082] 본 발명의 옵션의 양태에 따르면, 전자 공여성 유전체 층들은 각각 제 2 활성 III-N 층과 직접 접촉하는 SiN III-N 콘택 표면을 포함한다.
- [0083] 본 발명의 옵션의 양태에 따르면, 전자 공여성 유전체 층들은 각각 소스 영역 및 드레인 영역에서 각각 에칭된다.
- [0084] 이렇게 하여, 디바이스 단자들이 형성될 드레인 영역과 소스 영역을 각각 언커버하기 위해 전자 공여성 유전체 층들에 개구들이 정의된다. 예를 들어, 포토리소그래피 단계가 수행될 수도 있고 전자 공여성 유전체 층들은 소스 영역에서 그리고 드레인 영역에서 각각 에칭될 수도 있다. 예를 들어, 전자 공여성 유전체 층들은 불소 화학 (fluorine chemistry) 에서 RIE 또는 ICP 플라즈마 툴에서의 건식 에칭에 의해 또는 HF 또는 완충된 HF 에서의 습식 에칭에 의해 제거될 수 있다.
- [0085] 불소 화학에서 전자 공여성 유전체 층들의 건식 및 습식 에칭들 양자 모두는 매우 높은 선택도를 가진 에치-스톱의 역할을 하는 제 2 활성 III-N 층에서 정지할 것이다. 예를 들어, 전자 공여성 유전체 층들의 에치는 불소 화학에 기초한 건식 에칭 시스템에서, 이를 테면, 예를 들어 각각 10 W 내지 150 W 의 "코일" 에칭 전력들, 또는 ICP, 및 "플래튼 (platen)", 또는 RF 및 에칭 가스로서의 SF₆ 또는 CF₄ 를 사용하는 유도 커플링 된 플라즈마 시스템에서 행해진다. 이는 제 2 활성 III-N 층 또는 그 아래의 층들 중 어떤 것도 제거하지 않고 나머지 전자 공여성 유전체 층의 완전한 제거를 허용한다. 대안적으로, 제 2 활성 III-N 층은 예를 들어, 알칼리 용액 또는 레지스터 현상액에서, 습식 에치로 부분적으로 에칭되어, 이로써 활성 층에서 부분적으로 소스 영역 및 드레인 영역에 개별의 오믹 콘택들을 형성하도록 허용한다.
- [0086] 본 발명의 옵션의 양태에 따르면, 패시베이션 콘택 계면은, 패시베이션 표면이 제 2 패시베이션 표면의 전체 표면을 따라 제 2 패시베이션 표면과 직접 접촉하도록 연장된다.
- [0087] 이 경우에, 전자 수용성 유전체 층은 제 2 활성 III-N 층의 제 2 패시베이션 표면의 전체 표면을 따라 연장된다.
- [0088] 본 발명의 옵션의 양태에 따르면, 전자 수용성 유전체 층은 소스 영역 및 드레인 영역에서 각각 에칭된다.
- [0089] 이 경우에, 전자 수용성 유전체 층은 제 2 활성 III-N 층을 완전히 커버하고, 어떤 전자 공여성 유전체 층들도 전자 수용성 유전체 층의 양쪽에 형성되지 않는다. 디바이스 단자들이 형성될 드레인 영역과 소스 영역을 각각 언커버하기 위해 전자 수용성 유전체 층에 개구들이 정의된다. 예를 들어, 포토리소그래피 단계가 수행될 수도 있고 전자 수용성 유전체 층은 소스 영역 및 드레인 영역에서 각각 에칭될 수도 있다. 예를 들어, 전자 수용성 유전체 층은 건식 에칭에 의해 제거될 수 있다.
- [0090] 본 발명의 옵션의 양태에 따르면, 오믹 콘택이 소스 영역 및 드레인 영역에 각각 형성된다.
- [0091] 소스 및 드레인 콘택들은 2DEG 에 대한 오믹 콘택들이고 활성 층의 제 2 활성 III-N 층과 접촉하는, 예를 들어, Ti/Al/Ni/Au, Ti/Al/Mo/Au, Ti/Al/Ti/Au, Ti/Al/Ti/W, Ti/Al/W, Ti/Al/W/Cr, Ta/Al/Ta, V/Al/Ni/Au 등과 같은 금속 스택들을 증착함으로써 이루어질 수 있다. 제 2 활성 III-N 층은 금속 증착 전에 리세스될 수도 있다. 콘택 속성들은, 질소 분위기 또는 포밍 가스 (forming gas) 분위기에서, 통상적으로 800 °C 와 900 °C 사이,

이를 테면 예를 들어 850 °C 로 구성된 온도에서, 열 어닐링에 의해 추가로 개선될 수도 있다. 대안적으로, 추가적인 금속 상호연결 층들이 게이트, 소스 및 드레인 전류들에 대한 저 저항 전류 경로들을 허용하기 위해, 당업자에게 알려진 방법들을 사용하여 정의된다.

- [0092] 본 발명의 옵션의 양태에 따르면, 에피택셜 III-N 반도체 층 스택은 양의 바이어스 전압이 게이트에 인가될 때 드레인 영역과 소스 영역 사이에 전자 채널을 호스팅하도록 적응된다.
- [0093] 이렇게 하여, 일단 고 전자 이동도 트랜지스터의 임계 전압보다 큰 바이어스 전압이 게이트에 인가되면, 전자들은 고 전자 이동도 트랜지스터의 소스와 드레인 사이의 게이트 아래의 전자 채널에서 흐른다.
- [0094] 본 발명의 옵션의 양태에 따르면, 전자 수용성 유전체 층은 0.1 내지 3 nm 두께이다.
- [0095] 이렇게 하여, 전자 수용성 유전체 층은 단일 층, 이를 테면 예를 들어 단일 MgSiN 또는 MgAlN 또는 MgSiAlN 층일 수도 있고, 따라서 단일 원자 단층의 두께를 가질 수도 있다. 대안적으로, 전자 수용성 유전체 층은 복수의 MgSiN 또는 MgAlN 또는 MgSiAlN 원자 층들, 이를 테면 예를 들어 2 개의 층들, 3 개의 층들, 4 개의 층들, 5 개의 층들, 10 개의 층들 등을 포함할 수도 있다.
- [0096] 본 발명의 옵션의 양태에 따르면, 산화물 층은 1 내지 30 nm 두께, 바람직하게는 3 nm 내지 10 nm 두께이다.
- [0097] 본 발명의 옵션의 양태에 따르면, 2 개의 전자 공여성 유전체 층들의 두께는 전자 수용성 유전체 층과 산화물 층의 결합된 두께와 실질적으로 동일하다.
- [0098] 이렇게 하여, 고 전자 이동도 트랜지스터의 외부 표면은 평탄화된다. 대안적으로, 2 개의 전자 공여성 유전체 층들의 두께는 전자 수용성 유전체 층 및 산화물 층의 결합된 두께와 상이하다. 이 경우에, SiN 또는 SiO_x 의 두꺼운 층은 완성된 고 전자 이동도 트랜지스터 상에 증착될 수 있고 예를 들어 CMP 로 평탄화될 수 있어, 실질적으로 편평한 표면을 얻을 수 있다.
- [0099] 본 발명의 옵션의 양태에 따르면, 게이트 영역에서의 리세스는 제 2 활성 III-N 층을 통해 완전히 연장되어, 제 1 활성 III-N 층을 노출시킨다.
- [0100] 본 발명의 옵션의 양태에 따르면, 전자 수용성 유전체 층은, 패시베이션 표면이 리세스에서 제 1 활성 III-N 층과 직접 접촉하도록 리세스에서 연장된다.
- [0101] 본 발명의 옵션의 양태에 따르면, 패시베이션 스택은 AlN 층을 더 포함하고, 여기서 상기 AlN 층은 AlN 을 포함하고 AlN 층이 리세스에서 제 1 활성 III-N 층과 직접 접촉하도록 하고; 그리고 전자 수용성 유전체 층은 AlN 층 위의 리세스에서 연장된다.
- [0102] 이렇게 하여, 본 발명에 따른 디바이스는 완전히 리세스된, 또는 다시 말해서 제거된 배리어를 가진 MOSFET 이고, 여기서 전자 수용성 유전체 층은 제 1 활성 III-N 층에서 채널 층과 접촉한다. 이렇게 하여, 게이트 아래의 진성 MOS 타입 영역이 형성된다. 전자 수용성 유전체 층은 양의 바이어스로 전하 축적 또는 역전을 가질 가능성을 가진 제 1 활성 III-N 층에 대한 양호한 계면을 형성하고, 전자 수용성 유전체 층은, 채널에 음의 바이어스에서의 전하가 없음을 보장한다. 본 발명의 옵션의 양태에 따르면, AlN 층은 AlN 을 포함하고 AlN 층의 두께는 1 nm 미만이다. 바람직하게는, AlN 층은 AlN 의 단일 단층이다. AlN 은 채널의 전자 이동도를 개선시킨다. AlN 으로도 또한 지칭된 알루미늄 질화물은 실제로 예를 들어 6 eV 초과인 넓은 밴드갭을 입증한다. AlN 층의 이 넓은 밴드갭 때문에, 흐르는 전자들은 제 1 활성 III-N 층과 AlN 층 사이의 계면에서 표면 거칠기를 덜 느끼고, 전자들은 결과적으로 더 나은 이동도를 갖는다.
- [0103] 본 발명의 제 2 양태에 따르면, 고 전자 이동도 트랜지스터를 제조하기 위한 방법이 제공되고, 그 방법은 다음의 단계들을 포함한다:
- [0104] - 기관을 제공하는 단계;
- [0105] - 기관 위에 에피택셜 III-N 반도체 층 스택을 제공하는 단계로서, 상기 에피택셜 III-N 반도체 층 스택을 제공하는 단계는:
 - [0106] o 제 1 활성 III-N 층; 및
 - [0107] o 제 2 활성 III-N 층을 포함하는 활성 층을 제공하여;
- [0108] 제 1 활성 III-N 층과 제 2 활성 III-N 층 사이에 2 차원 전자 가스를 형성하는 단계를 포함하는, 상기 에피택

설 III-N 반도체 층 스택을 제공하는 단계;

- [0109] - 게이트 영역에서 제 2 활성 III-N 층에 리세스를 형성하는 단계;
- [0110] - 에피택셜 III-N 반도체 층 스택 위에 패시베이션 스택을 제공하는 단계로서, 패시베이션 스택은 전자 수용성 유전체 층을 포함하는, 상기 패시베이션 스택을 제공하는 단계; 및
- [0111] - 게이트가 바이어싱되지 않을 때 전자 수용성 유전체 층이 2 차원 전자 가스를 공핍시키도록 게이트 영역에서 전자 수용성 유전체 층 위에 게이트를 제공하는 단계로서; 전자 수용성 유전체 층은 리세스에서 연장되고 전자 수용성 유전체 층은 실리콘 및/또는 알루미늄이 도핑된 마그네슘 질화물을 포함하는, 상기 게이트를 제공하는 단계.
- [0112] 이렇게 하여, 본 발명의 고 전자 이동도 트랜지스터는 노멀리 오프 동작을 향상시키고 이로써 고 전자 이동도 트랜지스터의 향상 모드를 개선시키는 개선된 패시베이션 스택을 포함한다. 실제로, 본 발명에 따른 고 전자 이동도 트랜지스터의 패시베이션 스택은 패시베이션 스택과 에피택셜 III-N 반도체 층 스택 사이의 계면에서 수용체 레벨을 생성하는 전자 수용성 유전체 층을 포함한다. 본 발명의 전자 수용성 유전체 층은, 고 전자 이동도 트랜지스터의 게이트가 바이어싱되지 않을 때 2DEG 로도 또한 지칭된, 2 차원 전자 가스로부터 전자들을 공핍시킨다. 따라서 고 전자 이동도 트랜지스터가 동작을 위해 바이어싱될 때까지 채널이 존재하지 않고 전류 흐름이 발생하지 않는다. 특히, 동작 시, 2DEG 를 페르미 레벨 아래로부터 이동시키기 위하여 고 전자 이동도 트랜지스터의 게이트에 바이어스 전압이 인가된다. 일단 다른 전압이 고 전자 이동도의 드레인과 소스 사이에 인가되면, 2DEG 에서의 전자들은 소스로부터 드레인으로 흐른다. 따라서, 본 발명에 따른 고 전자 이동도 트랜지스터는 예를 들어, 음의 극성 게이트 공급이 바람직하지 않은 전력 스위칭 또는 집적 로직과 같은 애플리케이션들에 적합하다. 본 발명에 따른 고 전자 이동도 트랜지스터의 게이트 극성은 추가적으로 그것이 제공하는 추가 안전 때문에 바람직하다.
- [0113] 제 2 활성 III-N 층 및 게이트 영역에서의 리세스 때문에, 본 발명에 따른 고 전자 이동도 트랜지스터는 제 2 활성 III-N 층에 리세스를 포함하지 않는 유사한 고 전자 이동도 트랜지스터보다 게이트로부터 2DEG 로의 훨씬 더 높은 누설 전류를 입증한다. 따라서, 게이트와 2DEG 사이에 유전체를 추가할 필요가 있다. 마그네슘 질화물, 또는 MgN 에, Si 로도 또한 지칭된 실리콘 및/또는 Al 로도 또한 지칭된 알루미늄을 도핑하면, 전자 수용성 유전체 층의 밴드갭이 증가된다. 이러한 전자 수용성 유전체 층이 게이트 영역에서의 제 2 활성 III-N 층에서의 리세스에서 연장되는 경우, 누설 전류가 따라서 감소된다. 추가적으로, MgN 에 Si 및/또는 Al 을 도핑하면, 전자 수용성 유전체 층의 유전 상수가 증가되어, 게이트와 2DEG 사이에 더 나은 커플링을 허용하고 개선된 컨덕턴스를 입증한다. 본 발명에 따른 고 전자 이동도 트랜지스터에서의 MgSiN 또는 MgAlN 또는 MgSiAlN 의 특정 사용은 디바이스가, 예를 들어 음의 극성 게이트 공급이 바람직하지 않은 전력 스위칭 또는 집적 로직과 같은 애플리케이션들에 적합하게 한다. 본 발명에 따른 고 전자 이동도 트랜지스터의 게이트 극성은 추가적으로 그것이 제공하는 추가 안전 때문에 바람직하다.
- [0114] MgSiN 은 고 전자 이동도 트랜지스터의 게이트가 바이어싱되지 않을 때 고 전자 이동도 트랜지스터의 채널을 공핍시키고 이로써 고 전자 이동도 트랜지스터의 향상 모드를 개선시킨다. 전자 수용성 유전체 층의 재료 MgSiN 은 큰 밴드갭을 나타내고, 이는 고 전자 이동도 트랜지스터의 게이트 유전체가 누설을 방지하게 하는데 흥미로운 유전체 층으로 한다. 2014년 9월에 Applied Physics Letters Volume 105, Issue 11 에 게재된 "Band gap and electronic structure of MgSiN₂" 라는 제목의 Quirk J.B. 등의 과학출판물은 6.3 eV 와 동일한 MgSiN 의 밴드갭을 개시한다. Al 도핑으로도 또한 지칭된 알루미늄 도핑은 전자 수용성 유전체 층의 재료의 밴드갭을 증가시키고, 이는 더 높은 밴드갭이 전자들이 게이트로 또는 게이트로부터 누설되는 것을 보다 효과적으로 차단할 것이기 때문에 게이트 유전체로서의 사용 및 고 전자 이동도 트랜지스터의 패시베이션에 훨씬 더 흥미로운 유전체 층을 초래한다. 추가적으로, Al 도핑은 패시베이션 스택의 플루오르계 플라즈마에서의 에칭 레이트에 영향을 미친다. 다시 말해서, 패시베이션 스택에 알루미늄을 도핑하면, 플루오르계 플라즈마 에칭을 위한 에치 스톱 층이 생성된다. MgSiAlN 의 밴드갭은 6 eV 보다 높을 것으로 예상된다.
- [0115] 전자 수용성 유전체 층은 고 전자 이동도 트랜지스터의 활성 층 위에 선택적으로 성장될 수도 있다. 이 경우에, 유전체 층, 예를 들어 SiN 또는 SiO_x 는 제 2 활성 III-N 층의 표면에 증착된다. 이 유전체 층은 유전체 층이 SiN 을 포함할 때 SiN 위에 희생 SiO_x 층을 더 포함할 수도 있다. 유전체 층 및 희생 층은 존재하는 경우, 그 후 예를 들어 리소그래피 단계에 의해 패터닝되고 그 후 고 전자 이동도 트랜지스터의 게이트 영역에서 제거된다. 그 후, 전자 수용성 유전체 층은 게이트 영역에서 MOVCD 에 의해 또는 MBE 에 의해 선택

적으로 성장된다. 대안적으로, 전자 수용성 유전체 층은 MOCVD 에 의해 또는 MBE 에 의해 활성 층 위에 성장된 블랭킷을 통해 성장된다. 이 경우에, 전자 수용성 유전체 층은 그 후 고 전자 이동도 트랜지스터의 게이트 영역을 제외하고 제거되고, 예를 들어, 전자 수용성 유전체 층은 고 전자 이동도 트랜지스터의 게이트 영역을 제외하고 에칭된다.

- [0116] 본 발명의 옵션의 양태에 따르면, 전자 수용성 유전체 층을 제공하는 것은 전자 수용성 유전체 층을 에피택셜로 성장시키는 것에 대응한다.
- [0117] 본 발명의 옵션의 양태에 따르면, 상기 에피택셜 III-N 반도체 층 스택 위에 패시베이션 스택을 제공하는 것은 에피택셜 III-N 반도체 층 스택 위에 패시베이션 스택을 에피택셜로 성장시키는 것에 대응한다.
- [0118] 본 발명의 옵션의 양태에 따르면, 에피택셜로 성장시키는 것은 MOCVD 또는 MBE 에 의한다.
- [0119] 결정질 전자 수용성 유전체 층은 MOCVD 또는 MBE 챔버에서 에피택셜 성장에 의해 인-시츄로 형성될 수 있다. 제 1 활성 III-N 층 및 제 2 활성 III-N 층은 MOCVD 또는 MBE 챔버에서 에피택셜 성장에 의해 인-시츄로 형성될 수 있다.
- [0120] 본 발명의 옵션의 양태에 따르면, 방법은 다음의 단계들을 더 포함한다:
- [0121] - 소스 영역 및 드레인 영역에서 패시베이션 스택을 에칭하는 단계; 및
- [0122] - 소스 영역 및 드레인 영역에 각각 오믹 콘택을 형성하는 단계.
- [0123] 본 발명의 옵션의 양태에 따르면, 방법은 다음의 단계들을 더 포함한다:
- [0124] - 전자 수용성 유전체 층 위에 전자 공여성 유전체 층을 제공하는 단계;
- [0125] - 게이트 영역에서 전자 공여성 유전체 층들을 국부적으로 제거하여, 이로써 전자 공여성 유전체 층에 개구를 형성하고 전자 수용성 유전체 층을 국부적으로 노출시키는 단계;
- [0126] - 게이트 영역에 게이트 전극을 형성하는 단계;
- [0127] - 소스 영역 및 드레인 영역에서 전자 공여성 유전체 층을 국부적으로 제거하여, 이로써 각각 소스 영역에서 전자 공여성 유전체 층에 개구를 형성하고 소스 영역에서 제 2 활성 III-N 층을 국부적으로 노출시키고, 드레인 영역에서 전자 공여성 유전체 층에 개구를 형성하고 드레인 영역에서 제 2 활성 III-N 층을 국부적으로 노출시키는 단계; 및
- [0128] - 소스 영역에 오믹 콘택 및 드레인 영역에 오믹 콘택을 형성하는 단계.
- [0129] 이렇게 하여, 고 전자 이동도 트랜지스터의 게이트 영역에 제공되는 게이트 전극이 형성된다. 게이트 영역에 게이트 전극을 형성하는 것은 복수의 프로세스 단계들을 포함한다. 예를 들어, 이 단계는 포토레지스트를 증착하는 단계 및 예를 들어, 산화물 층을 부분적으로 제거함으로써 게이트 콘택의 풋 (foot) 을 정의하는 리소그래피 단계를 수행하는 단계를 포함한다. 이렇게 하여, 산화물 층의 일부 층들은 고 전자 이동도 트랜지스터의 게이트 아래에 유지되고 트랩핑 효과들 및 누설 전류를 감소시키기 위해 게이트 유전체를 형성한다. 게이트 전극은 예를 들어, MOS 게이트로도 또한 지칭된, 금속-산화물-반도체 게이트이고, 예를 들어 Ni, Pt, W, WN, 또는 TiN 을 포함하고 Al, Au 또는 Cu 에 의해 캡핑된 것과 같은 금속 스택들을 증착함으로써 이루어질 수 있다. 금속 패턴들은 포토레지스트 위에 금속의 리프트-오프를 수행함으로써 연속적으로 정의된다. 대안적으로, 예를 들어 Ni, Pt, W, WN, 또는 TiN 을 포함하고 Al, Au 또는 Cu 에 의해 캡핑된 게이트 금속 스택이 증착된다. 그 후, 포토레지스트 및 리소그래피 단계들이 수행되고, 따라서 정의된 포토레지스트 패턴들은 원하지 않는 영역들에서 금속 스택들의 건식 에칭을 위한 마스크의 역할을 한다. 다음에 포토레지스트가 제거된다.
- [0130] 소스 영역에 오믹 콘택을 형성하고 드레인 영역에 오믹 콘택을 형성하는 것은 복수의 프로세스 단계들을 포함한다. 예를 들어, 이것은 포토레지스트를 증착하고 리소그래피 단계로 개별의 오믹 콘택들의 개별의 영역들을 정의하는 것으로 시작함으로써 행해진다. 전자 공여성 유전체 층들은 그 후 소스 영역 및 드레인 영역에서 각각 부분적으로 또는 완전히 제거된다. 대안적으로, 전자 수용성 유전체 층은 소스 영역 및 드레인 영역에서 완전히 제거된다. 일단 오믹 콘택들의 영역들이 정의되면, 즉 소스 영역 및 드레인 영역이 정의되었을 때, 금속 층 또는 금속 층들의 스택은, 예를 들어, 열 증발에 의해, 또는 스퍼터링에 의해, 또는 e-빔 증발에 의해 증착될 수 있다. 금속 패턴들은 제 2 활성 III-N 층과 접촉하지 않고 포토레지스트 위에, 금속의 리프트

트-오프를 수행함으로써 연속적으로 정의된다. 대안적으로, 포토레지스트가 먼저 제거되고 예를 들어 Ti 및 Al 을 포함하는 금속 스택이 증착되고 그 후 제 2 포토레지스트 증착 및 포토리소그래피 단계들이 원하지 않는 영역들에서 금속 스택의 건식 에칭 및 포토레지스트의 제거를 허용하도록 수행된다. 정의된 오믹 콘택들에는 그 후 예를 들어, 800 °C 와 900 °C 사이의 온도에서 예를 들어 수소 또는 포밍 가스 또는 질소 가스와 같은 환원 (reduced) 또는 불활성 분위기에서 1 분의 지속기간 동안 하나 이상의 합금 단계들, 예를 들어 고속 열 어닐링 단계가 실시될 수도 있다.

[0131] 본 발명의 제 3 양태에 따르면, 아날로그 애플리케이션들을 위해 고 전자 이동도 트랜지션에서 실리콘 및/또는 알루미늄이 도핑된 마그네슘 질화물을 포함하는 전자 수용성 유전체 층의 사용이 제공되며, 고 전자 이동도 트랜지스터는:

[0132] - 기판;

[0133] - 기판 위의 에피택셜 III-N 반도체 층 스택으로서, 에피택셜 III-N 반도체 층 스택은 활성 층으로서, 활성 층은:

[0134] o 제 1 활성 III-N 층; 및

[0135] o 게이트 영역에 리세스를 포함하는 제 2 활성 III-N 층을 포함하는, 상기 활성 층을;

[0136] 제 1 활성 III-N 층과 제 2 활성 III-N 층 사이의 2 차원 전자 가스와 함께 포함하는, 상기 에피택셜 III-N 반도체 층 스택;

[0137] - 에피택셜 III-N 반도체 층 스택 위의 그리고 게이트 영역에서의 게이트; 및

[0138] - 에피택셜 III-N 반도체 층 스택과 게이트 사이의 패시베이션 스택으로서, 게이트가 바이어싱되지 않을 때 2 차원 전자 가스의 공핍을 위해, 패시베이션 스택은 전자 수용성 유전체 층을 포함하고, 전자 수용성 유전체 층은 리세스에서 연장되고 전자 수용성 유전체 층은 실리콘 및/또는 알루미늄이 도핑된 마그네슘 질화물을 포함하는, 상기 패시베이션 스택을 포함한다.

[0139] 전자 수용성 유전체 층의 질화물 원자들은 패시베이션 콘택 계면을 따라 제 2 활성 III-N 층의 III 족 원자들에 본딩한다. 고 전자 이동도 트랜지스터의 패시베이션 스택에 Mg 원자들을 통합하면 따라서 에피택셜 III-N 반도체 층 스택과 패시베이션 스택 사이의 계면에서 전자 수용 레벨이 생성되어, 이로써 게이트가 바이어싱되지 않을 때 고 전자 이동도 트랜지스터의 2DEG 채널로부터 전자들을 공핍시킨다. 음의 표면 전하는 에피택셜 III-N 반도체 층 스택과 패시베이션 스택 사이의 계면에서 이온화된 Mg 수용체들에 의해 제공된다. 전자 수용성 유전체 층에서의 MgSiN 또는 MgAlN 또는 MgSiAlN 의 특정 사용은 노멀리 오프 동작을 향상시키고 이로써 고 전자 이동도 트랜지스터의 항상 모드를 개선시킨다. 실제로, 전자 수용성 유전체 층은 패시베이션 스택과 에피택셜 III-N 반도체 층 스택 사이의 계면에서 수용체 레벨을 생성한다. 본 발명의 전자 수용성 유전체 층은 고 전자 이동도 트랜지스터의 게이트가 바이어싱되지 않을 때 2DEG 로도 또한 지칭된, 2 차원 전자 가스로부터 전자들을 공핍시킨다. 따라서 고 전자 이동도 트랜지스터가 동작을 위해 바이어싱될 때까지 채널이 존재하지 않고 전류 흐름이 발생하지 않는다. 특히, 동작 시, 2DEG 를 페르미 레벨 아래로부터 이동시키기 위하여 고 전자 이동도 트랜지스터의 게이트에 바이어스 전압이 인가된다. 일단 다른 전압이 고 전자 이동도의 드레인과 소스 사이에 인가되면, 2DEG 에서의 전자들은 소스로부터 드레인으로 흐른다.

[0140] 제 2 활성 III-N 층 및 게이트 영역에서의 리세스 때문에, 본 발명에 따른 고 전자 이동도 트랜지스터는 제 2 활성 III-N 층에 리세스를 포함하지 않는 유사한 고 전자 이동도 트랜지스터보다 게이트로부터 2DEG 로의 훨씬 더 높은 누설 전류를 입증한다. 따라서 게이트와 2DEG 사이에 유전체를 추가할 필요가 있다. 마그네슘 질화물, 또는 MgN 에, Si 로도 또한 지칭된 실리콘, 및/또는 Al 로도 또한 지칭된 알루미늄을 도핑하면, 전자 수용성 유전체 층의 밴드갭이 증가된다. 이러한 전자 수용성 유전체 층이 게이트 영역에서의 제 2 활성 III-N 층에서의 리세스에서 연장되는 경우, 누설 전류가 따라서 감소된다. 추가적으로, MgN 에 Si 및/또는 Al 을 도핑하면, 전자 수용성 유전체 층의 유전 상수가 증가되고, 이로써 게이트와 2DEG 사이에 더 나은 커플링을 허용하고 개선된 컨덕턴스를 입증한다. 본 발명에 따른 고 전자 이동도 트랜지스터에서의 MgSiN 또는 MgAlN 또는 MgSiAlN 의 특정 사용은 디바이스가 예를 들어, 음의 극성 게이트 공급이 바람직하지 않은 전력 스위칭 또는 집적 로직과 같은 애플리케이션들에 적합하게 한다. 본 발명에 따른 고 전자 이동도 트랜지스터의 게이트 극성은 추가적으로 그것이 제공하는 추가 안전 때문에 바람직하다.

[0141] MgSiN 은 고 전자 이동도 트랜지스터의 게이트가 바이어싱되지 않을 때 고 전자 이동도 트랜지스터의 채널을 공

핍시키고 이로써 고 전자 이동도 트랜지스터의 향상 모드를 개선시킨다. 전자 수용성 유전체 층의 재료 MgSiN 은 큰 밴드갭을 나타내고, 이는 고 전자 이동도 트랜지스터의 게이트 유전체가 누설을 방지하게 하는데 흥미로운 유전체 층으로 한다. 2014년 9월에 Applied Physics Letters Volume 105, Issue 11 에 게재된 "Band gap and electronic structure of MgSiN₂" 라는 제목의 Quirk J.B. 등의 과학출판물은 6.3 eV 와 동일한 MgSiN 의 밴드갭을 개시한다. Al 도핑으로도 또한 지칭된 알루미늄 도핑은 전자 수용성 유전체 층의 재료의 밴드갭을 증가시키며, 이는 더 높은 밴드갭이 전자들이 게이트로 또는 게이트로부터 누설되는 것을 보다 효과적으로 차단할 것이기 때문에 게이트 유전체로서의 사용 및 고 전자 이동도 트랜지스터의 패시베이션에 훨씬 더 흥미로운 유전체 층을 초래한다. 추가적으로, Al 도핑은 패시베이션 스택의 플루오르계 플라즈마에서의 에칭 레이트에 영향을 미친다. 다시 말해서, 패시베이션 스택에 알루미늄을 도핑하면, 플루오르계 플라즈마 에칭을 위한 에치 스톱 층이 생성된다. MgAlSiN 의 밴드갭은 6 eV 보다 높을 것으로 예상된다.

도면의 간단한 설명

[0142]

도 1a 내지 도 1c 는 종래 기술의 고 전자 이동도 트랜지스터 (도 1a), 제 2 활성 III-N 층에 리세스를 포함하는 종래 기술의 고 전자 이동도 트랜지스터 (도 1b) 및 본 발명에 따른 고 전자 이동도 트랜지스터 (도 1c) 에서의 전하 분포를 개략적으로 예시한다.

도 2a 내지 도 2c 는 본 발명에 따른 반도체 구조의 실시형태를 개략적으로 예시하며, 여기서 상기 전자 수용성 유전체 층은 상기 게이트 영역에서 패시베이션 스택을 에칭한 후 게이트 영역에 증착된다.

도 3a 및 도 3b 는 본 발명에 따른 고 전자 이동도 트랜지스터의 실시형태를 개략적으로 예시하며, 여기서 패시베이션 스택은 에피택셜 III-N 반도체 층 스택 위에 완전히 연장된다.

도 4a 내지 도 4c 는 본 발명에 따른 고 전자 이동도 트랜지스터의 실시형태를 개략적으로 예시하며, 여기서 전자 수용성 유전체 층은 에피택셜 III-N 반도체 층 스택의 제 2 활성 III-N 층에 형성된 도 4b 에서의 부분 리세스 또는 도 4c 에서의 전체 리세스 위에 증착된다.

도 5a 내지 도 5c 는 본 발명에 따른 반도체 구조의 실시형태를 개략적으로 예시하며, 여기서 상기 반도체 구조는 제 2 활성 III-N 층에 형성된 부분 리세스를 포함한다.

도 6a 내지 도 6c 는 본 발명에 따른 반도체 구조의 실시형태를 개략적으로 예시하며, 여기서 상기 전자 수용성 유전체 층은 상기 게이트 영역에서 패시베이션 스택을 에칭한 후 게이트 영역에 증착되고, 상기 반도체 구조는 제 2 활성 III-N 층에 형성된 리세스를 포함한다.

도 7a 내지 도 7c 는 본 발명에 따른 고 전자 이동도 트랜지스터의 실시형태를 개략적으로 예시한다.

도 8a 내지 도 8c 는 본 발명에 따른 반도체 구조의 실시형태를 개략적으로 예시하며, 여기서 상기 반도체 구조는 제 2 활성 III-N 층에 형성된 전체 리세스를 포함한다.

도 9a 내지 도 9c 는 본 발명에 따른 고 전자 이동도 트랜지스터의 실시형태를 개략적으로 예시하며, 여기서 상기 고 전자 이동도 트랜지스터는 제 2 활성 III-N 층에 형성된 전체 리세스를 포함한다.

도 10a 내지 도 10c 는 본 발명에 따른 반도체 구조의 실시형태를 개략적으로 예시하며, 여기서 상기 반도체 구조는 제 2 활성 III-N 층에 형성된 전체 리세스를 포함하고 AlN 층을 더 포함한다.

도 11a 내지 도 11c 는 본 발명에 따른 고 전자 이동도 트랜지스터의 실시형태를 개략적으로 예시하며, 여기서 상기 고 전자 이동도 트랜지스터는 제 2 활성 III-N 층에 형성된 전체 리세스를 포함하고 AlN 층을 더 포함한다.

도 12 는 본 발명에 따른 방법의 단계들의 실시형태를 개략적으로 예시한다.

발명을 실시하기 위한 구체적인 내용

[0143]

도 1a 에 도시된 종래 기술의 실시형태에 따르면, 2DEG (21) 를 포함하는 표준의 고 전자 이동도 트랜지스터에서의 전하 분포가 개략적으로 예시된다. 이 경우에, 배리어 (201) 는 크고, 이온화된 표면 공여체들 (203) 은 페르미 레벨 (200) 보다 위에 존재하는 한편, 비-이온화된 표면 공여체들 (204) 은 페르미 레벨 (200) 아래에 존재한다. 도 1b 에 도시된 종래 기술의 실시형태에 따르면, 리세스가 제 2 활성 III-N 층에 형성되고 2DEG (21) 를 포함하는 표준의 고 전자 이동도 트랜지스터에서의 전하 분포가 개략적으로 예시된다. 이 경

우에, 배리어 (201) 는 도 1a 의 배리어 (201) 보다 좁고, 그 결과, 이 구조에서의 누설 전류는 도 1a 의 HEMT (1) 에서보다 훨씬 높다. 도 1b 에서 이온화된 표면 공여체들 (203) 은 페르미 레벨 (200) 보다 위에 존재하는 한편 비-이온화된 표면 공여체들 (204) 은 페르미 레벨 (200) 아래에 존재한다. 도 1c 에 도시된 실시 형태에 따르면, 리세스가 제 2 활성 III-N 층에 형성되고 2DEG (21) 를 포함하고 MgSiN 또는 MgAlN 또는 MgSiAlN 을 포함하는 전자 수용성 유전체 층을 포함하는 본 발명에 따른 고 전자 이동도 트랜지스터에서의 전자 분포가 개략적으로 예시된다. 이 경우에, 배리어 (201) 는 도 1a 의 배리어 (201) 보다 좁고, 그 결과, 이 구조에서의 누설 전류는 도 1a 의 HEMT (1) 에서보다 훨씬 높다. 그러나 동시에, 전자 수용성 유전체 층은, 큰 밴드갭을 입증하고 HEMT 의 채널과 게이트 사이에 위치하여, 누설 전류를 감소시키는 MgSiN 또는 MgAlN 또는 MgSiAlN 을 포함한다. 도 1c 에서 이온화된 표면 공여체들 (203) 은 페르미 레벨 (200) 보다 위에 존재하는 한편 비-이온화된 표면 공여체들 (204) 은 페르미 레벨 (200) 아래에 존재한다. 전자 수용성 유전체 층에 의해 생성된 전자 수용성 유전체 레벨과 배리어 표면 공여체 레벨 (donor level) 사이의 전자 교환은 페르미 레벨 (200) 과는 상이한 표면 포텐셜의 변형을 야기한다. 도 1c 에서, 이온화된 표면 공여체들 (203) 의 수는 제 2 활성 III-N 층에도 전자 수용성 유전체 층에도 리세스를 포함하지 않는 HEMT 에서의 이온화된 표면 공여체들 (203) 의 수보다 높고, 그것은 또한, 제 2 활성 III-N 층에 리세스를 포함하지만 전자 수용성 유전체 층을 포함하지 않는 HEMT 에서의 이온화된 표면 공여체들 (203) 의 수보다 높다. 제 2 활성 III-N 층에 리세스의 존재와 전자 수용성 유전체 층을 위한 재료로서의 MgSiN 또는 MgAlN 또는 MgSiAlN 의 특정 선택의 조합은, HEMT 의 게이트가 바이어싱되지 않을 때 2DEG 로부터 전자들의 공핍을 개선시키고 따라서 HEMT 의 노멀리 오프 동작을 향상시켜, 그의 향상 모드를 개선시킨다. 본 발명의 고 전자 이동도 트랜지스터는 노멀리 오프 동작을 향상시키고 이로써 고 전자 이동도 트랜지스터의 향상 모드를 개선시키는 개선된 패시베이션 스택을 포함한다. 실제로, 본 발명에 따른 고 전자 이동도 트랜지스터의 패시베이션 스택은 패시베이션 스택과 에피택셜 III-N 반도체 층 스택 사이의 계면에서 수용체 레벨을 생성하는 전자 수용성 유전체 층을 포함한다. 본 발명의 전자 수용성 유전체 층은, 고 전자 이동도 트랜지스터의 게이트가 바이어싱되지 않을 때, 2DEG 로도 또한 지칭된, 2 차원 전자 가스로부터 전자들을 공핍시킨다. 따라서, 고 전자 이동도 트랜지스터가 동작을 위해 바이어싱될 때까지 채널이 존재하지 않고 전류 흐름이 발생하지 않는다. 특히, 동작 시, 2DEG 를 페르미 레벨 (200) 아래로부터 이동시키기 위하여 고 전자 이동도 트랜지스터의 게이트에 바이어스 전압이 인가된다. 일단 고 전자 이동도의 드레인과 소스 사이에 다른 전압이 인가되면, 2DEG 에서의 전자들은 소스로부터 드레인으로 흐른다. 따라서, 본 발명에 따른 고 전자 이동도 트랜지스터는 예를 들어, 음의 극성 게이트 공급이 바람직하지 않은 전력 스위칭 또는 집적 로직과 같은 애플리케이션들에 적합하다. 본 발명에 따른 고 전자 이동도 트랜지스터의 게이트 극성은 추가적으로 그것이 제공하는 추가 안전 때문에 바람직하다. 제 2 활성 III-N 층 및 게이트 영역에서의 리세스 때문에, 본 발명에 따른 고 전자 이동도 트랜지스터는 제 2 활성 III-N 층에 리세스를 포함하지 않는 유사한 고 전자 이동도 트랜지스터보다 게이트로부터 2DEG 로의 훨씬 더 높은 누설 전류를 입증한다. 마그네슘 질화물, 또는 MgN 에, Si 로도 또한 지칭된 실리콘 및/또는 Al 로도 또한 지칭된 알루미늄을 도핑하면, 전자 수용성 유전체 층의 밴드갭이 증가된다. 이러한 전자 수용성 유전체 층이 게이트 영역에서의 제 2 활성 III-N 층에서의 리세스에서 그리고 게이트와 2DEG 사이에서 연장되는 경우, 누설 전류가 따라서 감소된다. 추가적으로, MgN 에 Si 및/또는 Al 을 도핑하면, 전자 수용성 유전체 층의 유전 상수가 증가되어, 게이트와 2DEG 사이의 더 나은 커플링을 허용하고 개선된 컨덕턴스를 입증한다. 추가적으로, 게이트 영역에서의 제 2 활성 III-N 층에서의 리세스 때문에, 전자 수용성 유전체 층은 2DEG 에 가까워져, 게이트가 바이어싱되지 않을 때 전자 수용성 유전체 층에 의해 2DEG 로부터의 전자들의 공핍의 효과를 개선시킨다. 전자 수용성 유전체 층의 질화물 원자들은 패시베이션 콘택 계면을 따라 제 2 활성 III-N 층의 III 족 원자들에 본딩한다. 따라서, 고 전자 이동도 트랜지스터의 패시베이션 스택에 Mg 원자들을 통합하면 에피택셜 III-N 반도체 층 스택과 패시베이션 스택 사이의 계면에서 전자 수용 레벨이 생성되어, 게이트가 바이어싱되지 않을 때 고 전자 이동도 트랜지스터의 2DEG 채널로부터 전자들을 공핍시킨다. 음의 표면 전하가 에피택셜 III-N 반도체 층 스택과 패시베이션 스택 사이의 계면에서 이온화된 Mg 수용체들에 의해 제공된다. MgSiN 은 고 전자 이동도 트랜지스터의 게이트가 바이어싱되지 않을 때 고 전자 이동도 트랜지스터의 채널을 공핍시키고 이로써 고 전자 이동도 트랜지스터의 향상 모드를 개선시킨다. 전자 수용성 유전체 층의 재료 MgSiN 은 6.3 eV 보다 큰 크거나 또는 넓은 밴드갭을 나타내고, 이는 고 전자 이동도 트랜지스터의 게이트 유전체가 누설을 방지하게 하는데 흥미로운 유전체 층으로 한다. Al 도핑으로도 또한 지칭된 알루미늄 도핑은 전자 수용성 유전체 층의 재료의 밴드갭을 증가시키며, 이는 더 높은 밴드갭이 전자들이 게이트로 또는 게이트로부터 누설되는 것을 보다 효과적으로 차단할 것이기 때문에 게이트 유전체로서의 사용 및 고 전자 이동도 트랜지스터의 패시베이션에 훨씬 더 흥미로운 유전체 층을 초래한다. 추가적으로, Al 도핑은 패시베이션 스택의 플루오르계 플라즈마에서의 에칭 레이트에 영향을 미친다. 다시 말해서, 패시베이션 스택에 알루미늄을

도평하면 플루오르계 플라즈마 에칭을 위한 에치 스톱 층이 생성된다. MgAlSiN의 밴드갭은 6 eV 보다 높을 것으로 예상된다.

[0144]

도 2a 내지 도 2c에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 2a 내지 도 2c의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a에서, 본 발명에 따른 반도체 구조는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20)을 포함한다. 에피택셜 III-N 반도체 층 스택 (20)은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23)을, 제 1 활성 III-N 층 (22)과 제 2 활성 III-N 층 (23) 사이의 2차원 전자 가스 (21)와 함께 포함한다. 패시베이션 스택 (40)은 그 후 게이트 영역 (31)에서 에칭되고 제 2 활성 III-N 층 (23)은 게이트 영역 (31)에서 패시베이션 스택 (40)을 마스크로서 사용하여 부분적으로 에칭된다. 다시 말해서, 리세스 (24)가 게이트 영역 (31)에서 제 2 활성 III-N 층 (23)에 형성된다. 이는 반응성 이온 에칭 또는 RIE와 같은 플라즈마 에칭 툴에서의 또는 바람직하게는 유도 커플링된 플라즈마 또는 ICP 툴에서의 에칭에 의해 달성될 수 있다. 시약 가스들은 Cl₂ 또는 BCl₃일 수 있다. 대안적으로, 디지털 에칭 프로세스가 사용될 수 있는 반면, 연속적으로 그리고 반복적으로, 먼저 제 2 활성 III-N 층의 상부 표면이 예를 들어 O₂, O₃ 또는 N₂O 플라즈마에서 산화되고, 그 후 형성된 산화물이 예를 들어 SF₆ 또는 CF₄ 플라즈마에서 에칭된다. 제 1 활성 III-N 층 (22)은 예를 들어 20과 500 nm 사이, 바람직하게는 30과 300 nm 사이, 보다 바람직하게는 50과 250 nm 사이, 이를 테면 예를 들어 100 내지 150 nm로 구성된 두께를 갖는다. 제 2 활성 III-N 층 (23)은 예를 들어 10 내지 100 nm 사이, 바람직하게는 20 내지 50 nm 사이로 구성된 두께를 갖는다. 이러한 두께들의 조합은 예를 들어 얻어진 2DEG (21)의 면에서, 활성 층에 대한 양호한 특성들을 제공한다. 제 1 활성 III-N 층 (22)은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 1 활성 III-N 층 (22)은 예를 들어 GaN을 포함한다. 제 2 활성 III-N 층 (23)은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 2 활성 III-N 층 (23)은 예를 들어 AlGa_xN을 포함한다. 용어 AlGa_xN은 임의의 화학량론비 (Al_xGa_yN)로 Al, Ga 및 N을 포함하는 조성물에 관한 것이고, 여기서 x는 0과 1 사이로 구성되고 y는 0과 1 사이로 구성된다. 대안적으로, 제 2 활성 III-N 층 (23)은 예를 들어 AlN을 포함한다. 대안적으로, 제 2 활성 III-N 층 (23)은 InAlGa_xN을 포함한다. InAlGa_xN과 같은 조성물은 In을 임의의 적합한 양으로 포함한다. 대안적으로, 제 1 활성 III-N 층 (22)과 제 2 활성 III-N 층 (23) 양자 모두는 InAlGa_xN을 포함하고, 제 2 활성 III-N 층 (23)은 제 1 활성 III-N 층 (22)의 분극보다 큰 분극을 포함하고 제 2 활성 III-N 층 (23)은 제 1 활성 III-N 층 (22)의 분극보다 큰 분극을 포함한다. 대안적으로, 제 1 활성 III-N 층 (22)과 제 2 활성 III-N 층 (23) 양자 모두는 BInAlGa_xN을 포함하고, 제 2 활성 III-N 층 (23)은 제 1 활성 III-N 층 (22)의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23)은 제 1 활성 III-N 층 (22)의 분극보다 큰 분극을 포함한다. 활성 층의 조성물들은 얻어질 특성들을 고려하여 선택될 수도 있고, 조성물들은 이에 따라 가변할 수도 있다. 예를 들어, 약 150 nm 두께의 GaN을 포함하는 제 1 활성 III-N 층 (22) 및 약 20 nm 두께의 AlGa_xN을 포함하는 제 2 활성 III-N 층 (23)으로 양호한 결과들이 얻어졌다. 도 2b에서 보이는 바와 같이, 패시베이션 스택 (40)은 에피택셜 반도체 층 스택 (20) 위에 형성된다. 패시베이션 스택 (40)은 전자 공여성 유전체 층을 포함한다. 패시베이션 스택 (40)은 예를 들어 SiN을 포함한다. 패시베이션 스택 (40)은 MOCVD 리액터에서 인-시츄로 증착된, 고밀도를 가진 SiN을 포함한다. SiN은 화학량론적 또는 비-화학량론적일 수도 있다. 인-시츄 SiN은 임의의 다른 프로세싱이 일어나기 전에, 예를 들어, 500 nm를 넘는 두께를 위해, PECVD 또는 LPCVD SiN 또는 SiO_x에 의해 외부적으로 두꺼워질 수도 있다. 대안적인 실시형태에 따르면, 패시베이션 스택 (40)은 SiO₂를 포함한다. 추가의 대안적인 실시형태에 따르면, 도 2b의 패시베이션 스택 (40)은 AlSiN을 포함한다. Al-도핑은 유전체 재료의 밴드갭의 증가를 허용한다. 대안적으로, 도 2b의 패시베이션 스택은 Si, Al, O 및 N 중 하나 이상을 포함한다. 패시베이션 스택 (40)은 그 후 게이트 영역 (31)에서 에칭되어, 제 2 활성 III-N 층 (23)의 제 2 패시베이션 표면 (230)을 노출시키고, 이로써 제 2 활성 III-N 층 (23) 위에 그리고 게이트 영역 (31)의 양쪽에 2개의 전자 공여성 유전체 층들 (43;44)을 형성하여, 2개의 전자 공여성 유전체 층들 (43;44)의 각각은 제 2 활성 III-N 층 (23)과 직접 접촉하는 III-N 콘택 표면 (430;440)을 포함한다. 대안적인 실시형태에 따르면, 제 2 활성 III-N 층 (23)은 게이트 영역 (31)에서 부분적으로 에칭된다. 도 2c에서 보이는 바와 같이, 전자 수용성 유전체 층 (41)이 그 후 게이트 영역 (31)에 형성되고 제 2 활성 III-N 층 (23)의 리세스 (24)에서 연장된다. 전자 수용성 유전체 층 (41)은 에피택셜 III-N 반도체 층 스택 (20)의 제 2 활성 III-N 층 (23)과 접촉하는 패시베이션 표면 (410)을 포함한다. 전자 수용성 유전체 층 (41)은 패시베이션 표면 (410)에 대항하는 유전체 표면 (411)을 더 포함한다. 제 2 활성 III-N 층 (23)은 전자 수용성 유전체 층 (41)의 패시베이션

표면 (410) 과 접촉하는 제 2 패시베이션 표면 (230) 을 포함하여, 제 2 활성 III-N 층 (23) 과 전자 수용성 유전체 층 (41) 사이의 패시베이션 콘택 계면 (231) 을 정의한다. 패시베이션 콘택 계면 (231) 은 패시베이션 표면 (410) 이 게이트 영역 (31) 에서 제 2 패시베이션 표면의 10 내지 30 % 와 직접 접촉하도록 연장된다. 전자 수용성 유전체 층 (41) 은 예를 들어 $Mg_xSi_{1-x}N$ 을 포함하고, 여기서 x 는 0.05 와 0.95 사이로 구성된다.

대안적인 실시형태에 따르면, 전자 수용성 유전체 층 (41) 은 $Mg_yAl_{1-y}N$ 을 포함하고, 여기서 y 는 0.05 와 0.95 사이로 구성된다. 추가의 대안적인 실시형태에 따르면, 전자 수용성 유전체 층은 $Mg_aSi_zAl_{1-a-z}N$ 을 포함하고, 여기서 a 는 0.05 와 0.95 사이로 구성되고 z 는 0.05 와 0.95 사이로 구성되고 a+z 는 0.1 과 1 사이로 구성된다. $MgSiN$ 또는 $MgAlN$, 또는 $MgSiAlN$ 은 에피택셜 III-N 반도체 층 스택 (20) 위에, 바람직하게는 제 2 활성 III-N 층 (23) 위에 에피택셜로 성장된다.

[0145]

도 3a 및 도 3b 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 2a 내지 도 2c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 3a 에서 보이는 바와 같이, 본 발명에 따른 반도체 구조 (1) 는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다. 제 2 활성 III-N 층 (23) 은 게이트 영역 (31) 에서 부분적으로 에칭된다. 다시 말해서, 리세스 (24) 가 게이트 영역 (31) 에서 제 2 활성 III-N 층 (23) 에 형성된다. 이는 반응성 이온 에칭 또는 RIE 와 같은 플라즈마 에칭 툴에서의 또는 바람직하게는 유도 커플링된 플라즈마 또는 ICP 툴에서의 에칭에 의해 달성될 수 있다. 시약 가스들은 Cl_2 또는 BCl_3 일 수 있다. 대안적으로, 디지털 에칭 프로세스가 사용될 수 있는 반면, 연속적으로 그리고 반복적으로, 먼저 제 2 활성 III-N 층의 상부 표면이 예를 들어 O_2 , O_3 또는 N_2O 플라즈마에서 산화되고, 그 후 형성된 산화물이 예를 들어, SF_6 또는 CF_4 플라즈마에서 에칭된다. 제 1 활성 III-N 층 (22) 은 예를 들어 20 과 500 nm 사이, 바람직하게는 30 과 300 nm 사이, 더 바람직하게는 50 과 250nm 사이, 이를 테면 예를 들어 100 내지 150 nm 로 구성된 두께를 갖는다. 제 2 활성 III-N 층 (23) 은 예를 들어 10 내지 100 nm 사이, 바람직하게는 20 내지 50 nm 사이로 구성된 두께를 갖는다. 이러한 두께들의 조합은 예를 들어 얻어진 2DEG (21) 의 면에서, 활성 층에 대한 양호한 특성들을 제공한다. 제 1 활성 III-N 층 (22) 은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어 GaN 을 포함한다. 제 2 활성 III-N 층 (23) 은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 2 활성 III-N 층 (23) 은 예를 들어 AlGaIn 을 포함한다. 용어 AlGaIn 은 임의의 화학량론비 ($Al_xGa_yIn_zN$) 로 Al, Ga 및 In 을 포함하는 조성물에 관한 것이고, 여기서 x 는 0 과 1 사이로 구성되고 y 는 0 과 1 사이로 구성된다. 대안적으로, 제 2 활성 III-N 층 (23) 은 예를 들어 AlN 을 포함한다. 대안적으로, 제 2 활성 III-N 층 (23) 은 InAlGaIn 을 포함한다. InAlGaIn 과 같은 조성물은 In 을 임의의 적절한 양으로 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 InAlGaIn 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 BInAlGaIn 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 활성 층의 조성물들은 얻어질 특성들을 고려하여 선택될 수도 있고, 조성물들은 이에 따라 가변할 수도 있다. 예를 들어, 약 150nm 두께의 GaIn 을 포함하는 제 1 활성 III-N 층 (22) 및 약 20 nm 두께의 AlGaIn 을 포함하는 제 2 활성 III-N 층 (23) 으로 양호한 결과들이 얻어졌다. 패시베이션 스택 (40) 이 도 3a 에서 제 2 활성 III-N 층 (23) 위에 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 을 형성함으로써 형성된다. 전자 수용성 유전체 층 (41) 은 제 2 활성 III-N 층 (23) 의 리세스 (24) 에서 연장된다. 전자 수용성 유전체 층 (41) 은 에피택셜 III-N 반도체 층 스택 (20) 의 제 2 활성 III-N 층 (23) 과 접촉하는 패시베이션 표면 (410) 을 포함한다. 전자 수용성 유전체 층 (41) 은 패시베이션 표면 (410) 에 대향하는 유전체 표면 (411) 을 더 포함한다. 제 2 활성 III-N 층 (23) 은 전자 수용성 유전체 층 (41) 의 패시베이션 표면 (410) 과 접촉하는 제 2 패시베이션 표면 (230) 을 포함하여, 이로써 제 2 활성 III-N 층 (23) 과 전자 수용성 유전체 층 (41) 사이의 패시베이션 콘택 계면 (231) 을 정의한다. 패시베이션 콘택 계면 (231) 은 패시베이션 표면 (410) 이 제 2 패시베이션 표면 (230) 의 전체 표면을 따라 제 2 패시베이션 표면 (230) 과 직접 접촉하도록 연장된다. 전자 수용성 유전체 층 (41) 은 예를 들어 $Mg_xSi_{1-x}N$ 을 포함하고, 여기서 x 는 0.05 와

0.95 사이로 구성된다. 대안적인 실시형태에 따르면, 전자 수용성 유전체 층 (41) 은 $Mg_yAl_{1-y}N$ 을 포함하고, 여기서 y 는 0.05 와 0.95 사이로 구성된다. 추가의 대안적인 실시형태에 따르면, 전자 수용성 유전체 층은 $Mg_aSi_zAl_{1-a-z}N$ 을 포함하고, 여기서 a 는 0.05 와 0.95 사이로 구성되고 z 는 0.05 와 0.95 사이로 구성되고 $a+z$ 는 0.1 과 1 사이로 구성된다. $MgSiN$ 또는 $MgAlN$, 또는 $MgSiAlN$ 은 에피택셜 III-N 반도체 층 스택 (20) 위에, 바람직하게는 제 2 활성 III-N 층 (23) 위에 에피택셜로 성장된다. 도 3a 에 도시된 바와 같이, 패시베이션 스택 (40) 은 산화물 층 (42) 을 더 포함한다. 패시베이션 스택 (40) 및 특히 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 은 예를 들어 MOCVD 에 의해 성장된다. 대안적인 실시형태에 따르면, 패시베이션 스택 (40) 은 MBE 에 의해 성장된다. 산화물 층 (42) 은 예를 들어 MgO 를 포함한다. 대안적인 실시형태에 따르면, 산화물 층 (42) 은 AlO_x 또는 SiO_x , 또는 이들의 합금들을 포함한다. 추가의 대안적인 실시형태에 따르면, 산화물 층 (42) 은 예를 들어 HfO_x , ZrO_x 등과 같은 게이트 유전체를 포함한다. 산화물 층 (42) 은 유전체 표면 (411) 과 접촉하는 산화물 표면 (420) 및 산화물 표면 (420) 에 대항하는 패시베이션 절연 표면 (421) 을 포함한다. 유전체 표면 (411) 및 산화물 표면 (420) 은 산화물 표면 (420) 이 유전체 표면 (411) 의 전체 표면을 따라 유전체 표면 (411) 과 직접 접촉하도록 연장된다. 도 3a 에서, 게이트 (30) 는 게이트 영역 (31) 에서 패시베이션 스택 (40) 위에 형성된다. 게이트 (30) 는 전압 바이어스가 게이트 (30) 에 인가되는 바이어싱 표면 (300) 및 바이어싱 표면 (300) 에 대항하는 게이트 절연 표면 (301) 을 포함한다. 특히, 게이트가 산화물 층 (42) 위의 게이트 영역 (31) 에 형성되어, 패시베이션 절연 표면 (421) 과 게이트 절연 표면 (301) 사이의 절연 콘택 계면 (423) 을 정의한다. 절연 콘택 계면 (423) 은 게이트 절연 표면 (301) 이 패시베이션 절연 표면 (421) 의 10 내지 30 % 와 직접 접촉하도록 연장된다. 도 3b 에서 보이는 바와 같이, 패시베이션 스택 (40) 은 소스 액세스 영역 및 드레인 액세스 영역에서 예칭된다. 다시 말해서, 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 은 소스 액세스 영역 및 드레인 액세스 영역에서 예칭되어, 이로써 소스 영역 (51) 및 드레인 영역 (52) 에서 제 2 활성 III-N 층 (23) 을 노출시킨다. 대안적인 실시형태에 따르면, 제 2 활성 III-N 층 (23) 은 예를 들어 알칼리 용액에서 또는 레지스트 현상액에서, 습식 예칭으로 부분적으로 예칭되어, 제 2 활성 III-N 층 (23) 에서 부분적으로 소스 영역 (51) 및 드레인 영역 (52) 에 개별의 오믹 콘택들을 형성하도록 허용한다. 일단 오믹 콘택들의 영역들이 정의되면, 즉 소스 영역 (51) 및 드레인 영역 (52) 이 정의되었을 때, 금속 층 또는 금속 층들의 스택이 예를 들어, 열 증발에 의해, 또는 스퍼터링에 의해, 또는 e-빔 증발에 의해 증착될 수 있다. 금속 패턴들은 제 2 활성 III-N 층 (23) 과 접촉하지 않고 포토레지스트 위에, 금속의 리프트-오프를 수행함으로써 연속적으로 정의된다. 대안적으로, 포토레지스트가 먼저 제거되고, 예를 들어 Ti 및 Al 을 포함하는 금속 스택이 증착되고 그 후 제 2 포토레지스트 증착 및 포토리소그래피 단계들이 원하지 않는 영역들에서 금속 스택의 건식 예칭 및 포토레지스트의 제거를 허용하도록 수행된다. 정의된 오믹 콘택들에는 그 후, 예를 들어 800 °C 와 900 °C 사이의 온도로 예를 들어 수소 또는 포밍 가스 또는 질소 가스와 같은 환원 또는 불활성 분위기에서 1 분의 지속기간 동안 하나 이상의 합금 단계들, 예를 들어, 고속 열 어닐링 단계가 실시될 수도 있다. 본 발명에 따른 고 전자 이동도 트랜지스터 (1) 가 얻어진다.

[0146] 도 4a 및 도 4b 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 4a 및 도 4b 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 4a 에서 보이는 바와 같이, 본 발명에 따른 반도체 구조 (1) 는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어 20 과 500 nm 사이, 바람직하게는 30 과 300 nm 사이, 더 바람직하게는 50 과 250 nm 사이, 이를 테면 예를 들어 100 내지 150 nm 로 구성된 두께를 갖는다. 제 2 활성 III-N 층 (23) 은 예를 들어 10 내지 100 nm 사이, 바람직하게는 20 내지 50 nm 사이로 구성된 두께를 갖는다. 이러한 두께들의 조합은 예를 들어 얻어진 2DEG (21) 의 면에서, 활성 층에 대한 양호한 특성들을 제공한다. 제 1 활성 III-N 층 (22) 은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어 GaN 을 포함한다. 제 2 활성 III-N 층 (23) 은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 2 활성 III-N 층 (23) 은 예를 들어 AlGaN 을 포함한다. 용어 AlGaN 은 임의의 화학량론비 (Al_xGa_yN) 로 Al, Ga 및 N 을 포함하는 조성물에 관한 것이고 여기서 x 는 0 과 1 사이로 구성되고 y 는 0 과 1 사이로 구성된다. 대안적으로, 제 2 활성 III-N 층 (23) 은 예를 들어 AlN 을 포함한다. 대안적으로, 제 2 활성 III-N 층 (23) 은 InAlGaN 을 포함한다. InAlGaN 과 같은 조성물은 In 을 임의의 적합한 양으로

포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 InAlGaN 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 BInAlGaN 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 활성 층의 조성물들은 얻어질 특성들을 고려하여 선택될 수도 있고, 조성물들은 이에 따라 가변할 수도 있다. 예를 들어, 약 150nm 두께의 GaN 을 포함하는 제 1 활성 III-N 층 (22) 및 약 20 nm 두께의 AlGaN 을 포함하는 제 2 활성 III-N 층 (23) 으로 양호한 결과들이 얻어졌다. 패시베이션 스택 (40) 이 에피택셜 III-N 반도체 층 스택 (20) 위에, 그리고 특히 제 2 활성 III-N 층 (23) 위에 형성된다. 패시베이션 스택 (40) 은 예를 들어 SiN 을 포함한다. 패시베이션 스택 (40) 은 MOCVD 리액터에서 인-시츄로 증착된, 고밀도를 가진 SiN 을 포함한다. SiN 은 화학량론적 또는 비-화학량론적일 수도 있다. 인-시츄 SiN 은 임의의 다른 프로세스가 일어나기 전에, 예를 들어 500 nm 를 넘는 두께들을 위해, PECVD 또는 LPCVD SiN 또는 SiO_x 에 의해 외부적으로 두꺼워질 수도 있다. 대안적인 실시형태에 따르면, 패시베이션 스택 (40) 은 SiO₂ 를 포함한다. 추가의 대안적인 실시형태에 따르면, 도 4a 의 패시베이션 스택 (40) 은 AlSiN 을 포함한다. Al-도핑은 유전체 재료의 밴드갭의 증가를 허용한다. 대안적으로, 도 4a 의 패시베이션 스택은 Si, Al, O 및 N 중 하나 이상을 포함한다. 패시베이션 스택 (40) 은 그 후 게이트 영역 (31) 에서 에칭되고 제 2 활성 III-N 층 (23) 은 도 4b 상의 게이트 영역 (31) 에서 패시베이션 스택 (40) 을 마스크로서 사용하여 부분적으로 에칭된다. 다시 말해서, 리세스 (24) 가 게이트 영역 (31) 에서 제 2 활성 III-N 층 (23) 에 형성된다. 도 4c 에 도시된 대안적인 실시형태에 따르면, 패시베이션 스택 (40) 은 그 후 게이트 영역 (31) 에서 에칭되고 제 2 활성 III-N 층 (23) 은 도 4c 상의 게이트 영역 (31) 에서 패시베이션 스택 (40) 을 마스크로서 사용하여 완전히 에칭된다. 다시 말해서, 리세스 (24) 는 게이트 영역 (31) 에서 제 2 활성 III-N 층 (23) 에 형성되고 게이트 영역 (31) 에서 제 2 활성 III-N 층 (23) 을 통해 완전히 연장되어, 제 1 활성 III-N 층 (22) 을 노출시킨다. 이는 반응성 이온 에칭 또는 RIE 와 같은 플라즈마 에칭 툴에서의 또는 바람직하게는 유도 커플링된 플라즈마 또는 ICP 툴에서의 에칭에 의해 달성될 수 있다. 시약 가스들은 Cl₂ 또는 BCl₃ 일 수 있다. 대안적으로, 디지털 에칭 프로세스가 사용될 수 있는 반면, 연속적으로 그리고 반복적으로, 먼저 제 2 활성 III-N 층의 상부 표면이 예를 들어, O₂, O₃ 또는 N₂O 플라즈마에서 산화되고, 그 후 형성된 산화물이 예를 들어 SF₆ 또는 CF₄ 플라즈마에서 에칭된다.

[0147]

도 5a 내지 도 5c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 5a 내지 도 5c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 및 도 4a 내지 도 4c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 5a 에서 보이는 바와 같이, 본 발명에 따른 반도체 구조 (1) 는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어 20 과 500 nm 사이, 바람직하게는 30 과 300 nm 사이, 더 바람직하게는 50 과 250 nm 사이, 이를 테면 예를 들어 100 내지 150 nm 로 구성된 두께를 갖는다. 제 2 활성 III-N 층 (23) 은 예를 들어 10 내지 100 nm 사이, 바람직하게는 20 내지 50 nm 사이로 구성된 두께를 갖는다. 이러한 두께들의 조합은 예를 들어 얻어진 2DEG (21) 의 면에서, 활성 층에 대한 양호한 특성들을 제공한다. 제 1 활성 III-N 층 (22) 은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어 GaN 을 포함한다. 제 2 활성 III-N 층 (23) 은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 2 활성 III-N 층 (23) 은 예를 들어 AlGaN 을 포함한다. 용어 AlGaN 은 임의의 화학량론비 (Al_xGa_yN) 로 Al, Ga 및 N 을 포함하는 조성물에 관한 것이고, 여기서 x 는 0 과 1 사이로 구성되고 y 는 0 과 1 사이로 구성된다. 대안적으로, 제 2 활성 III-N 층 (23) 은 예를 들어 AlN 을 포함한다. 대안적으로, 제 2 활성 III-N 층 (23) 은 InAlGaN 을 포함한다. InAlGaN 과 같은 조성물은 In 을 임의의 적합한 양으로 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 InAlGaN 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 BInAlGaN 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 활성 층의 조성물들은 얻

어질 특성들을 고려하여 선택될 수도 있고, 조성물들은 이에 따라 가변할 수도 있다. 예를 들어, 약 150nm 두께의 GaN 을 포함하는 제 1 활성 III-N 층 (22) 및 약 20 nm 두께의 AlGaN 을 포함하는 제 2 활성 III-N 층 (23) 으로 양호한 결과들이 얻어졌다. 패시베이션 스택은 에피택셜 III-N 반도체 층 스택 (20) 위에, 특히 제 2 활성 III-N 층 (23) 위에 형성된다. 패시베이션 스택은 예를 들어 SiN 을 포함한다. 패시베이션 스택은 MOCVD 리액터에서 인-시츄로 증착된, 고밀도를 가진 SiN 을 포함한다. SiN 은 화학량론적 또는 비-화학량론적일 수도 있다. 인-시츄 SiN 은 임의의 다른 프로세싱이 일어나기 전에, 예를 들어 500 nm 를 넘는 두께들을 위해, PECVD 또는 LPCVD SiN 또는 SiO_x 에 의해 외부적으로 두꺼워질 수도 있다. 대안적인 실시형태에 따르면, 패시베이션 스택은 SiO₂ 를 포함한다. 추가의 대안적인 실시형태에 따르면, 패시베이션 스택은 AlSiN 을 포함한다. Al-도핑은 유전체 재료의 밴드갭의 증가를 허용한다. 대안적으로, 패시베이션 스택은 Si, Al, O 및 N 중 하나 이상을 포함한다. 패시베이션 스택은 그 후 게이트 영역 (31) 에서 에칭되고 제 2 활성 III-N 층 (23) 은 도 5a 상의 게이트 영역 (31) 에서 패시베이션 스택을 마스크로서 사용하여 부분적으로 에칭되어, 제 2 활성 III-N 층 (23) 에 리세스 (24) 를 형성한다. 다시 말해서, 부분 리세스 (24) 가 게이트 영역 (31) 에서 제 2 활성 III-N 층 (23) 에 형성된다. 이는 반응성 이온 에칭 또는 RIE 와 같은 플라즈마 에칭 틀에서의 또는 바람직하게는 유도 커플링된 플라즈마 또는 ICP 틀에서의 에칭에 의해 달성될 수 있다. 시약 가스들은 Cl₂ 또는 BCl₃ 일 수 있다. 대안적으로, 디지털 에칭 프로세스가 사용될 수 있는 반면, 연속적으로 및 반복적으로, 먼저 제 2 활성 III-N 층의 상부 표면이 예를 들어, O₂, O₃ 또는 N₂O 플라즈마에서 산화되고, 그 후 형성된 산화물이 예를 들어, SF₆ 또는 CF₄ 플라즈마에서 에칭된다. 전자 수용성 유전체 층 (41) 은 그 후 도 5a 의 제 2 활성 III-N 층 (23) 위에 형성되어, 제 2 활성 III-N 층 (23) 의 리세스 (24) 에 형성된다. 전자 수용성 유전체 층 (41) 은 에피택셜 III-N 반도체 층 스택 (20) 의 제 2 활성 III-N 층 (23) 과 접촉하는 패시베이션 표면 (410) 을 포함한다. 전자 수용성 유전체 층 (41) 은 패시베이션 표면 (410) 에 대향하는 유전체 표면 (411) 을 더 포함한다. 제 2 활성 III-N 층 (23) 은 전자 수용성 유전체 층 (41) 의 패시베이션 표면 (410) 과 접촉하는 제 2 패시베이션 표면 (230) 을 포함하여, 제 2 활성 III-N 층 (23) 과 전자 수용성 유전체 층 (41) 사이의 패시베이션 콘택 계면 (231) 을 정의한다. 패시베이션 콘택 계면 (231) 은 패시베이션 표면 (410) 이 게이트 영역 (31) 에서 제 2 패시베이션 표면의 10 내지 30 % 와 직접 접촉하도록 연장된다. 다시 말해서, 전자 수용성 유전체 층 (41) 은 게이트 영역 (31) 을 제외하고 에칭된다. 대안적인 실시형태에 따르면, 패시베이션 스택은 도 2a 내지 도 2c 와 유사하게 제 2 활성 III-N 층 (23) 위에 증착되고, 패시베이션 스택은 그 후 게이트 영역 (31) 에서 에칭되고 전자 수용성 유전체 층 (41) 은 그 후, 부분 리세스 (24) 에서 게이트 영역 (31) 에 증착되어, 도 5c 의 고 전자 이동도 트랜지스터를 형성한다. 전자 수용성 유전체 층 (41) 은 예를 들어 Mg_xSi_{1-x}N 을 포함하고, 여기서 x 는 0.05 와 0.95 사이로 구성된다. 대안적인 실시형태에 따르면, 전자 수용성 유전체 층 (41) 은 Mg_yAl_{1-y}N 을 포함하고, 여기서 y 는 0.05 와 0.95 사이로 구성된다. 추가의 대안적인 실시형태에 따르면, 전자 수용성 유전체 층은 Mg_aSi_zAl_{1-a-z}N 을 포함하고, 여기서 a 는 0.05 와 0.95 사이로 구성되고 z 는 0.05 와 0.95 사이로 구성되고 a+z 는 0.1 과 1 사이로 구성된다. MgSiN 또는 MgAlN, 또는 MgSiAlN 은 에피택셜 III-N 반도체 층 스택 (20) 위에, 바람직하게는 제 2 활성 III-N 층 (23) 위에 에피택셜로 성장된다. 도 5c 에 도시된 바와 같이, 패시베이션 스택 (40) 은 산화물 층 (42) 을 더 포함한다. 산화물 층 (42) 은 또한 제 2 활성 III-N 층 (23) 에 형성된 리세스 (24) 에서 부분적으로 연장된다. 패시베이션 스택 (40) 및 특히 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 은 예를 들어 MOCVD 에 의해 성장된다. 대안적인 실시형태에 따르면, 패시베이션 스택 (40) 은 MBE 에 의해 성장된다. 산화물 층 (42) 은 예를 들어 MgO 를 포함한다. 대안적인 실시형태에 따르면, 산화물 층 (42) 은 AlO_x 또는 SiO_x, 또는 이들의 합금들을 포함한다. 추가의 대안적인 실시형태에 따르면, 산화물 층 (42) 은 예를 들어 HfO_x, ZrO_x 등과 같은 게이트 유전체를 포함한다. 산화물 층 (42) 은 유전체 표면 (411) 과 접촉하는 산화물 표면 (420) 및 산화물 표면 (420) 에 대향하는 패시베이션 절연 표면 (421) 을 포함한다. 유전체 표면 (411) 및 산화물 표면 (420) 은 산화물 표면 (420) 이 유전체 표면 (411) 의 전체 표면을 따라 유전체 표면 (411) 과 직접 접촉하도록 연장된다. 도 5c 에서, 게이트 (30) 는 게이트 영역 (31) 에서 패시베이션 스택 (40) 위에 형성된다. 게이트 (30) 는 전압 바이어스가 게이트 (30) 에 인가되는 바이어싱 표면 (300) 및 바이어싱 표면 (300) 에 대향하는 게이트 절연 표면 (301) 을 포함한다. 특히, 게이트는 산화물 층 (42) 위의 게이트 영역 (31) 에 형성되어, 패시베이션 절연 표면 (421) 과 게이트 절연 표면 (301) 사이의 절연 콘택 계면 (423) 을 정의한다. 절연 콘택 계면 (423) 은 게이트 절연 표면 (301) 이 패시베이션 절연 표면 (421) 의 100 % 와 직접 접촉하도록 연장된다. 도 5c 에 도시된 바와 같이,

패시베이션 스택 (40) 은 제 2 활성 III-N 층 (23) 위에 그리고 전자 수용성 유전체 층 (41) 의 양쪽에, 즉 게이트 영역 (31) 의 양쪽에 형성된 2 개의 전자 공여성 유전체 층들 (43;44) 을 더 포함하여, 2 개의 전자 공여성 유전체 층들 (43;44) 의 각각은 제 2 활성 III-N 층 (23) 과 직접 접촉하는 III-N 콘택 표면 (430;440) 을 포함한다. 전자 공여성 유전체 층들 (43;44) 은 MOCVD 리액터에서 인-시츄로 증착된, 고밀도를 가진 SiN 을 포함한다. SiN 은 화학량론적 또는 비-화학량론적일 수도 있다. 예를 들어 인-시츄 SiN 으로 캡핑되는 HEMT 구조는 프로세싱 단계들, 심지어 고온 버짓을 갖는 것들에 의해 영향을 받지 않음이 발명자들에 의해 실험적으로 밝혀졌다. 대안적인 실시형태에 따르면, 전자 공여성 유전체 층들 (43;44) 은 AlSiN 을 포함한다.

Al-도핑은 유전체 재료의 밴드갭의 증가를 허용한다. 추가의 대안적인 실시형태에 따르면, 전자 공여성 유전체 층들 (43;44) 은 Si, Al, O 및 N 중 하나 이상을 포함한다. 전자 공여성 유전체 층들 (43;44) 은 1 내지 500 nm, 바람직하게는 30 내지 400 nm, 더 바람직하게는 50 내지 300 nm, 이를 테면 100 내지 200 nm 의 두께를 갖는다. 인-시츄 SiN 은 임의의 다른 프로세싱이 일어나기 전에, 예를 들어 500 nm 를 넘는 두께들을 위해, PECVD 또는 LPCVD SiN 또는 SiO_x 에 의해 외부적으로 두꺼워질 수도 있다. 도 5c 에서, 2 개의 전자 공여성 유전체 층들 (43;44) 은 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 의 스택만큼 두껍다. 대안적인 실시형태에 따르면, 2 개의 전자 공여성 유전체 층들 (43;44) 은 고 전자 이동도 트랜지스터를 캡슐화하고 2 개의 전자 공여성 유전체 층은 게이트 영역에서 에칭되고, 소스 및 드레인이 후에 형성되는 드레인 액세스 영역 및 게이트 액세스 영역에서 에칭된다. 대안적인 실시형태에 따르면, 2 개의 전자 공여성 유전체 층들 (43;44) 은 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 의 스택보다 두껍다. 마지막으로, 도 5c 에서, 패시베이션 스택 (40) 은 소스 액세스 영역에서 에칭되고 드레인 액세스 영역에서 에칭된다. 특히, 패시베이션 스택 (40) 의 2 개의 전자 공여성 유전체 층들 (43;44) 은 소스 영역 (51) 및 드레인 영역 (52) 에서 각각 에칭된다. 오믹 콘택이 그 후 소스 영역 (51) 에 형성되고 오믹 콘택이 그 후 드레인 영역 (52) 에 형성된다. 소스 영역 (51) 에 오믹 콘택을 형성하고 드레인 영역 (52) 에 오믹 콘택을 형성하는 것은 복수의 프로세스 단계들을 포함한다. 예를 들어, 이것은 포토레지스트를 증착하고 리소그래피 단계로 개별의 오믹 콘택들의 개별의 영역들을 정의하는 것으로 시작함으로써 행해진다. 전자 공여성 유전체 층들 (43;44) 은 그 후 소스 영역 (51) 및 드레인 영역 (52) 에서 각각 부분적으로 또는 완전히 제거된다. 예를 들어, 전자 공여성 유전체 층들 (43;44) 은 불소 화학에서 RIE 또는 ICP 플라즈마 툴에서의 건식 에칭에 의해 또는 HF 또는 완충된 HF 에서의 습식 에칭에 의해 제거될 수 있다. 불소 화학에서의 전자 공여성 유전체 층들 (43;44) 의 건식 및 습식 에칭들 양자 모두는 매우 높은 선택도를 가진 에치-스톱의 역할을 하는 제 2 활성 III-N 층 (23) 에서 정지할 것이다. 예를 들어, 전자 공여성 유전체 층들 (43;44) 의 에치는 불소 화학에 기초한 건식 에칭 시스템에서, 이를 테면 예를 들어 각각 10 W 내지 150 W 의 "코일" 에칭 전력들, 또는 ICP, 및 "플래튼", 또는 RF 및 에칭 가스로서의 SF₆ 또는 CF₄ 를 사용하는 유도 커플링된 플라즈마 시스템에서 행해진다. 이는 제 2 활성 III-N 층 (23) 또는 그 아래의 층들 중 어떤 것도 제거하지 않고 나머지 전자 공여성 유전체 층 (43;44) 의 완전한 제거를 허용한다. 대안적인 실시형태에 따르면, 제 2 활성 III-N 층 (23) 은 예를 들어 알칼리 용액 또는 레지스트 현상액에서 습식 에칭으로 부분적으로 에칭되어, 제 2 활성 III-N 층 (23) 에서 부분적으로 소스 영역 (51) 및 드레인 영역에 개별의 오믹 콘택들을 형성하도록 허용한다. 일단 오믹 콘택들의 영역들이 정의되면, 즉 소스 영역 (51) 및 드레인 영역 (52) 이 정의되었을 때, 금속 층 또는 금속 층들의 스택은 예를 들어, 열 증발에 의해, 또는 스퍼터링에 의해, 또는 e-빔 증발에 의해 증착될 수 있다. 금속 패턴들은 제 2 활성 III-N 층 (23) 과 접촉하지 않고 포토레지스트 위에, 금속의 리프트-오프를 수행함으로써 연속적으로 정의된다. 대안적으로, 포토레지스트가 먼저 제거되고 예를 들어 Ti 및 Al 을 포함하는 금속 스택이 증착되고 그 후 제 2 포토레지스트 증착 및 포토리소그래피 단계들이 원하지 않는 영역들에서의 금속 스택의 건식 에칭 및 포토레지스트의 제거를 허용하도록 수행된다. 정의된 오믹 콘택들에는 그 후, 예를 들어 800 °C 와 900 °C 사이의 온도로 예를 들어 수소 또는 포밍 가스 또는 질소 가스와 같은 환원 또는 불활성 분위기에서 1 분의 지속기간 동안 하나 이상의 합금 단계들, 예를 들어 고속 열 어닐링 단계가 실시될 수도 있다. 본 발명에 따른 고 전자 이동도 트랜지스터 (1) 가 얻어진다.

도 6a 내지 도 6c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 2a 내지 도 2c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 및 도 4a 내지 도 4c 및 도 5a 내지 도 5c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 6a 내지 도 6c 는 본 발명에 따른 반도체 구조 (1) 의 대안적인 제조 방법을 예시한다. 도 6a 에서, 본 발명에 따른 반도체 구조는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다.

도 6a 내지 도 6c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 2a 내지 도 2c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 및 도 4a 내지 도 4c 및 도 5a 내지 도 5c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 6a 내지 도 6c 는 본 발명에 따른 반도체 구조 (1) 의 대안적인 제조 방법을 예시한다. 도 6a 에서, 본 발명에 따른 반도체 구조는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다.

도 6a 내지 도 6c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 2a 내지 도 2c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 및 도 4a 내지 도 4c 및 도 5a 내지 도 5c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 6a 내지 도 6c 는 본 발명에 따른 반도체 구조 (1) 의 대안적인 제조 방법을 예시한다. 도 6a 에서, 본 발명에 따른 반도체 구조는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다.

도 6a 내지 도 6c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 2a 내지 도 2c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 및 도 4a 내지 도 4c 및 도 5a 내지 도 5c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 6a 내지 도 6c 는 본 발명에 따른 반도체 구조 (1) 의 대안적인 제조 방법을 예시한다. 도 6a 에서, 본 발명에 따른 반도체 구조는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다.

도 6a 내지 도 6c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 2a 내지 도 2c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 및 도 4a 내지 도 4c 및 도 5a 내지 도 5c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 6a 내지 도 6c 는 본 발명에 따른 반도체 구조 (1) 의 대안적인 제조 방법을 예시한다. 도 6a 에서, 본 발명에 따른 반도체 구조는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다.

도 6a 내지 도 6c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 2a 내지 도 2c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 및 도 4a 내지 도 4c 및 도 5a 내지 도 5c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 6a 내지 도 6c 는 본 발명에 따른 반도체 구조 (1) 의 대안적인 제조 방법을 예시한다. 도 6a 에서, 본 발명에 따른 반도체 구조는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다.

도 6a 내지 도 6c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 2a 내지 도 2c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 및 도 4a 내지 도 4c 및 도 5a 내지 도 5c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 6a 내지 도 6c 는 본 발명에 따른 반도체 구조 (1) 의 대안적인 제조 방법을 예시한다. 도 6a 에서, 본 발명에 따른 반도체 구조는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다.

도 6a 내지 도 6c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 2a 내지 도 2c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 및 도 4a 내지 도 4c 및 도 5a 내지 도 5c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 6a 내지 도 6c 는 본 발명에 따른 반도체 구조 (1) 의 대안적인 제조 방법을 예시한다. 도 6a 에서, 본 발명에 따른 반도체 구조는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다.

[0148]

제 1 활성 III-N 층 (22) 은 예를 들어 20 과 500 nm 사이, 바람직하게는 30 과 300 nm 사이, 더 바람직하게는 50 과 250 nm 사이, 이를 테면 예를 들어 100 내지 150 nm 로 구성된 두께를 갖는다. 제 2 활성 III-N 층 (23) 은 예를 들어 10 내지 100 nm 사이, 바람직하게는 20 내지 50 nm 사이로 구성된 두께를 갖는다. 이러한 두께들의 조합은 예를 들어 얻어진 2DEG (21) 의 면에서, 활성 층에 대한 양호한 특성들을 제공한다. 제 1 활성 III-N 층 (22) 은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어 GaN 을 포함한다. 제 2 활성 III-N 층 (23) 은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 2 활성 III-N 층 (23) 은 예를 들어 AlGaIn 을 포함한다. 용어 AlGaIn 은 임의의 화학량론비 ($Al_xGa_yIn_z$) 로 Al, Ga 및 In 을 포함하는 조성물에 관한 것이고, 여기서 x 는 0 과 1 사이로 구성되고 y 는 0 과 1 사이로 구성된다. 대안적으로, 제 2 활성 III-N 층 (23) 은 예를 들어 AlN 을 포함한다. 대안적으로, 제 2 활성 III-N 층 (23) 은 InAlGaIn 을 포함한다. InAlGaIn 과 같은 조성물은 In 을 임의의 적합한 양으로 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 InAlGaIn 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 BInAlGaIn 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 활성층의 조성물들은 얻어질 특성들을 고려하여 선택될 수도 있고, 조성물들은 이에 따라 가변할 수도 있다. 예를 들어, 약 150 nm 두께의 GaN 을 포함하는 제 1 활성 III-N 층 (22) 및 약 20 nm 두께의 AlGaIn 을 포함하는 제 2 활성 III-N 층 (23) 으로 양호한 결과들이 얻어졌다. 도 6b 에서 보이는 바와 같이, 패시베이션 스택 (40) 은 에피택셜 반도체 층 스택 (20) 위에 형성된다. 패시베이션 스택 (40) 은 전자 공여성 유전체 층을 포함한다. 패시베이션 스택 (40) 은 예를 들어 SiN 을 포함한다. 패시베이션 스택 (40) 은 MOCVD 리액터에서 인-시츄로 증착된, 고밀도를 가진 SiN 을 포함한다. SiN 은 화학량론적 또는 비-화학량론적일 수 있다. 인-시츄 SiN 은 임의의 다른 프로세스가 일어나기 전에, 예를 들어 500 nm 를 넘는 두께들을 위해, PECVD 또는 LPCVD SiN 또는 SiO_x 에 의해 외부적으로 두꺼워질 수도 있다. 대안적인 실시형태에 따르면, 패시베이션 스택 (40) 은 SiO₂ 를 포함한다. 추가의 대안적인 실시형태에 따르면, 도 6b 의 패시베이션 스택 (40) 은 AlSiN 을 포함한다. Al-도핑은 유전체 재료의 밴드갭의 증가를 허용한다. 대안적으로, 도 6b 의 패시베이션 스택은 Si, Al, O 및 N 중 하나 이상을 포함한다. 패시베이션 스택 (40) 은 그 후 게이트 영역 (31) 에서 에칭되고, 이로써 제 2 활성 III-N 층 (23) 의 제 2 패시베이션 표면 (230) 을 노출시키고, 이로써 제 2 활성 III-N 층 (23) 위에 그 리고 게이트 영역 (31) 의 양쪽에 2 개의 전자 공여성 유전체 층들 (43;44) 을 형성하여, 2 개의 전자 공여성 유전체 층들 (43;44) 의 각각은 제 2 활성 III-N 층 (23) 과 직접 접촉하는 III-N 콘택 표면 (430;440) 을 포함한다. 제 2 활성 III-N 층 (23) 은 도 6b 상의 게이트 영역 (31) 에서 패시베이션 스택을 마스크로서 사용하여 부분적으로 에칭되어, 이로써 제 2 활성 III-N 층 (23) 에 리세스 (24) 를 형성한다. 다시 말해서, 부분 리세스 (24) 가 게이트 영역 (31) 에서 제 2 활성 III-N 층 (23) 에 형성된다. 이는 반응성 이온 에칭 또는 RIE 와 같은 플라즈마 에칭 툴에서의 또는 바람직하게는 유도 커플링된 플라즈마 또는 ICP 툴에서의 에칭에 의해 달성될 수 있다. 시약 가스들은 Cl₂ 또는 BCl₃ 일 수 있다. 대안적으로, 디지털 에칭 프로세스가 사용될 수 있는 반면, 연속적으로 그리고 반복적으로, 먼저 제 2 활성 III-N 층의 상부 표면이 예를 들어, O₂, O₃ 또는 N₂O 플라즈마에서 산화되고, 그 후 형성된 산화물이 예를 들어, SF₆ 또는 CF₄ 플라즈마에서 에칭된다. 도 6b 에서 보이는 바와 같이, 전자 수용성 유전체 층 (41) 이 그 후 게이트 영역 (31) 에 형성된다. 대안적인 실시형태에 따르면, 전자 수용성 유전체 층 (41) 은 2 개의 전자 공여성 유전체 층들 (43;44) 위에 그리고 게이트 영역에서의 리세스 (24) 위에 증착되고 전자 수용성 유전체 층 (41) 은 그 후 게이트 영역 (31) 을 제외하고 에칭되어, 도 6c 에 도시된 바와 같이 리세스 (24) 에 남아 있다. 전자 수용성 유전체 층 (41) 은 에피택셜 III-N 반도체 층 스택 (20) 의 제 2 활성 III-N 층 (23) 과 접촉하는 패시베이션 표면 (410) 을 포함한다. 전자 수용성 유전체 층 (41) 은 패시베이션 표면 (410) 에 대향하는 유전체 표면 (411) 을 더 포함한다. 제 2 활성 III-N 층 (23) 은 전자 수용성 유전체 층 (41) 의 패시베이션 표면 (410) 과 접촉하는 제 2 패시베이션 표면 (230) 을 포함하여, 제 2 활성 III-N 층 (23) 과 전자 수용성 유전체 층 (41) 사이의 패시베이션 콘택 계면 (231) 을 정의한다. 패시베이션 콘택 계면 (231) 은 패시베이션 표면 (410) 이 게이트 영역 (31) 에서 제 2 패시베이션 표면의 10 내지 30 % 와 직접 접촉하도록 연장된다. 전자 수용성 유전체 층의 두께는 제 2 활성 III-N 층 (23) 에 형성된 리세스 (24) 의 깊이보다 낮다. 전자 수용성 유전체 층 (41) 은 예를 들어 Mg_xSi_{1-x}N 을 포함하고, 여기서 x 는 0.05 와 0.95 사이로 구성된다. 대안

적인 실시형태에 따르면, 전자 수용성 유전체 층 (41)은 $Mg_yAl_{1-y}N$ 을 포함하고, 여기서 y 는 0.05 와 0.95 사이로 구성된다. 추가의 대안적인 실시형태에 따르면, 전자 수용성 유전체 층은 $Mg_aSi_zAl_{1-a-z}N$ 을 포함하고, 여기서 a 는 0.05 와 0.95 사이로 구성되고 z 는 0.05 와 0.95 사이로 구성되고 $a+z$ 는 0.1 과 1 사이로 구성된다. $MgSiN$ 또는 $MgAlN$, 또는 $MgSiAlN$ 은 에피택셜 III-N 반도체 층 스택 (20) 위에, 바람직하게는 제 2 활성 III-N 층 (23) 위에 에피택셜로 성장된다. 도 6c 에 도시된 바와 같이, 패시베이션 스택 (40) 은 산화물 층 (42) 을 더 포함한다. 산화물 층 (42) 은 또한 제 2 활성 III-N 층 (23) 에 형성된 리세스 (24) 에서 부분적으로 연장된다. 패시베이션 스택 (40) 및 특히 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 은 예를 들어 MOCVD 에 의해 성장된다. 대안적인 실시형태에 따르면, 패시베이션 스택 (40) 은 MBE 에 의해 성장된다. 산화물 층 (42) 은 예를 들어 MgO 를 포함한다. 대안적인 실시형태에 따르면, 산화물 층 (42) 은 AlO_x 또는 SiO_x , 또는 이들의 합금들을 포함한다. 추가의 대안적인 실시형태에 따르면, 산화물 층 (42) 은 예를 들어, HfO_x , ZrO_x 등과 같은 게이트 유전체를 포함한다. 산화물 층 (42) 은 유전체 표면 (411) 과 접촉하는 산화물 표면 (420) 및 산화물 표면 (420) 에 대항하는 패시베이션 절연 표면 (421) 을 포함한다. 유전체 표면 (411) 및 산화물 표면 (420) 은 산화물 표면 (420) 이 유전체 표면 (411) 의 전체 표면을 따라 유전체 표면 (411) 과 직접 접촉하도록 연장된다. 도 6c 에서, 게이트 (30) 는 게이트 영역 (31) 에서 패시베이션 스택 (40) 위에 형성된다. 게이트 (30) 는 전압 바이어스가 게이트 (30) 에 인가되는 바이어싱 표면 (300) 및 바이어싱 표면 (300) 에 대항하는 게이트 절연 표면 (301) 을 포함한다. 특히, 게이트가 산화물 층 (42) 위의 게이트 영역 (31) 에 형성되어, 패시베이션 절연 표면 (421) 과 게이트 절연 표면 (301) 사이의 절연 콘택 계면 (423) 을 정의한다. 절연 콘택 계면 (423) 은 게이트 절연 표면 (301) 이 패시베이션 절연 표면 (421) 의 100% 와 직접 접촉하도록 연장된다. 도 6c 에 도시된 바와 같이, 패시베이션 스택 (40) 은 제 2 활성 III-N 층 (23) 위에 그리고 전자 수용성 유전체 층 (41) 의 양쪽에, 즉 게이트 영역 (31) 의 양쪽에 형성된 2 개의 전자 공여성 유전체 층들 (43;44) 을 더 포함하여, 2 개의 전자 공여성 유전체 층들 (43;44) 의 각각은 제 2 활성 III-N 층 (23) 과 직접 접촉하는 III-N 콘택 표면 (430;440) 을 포함한다. 전자 공여성 유전체 층들 (43;44) 은 MOCVD 리액터에서 인-시츄로 증착된, 고밀도를 가진 SiN 을 포함한다. SiN 은 화학량론적 또는 비-화학량론적일 수도 있다. 예를 들어, 인-시츄 SiN 으로 캡핑되는 HEMT 구조는 프로세싱 단계들, 심지어 고온 버짓을 갖는 것들에 의해 영향을 받지 않음이 발명자들에 의해 실험적으로 밝혀졌다. 대안적인 실시형태에 따르면, 전자 공여성 유전체 층들 (43;44) 은 $AlSiN$ 을 포함한다. Al -도핑은 유전체 재료의 밴드갭의 증가를 허용한다. 추가의 대안적인 실시형태에 따르면, 전자 공여성 유전체 층들 (43;44) 은 Si , Al , O 및 N 중 하나 이상을 포함한다. 전자 공여성 유전체 층들 (43;44) 은 1 내지 500 nm, 바람직하게는 30 내지 400 nm, 더 바람직하게는 50 내지 300 nm, 이를 테면 100 내지 200 nm 의 두께를 갖는다. 인-시츄 SiN 은 임의의 다른 프로세싱이 일어나기 전에, 예를 들어 500 nm 를 넘는 두께들을 위해, PECVD 또는 LPDVD SiN 또는 SiO_x 에 의해 외부적으로 두꺼워질 수도 있다. 도 6c 에서, 2 개의 전자 공여성 유전체 층들 (43;44) 은 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 의 스택만큼 두껍다. 대안적인 실시형태에 따르면, 2 개의 전자 공여성 유전체 층들 (43;44) 은 고 전자 이동도 트랜지스터를 캡슐화하고 2 개의 전자 공여성 유전체 층은 게이트 영역에서 에칭되고, 소스 및 드레인이 후에 형성되는 드레인 액세스 영역 및 게이트 액세스 영역에서 에칭된다. 대안적인 실시형태에 따르면, 2 개의 전자 공여성 유전체 층들 (43;44) 은 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 의 스택보다 두껍다. 마지막으로, 도 6c 에서, 패시베이션 스택 (40) 은 소스 액세스 영역에서 에칭되고 드레인 액세스 영역에서 에칭된다. 특히, 패시베이션 스택 (40) 의 2 개의 전자 공여성 유전체 층들 (43;44) 은 소스 영역 (51) 및 드레인 영역 (52) 에서 각각 에칭된다. 오믹 콘택이 그 후 소스 영역 (51) 에 형성되고 오믹 콘택이 그 후 드레인 영역 (52) 에 형성된다. 소스 영역 (51) 에 오믹 콘택을 형성하고 드레인 영역 (52) 에 오믹 콘택을 형성하는 것은 복수의 프로세스 단계들을 포함한다. 예를 들어, 이것은 포토레지스트를 증착하고 리소그래피 단계로 개별의 오믹 콘택들의 개별의 영역들을 정의하는 것으로 시작함으로써 행해진다. 전자 공여성 유전체 층들 (43;44) 은 그 후 소스 영역 (51) 및 드레인 영역 (52) 에서 각각 부분적으로 또는 완전히 제거된다. 예를 들어, 전자 공여성 유전체 층들 (43;44) 은 불소 화학에서 RIE 또는 ICP 플라즈마 튜에서의 건식 에칭에 의해 또는 HF 또는 완충된 HF 에서의 습식 에칭에 의해 제거될 수 있다. 불소 화학에서의 전자 공여성 유전체 층들 (43;44) 의 건식 및 습식 에칭들 양자 모두는 매우 높은 선택도를 가진 에치-스톱의 역할을 하는 제 2 활성 III-N 층 (23) 에서 정지할 것이다. 예를 들어, 전자 공여성 유전체 층들 (43;44) 의 각각은 불소 화학에 기초한 건식 에칭 시스템에서, 이를 테면 예를 들어 각각 10 W 내지 150 W 의 "코일" 에칭 전력들, 또는 ICP, 및 "플래튼", 또는 RF 및 에칭 가스로서의 SF_6 또는 CF_4 를 사용하는 유도 커플링된 플라즈마 시스템에서 행해진다. 이는 제 2 활성 III-N

층 (23) 또는 그 아래의 층들 중 어떤 것도 제거하지 않고 나머지 전자 공여성 유전체 층 (43;44) 의 완전한 제거를 허용한다. 대안적인 실시형태에 따르면, 제 2 활성 III-N 층 (23) 은 예를 들어 알칼리 용액 또는 레지스터 현상액에서, 습식 에칭으로 부분적으로 에칭되어, 제 2 활성 III-N 층 (23) 에서 부분적으로 소스 영역 (51) 및 드레인 영역 (52) 에 개별의 오믹 콘택들을 형성하도록 허용한다. 일단 오믹 콘택들의 영역들이 정의되면, 즉 소스 영역 (51) 및 드레인 영역 (52) 이 정의되었을 때, 금속 층 또는 금속 층들의 스택은, 예를 들어 열 증발에 의해, 또는 스퍼터링에 의해, 또는 e-빔 증발에 의해 증착될 수 있다. 금속 패턴들은 제 2 활성 III-N 층 (23) 과 접촉하지 않고 포토레지스트 위에, 금속의 리프트-오프를 수행함으로써 연속적으로 정의된다. 대안적으로, 포토레지스트가 먼저 제거되고 예를 들어 Ti 및 Al 을 포함하는 금속 스택이 증착되고 그 후 제 2 포토레지스트 증착 및 포토리소그래피 단계들이 원하지 않는 영역들에서의 금속 스택의 건식 에칭 및 포토레지스트의 제거를 허용하도록 수행된다. 정의된 오믹 콘택들에는 그 후, 예를 들어, 800 °C 와 900 °C 사이의 온도로 예를 들어 수소 또는 포밍 가스 또는 질소 가스와 같은 환원 또는 불활성 분위기에서 1 분의 지속기간 동안 하나 이상의 합금 단계들, 예를 들어, 고속 열 어닐링 단계가 실시될 수도 있다. 본 발명에 따른 고 전자 이동도 트랜지스터 (1) 가 얻어진다.

[0149]

도 7a 내지 도 7c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 7a 내지 도 7c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 및 도 4a 내지 도 4c 및 도 5a 내지 도 5c 및 도 6a 내지 도 6c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 7a 에서 보이는 바와 같이, 본 발명에 따른 반도체 구조 (1) 는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어, 20 과 500 nm 사이, 바람직하게는 30 과 300 nm 사이, 더 바람직하게는 50 과 250 nm 사이, 이를 테면 예를 들어 100 내지 150 nm 로 구성된 두께를 갖는다. 제 2 활성 III-N 층 (23) 은 예를 들어 10 내지 100 nm 사이, 바람직하게는 20 내지 50 nm 사이로 구성된 두께를 갖는다. 이러한 두께들의 조합은 예를 들어 얻어진 2DEG (21) 의 면에서, 활성 층에 대한 양호한 특성들을 제공한다. 제 1 활성 III-N 층 (22) 은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어 GaN 을 포함한다. 제 2 활성 III-N 층 (23) 은 질화물 및 B, Al, Ga, In, 및 Tl 중 하나 이상을 포함한다. 제 2 활성 III-N 층 (23) 은 예를 들어 AlGa_yN 을 포함한다. 용어 AlGa_yN 은 임의의 화학량론비 (Al_xGa_yN) 로 Al, Ga 및 N 을 포함하는 조성물에 관한 것이고, 여기서 x 는 0 과 1 사이로 구성되고 y 는 0 과 1 사이로 구성된다. 대안적으로, 제 2 활성 III-N 층 (23) 은 예를 들어 AlN 을 포함한다. 대안적으로, 제 2 활성 III-N 층 (23) 은 InAlGa_yN 을 포함한다. InAlGa_yN 과 같은 조성물은 In 을 임의의 적합한 양으로 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 InAlGa_yN 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 BInAlGa_yN 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 활성 층의 조성물들은 얻어질 특성들을 고려하여 선택될 수도 있고, 조성물들은 이에 따라 가변할 수도 있다. 예를 들어, 약 150 nm 두께의 GaN 을 포함하는 제 1 활성 III-N 층 (22) 및 약 20 nm 두께의 AlGa_yN 을 포함하는 제 2 활성 III-N 층 (23) 으로 양호한 결과들이 얻어졌다. 부분 리세스 (24) 가 게이트 영역 (31) 에서 제 2 활성 III-N 층 (23) 에 형성된다. 이는 반응성 이온 에칭 또는 RIE 와 같은 플라즈마 에칭 툴에서의 또는 바람직하게는 유도 커플링된 플라즈마 또는 ICP 툴에서의 에칭에 의해 달성될 수 있다. 시약 가스들은 Cl₂ 또는 BCl₃ 일 수 있다. 대안적으로, 디지털 에칭 프로세스가 사용될 수 있는 반면, 연속적으로 그리고 반복적으로, 먼저 제 2 활성 III-N 층의 상부 표면이 예를 들어, O₂, O₃ 또는 N₂O 플라즈마에서 산화되고, 그 후 형성된 산화물이 예를 들어, SF₆ 또는 CF₄ 플라즈마에서 에칭된다. 전자 수용성 유전체 층 (41) 은 에피택셜 III-N 반도체 층 스택 (20) 위에, 그리고 특히 제 2 활성 III-N 층 (23) 위에 형성되어, 제 2 활성 III-N 층 (23) 의 리세스 (24) 에 형성된다. 대안적인 실시형태에 따르면, 마스크가 제 2 활성 III-N 층 (23) 에 증착되고 마스크는 게이트 영역 (31) 에서 에칭된다. 전자 수용성 유전체 층 (41) 은 그 후, 도 7b 에 도시된 바와 같이, 게이트 영역 (31) 에 형성된다. 전자 수용성 유전체 층 (41) 은 에피택셜 III-N 반도체 층 스택 (20) 의 제 2 활성 III-N 층 (23) 과 접촉하는 패시베이션 표면 (410) 을 포함한다. 전자 수용성 유전체 층 (41) 은 패시베이션 표면 (410) 에 대항하는 유전체 표면 (411) 을 더 포함한다. 제 2 활성

III-N 층 (23) 은 전자 수용성 유전체 층 (41) 의 패시베이션 표면 (410) 과 접촉하는 제 2 패시베이션 표면 (230) 을 포함하여, 제 2 활성 III-N 층 (23) 과 전자 수용성 유전체 층 (41) 사이의 패시베이션 콘택 계면 (231) 을 정의한다. 패시베이션 콘택 계면 (231) 은 패시베이션 표면 (410) 이 게이트 영역 (31) 에서 제 2 패시베이션 표면의 10 내지 30 % 와 직접 접촉하도록 연장된다. 다시 말해서, 전자 수용성 유전체 층 (41) 은 게이트 영역 (31) 을 제외하고 예칭된다. 전자 수용성 유전체 층의 두께는 제 2 활성 III-N 층 (23) 에 형성된 리세스 (24) 의 깊이보다 크다. 전자 수용성 유전체 층 (41) 은 예를 들어 $Mg_xSi_{1-x}N$ 을 포함하고, 여기서 x 는 0.05 와 0.95 사이로 구성된다. 대안적인 실시형태에 따르면, 전자 수용성 유전체 층 (41) 은 $Mg_yAl_{1-y}N$ 을 포함하고, 여기서 y 는 0.05 와 0.95 사이로 구성된다. 추가의 대안적인 실시형태에 따르면, 전자 수용성 유전체 층은 $Mg_aSi_zAl_{1-a-z}N$ 을 포함하고, 여기서 a 는 0.05 와 0.95 사이로 구성되고, z 는 0.05 와 0.95 사이로 구성되고 $a+z$ 는 0.1 과 1 사이로 구성된다. $MgSiN$ 또는 $MgAlN$, 또는 $MgSiAlN$ 은 에피택셜 III-N 반도체 층 스택 (20) 위에, 바람직하게는 제 2 활성 III-N 층 (23) 위에 에피택셜로 성장된다. 도 7b 에 도시된 바와 같이, 패시베이션 스택 (40) 은 산화물 층 (42) 을 더 포함한다. 패시베이션 스택 (40) 및 특히 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 은 예를 들어 MOCVD 에 의해 성장된다. 대안적인 실시 형태에 따르면, 패시베이션 스택 (40) 은 MBE 에 의해 성장된다. 산화물 층 (42) 은 예를 들어 MgO 를 포함한다. 대안적인 실시형태에 따르면, 산화물 층 (42) 은 AlO_x 또는 SiO_x , 또는 이들의 합금들을 포함한다.

추가의 대안적인 실시형태에 따르면, 산화물 층 (42) 은 예를 들어 HfO_x , ZrO_x 등과 같은 게이트 유전체를 포함한다. 산화물 층 (42) 은 유전체 표면 (411) 과 접촉하는 산화물 표면 (420) 및 산화물 표면 (420) 에 대향하는 패시베이션 절연 표면 (421) 을 포함한다. 유전체 표면 (411) 및 산화물 표면 (420) 은 산화물 표면 (420) 이 유전체 표면 (411) 의 전체 표면을 따라 유전체 표면 (411) 과 직접 접촉하도록 연장된다. 도 7b 에서, 게이트 (30) 는 게이트 영역 (31) 에서 패시베이션 스택 (40) 위에 형성된다. 게이트 (30) 는 전압 바이어스가 게이트 (30) 에 인가되는 바이어싱 표면 (300) 및 바이어싱 표면 (300) 에 대향하는 게이트 절연 표면 (301) 을 포함한다. 특히, 게이트는 산화물 층 (42) 위의 게이트 영역 (31) 에 형성되어, 패시베이션 절연 표면 (421) 과 게이트 절연 표면 (301) 사이의 절연 콘택 계면 (423) 을 정의한다. 절연 콘택 계면 (423) 은 게이트 절연 표면 (301) 이 패시베이션 절연 표면 (421) 의 100 % 와 직접 접촉하도록 연장된다. 도 7b 에 도시된 바와 같이, 패시베이션 스택 (40) 은 제 2 활성 III-N 층 (23) 위에 그리고 전자 수용성 유전체 층 (41) 의 양쪽에, 즉 게이트 영역 (31) 의 양쪽에 형성된 2 개의 전자 공여성 유전체 층들 (43;44) 을 더 포함하여, 2 개의 전자 공여성 유전체 층들 (43;44) 의 각각은 제 2 활성 III-N 층 (23) 과 직접 접촉하는 III-N 콘택 표면 (430;440) 을 포함한다. 전자 공여성 유전체 층들 (43;44) 은 MOCVD 리액터에서 인-시츄로 증착된, 고밀도를 가진 SiN 을 포함한다. SiN 은 화학량론적 또는 비-화학량론적일 수도 있다. 예를 들어, 인-시츄 SiN 으로 캡핑되는 HEMT 구조는 프로세싱 단계들, 심지어 고온 버짓을 갖는 것들에 의해 영향을 받지 않음이 발명자들에 의해 실험적으로 밝혀졌다. 대안적인 실시형태에 따르면, 전자 공여성 유전체 층들 (43;44) 은 $AlSiN$ 을 포함한다. Al-도핑은 유전체 재료의 밴드갭의 증가를 허용한다. 추가의 대안적인 실시형태에 따르면, 전자 공여성 유전체 층들 (43;44) 은 Si, Al, O 및 N 중 하나 이상을 포함한다. 전자 공여성 유전체 층들 (43;44) 은 1 내지 500 nm, 바람직하게는 30 내지 400 nm, 더 바람직하게는 50 내지 300 nm, 이를 테면 100 내지 200 nm 의 두께를 갖는다. 인-시츄 SiN 은 임의의 다른 프로세싱이 일어나기 전에, 예를 들어 500 nm 를 넘는 두께들을 위해, PECVD 또는 LPCVD SiN 또는 SiO_x 에 의해 외부적으로 두꺼워질 수도 있다. 도 7c 에서, 2 개의 전자 공여성 유전체 층들 (43;44) 은 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 의 스택만큼 두껍다. 대안적인 실시형태에 따르면, 2 개의 전자 공여성 유전체 층들 (43;44) 은 고 전자 이동도 트랜지스터를 캡슐화하고 2 개의 전자 공여성 유전체 층은 게이트 영역에서 예칭되고, 소스 및 드레인 이 후에 형성되는 드레인 액세스 영역 및 게이트 액세스 영역에서 예칭된다. 대안적인 실시형태에 따르면, 2 개의 전자 공여성 유전체 층들 (43;44) 은 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 의 스택보다 두껍다. 마지막으로, 도 7b 에서, 패시베이션 스택 (40) 은 소스 액세스 영역에서 예칭되고 드레인 액세스 영역에서 예칭된다. 특히, 패시베이션 스택 (40) 의 2 개의 전자 공여성 유전체 층들 (43;44) 은 소스 영역 (51) 및 드레인 영역 (52) 에서 각각 예칭된다. 오믹 콘택이 그 후 소스 영역 (51) 에 형성되고 오믹 콘택이 그 후 드레인 영역 (52) 에 형성된다. 소스 영역 (51) 에 오믹 콘택을 형성하고 드레인 영역 (52) 에 오믹 콘택을 형성하는 것은 복수의 프로세스 단계들을 포함한다. 예를 들어, 이는 포토레지스트를 증착하고 리소그래피 단계로 개별의 오믹 콘택들의 개별의 영역들을 정의하는 것으로 시작함으로써 행해진다. 전자 공여성 유전체 층들 (43;44) 은 그 후 소스 영역 (51) 및 드레인 영역 (52) 에서 각각 부분적으로 또는 완전히 제거된다. 예를 들어, 전자 공여성 유전체 층들 (43;44) 은 불소 화학에서 RIE 또는 ICP 플라즈마를

에서의 건식 에칭에 의해 또는 HF 또는 완충된 HF 에서의 습식 에칭에 의해 제거될 수 있다. 불소 화학에서의 전자 공여성 유전체 층들 (43;44) 의 건식 및 습식 에칭들 양자 모두는 매우 높은 선택도를 가진 에치-스톱의 역할을 하는 제 2 활성 III-N 층 (23) 에서 정지할 것이다. 예를 들어, 전자 공여성 유전체 층들 (43;44) 의 에치는 불소 화학에 기초한 건식 에칭 시스템에서, 이를 테면 예를 들어, 각각 10 W 내지 150 W 의 "코일" 에칭 전력들, 또는 ICP, 및 "플래튼", 또는 RF 및 에칭 가스로서의 SF₆ 또는 CF₄ 를 사용하는 유도 커플링된 플라즈마 시스템에서 행해진다. 이는 제 2 활성 III-N 층 (23) 및 그 아래의 층들 중 어떤 것도 제거하지 않고 나머지 전자 공여성 유전체 층 (43;44) 의 완전한 제거를 허용한다. 대안적인 실시형태에 따르면, 제 2 활성 III-N 층 (23) 은 예를 들어, 알칼리 용액 또는 레지스트 현상액에서, 습식 에칭으로 부분적으로 에칭되어, 제 2 활성 III-N 층 (23) 에서 부분적으로 소스 영역 (51) 및 드레인 영역 (52) 에 개별의 오믹 콘택들을 형성하도록 허용한다. 일단 오믹 콘택들의 영역들이 정의되면, 즉 소스 영역 (51) 과 드레인 영역 (52) 이 정의되었을 때, 금속 층 또는 금속 층들의 스택은 예를 들어, 열 증발에 의해, 또는 스퍼터링에 의해, 또는 e-빔 증발에 의해 증착될 수 있다. 금속 패턴들은 제 2 활성 III-N 층 (23) 과 접촉하지 않고 포토레지스트 위에, 금속의 리프트-오프를 수행함으로써 연속적으로 정의된다. 대안적으로, 포토레지스트가 먼저 제거되고 예를 들어 Ti 및 Al 을 포함하는 금속 스택이 증착되고 그 후 제 2 포토레지스트 증착 및 포토리소그래피 단계들은, 원하지 않는 영역들에서의 금속 스택의 건식 에칭 또는 포토레지스트의 제거를 허용하도록 수행된다. 정의된 오믹 콘택들에는 그 후, 예를 들어, 800 °C 와 900 °C 사이의 온도로 예를 들어 수소 또는 포밍 가스 또는 질소 gas와 같은 환원 또는 불활성 분위기에서 1 분의 지속기간 동안 하나 이상의 합금 단계들, 예를 들어, 고속 열 어닐링 단계가 실시될 수도 있다. 본 발명에 따른 고 전자 이동도 트랜지스터 (1) 가 얻어진다.

[0150]

도 8a 내지 도 8c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 8a 내지 도 8c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 및 도 4a 내지 도 4c 및 도 5a 내지 도 5c 및 도 6a 내지 도 6c 및 도 7a 내지 도 7c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 8a 에서 보이는 바와 같이, 본 발명에 따른 반도체 구조는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어, 20 과 500 nm 사이, 바람직하게는 30 과 300 nm 사이, 더 바람직하게는 50 과 250 nm 사이, 이를 테면 예를 들어 100 내지 150 nm 로 구성된 두께를 갖는다. 제 2 활성 III-N 층 (23) 은 예를 들어 10 내지 100 nm 사이, 바람직하게는 20 내지 50 nm 사이로 구성된 두께를 갖는다. 이러한 두께들의 조합은 예를 들어 얻어진 2DEG (21) 의 면에서, 활성 층에 대한 양호한 특성들을 제공한다. 제 1 활성 III-N 층 (22) 은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어 GaN 을 포함한다. 제 2 활성 III-N 층 (23) 은 질화물 및 B, Al, Ga, In, 및 Tl 중 하나 이상을 포함한다. 제 2 활성 III-N 층 (23) 은 예를 들어 AlGaN 을 포함한다. 용어 AlGaN 은 임의의 화학량론비 (Al_xGa_yN) 로 Al, Ga 및 N 을 포함하는 조성물에 관한 것이고, 여기서 x 는 0 과 1 사이로 구성되고 y 는 0 과 1 사이로 구성된다. 대안적으로, 제 2 활성 III-N 층 (23) 은 예를 들어 AlN 을 포함한다. 대안적으로, 제 2 활성 III-N 층 (23) 은 InAlGaN 을 포함한다. InAlGaN 과 같은 조성물은 In 을 임의의 적합한 양으로 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 InAlGaN 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 BInAlGaN 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 활성 층의 조성물들은 얻어질 특성들을 고려하여 선택될 수도 있고, 조성물들은 이에 따라 가변할 수도 있다. 예를 들어, 약 150 nm 두께의 GaN 을 포함하는 제 1 활성 III-N 층 (22) 및 약 20 nm 두께의 AlGaN 을 포함하는 제 2 활성 III-N 층 (23) 으로 양호한 결과들이 얻어졌다. 전체 리세스 (24) 가 게이트 영역 (31) 에서 제 2 활성 III-N 층 (23) 에 형성되어, 제 1 활성 III-N 층 (22) 을 노출시킨다. 이는 반응성 이온 에칭 또는 RIE 와 같은 플라즈마 에칭 툴에서의 또는 바람직하게는 유도 커플링된 플라즈마 또는 ICP 툴에서의 에칭에 의해 달성될 수 있다. 시약 가스들은 Cl₂ 또는 BCl₃ 일 수 있다. 대안적으로, 디지털 에칭 프로세스가 사용될 수 있는 반면, 연속적으로 그리고 반복적으로, 먼저 제 2 활성 III-N 층의 상부 표면이 예를 들어, O₂, O₃ 또는 N₂O 플라즈마에서 산화되고, 그 후 형성된 산화물이 예를 들어,

SF₆ 또는 CF₄ 플라즈마에서 에칭된다. 전자 수용성 유전체 층 (41) 은 에피택셜 III-N 반도체 층 스택 (20) 위에, 그리고 특히 제 2 활성 III-N 층 (23) 위에 형성되어, 제 2 활성 III-N 층 (23) 의 리세스 (24) 에 형성된다. 대안적인 실시형태에 따르면, 마스크가 제 2 활성 III-N 층 (23) 위에 증착되고 마스크는 게이트 영역 (31) 에서 에칭된다. 전자 수용성 유전체 층 (41) 은 그 후, 도 8c 에 도시된 바와 같이, 게이트 영역 (31) 에 형성된다. 전자 수용성 유전체 층 (41) 은 에피택셜 III-N 반도체 층 스택 (20) 의 제 2 활성 III-N 층 (23) 과 접촉하는 패시베이션 표면 (410) 을 포함한다. 전자 수용성 유전체 층 (41) 은 패시베이션 표면 (410) 에 대항하는 유전체 표면 (411) 을 더 포함한다. 제 2 활성 III-N 층 (23) 은 전자 수용성 유전체 층 (41) 의 패시베이션 표면 (410) 과 접촉하는 제 2 패시베이션 표면 (230) 을 포함하여, 제 2 활성 III-N 층 (23) 과 전자 수용성 유전체 층 (41) 사이의 패시베이션 콘택 계면 (231) 을 정의한다. 패시베이션 콘택 계면 (231) 은 패시베이션 표면 (410) 이 게이트 영역 (31) 에서 제 2 패시베이션 표면의 10 내지 30 % 와 직접 접촉하도록 연장된다. 다시 말해서, 전자 수용성 유전체 층 (41) 은 게이트 영역 (31) 을 제외하고 에칭된다. 전자 수용성 유전체 층의 두께는 제 2 활성 III-N 층 (23) 에 형성된 리세스 (24) 의 깊이보다 작다. 전자 수용성 유전체 층 (41) 은 예를 들어 Mg_xSi_{1-x}N 을 포함하고, 여기서 x 는 0.05 와 0.95 사이로 구성된다. 대안적인 실시형태에 따르면, 전자 수용성 유전체 층 (41) 은 Mg_yAl_{1-y}N 을 포함하고, 여기서 y 는 0.05 와 0.95 사이로 구성된다. 추가의 대안적인 실시형태에 따르면, 전자 수용성 유전체 층은 Mg_aSi_zAl_{1-a-z}N 을 포함하고, 여기서 a 는 0.05 와 0.95 사이로 구성되고, z 는 0.05 와 0.95 사이로 구성되고 a+z 는 0.1 과 1 사이로 구성된다. MgSiN 또는 MgAlN, 또는 MgSiAlN 은 에피택셜 III-N 반도체 층 스택 (20) 위에, 바람직하게는 제 2 활성 III-N 층 (23) 위에 에피택셜로 성장된다. 도 8c 에 도시된 바와 같이, 패시베이션 스택 (40) 은 산화물 층 (42) 을 더 포함한다. 패시베이션 스택 (40) 및 특히 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 은 예를 들어 MOCVD 에 의해 성장된다. 대안적인 실시형태에 따르면, 패시베이션 스택 (40) 은 MBE 에 의해 성장된다. 산화물 층 (42) 은 예를 들어 MgO 를 포함한다. 대안적인 실시형태에 따르면, 산화물 층 (42) 은 AlO_x 또는 SiO_x, 또는 이들의 합금들을 포함한다. 추가의 대안적인 실시형태에 따르면, 산화물 층 (42) 은 예를 들어 HfO_x, ZrO_x 등과 같은 게이트 유전체를 포함한다. 산화물 층 (42) 은 또한 제 2 활성 III-N 층 (23) 에 형성된 리세스 (24) 에서 연장된다. 산화물 층 (42) 은 유전체 표면 (411) 과 접촉하는 산화물 표면 (420) 및 산화물 표면 (420) 에 대항하는 패시베이션 절연 표면 (421) 을 포함한다. 유전체 표면 (411) 및 산화물 표면 (420) 은 산화물 표면 (420) 이 유전체 표면 (411) 의 전체 표면을 따라 유전체 표면 (411) 과 직접 접촉하도록 연장된다. 도 8c 에서, 게이트 (30) 는 게이트 영역 (31) 에서 패시베이션 스택 (40) 위에 형성된다. 게이트 (30) 는 전압 바이어스가 게이트 (30) 에 인가되는 바이어싱 표면 (300) 및 바이어싱 표면 (300) 에 대항하는 게이트 절연 표면 (301) 을 포함한다. 특히, 게이트는 산화물 층 (42) 위의 게이트 영역 (31) 에 형성되어, 패시베이션 절연 표면 (421) 과 게이트 절연 표면 (301) 사이의 절연 콘택 계면 (423) 을 정의한다. 절연 콘택 계면 (423) 은 게이트 절연 표면 (301) 이 패시베이션 절연 표면 (421) 의 100 % 와 직접 접촉하도록 연장된다. 오믹 콘택들은 도 8c 에 도시된 바와 같이 소스 영역 및 드레인 영역에 형성되어, 금속-산화물-반도체 전계-효과 트랜지스터 (1) 를 형성할 수 있다.

[0151] 도 9a 내지 도 9c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 9a 내지 도 9c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 및 도 4a 내지 도 4c 및 도 5a 내지 도 5c 및 도 6a 내지 도 6c 및 도 7a 내지 도 7c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 9a 에서 보이는 바와 같이, 본 발명에 따른 반도체 구조는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어, 20 과 500 nm 사이, 바람직하게는 30 과 300 nm 사이, 더 바람직하게는 50 과 250 nm 사이, 이를 테면 예를 들어 100 내지 150 nm 로 구성된 두께를 갖는다. 제 2 활성 III-N 층 (23) 은 예를 들어 10 내지 100 nm 사이, 바람직하게는 20 내지 50 nm 사이로 구성된 두께를 갖는다. 이러한 두께들의 조합은 예를 들어 얻어진 2DEG (21) 의 면에서, 활성 층에 대한 양호한 특성들을 제공한다. 제 1 활성 III-N 층 (22) 은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어 GaN 을 포함한다. 제 2 활성 III-N 층 (23) 은 질화물 및 B, Al, Ga, In, 및 Tl 중 하나 이상을 포함한다. 제 2 활성 III-N 층 (23) 은 예를 들어 AlGaN 을 포함한다. 용어 AlGaN 은 임의의 화학량론비 (Al_xGa_yN) 로 Al, Ga 및 N 을 포함하는 조성물에 관한 것이고, 여기서 x 는 0 과 1 사이로 구성되고 y 는 0 과 1 사이로 구성된다. 대안적으로, 제 2 활성 III-N 층 (23) 은 예를 들어 AlN 을 포함한다. 대안적으로, 제 2 활성 III-N 층

(23) 은 InAlGaN 을 포함한다. InAlGaN 과 같은 조성물은 In 을 임의의 적합한 양으로 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 InAlGaN 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 BInAlGaN 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 활성 층의 조성물들은 얻어질 특성들을 고려하여 선택될 수도 있고, 조성물들은 이에 따라 가변할 수도 있다. 예를 들어, 약 150 nm 두께의 GaN 을 포함하는 제 1 활성 III-N 층 (22) 및 약 20 nm 두께의 AlGaN 을 포함하는 제 2 활성 III-N 층 (23) 으로 양호한 결과들이 얻어졌다. 전체 리세스 (24) 가 게이트 영역 (31) 에서 제 2 활성 III-N 층 (23) 에 형성되어, 제 1 활성 III-N 층 (22) 을 노출시킨다. 이는 반응성 이온 에칭 또는 RIE 와 같은 플라즈마 에칭 툴에서의 또는 바람직하게는 유도 커플링된 플라즈마 또는 ICP 툴에서의 에칭에 의해 달성될 수 있다. 시약 가스들은 Cl₂ 또는 BCl₃ 일 수 있다. 대안적으로, 디지털 에칭 프로세스가 사용될 수 있는 반면, 연속적으로 그리고 반복적으로, 먼저 제 2 활성 III-N 층의 상부 표면이 예를 들어, O₂, O₃ 또는 N₂O 플라즈마에서 산화되고, 그 후 형성된 산화물이 예를 들어, SF₆ 또는 CF₄ 플라즈마에서 에칭된다. 전자 수용성 유전체 층 (41) 은 에피택셜 III-N 반도체 층 스택 (20) 위에, 그리고 특히 제 2 활성 III-N 층 (23) 위에 형성되어, 제 2 활성 III-N 층 (23) 의 리세스 (24) 에 형성된다. 대안적인 실시형태에 따르면, 마스크가 제 2 활성 III-N 층 (23) 위에 증착되고 마스크는 게이트 영역 (31) 에서 에칭된다. 전자 수용성 유전체 층 (41) 은 그 후, 도 9b 에 도시된 바와 같이, 게이트 영역 (31) 에 형성된다. 전자 수용성 유전체 층 (41) 은 에피택셜 III-N 반도체 층 스택 (20) 의 제 2 활성 III-N 층 (23) 과 접촉하는 패시베이션 표면 (410) 을 포함한다. 전자 수용성 유전체 층 (41) 은 패시베이션 표면 (410) 에 대항하는 유전체 표면 (411) 을 더 포함한다. 제 2 활성 III-N 층 (23) 은 전자 수용성 유전체 층 (41) 의 패시베이션 표면 (410) 과 접촉하는 제 2 패시베이션 표면 (230) 을 포함하여, 제 2 활성 III-N 층 (23) 과 전자 수용성 유전체 층 (41) 사이의 패시베이션 콘택 계면 (231) 을 정의한다. 패시베이션 콘택 계면 (231) 은 패시베이션 표면 (410) 이 게이트 영역 (31) 에서 제 2 패시베이션 표면의 10 내지 30 % 와 직접 접촉하도록 연장된다. 다시 말해서, 전자 수용성 유전체 층 (41) 은 게이트 영역 (31) 을 제외하고 에칭된다. 전자 수용성 유전체 층의 두께는 제 2 활성 III-N 층 (23) 에 형성된 리세스 (24) 의 깊이보다 크다. 전자 수용성 유전체 층 (41) 은 예를 들어 Mg_xSi_{1-x}N 을 포함하고, 여기서 x 는 0.05 와 0.95 사이로 구성된다. 대안적인 실시형태에 따르면, 전자 수용성 유전체 층 (41) 은 Mg_yAl_{1-y}N 을 포함하고, 여기서 y 는 0.05 와 0.95 사이로 구성된다. 추가의 대안적인 실시형태에 따르면, 전자 수용성 유전체 층은 Mg_aSi_zAl_{1-a-z}N 을 포함하고, 여기서 a 는 0.05 와 0.95 사이로 구성되고, z 는 0.05 와 0.95 사이로 구성되고 a+z 는 0.1 과 1 사이로 구성된다. MgSiN 또는 MgAlN, 또는 MgSiAlN 은 에피택셜 III-N 반도체 층 스택 (20) 위에, 바람직하게는 제 2 활성 III-N 층 (23) 위에 에피택셜로 성장된다. 도 9c 에 도시된 바와 같이, 패시베이션 스택 (40) 은 산화물 층 (42) 을 더 포함한다. 패시베이션 스택 (40) 및 특히 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 은 예를 들어 MOCVD 에 의해 성장된다. 대안적인 실시형태에 따르면, 패시베이션 스택 (40) 은 MBE 에 의해 성장된다. 산화물 층 (42) 은 예를 들어 MgO 를 포함한다. 대안적인 실시형태에 따르면, 산화물 층 (42) 은 AlO_x 또는 SiO_x, 또는 이들의 합금들을 포함한다. 추가의 대안적인 실시형태에 따르면, 산화물 층 (42) 은 예를 들어 HfO_x, ZrO_x 등과 같은 게이트 유전체를 포함한다. 산화물 층 (42) 은 유전체 표면 (411) 과 접촉하는 산화물 표면 (420) 및 산화물 표면 (420) 에 대항하는 패시베이션 절연 표면 (421) 을 포함한다. 유전체 표면 (411) 및 산화물 표면 (420) 은 산화물 표면 (420) 이 유전체 표면 (411) 의 전체 표면을 따라 유전체 표면 (411) 과 직접 접촉하도록 연장된다. 도 9c 에서, 게이트 (30) 는 게이트 영역 (31) 에서 패시베이션 스택 (40) 위에 형성된다. 게이트 (30) 는 전압 바이어스가 게이트 (30) 에 인가되는 바이어싱 표면 (300) 및 바이어싱 표면 (300) 에 대항하는 게이트 절연 표면 (301) 을 포함한다. 특히, 게이트는 산화물 층 (42) 위의 게이트 영역 (31) 에 형성되어, 패시베이션 절연 표면 (421) 과 게이트 절연 표면 (301) 사이의 절연 콘택 계면 (423) 을 정의한다. 절연 콘택 계면 (423) 은 게이트 절연 표면 (301) 이 패시베이션 절연 표면 (421) 의 100 % 와 직접 접촉하도록 연장된다. 오믹 콘택들은 도 9c 에 도시된 바와 같이 소스 영역 및 드레인 영역에 형성되어, 금속-산화물-반도체 전계-효과 트랜지스터 (1) 를 형성할 수 있다.

[0152]

도 10a 내지 도 10c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 10a 내지 도 10c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도

3b 및 도 4a 내지 도 4c 및 도 5a 내지 도 5c 및 도 6a 내지 도 6c 및 도 7a 내지 도 7c 및 도 8a 내지 도 8c 및 도 9a 내지 도 9c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다.

도 10a 에서 보이는 바와 같이, 본 발명에 따른 반도체 구조는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어, 20 과 500 nm 사이, 바람직하게는 30 과 300 nm 사이, 더 바람직하게는 50 과 250 nm 사이, 이를 테면 예를 들어 100 내지 150 nm 로 구성된 두께를 갖는다. 제 2 활성 III-N 층 (23) 은 예를 들어 10 내지 100 nm 사이, 바람직하게는 20 내지 50 nm 사이로 구성된 두께를 갖는다. 이러한 두께들의 조합은 예를 들어 얻어진 2DEG (21) 의 면에서, 활성 층에 대한 양호한 특성들을 제공한다. 제 1 활성 III-N 층 (22) 은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어 GaN 을 포함한다. 제 2 활성 III-N 층 (23) 은 질화물 및 B, Al, Ga, In, 및 Tl 중 하나 이상을 포함한다. 제 2 활성 III-N 층 (23) 은 예를 들어 AlGaN 을 포함한다. 용어 AlGaN 은 임의의 화학량론비 (Al_xGa_yN) 로 Al, Ga 및 N 을 포함하는 조성물에 관한 것이고, 여기서 x 는 0 과 1 사이로 구성되고 y 는 0 과 1 사이로 구성된다. 대안적으로, 제 2 활성 III-N 층 (23) 은 예를 들어 AlN 을 포함한다. 대안적으로, 제 2 활성 III-N 층 (23) 은 InAlGaN 을 포함한다. InAlGaN 과 같은 조성물은 In 을 임의의 적합한 양으로 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 InAlGaN 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 BInAlGaN 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 활성 층의 조성물들은 얻어질 특성들을 고려하여 선택될 수도 있고, 조성물들은 이에 따라 가변할 수도 있다. 예를 들어, 약 150 nm 두께의 GaN 을 포함하는 제 1 활성 III-N 층 (22) 및 약 20 nm 두께의 AlGaN 을 포함하는 제 2 활성 III-N 층 (23) 으로 양호한 결과들이 얻어졌다. 전체 리세스 (24) 가 게이트 영역 (31) 에서 제 2 활성 III-N 층 (23) 에 형성되어, 제 1 활성 III-N 층 (22) 을 노출시킨다. 이는 반응성 이온 에칭 또는 RIE 와 같은 플라즈마 에칭 툴에서의 또는 바람직하게는 유도 커플링된 플라즈마 또는 ICP 툴에서의 에칭에 의해 달성될 수 있다. 시약 가스들은 Cl_2 또는 BCl_3 일 수 있다. 대안적으로, 디지털 에칭 프로세스가 사용될 수 있는 반면, 연속적으로 그리고 반복적으로, 먼저 제 2 활성 III-N 층의 상부 표면이 예를 들어, O_2 , O_3 또는 N_2O 플라즈마에서 산화되고, 그 후 형성된 산화물이 예를 들어, SF_6 또는 CF_4 플라즈마에서 에칭된다. AlN 을 포함하는 AlN 층 (45) 은 도 10a 에 줌으로 예시된 바와 같이 제 2 활성 III-N 층 (23) 의 리세스 (24) 에 형성된다. 대안적인 실시형태에 따르면, AlN 을 포함하는 AlN 층 (45) 은 또한 제 2 활성 III-N 층 (23) 의 에칭된 측면들 상에서 게이트 영역 (31) 에서 리세스 (24) 에 형성된다. AlN 층 (45) 은 바람직하게는 AlN 의 단일 단층이다. AlN 층 (45) 의 두께는 바람직하게는 1 nm 이다. 전자 수용성 유전체 층 (41) 은 에피택셜 III-N 반도체 층 스택 (20) 위에, 그리고 특히 제 2 활성 III-N 층 (23) 위에 형성되어, 제 2 활성 III-N 층 (23) 의 리세스 (24) 에서 AlN 층 (45) 위에 형성된다. 대안적인 실시형태에 따르면, 마스크가 제 2 활성 III-N 층 (23) 위에 증착되고 마스크는 게이트 영역 (31) 에서 에칭된다. 전자 수용성 유전체 층 (41) 은 그 후, 도 10c 에 도시된 바와 같이, 게이트 영역 (31) 에 형성된다. 전자 수용성 유전체 층 (41) 은 에피택셜 III-N 반도체 층 스택 (20) 의 제 2 활성 III-N 층 (23) 과 접촉하는 패시베이션 표면 (410) 을 포함한다. 전자 수용성 유전체 층 (41) 은 패시베이션 표면 (410) 에 대항하는 유전체 표면 (411) 을 더 포함한다. 제 2 활성 III-N 층 (23) 은 전자 수용성 유전체 층 (41) 의 패시베이션 표면 (410) 과 접촉하는 제 2 패시베이션 표면 (230) 을 포함하여, 제 2 활성 III-N 층 (23) 과 전자 수용성 유전체 층 (41) 사이의 패시베이션 콘택 계면 (231) 을 정의한다. 패시베이션 콘택 계면 (231) 은 패시베이션 표면 (410) 이 게이트 영역 (31) 에서 제 2 패시베이션 표면의 10 내지 30 % 와 직접 접촉하도록 연장된다. 다시 말해서, 전자 수용성 유전체 층 (41) 은 게이트 영역 (31) 을 제외하고 에칭된다. 전자 수용성 유전체 층의 두께는 제 2 활성 III-N 층 (23) 에 형성된 리세스 (24) 의 깊이보다 작다. 전자 수용성 유전체 층 (41) 은 예를 들어 $Mg_xSi_{1-x}N$ 을 포함하고, 여기서 x 는 0.05 와 0.95 사이로 구성된다. 대안적인 실시형태에 따르면, 전자 수용성 유전체 층 (41) 은 $Mg_yAl_{1-y}N$ 을 포함하고, 여기서 y 는 0.05 와 0.95 사이로 구성된다. 추가의 대안적인 실시형태에 따르면, 전자 수용성 유전체 층은 $Mg_aSi_zAl_{1-a-z}N$ 을 포함하고, 여기서 a 는 0.05 와 0.95 사이로 구성되고, z 는 0.05 와 0.95 사이로 구성되고 a+z 는 0.1 과 1 사이로 구성된다. $MgSiN$ 또는 $MgAlN$, 또는 $MgSiAlN$ 은 에피택셜 III-N 반도체

층 스택 (20) 위에, 바람직하게는 제 2 활성 III-N 층 (23) 위에 에피택셜로 성장된다. 도 10c 에 도시된 바와 같이, 패시베이션 스택 (40) 은 산화물 층 (42) 을 더 포함한다. 패시베이션 스택 (40) 및 특히 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 은 예를 들어 MOCVD 에 의해 성장된다. 대안적인 실시형태에 따르면, 패시베이션 스택 (40) 은 MBE 에 의해 성장된다. 산화물 층 (42) 은 예를 들어 MgO 를 포함한다. 대안적인 실시형태에 따르면, 산화물 층 (42) 은 AlO_x 또는 SiO_x, 또는 이들의 합금들을 포함한다. 추가의

대안적인 실시형태에 따르면, 산화물 층 (42) 은 예를 들어 HfO_x, ZrO_x 등과 같은 게이트 유전체를 포함한다. 산화물 층 (42) 은 또한 제 2 활성 III-N 층 (23) 에 형성된 리세스 (24) 에서 연장된다. 산화물 층 (42) 은 유전체 표면 (411) 과 접촉하는 산화물 표면 (420) 및 산화물 표면 (420) 에 대향하는 패시베이션 절연 표면 (421) 을 포함한다. 유전체 표면 (411) 및 산화물 표면 (420) 은 산화물 표면 (420) 이 유전체 표면 (411) 의 전체 표면을 따라 유전체 표면 (411) 과 직접 접촉하도록 연장된다. 도 10c 에서, 게이트 (30) 는 게이트 영역 (31) 에서 패시베이션 스택 (40) 위에 형성된다. 게이트 (30) 는 전압 바이어스가 게이트 (30) 에 인가되는 바이어싱 표면 (300) 및 바이어싱 표면 (300) 에 대향하는 게이트 절연 표면 (301) 을 포함한다.

특히, 게이트는 산화물 층 (42) 위의 게이트 영역 (31) 에 형성되어, 패시베이션 절연 표면 (421) 과 게이트 절연 표면 (301) 사이의 절연 콘택 계면 (423) 을 정의한다. 절연 콘택 계면 (423) 은 게이트 절연 표면 (301) 이 패시베이션 절연 표면 (421) 의 100 % 와 직접 접촉하도록 연장된다. 오픈 콘택들은 도 10c 에서 설명된 바와 같이 소스 영역 및 드레인 영역에 형성되어, 금속-산화물-반도체 전계-효과 트랜지스터 (1) 를 형성할 수 있다.

[0153]

도 11a 내지 도 11c 에 도시된 실시형태에 따르면, 본 발명에 따른 고 전자 이동도 트랜지스터는 도 11a 내지 도 11c 의 상이한 단계들에 의해 개략적으로 예시된 바와 같이 제조된다. 도 2a 내지 도 2c 및 도 3a 및 도 3b 및 도 4a 내지 도 4c 및 도 5a 내지 도 5c 및 도 6a 내지 도 6c 및 도 7a 내지 도 7c 및 도 8a 내지 도 8c 및 도 9a 내지 도 9c 및 도 10a 내지 도 10c 에서의 컴포넌트들과 동일한 참조 번호들을 갖는 컴포넌트들은 동일한 기능을 수행한다. 도 11a 에서 보이는 바와 같이, 본 발명에 따른 반도체 구조는 기판 (10) 및 에피택셜 III-N 반도체 층 스택 (20) 을 포함한다. 에피택셜 III-N 반도체 층 스택 (20) 은 제 1 활성 III-N 층 (22) 및 제 2 활성 III-N 층 (23) 을, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 사이의 2 차원 전자 가스 (21) 와 함께 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어, 20 과 500 nm 사이, 바람직하게는 30 과 300 nm 사이, 더 바람직하게는 50 과 250 nm 사이, 이를 테면 예를 들어 100 내지 150 nm 로 구성된 두께를 갖는다. 제 2 활성 III-N 층 (23) 은 예를 들어 10 내지 100 nm 사이, 바람직하게는 20 내지 50 nm 사이로 구성된 두께를 갖는다. 이러한 두께들의 조합은 예를 들어 얻어진 2DEG (21) 의 면에서, 활성 층에 대한 양호한 특성들을 제공한다. 제 1 활성 III-N 층 (22) 은 질화물 및 B, Al, Ga, In 및 Tl 중 하나 이상을 포함한다. 제 1 활성 III-N 층 (22) 은 예를 들어 GaN 을 포함한다. 제 2 활성 III-N 층 (23) 은 질화물 및 B, Al, Ga, In, 및 Tl 중 하나 이상을 포함한다. 제 2 활성 III-N 층 (23) 은 예를 들어 AlGa_N 을 포함한다. 용어 AlGa_N 은 임의의 화학량론비 (Al_xGa_yN) 로 Al, Ga 및 N 을 포함하는 조성물에 관한 것이고, 여기서 x 는 0 과 1 사이로 구성되고 y 는 0 과 1 사이로 구성된다. 대안적으로, 제 2 활성 III-N 층 (23) 은 예를 들어 AlN 을 포함한다. 대안적으로, 제 2 활성 III-N 층 (23) 은 InAlGa_N 을 포함한다. InAlGa_N 과 같은 조성물은 In 을 임의의 적합한 양으로 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 InAlGa_N 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 대안적으로, 제 1 활성 III-N 층 (22) 과 제 2 활성 III-N 층 (23) 양자 모두는 BInAlGa_N 을 포함하고, 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 밴드갭보다 큰 밴드갭을 포함하고 제 2 활성 III-N 층 (23) 은 제 1 활성 III-N 층 (22) 의 분극보다 큰 분극을 포함한다. 활성 층의 조성물들은 얻어질 특성들을 고려하여 선택될 수도 있고, 조성물들은 이에 따라 가변할 수도 있다. 예를 들어, 약 150 nm 두께의 GaN 을 포함하는 제 1 활성 III-N 층 (22) 및 약 20 nm 두께의 AlGa_N 을 포함하는 제 2 활성 III-N 층 (23) 으로 양호한 결과들이 얻어졌다. 전체 리세스 (24) 가 게이트 영역 (31) 에서 제 2 활성 III-N 층 (23) 에 형성되어, 제 1 활성 III-N 층 (22) 을 노출시킨다. 이는 반응성 이온 에칭 또는 RIE 와 같은 플라즈마 에칭 틀에서의 또는 바람직하게는 유도 커플링된 플라즈마 또는 ICP 틀에서의 에칭에 의해 달성될 수 있다. 시약 가스들은 Cl₂ 또는 BCl₃ 일 수 있다. 대안적으로, 디지털 에칭 프로세스가 사용될 수 있는 반면, 연속적으로 그리고 반복적으로, 먼저 제 2 활성 III-N 층의 상부 표면이 예를 들어, O₂, O₃ 또는 N₂O 플라즈마에서 산화되고, 그 후 형성된 산화물이 예를 들어, SF₆ 또는 CF₄ 플라즈마에서 에칭된다. AlN 을 포함하는 AlN 층 (45) 은 제 2 활성 III-N 층 (23) 의 리세스 (24) 에 형성된다. 대안적인 실시형태에

따르면, AlN 을 포함하는 AlN 층 (45) 은 또한 제 2 활성 III-N 층 (23) 의 에칭된 측면들 상에서 게이트 영역 (31) 에서 리세스 (24) 에 형성된다. AlN 층 (45) 은 바람직하게는 AlN 의 단일 단층이다. AlN 층 (45) 의 두께는 바람직하게는 1 nm 이다. 전자 수용성 유전체 층 (41) 은 에피택셜 III-N 반도체 층 스택 (20) 위에, 그리고 특히 제 2 활성 III-N 층 (23) 위에 형성되어, 제 2 활성 III-N 층 (23) 의 리세스 (24) 에서 AlN 층 (45) 위에 형성된다. 대안적인 실시형태에 따르면, 마스크가 제 2 활성 III-N 층 (23) 위에 증착되고 마스크는 게이트 영역 (31) 에서 에칭된다. 전자 수용성 유전체 층 (41) 은 그 후, 도 11b 에 도시된 바와 같이, 게이트 영역 (31) 에 형성된다. 전자 수용성 유전체 층 (41) 은 에피택셜 III-N 반도체 층 스택 (20) 의 제 2 활성 III-N 층 (23) 과 접촉하는 패시베이션 표면 (410) 을 포함한다. 전자 수용성 유전체 층 (41) 은 패시베이션 표면 (410) 에 대항하는 유전체 표면 (411) 을 더 포함한다. 제 2 활성 III-N 층 (23) 은 전자 수용성 유전체 층 (41) 의 패시베이션 표면 (410) 과 접촉하는 제 2 패시베이션 표면 (230) 을 포함하여, 제 2 활성 III-N 층 (23) 과 전자 수용성 유전체 층 (41) 사이의 패시베이션 콘택 계면 (231) 을 정의한다. 패시베이션 콘택 계면 (231) 은 패시베이션 표면 (410) 이 게이트 영역 (31) 에서 제 2 패시베이션 표면의 10 내지 30 % 와 직접 접촉하도록 연장된다. 다시 말해서, 전자 수용성 유전체 층 (41) 은 게이트 영역 (31) 을 제외하고 에칭된다. 전자 수용성 유전체 층의 두께는 제 2 활성 III-N 층 (23) 에 형성된 리세스 (24) 의 깊이보다 크다. 전자 수용성 유전체 층 (41) 은 예를 들어 $Mg_xSi_{1-x}N$ 을 포함하고, 여기서 x 는 0.05 와 0.95 사이로 구성된다. 대안적인 실시형태에 따르면, 전자 수용성 유전체 층 (41) 은 $Mg_yAl_{1-y}N$ 을 포함하고, 여기서 y 는 0.05 와 0.95 사이로 구성된다. 추가의 대안적인 실시형태에 따르면, 전자 수용성 유전체 층은 $Mg_aSi_zAl_{1-a-z}N$ 을 포함하고, 여기서 a 는 0.05 와 0.95 사이로 구성되고, z 는 0.05 와 0.95 사이로 구성되고 a+z 는 0.1 과 1 사이로 구성된다. MgSiN 또는 MgAlN, 또는 MgSiAlN 은 에피택셜 III-N 반도체 층 스택 (20) 위에, 바람직하게는 제 2 활성 III-N 층 (23) 위에 에피택셜로 성장된다. 도 11c 에 도시된 바와 같이, 패시베이션 스택 (40) 은 산화물 층 (42) 을 더 포함한다. 패시베이션 스택 (40) 및 특히 전자 수용성 유전체 층 (41) 및 산화물 층 (42) 은 예를 들어 MOCVD 에 의해 성장된다. 대안적인 실시형태에 따르면, 패시베이션 스택 (40) 은 MBE 에 의해 성장된다. 산화물 층 (42) 은 예를 들어 MgO 를 포함한다. 대안적인 실시형태에 따르면, 산화물 층 (42) 은 AlO_x 또는 SiO_x , 또는 이들의 합금들을 포함한다. 추가의 대안적인 실시형태에 따르면, 산화물 층 (42) 은 예를 들어 HfO_x , ZrO_x 등과 같은 게이트 유전체를 포함한다. 산화물 층 (42) 은 유전체 표면 (411) 과 접촉하는 산화물 표면 (420) 및 산화물 표면 (420) 에 대항하는 패시베이션 절연 표면 (421) 을 포함한다. 유전체 표면 (411) 및 산화물 표면 (420) 은 산화물 표면 (420) 이 유전체 표면 (411) 의 전체 표면을 따라 유전체 표면 (411) 과 직접 접촉하도록 연장된다. 도 11c 에서, 게이트 (30) 는 게이트 영역 (31) 에서 패시베이션 스택 (40) 위에 형성된다. 게이트 (30) 는 전압 바이어스가 게이트 (30) 에 인가되는 바이어싱 표면 (300) 및 바이어싱 표면 (300) 에 대항하는 게이트 절연 표면 (301) 을 포함한다. 특히, 게이트는 산화물 층 (42) 위의 게이트 영역 (31) 에 형성되어, 패시베이션 절연 표면 (421) 과 게이트 절연 표면 (301) 사이의 절연 콘택 계면 (423) 을 정의한다. 절연 콘택 계면 (423) 은 게이트 절연 표면 (301) 이 패시베이션 절연 표면 (421) 의 100 % 와 직접 접촉하도록 연장된다. 오믹 콘택들은 도 11c 에서 설명된 바와 같이 소스 영역 및 드레인 영역에 형성되어, 금속-산화물-반도체 전계-효과 트랜지스터 (1) 를 형성할 수 있다.

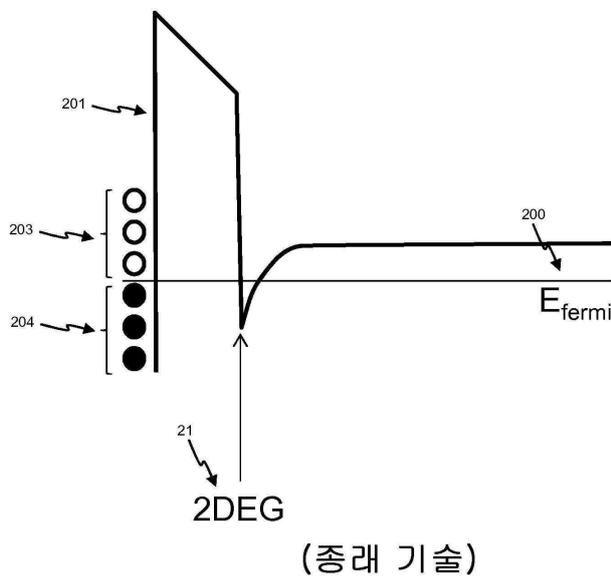
[0154] 도 12 는 본 발명에 따른 고 전자 이동도 트랜지스터의 제조 방법의 단계들을 개략적으로 예시한다. 단계 (101) 에서, 기판 (10) 이 제공된다. 단계 (102) 에서, 에피택셜 III-N 반도체 층 스택 (20) 은 결과적으로 기판 (10) 위에 제공된다. 에피택셜 III-N 반도체 층 스택 (20) 은, 제 1 활성 III-N 층, 제 1 활성 III-N 층 위의 제 2 활성 III-N 층을 포함하는 활성 층을 포함하고, 제 2 활성 III-N 층은 리세스 (24) 를 포함하고, 상기 제 1 활성 III-N 층과 제 2 활성 III-N 층 사이에는 2 차원 전자 가스가 있다. 단계 (103) 에서, 패시베이션 스택 (40) 이 그 후 에피택셜 III-N 반도체 층 스택 (20) 위에 제공된다. 패시베이션 스택 (40) 은 전자 수용성 유전체 층 (41) 을 포함한다. 전자 수용성 유전체 층 (41) 은 실리콘 및/또는 알루미늄이 도핑된 마그네슘 질화물을 포함한다. 전자 수용성 유전체 층 (41) 은 리세스 (24) 에서 연장된다. 마지막으로, 단계 (104) 에서, 게이트 (30) 가 게이트 영역 (31) 에서 전자 수용성 유전체 층 (41) 위에 제공된다.

[0155] 본 발명은 특정 실시형태들을 참조하여 예시되었지만, 본 발명은 전술한 예시적인 실시형태들의 상세들에 한정되지 않고, 본 발명은 그 범위로부터 이탈 없이 다양한 변경들 및 변형들로 구현될 수도 있음이 당업자들에게 명백할 것이다. 본 실시형태들은 따라서 모든 양태들에서 제한이 아니라 예시적인 것으로 간주되어야 하며, 본 발명의 범위는 전술한 설명에 의해서라기 보다는 첨부된 청구항들에 의해 나타내지고, 청구항들의 등가물의

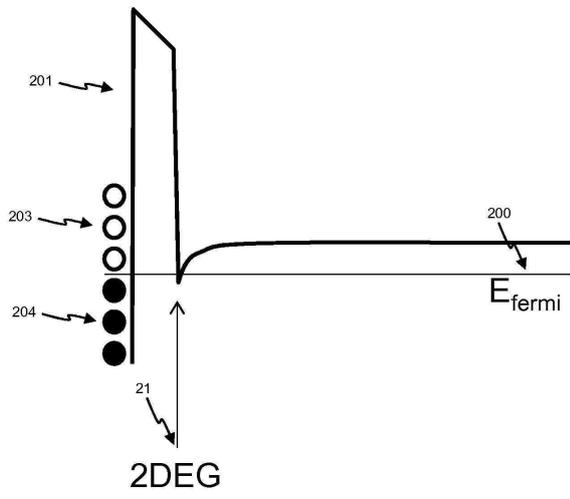
의미 및 범위 내에 있는 모든 변경들이 따라서 본 명세서에 포괄되도록 의도된다. 다시 말해, 기본의 근본적인 원리들의 범위에 포함되고 본질적인 속성들이 본 특허 출원에서 청구되는 임의의 및 모든 변형들, 변동들 또는 등가물들을 커버하는 것으로 고려된다. 더욱이, 단어들 "포함하는" 또는 "포함한다" 는 다른 엘리먼트들 또는 단계들을 배제하지 않고, 단어들 "a" 또는 "an" 은 복수를 배제하지 않고, 컴퓨터 시스템, 프로세서, 또는 다른 집적 유닛과 같은 단일 엘리먼트는 청구항들에서 인용된 여러 수단의 기능들을 이행할 수도 있음이 본 특허 출원의 독자에 의해 이해될 것이다. 청구항들에서의 임의의 참조 부호들은 관련된 개별의 청구항들을 한정하는 것으로 해석되지 않아야 한다. 용어들 "제 1", "제 2", "제 3", "a", "b", "c", 등은, 상세한 설명 또는 청구항들에서 사용될 때, 유사한 엘리먼트들 또는 단계들 간을 구별하도록 의도되고 반드시 순차적 또는 연대적 순서를 설명하는 것은 아니다. 유사하게, 용어들 "상부", "하부", "위에", "아래에" 등은 설명을 목적으로 도입되며 반드시 상대 위치들을 나타내는 것은 아니다. 이렇게 사용된 용어들은 적절한 상황들 하에서 상호교환가능하고 본 발명의 실시형태들은 다른 시퀀스들로, 또는 상기 설명 또는 예시된 것(들)과는 상이한 방향으로 본 발명에 따라 동작할 수 있음이 이해되어야 한다.

도면

도면 1a

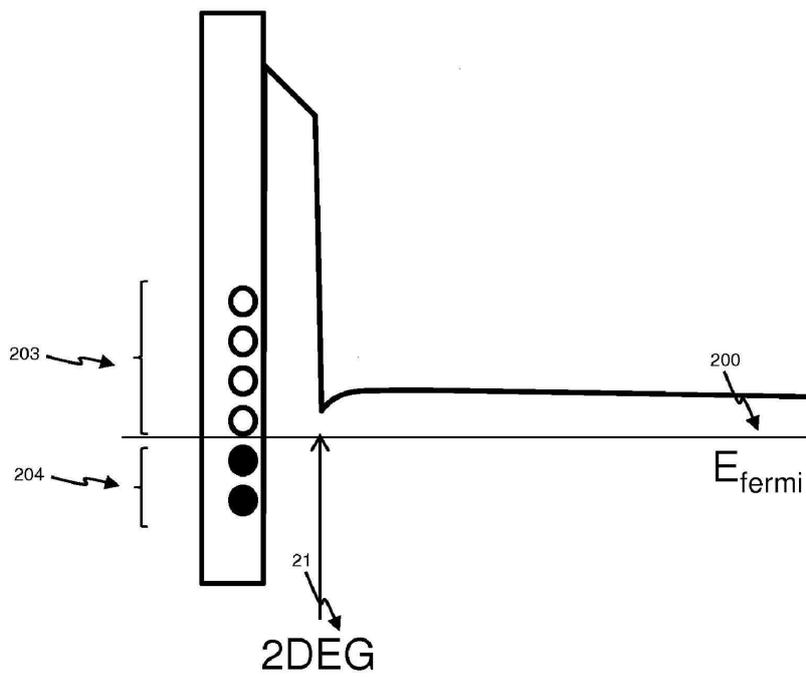


도면1b

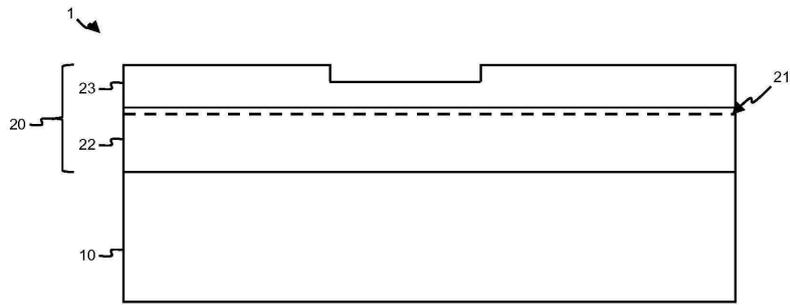


(종래 기술)

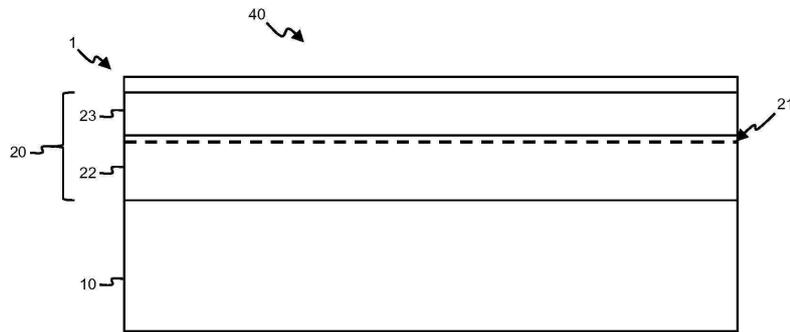
도면1c



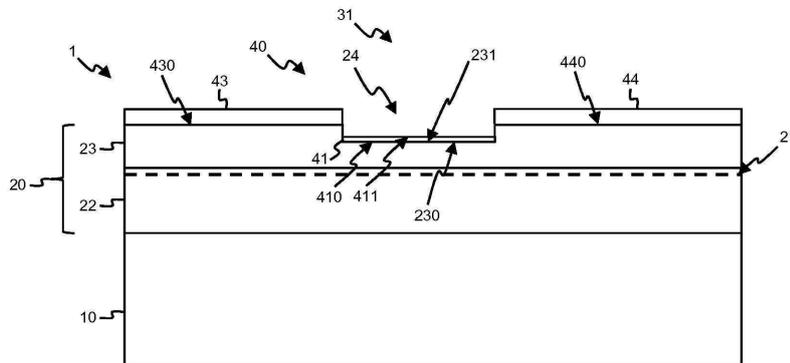
도면2a



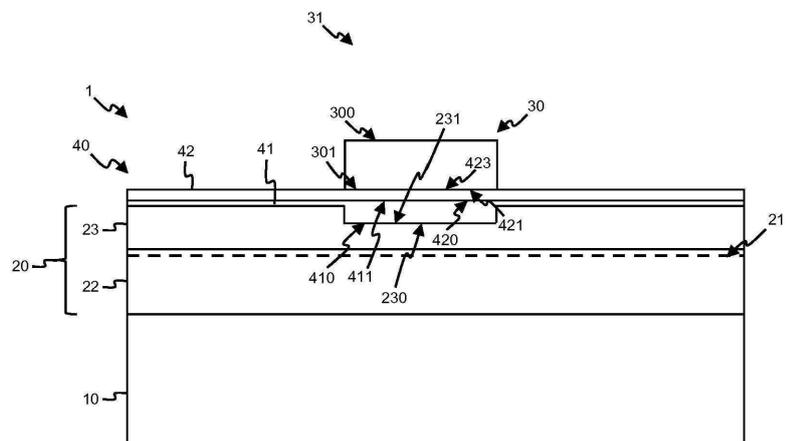
도면2b



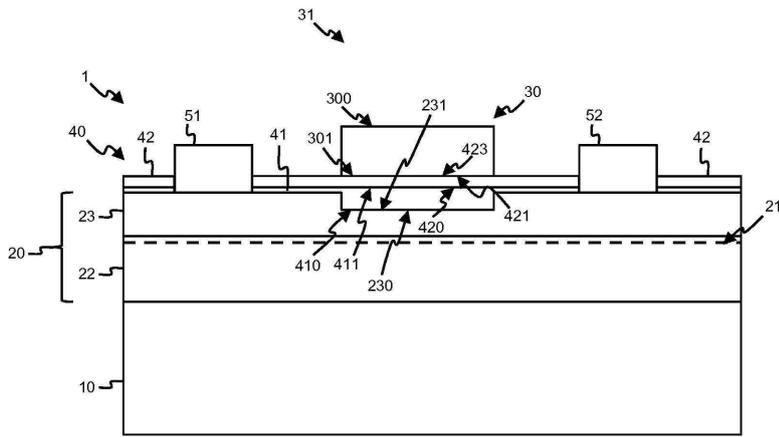
도면2c



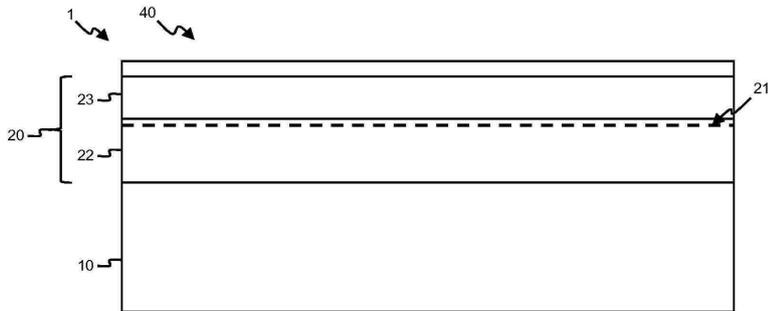
도면3a



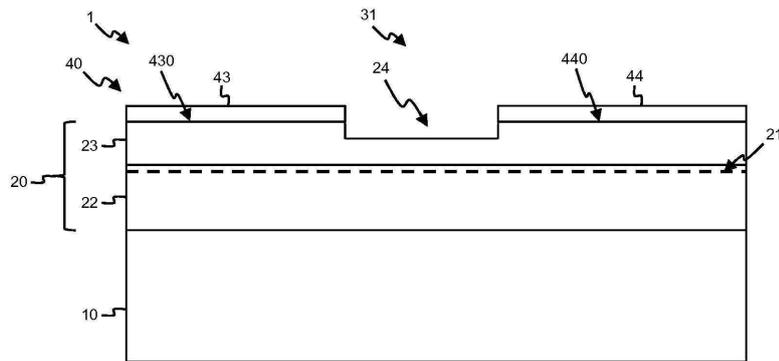
도면3b



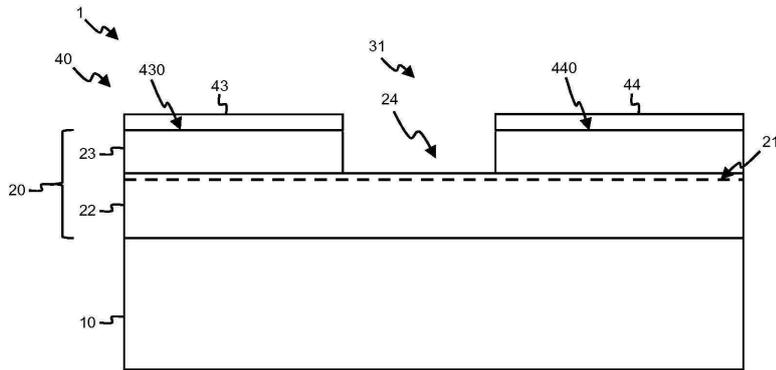
도면4a



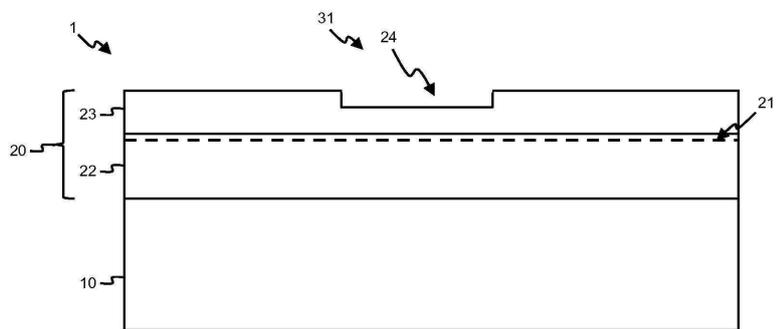
도면4b



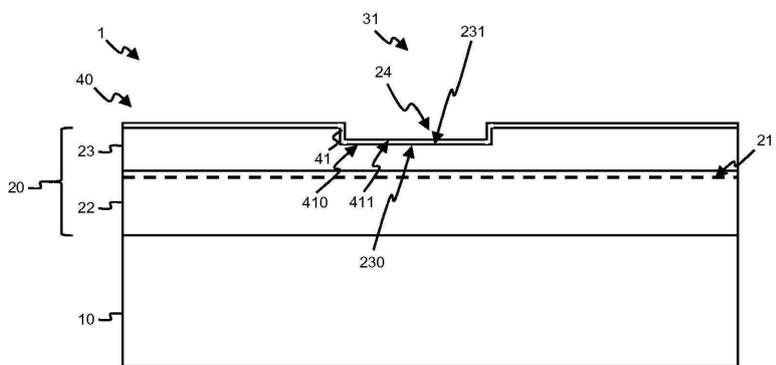
도면4c



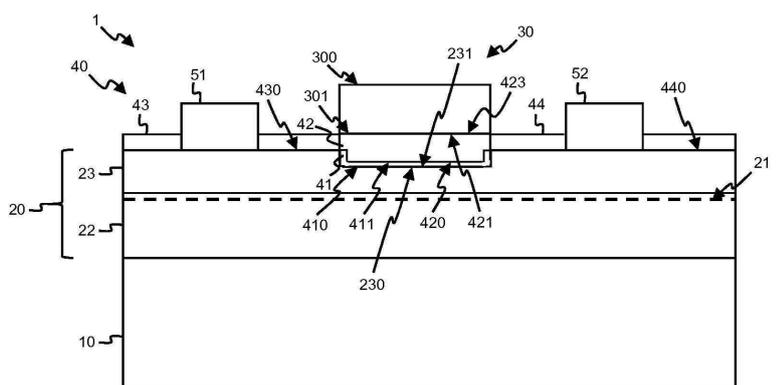
도면5a



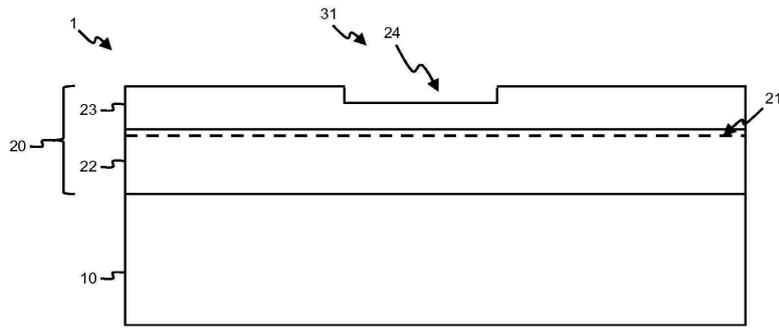
도면5b



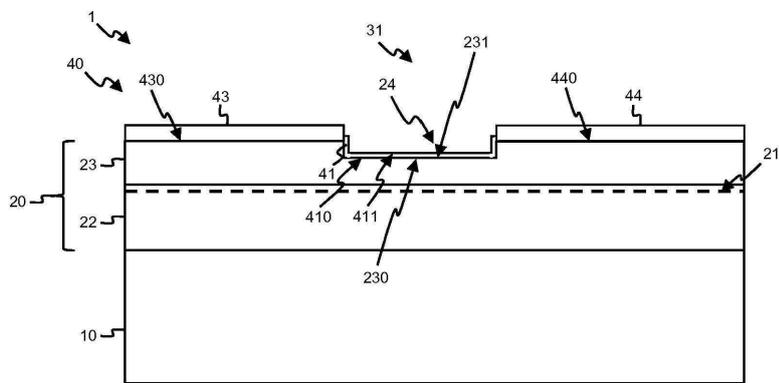
도면5c



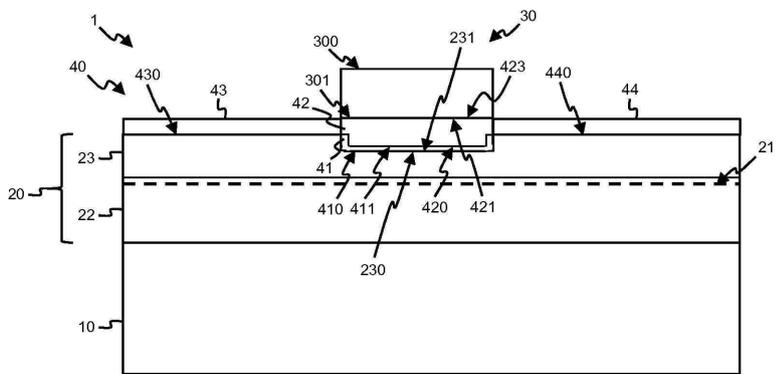
도면6a



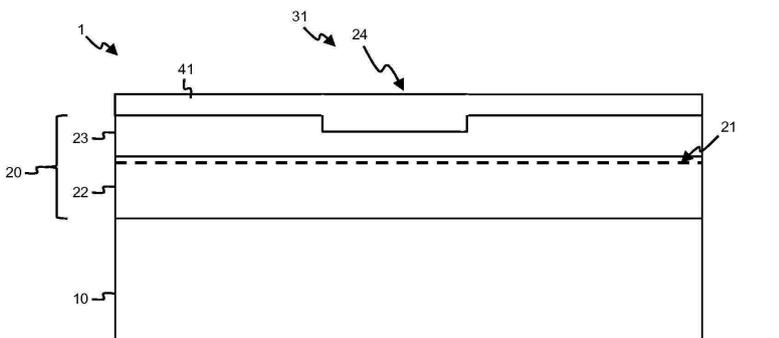
도면6b



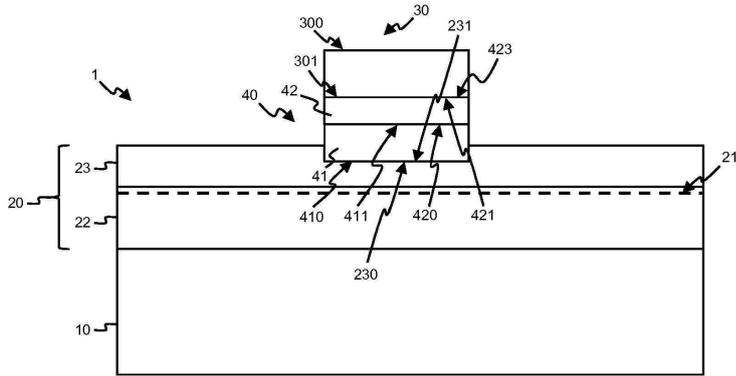
도면6c



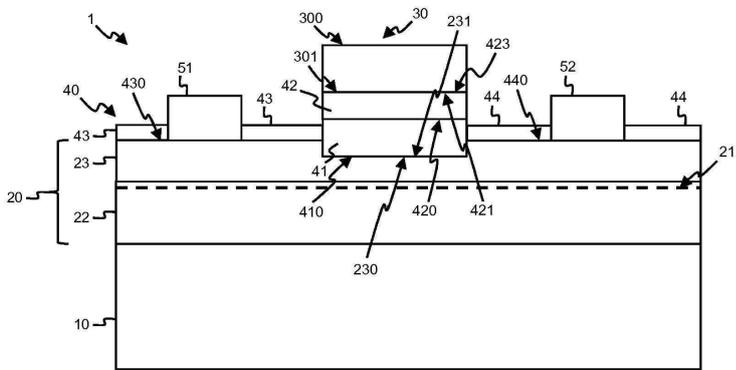
도면7a



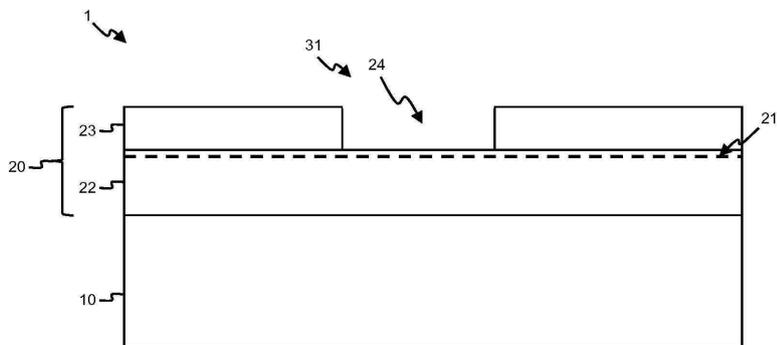
도면7b



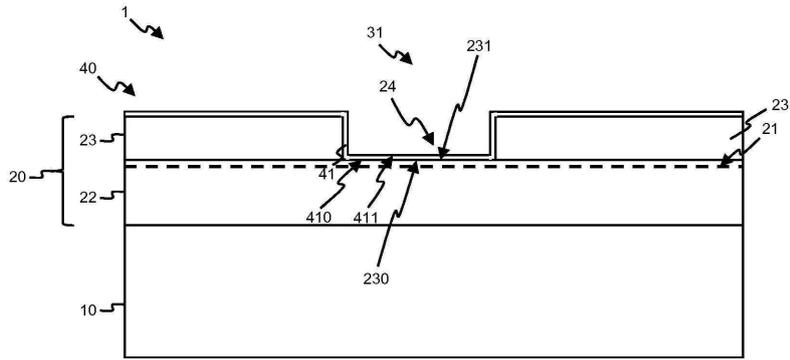
도면7c



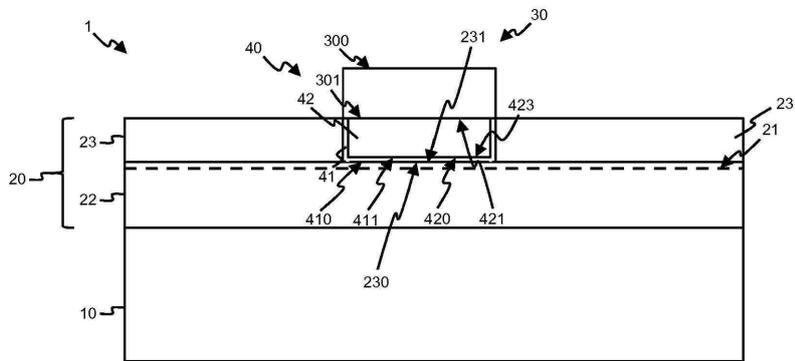
도면8a



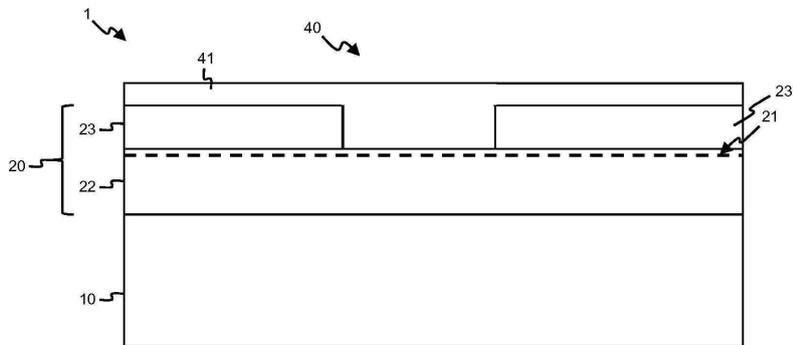
도면8b



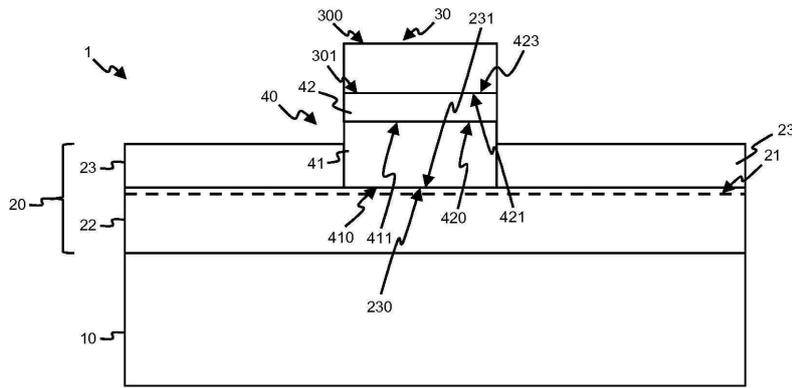
도면8c



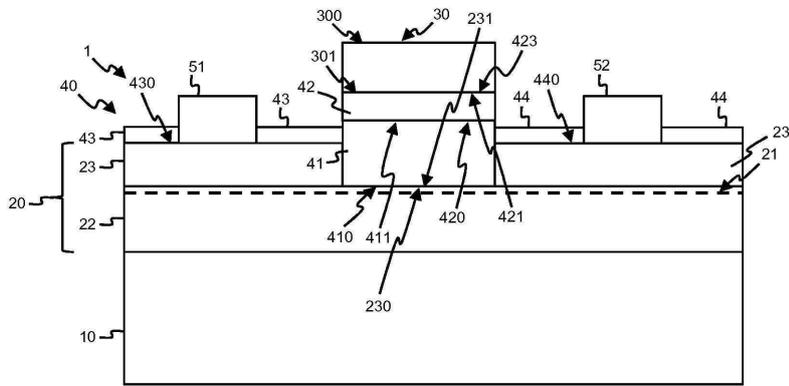
도면9a



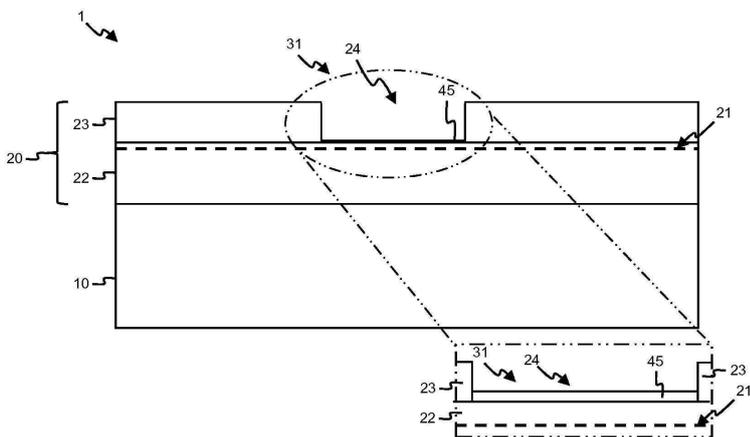
도면9b



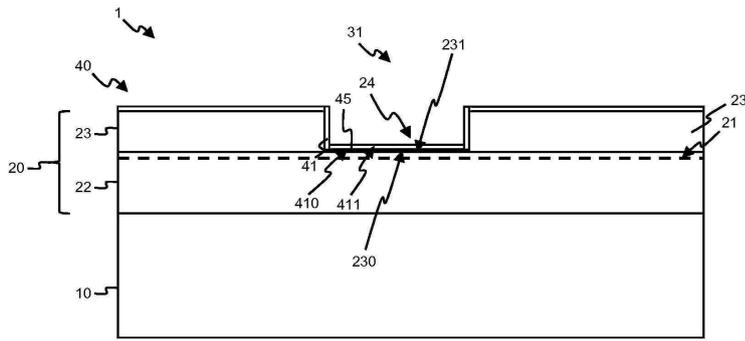
도면9c



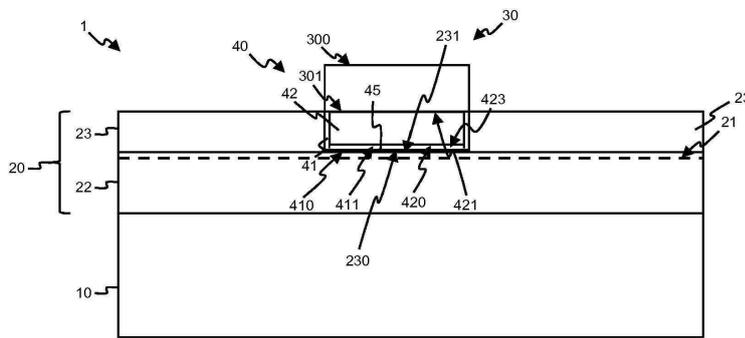
도면10a



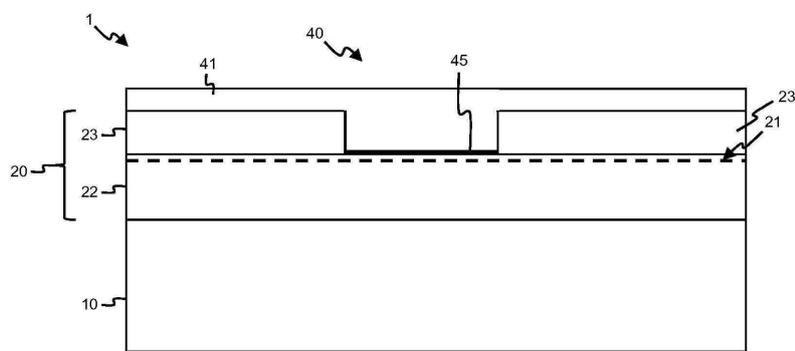
도면10b



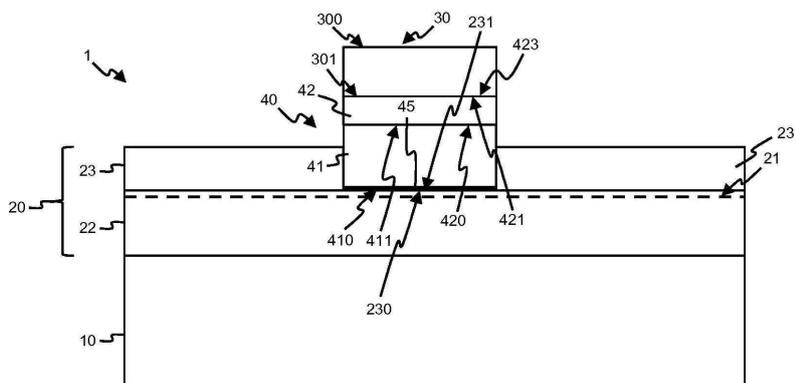
도면10c



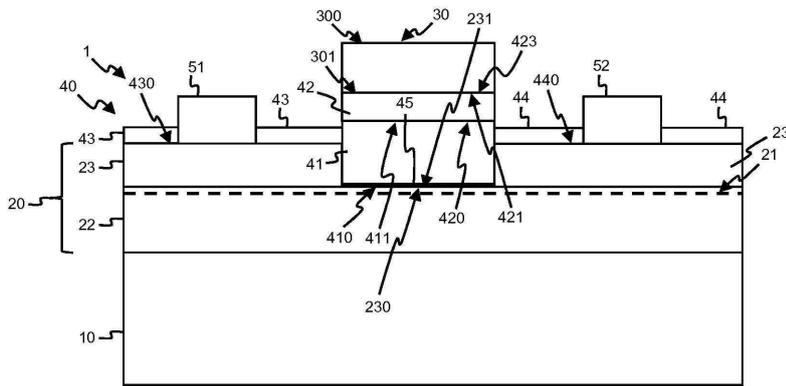
도면11a



도면11b



도면11c



도면12

