



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0105255
(43) 공개일자 2021년08월26일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H01L 23/485</i> (2006.01) <i>H01L 23/29</i> (2006.01)
 <i>H01L 23/31</i> (2006.01) <i>H01L 23/48</i> (2006.01)
 <i>H01L 23/498</i> (2006.01) <i>H01L 23/50</i> (2006.01)
 <i>H01L 23/525</i> (2006.01) <i>H01L 23/528</i> (2006.01)
 <i>H01L 25/065</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>H01L 23/485</i> (2013.01)
 <i>H01L 23/293</i> (2013.01)</p> <p>(21) 출원번호 10-2020-0019995
 (22) 출원일자 2020년02월18일
 심사청구일자 없음</p> | <p>(71) 출원인
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
 김충빈
 충청남도 아산시 탕정면 탕정면로 37, 503동 3706호(탕정삼성트라펠리스아파트)</p> <p>김정우
 경기도 오산시 박동길 8, 102동 105호(수청동, 삼익수청아파트)
 (뒷면에 계속)</p> <p>(74) 대리인
 리엔목특허법인</p> |
|---|---|

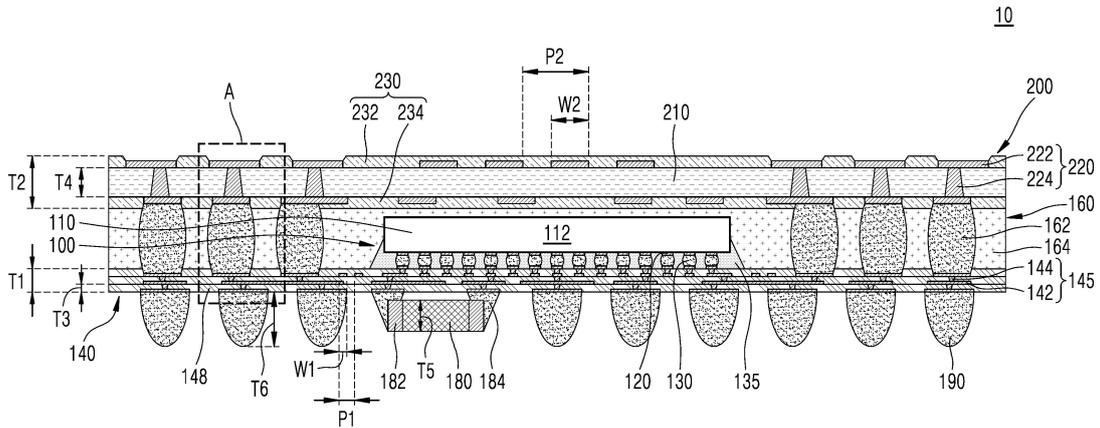
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 패키지, 및 이를 가지는 패키지 온 패키지

(57) 요약

본 발명에 따른 반도체 패키지는, 복수의 재배선 절연층, 상기 복수의 재배선 절연층 각각의 상면 및 하면에서 하부 배선 레이어를 구성하는 복수의 재배선 라인 패턴, 및 상기 복수의 재배선 절연층 중 적어도 하나를 관통하여 상기 복수의 재배선 라인 패턴 중 일부와 연결되는 복수의 재배선 비아를 포함하는 재배선층; 상기 재배선층 상에 배치되는 적어도 하나의 반도체 칩 및 상기 적어도 하나의 반도체 칩의 주위를 포위하는 확장층; 및 적어도 하나의 베이스 절연층, 상기 적어도 하나의 베이스 절연층의 상면 및 하면에서 상부 배선 레이어를 구성하는 복수의 배선 패턴, 및 상기 적어도 하나의 베이스 절연층을 관통하여 상기 복수의 배선 패턴 중 일부와 연결되는 복수의 도전 비아를 포함하는 커버 배선층;을 포함하며, 상기 하부 배선 레이어의 개수는, 상기 상부 배선 레이어의 개수보다 많고, 상기 재배선층의 제1 두께는, 상기 커버 배선층의 제2 두께보다 작은 값을 가진다.

대표도



(52) CPC특허분류

H01L 23/31 (2013.01)
H01L 23/481 (2013.01)
H01L 23/49816 (2013.01)
H01L 23/50 (2013.01)
H01L 23/525 (2013.01)
H01L 23/528 (2013.01)
H01L 25/0657 (2013.01)

(72) 발명자

김지황

충청남도 천안시 동남구 충절로 42, 101동 502호(신부동)

변정수

서울특별시 강남구 삼성로63길 11-4, 501호(대치동)

심중보

충청남도 아산시 탕정면 탕정면로 37, 101동 2804호(탕정삼성트라팰리스아파트)

이두환

충청남도 천안시 동남구 다가말2길 70, 104동 703호(다가동, 일봉산 해피트리)

최경세

경기도 용인시 기흥구 동백중앙로36번길 4-2, 101동(중동)

최정곤

경기도 성남시 분당구 탄천로 95, 422동 1604호(이매동, 아름마을삼호, 두산아파트)

표성은

경기도 수원시 영통구 덕영대로 1535, 아이원고시텔 18호(영통동)

명세서

청구범위

청구항 1

복수의 재배선 절연층, 상기 복수의 재배선 절연층 각각의 상면 및 하면에서 하부 배선 레이어를 구성하는 복수의 재배선 라인 패턴, 및 상기 복수의 재배선 절연층 중 적어도 하나를 관통하여 상기 복수의 재배선 라인 패턴 중 일부와 연결되는 복수의 재배선 비아를 포함하는 재배선층;

상기 재배선층 상에 배치되는 적어도 하나의 반도체 칩 및 상기 적어도 하나의 반도체 칩의 주위를 포위하는 확장층; 및

적어도 하나의 베이스 절연층, 상기 적어도 하나의 베이스 절연층의 상면 및 하면에서 상부 배선 레이어를 구성하는 복수의 배선 패턴, 및 상기 적어도 하나의 베이스 절연층을 관통하여 상기 복수의 배선 패턴 중 일부와 연결되는 복수의 도전 비아를 포함하는 커버 배선층;을 포함하며,

상기 하부 배선 레이어의 개수는, 상기 상부 배선 레이어의 개수보다 많고, 상기 재배선층의 제1 두께는, 상기 커버 배선층의 제2 두께보다 작은 값을 가지는 반도체 패키지.

청구항 2

제1 항에 있어서,

하나의 상기 재배선 절연층의 제3 두께는, 하나의 상기 베이스 절연층의 제4 두께보다 작은 값을 가지는 것을 특징으로 하는 반도체 패키지.

청구항 3

제1 항에 있어서,

상기 복수의 재배선 라인 패턴의 최소 폭인 제1 폭은, 상기 복수의 배선 패턴의 최소 폭인 제2 폭보다 작은 값을 가지는 것을 특징으로 하는 반도체 패키지.

청구항 4

제1 항에 있어서,

상기 복수의 재배선 라인 패턴의 최소 피치인 제1 피치는, 상기 복수의 배선 패턴의 최소 피치인 제2 피치보다 작은 값을 가지는 것을 특징으로 하는 반도체 패키지.

청구항 5

제1 항에 있어서,

상기 복수의 재배선 절연층 각각은 PID, ABF, 및 감광성 폴리이미드 중 어느 하나로 이루어지는 것을 특징으로 하는 반도체 패키지.

청구항 6

제1 항에 있어서,

상기 커버 배선층은 인쇄회로기판인 것을 특징으로 하는 반도체 패키지.

청구항 7

제1 항에 있어서,

상기 복수의 재배선 비아 각각의 밑각은 상기 복수의 도전 비아 각각의 밑각보다 작은 값을 가지는 것을 특징으로 하는 반도체 패키지.

청구항 8

제1 항에 있어서,

상기 확장층은, 상기 재배선층과 상기 커버 배선층 사이를 전기적으로 연결하는 복수의 연결 구조물 및 상기 복수의 연결 구조물과 상기 적어도 하나의 반도체 칩을 감싸는 충전부를 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 9

제8 항에 있어서,

상기 복수의 연결 구조물 각각은, TMV(Through Mold Via), 도전성 솔더, 도전성 필라, 또는 적어도 하나의 도전성 범프로 이루어지고, 상기 충전부는 에폭시 몰드 컴파운드를 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 10

제8 항에 있어서,

상기 커버 배선층은, 상기 복수의 배선 패턴과 동일한 물질로 이루어지는 적어도 하나의 도전성 플레이트를 더 포함하고,

상기 충전부는, 상기 적어도 하나의 반도체 칩의 측면을 덮되 상기 적어도 하나의 반도체 칩의 비활성면을 덮지 않으며, 상기 적어도 하나의 도전성 플레이트와 상기 적어도 하나의 반도체 칩의 비활성면 사이에 열전도 소재가 배치되는 것을 특징으로 하는 반도체 패키지.

청구항 11

제1 항에 있어서,

상기 확장층은 상기 적어도 하나의 반도체 칩이 배치되는 실장 공간을 가지는 패널 보드(panel board)인 것을 특징으로 하는 반도체 패키지.

청구항 12

각각 제1 두께를 가지는 복수의 재배선 절연층, 그리고 상기 복수의 재배선 절연층 각각의 상면 및 하면에서 하부 배선 레이어를 구성하는 복수의 재배선 라인 패턴 및 상기 복수의 재배선 절연층 중 적어도 하나를 관통하여 상기 복수의 재배선 라인 패턴 중 일부와 연결되는 복수의 재배선 비아로 이루어지는 재배선 도전 구조물을 포함하며 제2 두께를 가지는 재배선층;

상기 재배선층 상에 배치되는 적어도 하나의 반도체 칩 및 상기 적어도 하나의 반도체 칩의 주위를 포위하는 확장층; 및

제3 두께를 가지는 적어도 하나의 베이스 절연층, 그리고 상기 적어도 하나의 베이스 절연층의 상면 및 하면에서 상부 배선 레이어를 구성하는 복수의 배선 패턴 및 상기 적어도 하나의 베이스 절연층을 관통하여 상기 복수의 배선 패턴 중 일부와 연결되는 복수의 도전 비아로 이루어지는 배선 구조물을 포함하며 제4 두께를 가지는 커버 배선층;을 포함하며,

상기 하부 배선 레이어의 개수는, 상기 상부 배선 레이어의 개수보다 많고, 상기 제1 두께는 상기 제3 두께보다 작은 값을 가지고, 상기 제2 두께는 상기 제4 두께보다 작은 값을 가지는 반도체 패키지.

청구항 13

제12 항에 있어서,

상기 복수의 재배선 비아 각각과 상기 복수의 도전 비아 각각은, 상측과 하측 사이에서 수평 폭이 좁아지며 연장되는 테이퍼드한 형상을 가지며,

상기 복수의 재배선 비아 각각의 밑각은 상기 복수의 도전 비아 각각의 밑각보다 작은 값을 가지는 것을 특징으로 하는 반도체 패키지.

청구항 14

제13 항에 있어서,

상기 복수의 재배선 비아 각각은, 하측으로부터 상측으로 수평 폭이 좁아지며 연장되는 테이퍼드한 형상을 가지며, 상기 재배선 도전 구조물의 일부분은 상기 적어도 하나의 반도체 칩의 복수의 칩 연결 패드와 접하는 것을 특징으로 하는 반도체 패키지.

청구항 15

제13 항에 있어서,

상기 복수의 재배선 비아 각각은, 상측으로부터 하측으로 수평 폭이 좁아지며 연장되는 테이퍼드한 형상을 가지며, 상기 복수의 재배선 라인 패턴 중 최상단의 상기 하부 배선 레이어에 배치되는 재배선 라인 패턴의 일부분과 상기 적어도 하나의 반도체 칩의 복수의 칩 연결 패드 사이에 배치되는 복수의 칩 연결 단자를 더 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 16

제12 항에 있어서,

상기 복수의 재배선 절연층 각각은 PID, ABF, 및 감광성 폴리이미드 중 어느 하나로 이루어지며, 상기 커버 배선층은 인쇄회로기판인 것을 특징으로 하는 반도체 패키지.

청구항 17

제12항에 있어서,

상기 복수의 재배선 라인 패턴의 최소 피치인 제1 피치는 10 μ m 내지 25 μ m이고, 상기 복수의 배선 패턴의 최소 피치인 제2 피치는 150 μ m 내지 700 μ m인 것을 특징으로 하는 반도체 패키지.

청구항 18

각각 제1 두께를 가지는 복수의 재배선 절연층, 그리고 상기 복수의 재배선 절연층 각각의 상면 및 하면에서 하부 배선 레이어를 구성하는 복수의 재배선 라인 패턴 및 상기 복수의 재배선 절연층 중 적어도 하나를 관통하여 상기 복수의 재배선 라인 패턴 중 일부와 연결되는 복수의 재배선 비아로 이루어지는 재배선 도전 구조물을 포함하며 제2 두께를 가지는 재배선층; 상기 재배선층 상에 배치되며 상기 재배선 도전 구조물과 전기적으로 연결되는 제1 반도체 칩 및 상기 제1 반도체 칩의 주위를 포위하는 확장층; 및 상기 제1 두께보다 큰 값의 제3 두께를 가지는 적어도 하나의 베이스 절연층, 그리고 상기 적어도 하나의 베이스 절연층의 상면 및 하면에서 상기 하부 배선 레이어의 개수보다 적은 개수의 상부 배선 레이어를 구성하는 복수의 배선 패턴 및 상기 적어도 하나의 베이스 절연층을 관통하여 상기 복수의 배선 패턴 중 일부와 연결되는 복수의 도전 비아로 이루어지는 배선 구조물을 포함하며 상기 제2 두께보다 큰 값의 제4 두께를 가지는 커버 배선층;을 포함하는 제1 반도체 패키지; 및

적어도 하나의 제2 반도체 칩, 및 상기 적어도 하나의 제2 반도체 칩과 상기 제1 반도체 패키지를 전기적으로 연결하도록 상기 재배선 구조물의 일부분에 부착되는 패키지 연결 단자를 포함하며 상기 제1 반도체 패키지에 적층되는 제2 반도체 패키지;를 포함하는 패키지 온 패키지.

청구항 19

제18 항에 있어서,

상기 제1 반도체 칩은, 중앙 처리 장치 칩, 그래픽 처리 장치 칩, 또는 어플리케이션 프로세서 칩이고, 상기 제2 반도체 칩은, 메모리 반도체 칩인 것을 특징으로 하는 패키지 온 패키지.

청구항 20

제18 항에 있어서,

상기 재배선 도전 구조물과 전기적으로 연결되며 상기 재배선층의 하면에 부착되는 적어도 하나의 수동 소자;

및 복수의 외부 연결 단자;를 더 포함하며,

상기 적어도 하나의 수동 소자의 제5 두께는, 상기 복수의 외부 연결 단자 각각의 제6 두께보다 작은 값을 가지 고 상기 제2 두께보다 큰 값을 가지는 것을 특징으로 하는 패키지 온 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지, 및 이를 가지는 패키지 온 패키지에 관한 것으로, 더욱 상세하게는 팬 아웃 반도체 패키지, 및 이를 가지는 패키지 온 패키지에 관한 것이다.이다.

배경 기술

[0002] 전자 산업의 비약적인 발전 및 사용자의 요구에 따라 전자기기는 더욱더 소형화, 다기능화 및 대용량화되고, 이 에 따라 고집적화된 반도체 칩이 요구되고 있다.

[0003] 따라서, 입출력(I/O)을 위한 연결 단자들의 개수가 증가한 고집적화된 반도체 칩을 위하여 연결 신뢰성이 확보 된 연결 단자들을 가지는 반도체 패키지가 고안되고 있으며, 예를 들면, 연결 단자들 사이의 간섭이 방지하기 위하여, 연결 단자들 사이의 간격을 증가시킨 팬 아웃 반도체 패키지가 개발되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 기술적 과제는, 전자기기의 소형화, 다기능화 및 대용량화에 적합한 반도체 패키지, 및 이를 가지는 패키지 온 패키지를 제공하는 데에 있다.

과제의 해결 수단

[0005] 상기 기술적 과제를 달성하기 위하여, 본 발명은 다음과 같은 반도체 패키지, 및 이를 가지는 패키지 온 패키 지를 제공한다.

[0006] 본 발명에 따른 반도체 패키지는, 복수의 재배선 절연층, 상기 복수의 재배선 절연층 각각의 상면 및 하면에서 하부 배선 레이어를 구성하는 복수의 재배선 라인 패턴, 및 상기 복수의 재배선 절연층 중 적어도 하나를 관통 하여 상기 복수의 재배선 라인 패턴 중 일부와 연결되는 복수의 재배선 비아를 포함하는 재배선층; 상기 재배선 층 상에 배치되는 적어도 하나의 반도체 칩 및 상기 적어도 하나의 반도체 칩의 주위를 포위하는 확장층; 및 적 어도 하나의 베이스 절연층, 상기 적어도 하나의 베이스 절연층의 상면 및 하면에서 상부 배선 레이어를 구성하 는 복수의 배선 패턴, 및 상기 적어도 하나의 베이스 절연층을 관통하여 상기 복수의 배선 패턴 중 일부와 연결 되는 복수의 도전 비아를 포함하는 커버 배선층;을 포함하며, 상기 하부 배선 레이어의 개수는, 상기 상부 배선 레이어의 개수보다 많고, 상기 재배선층의 제1 두께는, 상기 커버 배선층의 제2 두께보다 작은 값을 가진다.

[0007] 본 발명에 따른 반도체 패키지는, 각각 제1 두께를 가지는 복수의 재배선 절연층, 그리고 상기 복수의 재배선 절연층 각각의 상면 및 하면에서 하부 배선 레이어를 구성하는 복수의 재배선 라인 패턴 및 상기 복수의 재배선 절연층 중 적어도 하나를 관통하여 상기 복수의 재배선 라인 패턴 중 일부와 연결되는 복수의 재배선 비아로 이 루어지는 재배선 도전 구조물을 포함하며 제2 두께를 가지는 재배선층; 상기 재배선층 상에 배치되는 적어도 하 하나의 반도체 칩 및 상기 적어도 하나의 반도체 칩의 주위를 포위하는 확장층; 및 제3 두께를 가지는 적어도 하 하나의 베이스 절연층, 그리고 상기 적어도 하나의 베이스 절연층의 상면 및 하면에서 상부 배선 레이어를 구성하 는 복수의 배선 패턴 및 상기 적어도 하나의 베이스 절연층을 관통하여 상기 복수의 배선 패턴 중 일부와 연결 되는 복수의 도전 비아로 이루어지는 배선 구조물을 포함하며 제4 두께를 가지는 커버 배선층;을 포함하며, 상 기 하부 배선 레이어의 개수는, 상기 상부 배선 레이어의 개수보다 많고, 상기 제1 두께는 상기 제3 두께보다 작은 값을 가지고, 상기 제2 두께는 상기 제4 두께보다 작은 값을 가진다.

[0008] 본 발명에 따른 패키지 온 패키지는, 각각 제1 두께를 가지는 복수의 재배선 절연층, 그리고 상기 복수의 재배 선 절연층 각각의 상면 및 하면에서 하부 배선 레이어를 구성하는 복수의 재배선 라인 패턴 및 상기 복수의 재 배선 절연층 중 적어도 하나를 관통하여 상기 복수의 재배선 라인 패턴 중 일부와 연결되는 복수의 재배선 비아 로 이루어지는 재배선 도전 구조물을 포함하며 제2 두께를 가지는 재배선층; 상기 재배선층 상에 배치되며 상기

재배선 도전 구조물과 전기적으로 연결되는 제1 반도체 칩 및 상기 제1 반도체 칩의 주위를 포위하는 확장층; 및 상기 제1 두께보다 큰 값의 제3 두께를 가지는 적어도 하나의 베이스 절연층, 그리고 상기 적어도 하나의 베이스 절연층의 상면 및 하면에서 상기 하부 배선 레이어의 개수보다 적은 개수의 상부 배선 레이어를 구성하는 복수의 배선 패턴 및 상기 적어도 하나의 베이스 절연층을 관통하여 상기 복수의 배선 패턴 중 일부와 연결되는 복수의 도전 비아로 이루어지는 배선 구조물을 포함하며 상기 제2 두께보다 큰 값의 제4 두께를 가지는 커버 배선층;을 포함하는 제1 반도체 패키지; 및 적어도 하나의 제2 반도체 칩, 및 상기 적어도 하나의 제2 반도체 칩과 상기 제1 반도체 패키지를 전기적으로 연결하도록 상기 재배선 구조물의 일부분에 부착되는 패키지 연결 단자를 포함하며 상기 제1 반도체 패키지 상에 적층되는 제2 반도체 패키지;를 포함한다.

발명의 효과

[0009] 본 발명에 따른 반도체 패키지, 및 이를 가지는 패키지 온 패키지는, 배선 레이어의 개수가 더 많은 재배선층이 상대적으로 얇은 두께를 가지므로, 반도체 패키지 전체의 두께가 감소되어, 반도체 패키지를 포함되는 전자기기가 다기능화 및 대용량화되어도, 전자기기의 소형화가 가능하다.

[0010] 또한, 하부 패키지인 반도체 패키지 상에 상부 패키지를 부착하여, 패키지 온 패키지를 구성하는 경우, 상대적으로 두꺼운 두께를 가지는 커버 배선층에 의하여 상부 패키지가 지지되어, 하부 패키지인 반도체 패키지에 휨이 발생하는 것을 방지할 수 있다. 따라서 본 발명에 따른 반도체 패키지를 하부 패키지로 사용함으로써, 구조적인 신뢰성을 가지는 패키지 온 패키지를 제공할 수 있다.

도면의 간단한 설명

[0011] 도 1a는 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도이고, 도 1b는 본 발명의 일 실시 예들에 따른 반도체 패키지의 일부분을 확대하여 나타내는 단면도이다.

도 2 내지 도 5는 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도들이다.

도 6a는 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도이고, 도 6b는 본 발명의 일 실시 예들에 따른 반도체 패키지의 일부분을 확대하여 나타내는 단면도이다.

도 7 내지 도 10은 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도들이다.

도 11 내지 도 15는 본 발명의 일 실시 예들에 따른 반도체 패키지를 가지는 패키지 온 패키지의 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0012] 도 1a는 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도이고, 도 1b는 본 발명의 일 실시 예들에 따른 반도체 패키지의 일부분을 확대하여 나타내는 단면도로, 구체적으로, 도 1a의 A 부분을 확대하여 나타내는 단면도이다.

[0013] 도 1a 및 도 1b를 함께 참조하면, 반도체 패키지(10)는 재배선층(140), 재배선층(140) 상에 배치되는 확장층(expanded layer, 160), 확장층(160) 내에 배치되는 적어도 하나의 반도체 칩(100), 및 확장층(160) 상에 배치되는 커버 배선층(200)을 포함할 수 있다. 확장층(160)은 적어도 하나의 반도체 칩(100)의 주위를 포위할 수 있다.

[0014] 반도체 패키지(10)는, 재배선층(140)의 수평 폭 및 수평 면적이 적어도 하나의 반도체 칩(100)이 구성하는 풋프린트(footprint)의 수평 폭 및 수평 면적보다 큰 값을 가지는 팬 아웃 반도체 패키지(Fan Out Semiconductor Package)일 수 있다. 또한, 반도체 패키지(10)는 커버 배선층(200)의 수평 폭 및 수평 면적이 적어도 하나의 반도체 칩(100)이 구성하는 풋프린트의 수평 폭 및 수평 면적보다 큰 값을 가지는 팬 아웃 반도체 패키지일 수 있다. 예를 들어, 반도체 패키지(10)가 하나의 반도체 칩(100)을 포함하는 경우, 재배선층(140)의 수평 폭 및 수평 면적, 및 커버 배선층(200)의 수평 폭 및 수평 면적 각각은, 하나의 반도체 칩(100)의 수평 폭 및 수평 면적보다 큰 값을 가질 수 있다. 일부 실시 예에서, 재배선층(140), 확장층(160), 및 커버 배선층(200)의 수평 폭 및 수평 면적은 동일한 값을 가질 수 있다.

[0015] 재배선층(140) 및 커버 배선층(200) 각각은 하부 배선 구조물 및 상부 배선 구조물이라고도 호칭할 수 있다. 즉, 반도체 패키지(10)는 적어도 하나의 반도체 칩(100)이 배치되는 확장층(160), 및 확장층(160)의 하면과 상면을 각각 덮는 상기 하부 배선 구조물과 상기 상부 배선 구조물을 포함할 수 있다.

- [0016] 재배선층(140)은 재배선 도전 구조물(145) 및 복수의 재배선 절연층(148)을 포함할 수 있다. 재배선 도전 구조물(145)은, 복수의 재배선 절연층(148) 각각의 상면 및 하면 중 적어도 일면에 배치되는 복수의 재배선 라인 패턴(142), 및 복수의 재배선 절연층(148) 중 적어도 하나의 재배선 절연층(148)을 관통하여 복수의 재배선 라인 패턴(142) 중 일부와 각각 접하여 연결되는 복수의 재배선 비아(144)를 포함할 수 있다. 복수의 재배선 라인 패턴(142) 및 복수의 재배선 비아(144)는, 구리(Cu), 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 인듐(In), 몰리브덴(Mo), 망간(Mn), 코발트(Co), 주석(Sn), 니켈(Ni), 마그네슘(Mg), 레늄(Re), 베릴륨(Be), 갈륨(Ga), 루테튬(Ru) 등과 같은 금속 또는 이들의 합금일 수 있지만, 이들에 한정되는 것은 아니다.
- [0017] 복수의 재배선 라인 패턴(142) 중 적어도 일부는 복수의 재배선 비아(144) 중 일부와 함께 형성되어 일체를 이룰 수 있다. 예를 들면, 복수의 재배선 라인 패턴(142) 중 일부는, 복수의 재배선 라인 패턴(142) 중 일부의 상측과 접하는 복수의 재배선 비아(144)의 일부와 일체를 이루도록 함께 형성되거나, 복수의 재배선 라인 패턴(142) 중 일부의 하측과 접하는 복수의 재배선 비아(144)의 일부와 일체를 이루도록 함께 형성될 수 있다.
- [0018] 일부 실시 예에서, 복수의 재배선 비아(144)는 상측으로부터 하측으로 수평 폭이 좁아지며 연장되는 테이퍼드(tapered)한 형상을 가질 수 있다. 즉, 복수의 재배선 비아(144)는 반도체 칩(100)으로부터 멀어지면서 수평 폭이 좁아질 수 있다.
- [0019] 복수의 재배선 라인 패턴(142) 및 복수의 재배선 비아(144)와 복수의 재배선 절연층(148)과의 사이에는 재배선 씨드층이 개재될 수 있다. 예를 들면, 상기 재배선 씨드층은 물리 기상 증착을 수행하여 형성할 수 있고, 복수의 재배선 라인 패턴(142) 및 복수의 재배선 비아(144)는 상기 재배선 씨드층을 씨드로 사용하는 무전해 도금을 수행하여 형성할 수 있다. 일부 실시 예에서, 상기 재배선 씨드층은 복수의 재배선 라인 패턴(142) 및 복수의 재배선 비아(144) 각각의 상면과 복수의 재배선 절연층(148) 중 어느 하나와의 사이, 및 복수의 재배선 비아(144)의 측면과 복수의 재배선 절연층(148) 중 어느 하나와의 사이에 개재될 수 있다.
- [0020] 상기 재배선 씨드층은, 예를 들면, 구리(Cu), 티타늄(Ti), 티타늄 텅스텐(TiW), 티타늄 질화물(TiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 크롬(Cr), 알루미늄(Al) 등으로 구성되는 균으로부터 선택될 수 있다. 그러나 상기 재배선 씨드층이 이들 물질에 한정되는 것은 아니다. 일부 실시예들에 있어서, 상기 재배선 씨드층은 티타늄 상에 구리가 적층된 Cu/Ti, 또는 티타늄 텅스텐 상에 구리가 적층된 Cu/TiW일 수 있다.
- [0021] 일부 실시 예에서, 복수의 재배선 라인 패턴(142) 및 복수의 재배선 비아(144)로서 구리(Cu)가 이용되는 경우 상기 재배선 씨드층의 적어도 일부는 확산 장벽층으로서 작용할 수 있다.
- [0022] 복수의 재배선 절연층(148) 각각은 예를 들어, 유기 화합물로 구성된 물질막으로부터 형성될 수 있다. 일부 실시 예에서 있어서, 복수의 재배선 절연층(148)은 유기 고분자 물질로 구성된 물질막으로부터 형성될 수 있다. 예를 들면, 복수의 재배선 절연층(148) 각각은 PID(photo imageable dielectric), ABF(Ajinomoto Build-up Film), 또는 감광성 폴리이미드(photosensitive polyimide, PSPI)로부터 형성될 수 있다.
- [0023] 적어도 하나의 반도체 칩(100) 각각은 활성면에 반도체 소자(112)가 형성된 반도체 기판(110), 및 반도체 기판(110)의 활성면에 배치되는 복수의 칩 연결 패드(120)를 포함할 수 있다. 일부 실시 예에서, 반도체 패키지(100)가 패키지 온 패키지(PoP, Package-on-Package)의 하부 패키지의 경우, 반도체 패키지(100), 반도체 칩(100), 반도체 기판(110), 반도체 소자(112), 및 칩 연결 패드(120) 각각은 제1 반도체 패키지, 제1 반도체 칩, 제1 반도체 기판, 제1 반도체 소자, 및 제1 칩 연결 패드라 호칭할 수 있다.
- [0024] 반도체 기판(110)은 예를 들면, 실리콘(Si, silicon)과 같은 반도체 물질을 포함할 수 있다. 또는 반도체 기판(110)은 저머늄(Ge, germanium)과 같은 반도체 원소, 또는 SiC (silicon carbide), GaAs(gallium arsenide), InAs (indium arsenide), 및 InP (indium phosphide)와 같은 화합물 반도체를 포함할 수 있다. 반도체 기판(110)은 도전 영역, 예를 들면 불순물이 도핑된 웰 (well)을 포함할 수 있다. 반도체 기판(110)은 STI (shallow trench isolation) 구조와 같은 다양한 소자 분리 구조를 가질 수 있다.
- [0025] 반도체 기판(110)의 상기 활성면에는 다양한 종류의 복수의 개별 소자(individual devices)를 포함하는 반도체 소자(112)가 형성될 수 있다. 상기 복수의 개별 소자는 다양한 미세 전자 소자 (microelectronic devices), 예를 들면 CMOS 트랜지스터 (complementary metal-insulator-semiconductor transistor) 등과 같은 MOSFET (metal-oxide-semiconductor field effect transistor), 시스템 LSI (large scale integration), CIS (CMOS imaging sensor) 등과 같은 이미지 센서, MEMS (micro-electro-mechanical system), 능동 소자, 수동 소자 등을 포함할 수 있다. 상기 복수의 개별 소자는 반도체 기판(110)의 상기 도전 영역에 전기적으로 연결될 수 있다. 반도체 소자(112)는 상기 복수의 개별 소자 중 적어도 2개, 또는 상기 복수의 개별 소자와 반도체 기판

(110)의 상기 도전 영역을 전기적으로 연결하는 도전성 배선 또는 도전성 플러그를 더 포함할 수 있다. 또한, 상기 복수의 개별 소자는 각각 절연막에 의하여 이웃하는 다른 개별 소자들과 전기적으로 분리될 수 있다.

- [0026] 반도체 칩(100)은 예를 들면, 중앙 처리 장치(central processing unit, CPU) 칩, 그래픽 처리 장치(graphic processing unit, GPU) 칩, 또는 어플리케이션 프로세서(application processor, AP) 칩일 수 있다. 일부 실시 예에서, 반도체 패키지(10)가 반도체 칩(100)을 복수개 포함하는 경우, 복수의 반도체 칩(100) 중 일부개는 예를 들면, 디램(dynamic random access memory, DRAM) 칩, 에스 램(static random access memory, SRAM) 칩, 플래시(flash) 메모리 칩, 이이퍼롬(electrically erasable and programmable read-only memory, EEPROM) 칩, 피램(phase-change random access memory, PRAM) 칩, 엠램(magnetic random access memory, MRAM) 칩, 또는 알램(resistive random access memory, RRAM) 칩일 수 있다.
- [0027] 반도체 소자(112)와 전기적으로 연결되는 반도체 칩(100)의 복수의 칩 연결 패드(120)는 재배선 도전 구조물(145)과 전기적으로 연결될 수 있다. 복수의 재배선 라인 패턴(142) 중 최상단의 배선 레이어에 배치되는 재배선 라인 패턴(142)의 일부개 또는 복수의 재배선 비아(144) 중 최상단의 배선 레이어에 배치되는 재배선 비아(144)의 일부개와 복수의 칩 연결 패드(120) 사이에는 복수의 칩 연결 단자(130)가 배치되어, 적어도 하나의 반도체 칩(100)과 재배선층(140)을 전기적으로 연결할 수 있다.
- [0028] 적어도 하나의 반도체 칩(100)과 재배선층(140) 사이에는 복수의 칩 연결 단자(130)를 감싸는 언더필층(135)이 개재될 수 있다. 언더필층(135)은 예를 들면, 모세관 언더필(capillary under-fill) 방법에 형성되는 에폭시 수지로 이루어질 수 있다. 일부 실시 예에서, 언더필층(135)은 비전도성 필름(NCF, Non Conductive Film)일 수 있다.
- [0029] 확장층(160)은, 복수의 연결 구조물(162), 그리고 복수의 연결 구조물(162) 및 적어도 하나의 반도체 칩(100)을 감싸는 충전부(164)를 포함할 수 있다. 복수의 연결 구조물(162)은 충전부(164)를 관통하여 재배선층(140)과 커버 배선층(200) 사이를 전기적으로 연결할 수 있다. 복수의 연결 구조물(162) 각각의 상단 및 하단은 커버 배선층(200)의 복수의 배선 패턴(222) 중 어느 하나 및 재배선층(140)의 복수의 재배선 라인 패턴(142) 중 어느 하나와 접하여 연결될 수 있다.
- [0030] 복수의 연결 구조물(162) 각각은, TMV(Through Mold Via), 도전성 솔더, 도전성 필라, 또는 적어도 하나의 도전성 범프로 이루어질 수 있다. 일부 실시 예에서, 복수의 연결 구조물(162) 각각은, 재배선층(140)의 복수의 재배선 라인 패턴(142) 중 어느 하나에 부착되도록 형성된 하측 부분과 커버 배선층(200)의 복수의 배선 패턴(222) 중 어느 하나에 부착되도록 형성된 상측 부분이, 열에 의하여 리플로우(reflow)되어 일체를 이루도록 솔더링(soldering)되어 형성할 수 있다.
- [0031] 충전부(164)는 예를 들면, 에폭시 몰드 컴파운드(EMC)를 포함할 수 있다. 충전부(166)는 반도체 칩(100)을 감쌀 수 있다. 일부 실시 예에서, 충전부(164)는 적어도 하나의 반도체 칩(100)의 측면 및 비활성면을 덮을 수 있다. 다른 일부 실시 예에서, 충전부(164)는 적어도 하나의 반도체 칩(100)의 측면을 덮으나, 비활성면을 덮지 않을 수 있다.
- [0032] 커버 배선층(200)은, 예를 들면, 인쇄회로기판(printed circuit board, PCB), 세라믹 기판, 패키지 제조용 웨이퍼, 또는 인터포저(interposer)일 수 있다. 일부 실시 예에서, 커버 배선층(200)은, 멀티 레이어 인쇄 회로 기판(multi-layer Printed Circuit Board)일 수 있다.
- [0033] 커버 배선층(200)은, 적어도 하나의 베이스 절연층(210) 및 배선 구조물(220)을 포함할 수 있다. 배선 구조물(220)은, 적어도 하나의 베이스 절연층(210)의 상면 및 하면 중 적어도 일면에 배치되는 복수의 배선 패턴(222) 및 적어도 하나의 베이스 절연층(210)을 관통하여 복수의 배선 패턴(222) 중 일부와 각각 접하여 연결되는 복수의 도전 비아(224)로 이루어질 수 있다. 배선 구조물(220)은 구리, 니켈, 스테인레스 스틸 또는 베릴륨구리(beryllium copper)로 이루어질 수 있다.
- [0034] 베이스 절연층(210)은 페놀 수지, 에폭시 수지, 폴리이미드 중에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 베이스 절연층(210)은 예를 들면, FR-4(Frame Retardant 4), 사관능성 에폭시(Tetrafunctional epoxy), 폴리페닐렌 에테르(Polyphenylene ether), 에폭시/폴리페닐렌 옥사이드(Epoxy/polyphenylene oxide), BT(Bismaleimide triazine), 써마운트(Thermount), 시아네이트 에스터(Cyanate ester), 폴리이미드(Polyimide) 및 액정 고분자(Liquid crystal polymer) 중에서 선택되는 적어도 하나의 물질을 포함할 수 있다.
- [0035] 적어도 하나의 베이스 절연층(210)의 상면과 하면에는, 복수의 배선 패턴(222)의 일부를 노출시키는 솔더 레지스트층(230)이 형성될 수 있다. 솔더 레지스트층(230)은 적어도 하나의 베이스 절연층(210)의 상면을 덮으며 복

수의 배선 패턴(222)의 일부를 노출시키는 상면 솔더 레지스트층(232) 및 적어도 하나의 베이스 절연층(210)의 하면을 덮으며 복수의 배선 패턴(222)의 일부를 노출시키는 하면 솔더 레지스트층(234)을 포함할 수 있다. 일부 실시 예에서, 적어도 하나의 베이스 절연층(210)의 상면에는 상면 솔더 레지스트층(232)이 형성되되, 하면에는 하면 솔더 레지스트층(234)이 형성되지 않을 수 있다.

- [0036] 재배선층(140)의 하면에는 재배선 도전 구조물(145)과 전기적으로 연결되는 복수의 외부 연결 단자(190)가 부착될 수 있다. 일부 실시 예에서, 복수의 재배선 라인 패턴(142) 중 최하단의 배선 레이어에 배치되는 재배선 라인 패턴(142)의 적어도 일부는 외부 연결 단자(190)가 부착되기 위한 단자 연결 패드의 기능을 수행할 수 있다.
- [0037] 복수의 외부 연결 단자(190)가 구성하는 풋프린트의 수평 폭 및 수평 면적은 적어도 하나의 반도체 칩(100)이 구성하는 풋프린트의 수평 폭 및 수평 면적보다 큰 값을 가질 수 있다. 즉, 복수의 외부 연결 단자(190) 중 일부는 적어도 하나의 반도체 칩(100)이 구성하는 풋프린트로부터 수평 방향으로 외측에 배치되어, 적어도 하나의 반도체 칩(100)이 구성하는 풋프린트와 수직 방향을 따라서 중첩되지 않을 수 있다.
- [0038] 예를 들면, 반도체 패키지(10)는 재배선층(140)을 먼저 형성한 후에, 재배선층(140) 상에 확장층(160) 및 적어도 하나의 반도체 칩(100)을 실장하는 칩 라스트 팬 아웃 패키지(Chip Last Fan Out Semiconductor Package)일 수 있다. 일부 실시 예에서, 반도체 패키지(10)는 팬 아웃 패널 레벨 패키지(FOPLP, Fan Out Panel Level Package)일 수 있다. 다른 일부 실시 예에서, 반도체 패키지(10)는 팬 아웃 웨이퍼 레벨 패키지(FOWLP, Fan Out Wafer Level Package)일 수 있다.
- [0039] 일부 실시 예에서, 재배선층(140)의 하면에는 적어도 하나의 수동 소자(180)가 부착될 수 있다. 적어도 하나의 수동 소자(180)는 SMD(surface-mount device)일 수 있다. 예를 들면, 적어도 하나의 수동 소자(180)는 커패시터 또는 저항일 수 있다. 적어도 하나의 수동 소자(180)의 단자부(182)는, 재배선층(140)의 복수의 재배선 라인 패턴(142)의 일부 상에 배치되는 솔더부(184)를 통하여, 재배선층(140)의 복수의 재배선 라인 패턴(142)의 일부와 전기적으로 연결될 수 있다.
- [0040] 반도체 패키지(10)는 캐리어 기판 상에 재배선층(140)을 형성한 후, 재배선층(140) 상에 적어도 하나의 반도체 칩(100) 및 확장층(160)을 형성하고, 확장층(160) 상에 커버 배선층(200)을 부착한 후, 상기 캐리어 기판을 제거하여 형성할 수 있다. 재배선층(140) 상에는 적어도 하나의 반도체 칩(100)을 부착한 후, 적어도 하나의 반도체 칩(100)을 감싸는 충전부(164)를 형성할 수 있다. 일부 실시 예에서, 복수의 연결 구조물(162)은 재배선층(140) 상에 충전부(164)를 형성하기 전에 재배선층(140) 상에 부착할 수 있다. 다른 일부 실시 예에서, 복수의 연결 구조물(162)의 하측 부분을 이루는 하부 도전성 솔더를 재배선층(140) 상에 먼저 부착한 후 충전부(164)를 형성하고, 상기 하부 도전성 솔더가 노출되도록 충전부(164)의 일부분을 제거한 후, 복수의 연결 구조물(162)의 상측 부분을 이루는 상부 도전성 솔더가 부착된 커버 배선층(200)을 충전부(164) 상에 배치하고, 열에 의한 리플로우 공정을 수행하여 상기 하부 도전성 솔더와 상기 상부 도전성 솔더가 솔더링되어 복수의 연결 구조물(162)이 형성되도록 할 수 있다.
- [0041] 재배선층(140)은 상기 캐리어 기판 상에 형성되므로, 복수의 재배선 비아(144)는, 복수의 재배선 절연층(148) 중 적어도 하나를 관통하는 복수의 재배선 비아홀을 형성한 후, 상기 복수의 재배선 비아홀을 도전성 물질이 채우도록 하여 형성할 수 있다. 따라서 복수의 재배선 비아(144) 각각은 상측으로부터 하측으로 수평 폭이 좁아지며 연장되는 테이퍼드한 형상을 가질 수 있다. 즉, 복수의 재배선 비아(144) 각각은 반도체 칩(100)으로부터 멀어지면서 수평 폭이 좁아질 수 있다.
- [0042] 커버 배선층(200)은 재배선층(140) 및 확장층(160)과 별도로 형성한 후, 재배선층(140)을 덮는 확장층(160) 상에 부착될 수 있다. 일부 실시 예에서, 복수의 도전 비아(224) 각각은 상측으로부터 하측으로 수평 폭이 넓어지며 연장되는 테이퍼드한 형상, 즉 반도체 칩(100)으로부터 멀어지면서 수평 폭이 좁아질 수 있으나, 이에 한정되지 않는다. 다른 일부 실시 예에서, 복수의 도전 비아(224) 각각은 상측으로부터 하측으로 수평 폭이 좁아지며 연장되는 테이퍼드한 형상, 즉 반도체 칩(100)으로부터 멀어지면서 수평 폭이 넓어질 수 있다. 즉, 커버 배선층(200)은 반도체 패키지(10)의 특성을 고려하여, 복수의 도전 비아(224) 각각이 반도체 칩(100)으로부터 멀어지면서 수평 폭이 좁아지는 방향으로 확장층(160) 상에 부착될 수도 있고, 복수의 도전 비아(224) 각각이 반도체 칩(100)으로부터 멀어지면서 수평 폭이 넓어지는 방향으로 확장층(160) 상에 부착될 수도 있다.
- [0043] 복수의 재배선 비아(144) 각각의 밑각인 제1 각도(θ_1)는 복수의 도전 비아(224) 각각의 밑각인 제2 각도(θ_2)보다 작은 값을 가질 수 있다. 일부 실시 예에서, 제1 각도(θ_1)는 약 60 $^\circ$ 내지 약 75 $^\circ$ 일 수 있고, 제2 각도(θ_2)는 약 80 $^\circ$ 내지 약 90 $^\circ$ 일 수 있다.

- [0044] 여기에서 복수의 재배선 비아(144) 및 복수의 도전 비아(224) 각각의 밑각이란, 복수의 재배선 비아(144) 및 복수의 도전 비아(224) 각각의 상면 및 하면 중 수평 폭이 큰 면과 측면 사이의 각도로, 복수의 재배선 비아(144) 및 복수의 도전 비아(224) 각각의 상면과 측면 사이의 각도와 하면과 측면 사이의 각도 중 예각인 것을 의미한다. 즉, 복수의 재배선 비아(144) 및 복수의 도전 비아(224) 각각의 밑각이란, 복수의 재배선 비아(144) 및 복수의 도전 비아(224) 각각의 수직 단면에서 볼 때, 평행한 한쌍의 대변 중 길이가 긴 대변인 밑변과 빗변 사이의 각도를 의미한다.
- [0045] 재배선층(140)이 포함하는 복수의 재배선 절연층(148)의 상면, 하면, 및 인접하는 2개 층의 사이 중 재배선 라인 패턴(142)이 배치되어 회로 배선을 가지는 곳, 및 커버 배선층(200)이 포함하는 적어도 하나의 베이스 절연층(210)의 상면, 및 하면 중 배선 패턴(222)이 배치되어 회로 배선을 가지는 곳을 배선 레이어(layer)라 호칭할 수 있다. 일부 실시 예에서, 커버 배선층(200)이 복수의 베이스 절연층(210)을 포함하는 경우, 배선 레이어는 복수의 베이스 절연층(210)의 상면, 하면, 및 인접하는 2개 층의 사이 중 배선 패턴(222)이 배치되어 회로 배선을 가지는 곳일 수 있다.
- [0046] 재배선층(140)이 가지는 배선 레이어는 하부 배선 레이어(LY-L)라 호칭할 수 있고, 커버 배선층(200)이 가지는 배선 레이어는 상부 배선 레이어(LY-H)라 호칭할 수 있다. 일부 실시 예에서, 하부 배선 레이어(LY-L)의 개수는, 재배선층(140)의 포함하는 복수의 재배선 절연층(148)의 개수보다 하나 더 많을 수 있다. 또한 일부 실시 예에서, 상부 배선 레이어(LY-H)의 개수는, 커버 배선층(200)이 포함하는 적어도 하나의 베이스 절연층(210)의 개수보다 하나 더 많을 수 있다.
- [0047] 하부 배선 레이어(LY-L)의 개수는, 상부 배선 레이어(LY-H)의 개수보다 많을 수 있다. 예를 들면, 상부 배선 레이어(LY-H)의 개수가 2개인 경우, 하부 배선 레이어(LY-L)의 개수는 3개 이상일 수 있고, 상부 배선 레이어(LY-H)의 개수가 3개인 경우, 하부 배선 레이어(LY-L)의 개수는 4개 이상일 수 있다.
- [0048] 재배선층(140)의 두께인 제1 두께(T1)는 커버 배선층(200)의 두께인 제2 두께(T2)보다 작은 값을 가질 수 있다. 예를 들면, 제1 두께(T1)는 약 30 μ m 내지 약 50 μ m일 수 있고, 제2 두께(T2)는 약 60 μ m 내지 약 90 μ m일 수 있다.
- [0049] 재배선층(140)이 가지는 하나의 재배선 절연층(148)의 두께인 제3 두께(T3)는 커버 배선층(200)이 가지는 하나의 베이스 절연층(210)의 두께인 제4 두께(T4)보다 작은 값을 가질 수 있다. 예를 들면, 제3 두께(T3)는 약 5 μ m 내지 약 20 μ m일 수 있고, 제4 두께(T4)는 약 25 μ m 내지 약 60 μ m일 수 있다. 일부 실시 예에서, 상면 솔더 레지스트층(232) 및 하면 솔더 레지스트층(234) 각각의 두께는 약 5 μ m 내지 약 15 μ m일 수 있다.
- [0050] 재배선층(140)이 가지는 하부 배선 레이어(LY-L)의 개수는 커버 배선층(200)이 가지는 상부 배선 레이어(LY-H)의 개수보다 큰 값을 가지나, 재배선층(140)의 제1 두께(T1)는 커버 배선층(200)의 제2 두께(T2)보다 작은 값을 가질 수 있다.
- [0051] 상부 배선 레이어(LY-H)를 따라서 연장되는 복수의 배선 패턴(222)의 폭과 피치(pitch)는, 하부 배선 레이어(LY-L)를 따라서 연장되는 복수의 재배선 라인 패턴(142)의 폭과 피치(pitch)보다 큰 값을 가질 수 있다. 복수의 재배선 라인 패턴(142) 각각과 복수의 배선 패턴(222) 각각은 다양한 값의 폭을 가질 수 있다. 예를 들면, 복수의 재배선 라인 패턴(142) 중 복수의 연결 구조물(162)과 연결되는 부분 또는 복수의 외부 연결 단자(190)와 연결되는 부분은, 복수의 연결 구조물(162)의 수평 폭 또는 복수의 외부 연결 단자(190)의 수평 폭을 고려하여, 상대적으로 큰 값의 폭을 가질 수 있다. 마찬가지로, 복수의 배선 패턴(222) 중 복수의 연결 구조물(162)과 연결되는 부분 또는 상면 솔더 레지스트층(232)에 의하여 덮이지 않고 노출되는 부분은, 복수의 연결 구조물(162)의 수평 폭 또는 복수의 패키지 연결 단자(도 11의 460)의 수평 폭을 고려하여, 상대적으로 큰 값의 폭을 가질 수 있다.
- [0052] 일부 실시 예에서, 복수의 배선 패턴(222)의 두께는, 복수의 재배선 라인 패턴(142)의 두께보다 큰 값을 가질 수 있다. 예를 들면, 복수의 배선 패턴(222)의 두께는 제4 두께(T4)보다 작은 값을 가질 수 있고, 복수의 재배선 라인 패턴(142)의 두께는 제3 두께(T3)보다 작은 값을 가질 수 있다.
- [0053] 복수의 재배선 라인 패턴(142)의 최소 폭 및 최소 피치인 제1 폭(W1) 및 제1 피치(P1)는 복수의 배선 패턴(222)의 최소 폭 및 최소 피치인 제2 폭(W2) 및 제2 피치(P2)보다 작은 값을 가질 수 있다. 일부 실시 예에서, 제2 폭(W2) 및 제2 피치(P2) 각각은 제1 폭(W1) 및 제1 피치(P1) 각각보다 10배 이상 큰 값을 가질 수 있다. 예를 들면, 제1 폭(W1)은 약 5 μ m 내지 약 10 μ m일 수 있고, 제1 피치(P1)는 약 10 μ m 내지 약 25 μ m일 수 있다. 예를 들면, 제2 폭(W2)은 약 100 μ m 내지 약 300 μ m일 수 있고, 제2 피치(P2)는 약 150 μ m 내지 약 700 μ m일 수 있다.

- [0054] 적어도 하나의 수동 소자(180)는 제5 두께(T5)를 가질 수 있고, 복수의 외부 연결 단자(190) 각각은 제6 두께(T6)를 가질 수 있다. 제6 두께(T6)는 복수의 외부 연결 단자(190) 각각의 높이라고도 호칭할 수 있다. 제5 두께(T5)는 제1 두께(T1)는 보다 큰 값을 가질 수 있다. 제5 두께(T5)는 제6 두께(T6)보다 작은 값을 가질 수 있다. 예를 들면, 제5 두께(T5)는 약 70 μ m 내지 약 120 μ m일 수 있다. 예를 들면, 제6 두께(T6)는 약 100 μ m 내지 약 150 μ m이되, 제5 두께(T5)보다 큰 값을 가질 수 있다.
- [0055] 적어도 하나의 수동 소자(180)는 재배선층(140)의 두께인 제1 두께(T1)보다 크되 복수의 외부 연결 단자(190) 각각의 제6 두께(T6)보다 작은 값인 제5 두께(T5)를 가지므로, 적어도 하나의 수동 소자(180)를 재배선층(140) 내에 매립하지 않고, 재배선층(140)의 하면에 부착하여도, 반도체 패키지(10) 전체의 두께를 증가시키지 않을 수 있다.
- [0056] 본 발명에 따른 반도체 패키지(10)는 배선 레이어의 개수가 더 많은 재배선층(140)이 상대적으로 얇은 두께를 가지므로, 반도체 패키지(10) 전체의 두께가 감소될 수 있다. 따라서, 반도체 패키지(10)를 포함되는 전자기기가 다기능화 및 대용량화되어도, 반도체 패키지(10)의 두께를 감소시킬 수 있으므로, 전자기기의 소형화가 가능하다.
- [0057] 또한, 하부 패키지인 반도체 패키지(10) 상에 상부 패키지를 부착하여, 패키지 온 패키지를 구성하는 경우, 본 발명에 따른 반도체 패키지(10)는 상대적으로 적은 개수의 배선 레이어를 가지는 커버 배선층(200)이 상대적으로 두꺼운 두께를 가지므로, 커버 배선층(200)에 의하여 상부 패키지가 지지되어, 하부 패키지인 반도체 패키지(10)에 힘이 발생하는 것을 방지할 수 있다. 따라서 본 발명에 따른 반도체 패키지(10)를 하부 패키지로 사용함으로써, 구조적인 신뢰성을 가지는 패키지 온 패키지를 제공할 수 있다.
- [0058] 도 2는 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도이다. 도 2에서, 도 1a 및 도 1b와 동일한 부재 번호는 동일한 구성 요소를 나타내며, 중복되는 내용은 생략할 수 있다.
- [0059] 도 2를 참조하면, 반도체 패키지(10a)는 재배선층(140a), 재배선층(140a) 상에 배치되는 확장층(160), 확장층(160) 내에 배치되는 적어도 하나의 반도체 칩(100), 및 확장층(160) 상에 배치되는 커버 배선층(200)을 포함할 수 있다.
- [0060] 재배선층(140a)은 재배선 도전 구조물(145) 및 복수의 재배선 절연층(148)을 포함할 수 있다. 재배선 도전 구조물(145)은, 복수의 재배선 라인 패턴(142) 및 복수의 재배선 비아(144)를 포함할 수 있다. 재배선층(140a)은 복수의 도전성 필라(146)를 더 포함할 수 있다. 복수의 도전성 필라(146)의 상면은 복수의 재배선 라인 패턴(142) 중 최상단의 배선 레이어에 배치되는 재배선 라인 패턴(142)의 상면보다 높은 레벨에 위치할 수 있다. 복수의 도전성 필라(146) 각각의 두께는 복수의 재배선 라인 패턴(142) 각각의 두께보다 큰 값을 가질 수 있다. 일부 실시 예에서, 복수의 도전성 필라(146)는 복수의 재배선 라인 패턴(142)과 동일한 물질로 이루어질 수 있다. 예를 들면, 복수의 도전성 필라(146)는 구리(Cu), 또는 구리의 합금으로 이루어질 수 있다.
- [0061] 일부 실시 예에서, 복수의 도전성 필라(146)는 복수의 재배선 라인 패턴(142)과 동일하거나 유사한 방법으로 형성될 수 있다. 예를 들면, 복수의 도전성 필라(146)는 무전해 도금을 수행하여 형성할 수 있다. 일부 실시 예에서, 복수의 도전성 필라(146)를 형성하기 전에 도 1에서 설명한 재배선 씨드층과 유사하게 물리 기상 증착을 수행하여 필라 씨드층을 먼저 형성한 후, 상기 필라 씨드층을 씨드로 사용하는 무전해 도금을 수행하여, 복수의 도전성 필라(146)를 형성할 수 있다.
- [0062] 복수의 도전성 필라(146) 상에는 복수의 연결 구조물(162)이 배치될 수 있다. 복수의 연결 구조물(162) 각각의 상단 및 하단은 커버 배선층(200)의 복수의 배선 패턴(222) 중 어느 하나 및 재배선층(140a)의 복수의 도전성 필라(146) 중 어느 하나와 접하여 연결될 수 있다. 일부 실시 예에서, 복수의 도전성 필라(146) 각각은 복수의 재배선 비아(144) 중 어느 하나 상에 부착될 수 있다. 다른 일부 실시 예에서, 복수의 도전성 필라(146) 각각은 복수의 재배선 라인 패턴(142) 중 어느 하나 상에 부착될 수 있다.
- [0063] 본 발명에 따른 반도체 패키지(10a)는, 복수의 연결 구조물(162)이 상대적으로 두꺼운 두께를 가지는 복수의 도전성 필라(146) 상에 부착되므로, 상대적으로 얇은 재배선층(140a) 상에 복수의 연결 구조물(162)이 부착되어도, 반도체 패키지(10a)가 구조적 신뢰성을 가질 수 있다.
- [0064] 도 3은 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도이다. 도 3에서, 도 1a 및 도 1b와 동일한 부재 번호는 동일한 구성 요소를 나타내며, 중복되는 내용은 생략할 수 있다.
- [0065] 도 3을 참조하면, 반도체 패키지(10b)는 재배선층(140b), 재배선층(140b) 상에 배치되는 확장층(160), 확장층

(160) 내에 배치되는 적어도 하나의 반도체 칩(100), 및 확장층(160) 상에 배치되는 커버 배선층(200)을 포함할 수 있다.

- [0066] 재배선층(140b)은 재배선 도전 구조물(145) 및 복수의 재배선 절연층(148)을 포함할 수 있다. 재배선 도전 구조물(145)은, 복수의 재배선 라인 패턴(142) 및 복수의 재배선 비아(144)를 포함할 수 있다. 재배선층(140b)은 복수의 도전성 칩 필라(147)를 더 포함할 수 있다. 복수의 도전성 칩 필라(147)의 상면은 복수의 재배선 라인 패턴(142) 중 최상단의 배선 레이어에 배치되는 재배선 라인 패턴(142)의 상면보다 높은 레벨에 위치할 수 있다. 복수의 도전성 칩 필라(147) 각각의 두께는 복수의 재배선 라인 패턴(142) 각각의 두께보다 큰 값을 가질 수 있다. 일부 실시 예에서, 복수의 도전성 칩 필라(147)는 복수의 재배선 라인 패턴(142)과 동일한 물질로 이루어질 수 있다. 예를 들면, 복수의 도전성 칩 필라(147)는 구리, 또는 구리의 합금일 수 있다.
- [0067] 일부 실시 예에서, 복수의 도전성 칩 필라(147)는 복수의 재배선 라인 패턴(142)과 동일하거나 유사한 방법으로 형성될 수 있다. 예를 들면, 복수의 도전성 칩 필라(147)는 무전해 도금을 수행하여 형성할 수 있다.
- [0068] 복수의 도전성 칩 필라(147) 상에는 적어도 하나의 반도체 칩(100)이 배치될 수 있다. 반도체 소자(112)와 전기적으로 연결되는 반도체 칩(100)의 복수의 칩 연결 패드(120)는 재배선 도전 구조물(145)과 전기적으로 연결될 수 있다. 복수의 재배선 라인 패턴(142)의 일부개 또는 복수의 재배선 비아(144)의 일부개와 복수의 칩 연결 패드(120) 사이에는 복수의 칩 연결 단자(130)가 배치되어, 적어도 하나의 반도체 칩(100)과 재배선층(140a)을 전기적으로 연결할 수 있다. 일부 실시 예에서, 복수의 도전성 칩 필라(147) 각각은 복수의 재배선 비아(144) 중 어느 하나 상에 부착될 수 있다. 다른 일부 실시 예에서, 복수의 도전성 칩 필라(147) 각각은 복수의 재배선 라인 패턴(142) 중 어느 하나 상에 부착될 수 있다.
- [0069] 본 발명에 따른 반도체 패키지(10b)는, 적어도 하나의 반도체 칩(100)이 상대적으로 두꺼운 두께를 가지는 복수의 도전성 칩 필라(147) 상에 부착되므로, 상대적으로 얇은 재배선층(140b) 상에 적어도 하나의 반도체 칩(100)이 부착되어도, 반도체 패키지(10b)가 구조적 신뢰성 및 전기적 연결의 신뢰성을 가질 수 있다.
- [0070] 별도로 도시하지는 않았으나, 도 2에 보인 반도체 패키지(10a)가 가지는 복수의 도전성 필라(146) 및 도 3에 보인 반도체 패키지(10b)가 가지는 복수의 도전성 칩 필라(147)를 모두 구비하는 반도체 패키지를 제공하는 것 또한 가능하다.
- [0071] 도 4는 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도이다. 도 4에서, 도 1a 및 도 1b와 동일한 부재 번호는 동일한 구성 요소를 나타내며, 중복되는 내용은 생략할 수 있다.
- [0072] 도 4를 참조하면, 반도체 패키지(10c)는 재배선층(140), 재배선층(140) 상에 배치되는 확장층(160), 확장층(160) 내에 배치되는 적어도 하나의 반도체 칩(100), 및 확장층(160) 상에 배치되는 커버 배선층(200a)을 포함할 수 있다. 층진부(164)는 적어도 하나의 반도체 칩(100)의 측면을 덮으나, 비활성면을 덮지 않을 수 있다.
- [0073] 커버 배선층(200a)은, 적어도 하나의 베이스 절연층(210) 및 배선 구조물(220)을 포함할 수 있다. 배선 구조물(220)은 복수의 배선 패턴(222) 및 복수의 도전 비아(224)로 이루어질 수 있다. 커버 배선층(200a)은 적어도 하나의 도전성 플레이트(246)를 더 포함할 수 있다. 도 4에는 적어도 하나의 도전성 플레이트(246)가 커버 배선층(200a)이 가지는 최하단의 배선 레이어에 배치된 것으로 도시되었으나, 이에 한정되지 않는다. 적어도 하나의 도전성 플레이트(246)는 커버 배선층(200a)이 가지는 배선 레이어들 중에서, 최상단의 배선 레이어를 제외하고는 어느 배선 레이어에도 배치될 수 있다. 예를 들어, 커버 배선층(200a)이 3개의 배선 레이어를 가지는 경우, 적어도 하나의 도전성 플레이트(246)는 최상단의 배선 레이어를 제외한, 최하단의 배선 레이어, 또는 중간의 배선 레이어에 배치될 수 있다.
- [0074] 일부 실시 예에서, 적어도 하나의 도전성 플레이트(246)는 복수의 배선 패턴(222)과 동일한 물질로 이루어질 수 있다. 일부 실시 예에서, 적어도 하나의 도전성 플레이트(246)는 복수의 배선 패턴(222)과 동일하거나 유사한 방법으로 형성될 수 있다. 예를 들면, 적어도 하나의 도전성 플레이트(246)는 복수의 배선 패턴(222)의 적어도 일부와 함께 형성될 수 있다. 일부 실시 예에서, 적어도 하나의 도전성 플레이트(246)에는 그라운드(GND)가 제공될 수 있다. 예를 들면, 적어도 하나의 도전성 플레이트(246)는 복수의 배선 패턴(222) 중 그라운드(GND)가 제공되는 배선 패턴(222)과 전기적으로 연결될 수 있다.
- [0075] 솔더 레지스트층(230)은 상면 솔더 레지스트층(232) 및 하면 솔더 레지스트층(234)을 포함할 수 있다. 하면 솔더 레지스트층(234)은 적어도 하나의 도전성 플레이트(246)를 덮지 않고 노출시킬 수 있다.
- [0076] 적어도 하나의 도전성 플레이트(246)와 적어도 하나의 반도체 칩(100)의 비활성면 사이에는 열전도 소재(TIM,

thermal interface material, 246)가 배치될 수 있다. 열전도 소재(246)는 페이스트 또는 필름 등으로 이루어질 수 있다.

- [0077] 본 발명에 따른 반도체 패키지(10c)는, 적어도 하나의 반도체 칩(100)에서 발생하는 열이 적어도 하나의 도전성 플레이트(246)를 통하여 반도체 패키지(10c)의 외부로 방출될 수 있으므로, 동작 신뢰성이 향상될 수 있다.
- [0078] 도 5는 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도이다. 도 5에서, 도 1a 및 도 1b와 동일한 부재 번호는 동일한 구성 요소를 나타내며, 중복되는 내용은 생략할 수 있다.
- [0079] 도 5를 참조하면, 반도체 패키지(10a)는 재배선층(140a), 재배선층(140a) 상에 배치되는 확장층(160), 확장층(160) 내에 배치되는 적어도 하나의 반도체 칩(100), 및 확장층(160) 상에 배치되는 커버 배선층(200)을 포함할 수 있다.
- [0080] 재배선층(140c)은 재배선 도전 구조물(145) 및 복수의 재배선 절연층(148)을 포함할 수 있다. 재배선 도전 구조물(145)은, 복수의 재배선 라인 패턴(142) 및 복수의 재배선 비아(144)를 포함할 수 있다.
- [0081] 재배선층(140c)은 하면으로부터 복수의 재배선 절연층(148) 중 적어도 하나의 재배선 절연층(148)의 일부분에 제거되어 재배선층(140c)의 내부로 연장되는 소자 실장 공간(140R)을 가질 수 있다. 도 5에는 소자 실장 공간(140R)이 재배선층(140c)이 가지는 복수의 재배선 절연층(148) 중 2개의 재배선 절연층(148)의 일부분이 제거되어 형성된 것으로 도시되었으나, 이에 한정되지 않는다. 소자 실장 공간(140R)은 재배선층(140c)이 가지는 복수의 재배선 절연층(148)의 개수보다 적어도 1개 적은 재배선 절연층(148)의 일부분이 제거되어 형성될 수 있다. 예를 들면, 재배선층(140c)이 3개의 재배선 절연층(148)을 포함하는 경우, 소자 실장 공간(140R)은 재배선층(140c)의 하면으로부터 1개의 재배선 절연층(148)의 일부분을 제거하여 형성되거나, 2개의 재배선 절연층(148)의 일부분을 제거하여 형성될 수 있다.
- [0082] 재배선층(140c)의 소자 실장 공간(140R)에는 적어도 하나의 수동 소자(180)가 배치될 수 있다. 적어도 하나의 수동 소자(180)는 재배선층(140c)의 두께인 제1 두께(T1)보다 큰 값인 제5 두께(T5)를 가지므로, 적어도 하나의 수동 소자(180)는 재배선층(140c)의 하면으로부터 외측으로 돌출될 수 있다. 일부 실시 예에서, 제6 두께(T6)는 제5 두께(T5)보다 작은 값을 가질 수 있다.
- [0083] 반도체 패키지(10d)는 적어도 하나의 수동 소자(180)의 일부분이 재배선층(140c)의 소자 실장 공간(140R) 내에 배치되므로, 복수의 외부 연결 단자(190) 각각의 제6 두께(T6)를 상대적으로 작게 형성할 수 있어, 반도체 패키지(10d) 전체의 두께를 상대적으로 얇게 형성할 수 있다.
- [0084] 도 6a는 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도이고, 도 6b는 본 발명의 일 실시 예들에 따른 반도체 패키지의 일부분을 확대하여 나타내는 단면도로, 구체적으로, 도 6a의 B 부분을 확대하여 나타내는 단면도이다. 도 6a 및 도 6b에서, 도 1a 및 도 1b와 동일한 부재 번호는 동일한 구성 요소를 나타내며, 중복되는 내용은 생략할 수 있다.
- [0085] 도 6a 및 도 6b를 함께 참조하면, 반도체 패키지(20)는 재배선층(140d), 재배선층(140d) 상에 배치되며 실장 공간(156G)을 가지는 확장층(150), 확장층(150)의 실장 공간(156G) 내에 배치되는 적어도 하나의 반도체 칩(100), 및 확장층(150) 상에 배치되는 커버 배선층(200)을 포함할 수 있다. 확장층(150)은 적어도 하나의 반도체 칩(100)의 주위를 포위할 수 있다.
- [0086] 반도체 패키지(20)는, 팬 아웃 반도체 패키지일 수 있다. 일부 실시 예에서, 확장층(150)은 패널 보드(panel board)일 수 있고, 반도체 패키지(20)는 팬 아웃 패널 레벨 패키지(FOPLP, Fan Out Panel Level Package)일 수 있다. 예를 들면, 반도체 패키지(20)는 확장층(150) 상에 재배선층(140d)을 형성한 후, 확장층(150) 상에 커버 배선층(200)을 부착하여 형성할 수 있다.
- [0087] 일부 실시 예에서, 실장 공간(156G)의 수평 폭 및 수평 면적은 적어도 하나의 반도체 칩(100)이 구성하는 풋프린트의 수평 폭 및 수평 면적보다 큰 값을 가질 수 있다. 적어도 하나의 반도체 칩(100)의 측면은 실장 공간(156G)의 내측면과 이격될 수 있다.
- [0088] 재배선층(140d) 및 커버 배선층(200) 각각은 하부 배선 구조물 및 상부 배선 구조물이라고도 호칭할 수 있다. 즉, 반도체 패키지(20)는 적어도 하나의 반도체 칩(100)이 배치되는 확장층(150), 및 확장층(150)의 하면과 상면을 각각 덮는 상기 하부 배선 구조물과 상기 상부 배선 구조물을 포함할 수 있다.
- [0089] 재배선층(140d)은 재배선 도전 구조물(145d) 및 복수의 재배선 절연층(148d)을 포함할 수 있다. 재배선 도전 구

조물(145d)은, 복수의 재배선 절연층(148d) 각각의 상면 및 하면 중 적어도 일면에 배치되는 복수의 재배선 라인 패턴(142d), 및 복수의 재배선 절연층(148d) 중 적어도 하나의 재배선 절연층(148d)을 관통하여 복수의 재배선 라인 패턴(142d) 중 일부와 각각 접하여 연결되는 복수의 재배선 비아(144d)를 포함할 수 있다. 복수의 재배선 라인 패턴(142d) 중 적어도 일부는 복수의 재배선 비아(144d) 중 일부와 함께 형성되어 일체를 이룰 수 있다.

- [0090] 일부 실시 예에서, 복수의 재배선 비아(144d)는 하측으로부터 상측으로 수평 폭이 좁아지며 연장되는 테이퍼드한 형상을 가질 수 있다. 즉, 복수의 재배선 비아(144d)는 반도체 칩(100)으로부터 멀어지면서 수평 폭이 넓어질 수 있다.
- [0091] 반도체 칩(100)의 복수의 칩 연결 패드(120)는 재배선 도전 구조물(145)과 전기적으로 연결될 수 있다. 일부 실시 예에서, 복수의 재배선 라인 패턴(142) 중 최상단의 배선 레이어에 배치되는 재배선 라인 패턴(142)의 일부는 복수의 칩 연결 패드(120)와 접할 수 있으나, 이에 한정되지 않는다. 다른 일부 실시 예에서, 복수의 재배선 비아(144) 중 최상단의 재배선 비아(144)의 일부는 복수의 칩 연결 패드(120)와 접할 수 있다.
- [0092] 확장층(150)은 예를 들면, 인쇄회로기판, 세라믹 기판, 패키지 제조용 웨이퍼, 또는 인터포저일 수 있다. 일부 실시 예에서, 확장층(150)은 멀티 레이어 인쇄 회로 기판일 수 있다. 실장 공간(156G)은 확장층(150)에 개구부 또는 캐비티(cavity)로 형성될 수 있다. 실장 공간(156G)은 확장층(150)의 일부 영역, 예를 들어, 중심 영역에 형성될 수 있다. 실장 공간(156G)은 확장층(150)의 상면으로부터 소정의 깊이까지 리세스되거나, 오픈되어 형성될 수 있다. 확장층(150)을 리세스 또는 오픈하기 위하여, 건식 식각, 습식 식각, 스크린 프린트, 드릴 비트(drill bit), 또는 레이저 드릴링 공정 등이 이용될 수 있다.
- [0093] 확장층(150)은 연결 구조물(155) 및 적어도 하나의 기판 베이스(156)를 포함할 수 있다. 배선 구조물(155)은 연결 배선 패턴(152) 및 연결 도전 비아(154)로 이루어질 수 있다. 확장층(150)의 연결 배선 패턴(152), 연결 도전 비아(154) 및 기판 베이스(156) 각각은, 커버 배선층(200)의 배선 패턴(222), 도전 비아(224) 및 베이스 절연층(210) 각각과 대체로 대체로 유사한 물질로 이루어지며, 유사하게 형성될 수 있으므로, 자세한 설명은 생략하도록 한다.
- [0094] 반도체 패키지(20)는 반도체 칩(100)과 확장층(150) 사이의 공간을 충전하는 충전 절연층(158)을 더 포함할 수 있다. 예를 들면, 충전 절연층(158)은 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들에 무기 필러와 같은 보강재가 포함된 수지, 구체적으로 ABF(Ajinomoto Build-up Film), FR-4, BT 등으로부터 형성될 수 있다. 또는 충전 절연층(158)은 EMC와 같은 몰딩 물질이나 PIE(photoimagable encapsulant)와 같은 감광성 재료로부터 형성될 수 있다.
- [0095] 일부 실시 예에서, 충전 절연층(158)은 실리콘 산화물을 소정의 두께로 증착한 후, 폴리이미드(Polyimide)와 같은 폴리머를 실리콘 산화물에 의하여 채워지지 않은 실장 공간(156G)의 부분을 채우도록 하여 형성할 수 있다.
- [0096] 다른 일부 실시 예에서, 충전 절연층(158)은 폴리이미드와 같은 폴리머가 반도체 칩(100)의 비활성면이 외부로 노출되도록 형성한 후, 절연성 물질이 반도체 칩(100)의 비활성면을 덮도록 하여 형성할 수 있다. 상기 절연성 물질은 예를 들면, 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산질화막일 수 있다.
- [0097] 확장층(150) 상에는, 연결 구조물(155)과 전기적으로 연결되는 배선 구조물(220)을 가지는 커버 배선층(200)이 배치된다.
- [0098] 반도체 패키지(20)는 확장층(150) 상에 재배선층(140d)을 형성한 후, 확장층(150) 상에 커버 배선층(200)을 부착하여 형성할 수 있다.
- [0099] 재배선층(140d)은, 확장층(150) 상에 형성될 수 있으므로, 복수의 재배선 비아(144d)는, 각각은 하측으로부터 상측으로 수평 폭이 좁아지며 연장되는 테이퍼드한 형상을 가질 수 있다. 즉, 복수의 재배선 비아(144d) 각각은 반도체 칩(100)으로부터 멀어지면서 수평 폭이 넓어질 수 있다.
- [0100] 복수의 재배선 비아(144d) 각각의 밑각인 제1 각도($\theta 1d$)는 복수의 도전 비아(224) 각각의 밑각인 제2 각도($\theta 2$)보다 작은 값을 가질 수 있다. 일부 실시 예에서, 제1 각도($\theta 1d$)는 약 60° 내지 약 75°일 수 있고, 제2 각도($\theta 2$)는 약 80° 내지 약 90°일 수 있다.
- [0101] 도 7은 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도이다. 도 7에서, 도 1a, 도 1b, 도 6a, 및 도 6b와 동일한 부재 번호는 동일한 구성 요소를 나타내며, 중복되는 내용은 생략할 수 있다.

- [0102] 도 7을 참조하면, 반도체 패키지(22)는 재배선층(140d), 재배선층(140d) 상에 배치되는 확장층(160), 확장층(160) 내에 배치되는 적어도 하나의 반도체 칩(100), 및 확장층(160) 상에 배치되는 커버 배선층(200)을 포함할 수 있다.
- [0103] 적어도 하나의 반도체 칩(100), 확장층(160), 및 커버 배선층(200)은 도 1a 및 도 1b에 보인 반도체 패키지(10)의 적어도 하나의 반도체 칩(100), 확장층(160), 및 커버 배선층(200)과 실질적으로 동일하고, 재배선층(140d)은 도 6a 및 도 6b에 보인 반도체 패키지(10)의 재배선층(140d)과 실질적으로 동일한 바, 자세한 설명은 생략하도록 한다.
- [0104] 반도체 패키지(22)는 적어도 하나의 반도체 칩(100)을 감싸는 확장층(160)을 먼저 형성한 후, 재배선층(140)을 형성하는 칩 퍼스트 팬 아웃 패키지(Chip First Fan Out Semiconductor Package)일 수 있다. 일부 실시 예에서, 반도체 패키지(22)는 칩 퍼스트 팬 아웃 웨이퍼 레벨 패키지(Chip First FOWLP)일 수 있다.
- [0105] 도 8은 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도이다. 도 8에서, 도 1a 내지 도 7과 동일한 부재 번호는 동일한 구성 요소를 나타내며, 중복되는 내용은 생략할 수 있다.
- [0106] 도 8을 참조하면, 반도체 패키지(30)는 재배선층(140), 재배선층(140) 상에 배치되는 확장층(160), 확장층(160) 내에 배치되는 적어도 하나의 반도체 칩(100), 및 확장층(160) 상에 배치되는 커버 배선층(300)을 포함할 수 있다.
- [0107] 적어도 하나의 반도체 칩(100), 재배선층(140), 및 확장층(160)은 도 1a 및 도 1b에 보인 반도체 패키지(10)의 적어도 하나의 반도체 칩(100), 재배선층(140), 및 확장층(160)과 실질적으로 동일한 바, 자세한 설명은 생략하도록 한다.
- [0108] 커버 배선층(300)은 적어도 하나의 베이스 절연층(310), 및 배선 구조물(340)을 포함할 수 있다. 배선 구조물(340)은, 적어도 하나의 재배선 절연층(310) 각각의 상면 및 하면 중 적어도 일면에 배치되는 복수의 배선 패턴(342), 및 적어도 하나의 재배선 절연층(310)을 관통하여 복수의 배선 패턴(342) 중 일부와 각각 접하여 연결되는 복수의 도전 비아(344)를 포함할 수 있다.
- [0109] 도 1a 및 도 1b에 보인 반도체 패키지(10)는 별도로 형성된 커버 배선층(200)을 확장층(160) 상에 부착하나, 반도체 패키지(30)는 재배선층(140)의 형성 방법과 유사하게, 커버 배선층(300)을 확장층(160) 상에 형성할 수 있다.
- [0110] 따라서, 커버 배선층(300)의 베이스 절연층(310), 배선 패턴(342), 및 도전 비아(344) 각각은 재배선층(140)의 재배선 절연층(148), 재배선 라인 패턴(142), 및 재배선 비아(144) 각각과 대체로 유사한 물질로 이루어지며, 유사하게 형성될 수 있으므로, 자세한 설명은 생략하도록 한다.
- [0111] 재배선층(140)이 가지는 배선 레이어의 개수는 커버 배선층(300)이 가지는 배선 레이어의 개수보다 많을 수 있다.
- [0112] 재배선층(140)의 두께인 제1 두께(T1)는 커버 배선층(300)의 두께인 제2 두께(T2a)보다 큰 값을 가질 수 있다. 예를 들면, 제1 두께(T1)는 약 30 μ m 내지 약 50 μ m일 수 있고, 제2 두께(T2a)는 약 20 μ m 내지 약 70 μ m일 수 있다.
- [0113] 재배선층(140)이 가지는 하나의 재배선 절연층(148)의 두께인 제3 두께(T3)는 커버 배선층(300)이 가지는 하나의 베이스 절연층(310)의 두께인 제4 두께(T4a)와 대체로 동일하거나 유사한 값을 가질 수 있다. 예를 들면, 제3 두께(T3) 및 제4 두께(T4a) 각각은 약 5 μ m 내지 약 20 μ m일 수 있다.
- [0114] 복수의 재배선 라인 패턴(142)의 폭과 피치(pitch)는 복수의 배선 패턴(342)의 폭과 피치(pitch)와 대체로 동일하거나 유사한 값을 가질 수 있다. 일부 실시 예에서, 복수의 재배선 라인 패턴(142)의 두께는 복수의 배선 패턴(342)의 두께와 대체로 동일하거나 유사한 값을 가질 수 있다.
- [0115] 복수의 재배선 라인 패턴(142)의 최소 폭 및 최소 피치인 제1 폭(W1) 및 제1 피치(P1)는 복수의 배선 패턴(342)의 최소 폭 및 최소 피치인 제2 폭(W2a) 및 제2 피치(P2a)와 대체로 동일하거나 유사한 값을 가질 수 있다. 예를 들면, 제1 폭(W1)은 약 5 μ m 내지 약 10 μ m일 수 있고, 제1 피치(P1)는 약 10 μ m 내지 약 25 μ m일 수 있다. 예를 들면, 제2 폭(W2a)은 약 5 μ m 내지 약 10 μ m일 수 있고, 제2 피치(P2a)는 약 10 μ m 내지 약 25 μ m일 수 있다.
- [0116] 또한, 별도로 도시하지는 않았으나, 반도체 패키지(30)의 확장층(160) 대신에, 도 6a 및 도 6b에 보인 확장층(150)을 구비하는 반도체 패키지를 제공하거나, 재배선층(140) 대신에 도 7에 보인 재배선층(140d)을 구비하는

반도체 패키지를 제공하는 것 또한 가능하다.

- [0117] 본 발명에 따른 반도체 패키지(30)는 재배선층(140) 및 커버 배선층(300)이 모두 상대적으로 얇은 두께를 가지므로, 반도체 패키지(30) 전체의 두께가 감소될 수 있다. 따라서, 반도체 패키지(30)가 포함되는 전자기기가 다기능화 및 대용량화되어도, 반도체 패키지(30)의 두께를 감소시킬 수 있으므로, 전자기기의 소형화가 가능하다.
- [0118] 도 9는 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도이다. 도 9에서, 도 1a 내지 도 8과 동일한 부재 번호는 동일한 구성 요소를 나타내며, 중복되는 내용은 생략할 수 있다.
- [0119] 도 9를 참조하면, 반도체 패키지(32)는 지지 배선층(250), 지지 배선층(250) 상에 배치되는 확장층(160), 확장층(160) 내에 배치되는 적어도 하나의 반도체 칩(100), 및 확장층(160) 상에 배치되는 커버 배선층(300)을 포함할 수 있다.
- [0120] 적어도 하나의 반도체 칩(100), 및 확장층(160)은 도 1a 및 도 1b에 보인 반도체 패키지(10)의 적어도 하나의 반도체 칩(100), 및 확장층(160)과 실질적으로 동일하고, 커버 배선층(300)은 도 8에 보인 반도체 패키지(30)의 커버 배선층(300)과 실질적으로 동일한 바, 자세한 설명은 생략하도록 한다.
- [0121] 지지 배선층(250)은, 예를 들면, 인쇄회로기판, 세라믹 기판, 패키지 제조용 웨이퍼, 또는 인터포저일 수 있다. 일부 실시 예에서, 지지 배선층(250)은, 멀티 레이어 인쇄 회로 기판일 수 있다.
- [0122] 지지 배선층(250)은 복수의 지지 절연층(260) 및 지지 배선 구조물(270)을 포함할 수 있다. 지지 배선 구조물(270)은 복수의 지지 배선 패턴(272) 및 복수의 지지 도전 비아(274)로 이루어질 수 있다. 복수의 지지 절연층(260)의 상면과 하면에는, 복수의 지지 배선 패턴(272)의 일부를 노출시키는 지지 솔더 레지스트층(280)이 형성될 수 있다. 지지 솔더 레지스트층(280)은 복수의 지지 절연층(260)의 상면을 덮으며 복수의 지지 배선 패턴(272)의 일부를 노출시키는 상면 지지 솔더 레지스트층(282) 및 복수의 지지 베이스 절연층(260)의 하면을 덮으며 복수의 지지 배선 패턴(272)의 일부를 노출시키는 하면 지지 솔더 레지스트층(284)을 포함할 수 있다. 일부 실시 예에서, 복수의 지지 절연층(260)의 하면에는 하면 지지 솔더 레지스트층(284)이 형성되지 않으며, 상면에는 상면 지지 솔더 레지스트층(282)이 형성되지 않을 수 있다.
- [0123] 지지 배선층(250)의 하면에는 지지 배선 패턴(272)과 전기적으로 연결되는 복수의 외부 연결 단자(190a)가 부착될 수 있다.
- [0124] 지지 절연층(260), 지지 배선 패턴(272) 및 지지 도전 비아(274) 각각은, 도 1a 및 도 1b에 베이스 절연층(210), 배선 패턴(222) 및 도전 비아(224) 각각과 대체로 유사한 물질로 이루어지며, 유사하게 형성될 수 있으므로, 자세한 설명은 생략하도록 한다.
- [0125] 도 1a 및 도 1b에 보인 반도체 패키지(10)는 캐리어 기판 상에 재배선층(140)을 형성하고, 도 6a 및 도 6b에 보인 반도체 패키지(20)는 확장층(150) 상에 재배선층(140d)을 형성하나, 도 9에 보인 반도체 패키지(32)는 별도로 형성된 지지 배선층(250) 상에 확장층(160)을 형성할 수 있다.
- [0126] 지지 배선층(250)이 가지는 배선 레이어의 개수는 커버 배선층(300)이 가지는 배선 레이어의 개수보다 많을 수 있다. 지지 배선층(140)의 두께인 제1 두께(T1a)는 커버 배선층(300)의 두께인 제2 두께(T2a)보다 큰 값을 가질 수 있다. 예를 들면, 제1 두께(T1a)는 약 90 μ m 내지 약 150 μ m일 수 있고, 제2 두께(T2a)는 약 20 μ m 내지 약 70 μ m일 수 있다.
- [0127] 지지 배선층(250)이 가지는 복수의 절연층(260) 각각의 두께인 제3 두께(T3a)는 커버 배선층(300)이 가지는 하나의 베이스 절연층(310)의 두께인 제4 두께(T4a)보다 큰 값을 가질 수 있다. 예를 들면, 제3 두께(T3a)는 약 25 μ m 내지 약 60 μ m일 수 있고, 제4 두께(T4a)는 약 5 μ m 내지 약 20 μ m일 수 있다.
- [0128] 또한, 별도로 도시하지는 않았으나, 반도체 패키지(32)의 확장층(160) 대신에, 도 6a 및 도 6b에 보인 확장층(150)을 구비하는 반도체 패키지를 제공하는 것 또한 가능하다.
- [0129] 본 발명에 따른 반도체 패키지(32)는 상대적으로 두꺼운 두께를 가지는 지지 배선층(250)에 의하여 구조적 신뢰성을 가지면서, 상대적으로 얇은 두께를 가지는 커버 배선층(300)에 의하여 두께가 감소될 수 있다.
- [0130] 도 10은 본 발명의 일 실시 예들에 따른 반도체 패키지의 단면도이다. 도 10에서, 도 1a 내지 도 9와 동일한 부재 번호는 동일한 구성 요소를 나타내며, 중복되는 내용은 생략할 수 있다.
- [0131] 도 10을 참조하면, 반도체 패키지(32a)는 지지 배선층(250a), 지지 배선층(250a) 상에 배치되는 확장층(160),

확장층(160) 내에 배치되는 적어도 하나의 반도체 칩(100), 및 확장층(160) 상에 배치되는 커버 배선층(300)을 포함할 수 있다.

- [0132] 지지 배선층(250a)은 소자 실장 공간(250G)을 가질 수 있다. 소자 실장 공간(250G)은 지지 배선층(250a)에 개구부 또는 캐비티로 형성될 수 있다. 소자 실장 공간(250G)은 지지 배선층(250a)이 가지는 복수의 지지 절연층(260)의 일부분을 제거하여 형성할 수 있다. 도 10에는 소자 실장 공간(250G)이 반도체 패키지(32a)의 외부와 연통되지 않는 것으로 도시되었으나, 이에 한정되지 않는다. 일부 실시 예에서, 소자 실장 공간(250G)은 도 5에 보인 소자 실장 공간(140R)과 유사하게, 지지 배선층(250a)의 하면으로부터 내부로 연장되도록 형성될 수도 있다.
- [0133] 지지 배선층(250a)의 소자 실장 공간(250G)에는 적어도 하나의 수동 소자(180)가 배치될 수 있다. 일부 실시 예에서, 적어도 하나의 수동 소자(180)의 두께인 제5 두께(T5)는, 지지 배선층(250a)의 두께인 제1 두께(T1a)보다 작은 값을 가질 수 있다. 이 경우, 적어도 하나의 수동 소자(180)는 지지 배선층(250a)의 하면으로부터 외측으로 돌출되지 않고, 지지 배선층(250a) 내에 매립될 수 있다.
- [0134] 반도체 패키지(32a)는 적어도 하나의 수동 소자(180)가 지지 배선층(250a) 내에 매립되므로, 복수의 외부 연결 단자(190) 각각의 제6 두께(T6a)를 작게 형성할 수 있어, 반도체 패키지(32a) 전체의 두께를 상대적으로 얇게 형성할 수 있다.
- [0135] 도 11은 본 발명의 일 실시 예들에 따른 반도체 패키지를 가지는 패키지 온 패키지의 단면도이다.
- [0136] 도 11을 참조하면, 패키지 온 패키지(1000)는 제1 반도체 패키지(10) 상에 적층되는 제2 반도체 패키지(40)를 포함한다. 제1 반도체 패키지(10)는 하부 반도체 패키지일 수 있고, 제2 반도체 패키지(40)는 상부 반도체 패키지일 수 있다. 제1 반도체 패키지(10), 제1 반도체 칩(100), 제1 반도체 기관(110), 제1 반도체 소자(112), 제1 칩 연결 패드(120), 제1 칩 연결 단자(130), 및 제1 언더필층(135) 각각은 도 1a 및 도 1b를 통하여 설명한 반도체 패키지(10), 반도체 칩(100), 반도체 기관(110), 반도체 소자(112), 칩 연결 패드(120), 칩 연결 단자(130), 및 언더필층(135) 각각과 실질적으로 동일한 바, 자세한 설명은 생략하도록 한다.
- [0137] 제2 반도체 패키지(40)는 적어도 하나의 제2 반도체 칩(400)을 포함할 수 있다. 제2 반도체 패키지(40)는 상면 솔더 레지스트층(232)에 의하여 덮이지 않고 노출되는 제1 반도체 패키지(10)의 복수의 배선 패턴(222)의 일부에 부착되는 복수의 패키지 연결 단자(460)를 통하여 제1 반도체 패키지(10)와 전기적으로 연결될 수 있다.
- [0138] 제2 반도체 칩(400)은 활성면에 제2 반도체 소자(412)가 형성된 제2 반도체 기관(410), 및 제2 반도체 기관(410)의 활성면에 배치되는 복수의 제2 칩 연결 패드(420)를 포함할 수 있다. 제2 반도체 기관(410), 제2 반도체 소자(412), 및 제2 칩 연결 패드(420) 각각은 도 1a 및 도 1b를 통하여 설명한 반도체 기관(110), 반도체 소자(112), 및 칩 연결 패드(120) 각각과 대체로 유사한 바, 중복되는 설명은 생략하도록 한다.
- [0139] 적어도 하나의 제2 반도체 칩(400)은 메모리 반도체 칩일 수 있다. 제2 반도체 칩(400)은 예를 들면, 디램 칩, 에스램 칩, 플래시 메모리 칩, 이이피롬 칩, 피램 칩, 엠램 칩, 또는 알램 칩일 수 있다.
- [0140] 도 11에는 제2 반도체 패키지(40)가 가지는 적어도 하나의 제2 반도체 칩(400)이 패키지 베이스 기관(500) 상에 플립 칩 방식으로 실장된 것으로 도시되었으나, 이는 예시적으로 이에 한정되지 않는다. 패키지 온 패키지(1000)는, 적어도 하나의 제2 반도체 칩(400)을 포함하고 제1 반도체 패키지(10)와 전기적으로 연결되기 위하여 하측에 패키지 연결 단자(460)를 가지는 모든 형태의 반도체 패키지를 상부 반도체 패키지로 포함할 수 있다.
- [0141] 패키지 베이스 기관(500)은 베이스 보드층(510), 및 베이스 보드층(510)의 상면 및 하면에 배치되는 복수의 보드 패드(520)를 포함할 수 있다. 복수의 보드 패드(520)는 베이스 보드층(510)의 상면에 배치되는 복수의 보드 상면 패드(522) 및 하면에 배치되는 복수의 보드 하면 패드(524)로 이루어질 수 있다. 일부 실시 예에서, 패키지 베이스 기관(500)은 인쇄회로기판일 수 있다. 예를 들면, 패키지 베이스 기관(500)은 멀티 레이어 인쇄 회로 기판일 수 있다. 베이스 보드층(510)은 페놀 수지, 에폭시 수지, 폴리이미드 중에서 선택되는 적어도 하나의 물질로 이루어질 수 있다.
- [0142] 베이스 보드층(510)의 상면과 하면에는, 복수의 보드 패드(520)를 노출시키는 보드 솔더 레지스트층(530)이 형성될 수 있다. 보드 솔더 레지스트층(530)은 베이스 보드층(510)의 상면을 덮으며 복수의 보드 상면 패드(522)를 노출시키는 상면 보드 솔더 레지스트층(532) 및 베이스 보드층(510)의 하면을 덮으며 복수의 보드 하면 패드(524)를 노출시키는 하면 보드 솔더 레지스트층(534)을 포함할 수 있다.
- [0143] 패키지 베이스 기관(500)은, 베이스 보드층(510)의 내부에서 복수의 보드 상면 패드(522)와 복수의 보드 하면

패드(524) 사이를 전기적으로 연결하는 보드 배선(550)을 포함할 수 있다. 보드 배선(550)은 보드 배선 라인 및 보드 배선 비아로 이루어질 수 있다. 보드 배선(550)은 구리, 니켈, 스테인레스 스틸 또는 베릴륨구리로 이루어질 수 있다. 일부 실시 예에서, 보드 배선(550)은 베이스 보드층(510)의 상면과 상면 보드 솔더 레지스트층(532) 사이, 및/또는 베이스 보드층(510)의 하면과 하면 보드 솔더 레지스트층(534) 사이에도 배치될 수 있다.

[0144] 복수의 보드 상면 패드(522)는 제2 반도체 칩(400)과 전기적으로 연결될 수 있다. 예를 들면, 제2 반도체 칩(400)의 복수의 제2 칩 연결 패드(420)와 패키지 베이스 기판(500)의 복수의 보드 상면(522) 사이에는 복수의 제2 칩 연결 단자(430)가 배치되어, 제2 반도체 칩(400)과 패키지 베이스 기판(500)을 전기적으로 연결할 수 있다. 일부 실시 예에서, 제2 반도체 칩(400)과 패키지 베이스 기판(500) 사이에는 복수의 제2 칩 연결 단자(430)를 감싸는 제2 언더필층(450)이 개재될 수 있다. 제2 언더필층(450)은 예를 들면, 모세관 언더필 방법에 형성되는 에폭시 수지로 이루어질 수 있다. 일부 실시 예에서, 제2 언더필층(450)은 비전도성 필름일 수 있다.

[0145] 패키지 베이스 기판(500) 상에는 제2 반도체 칩(400)을 감싸는 몰딩층(490)이 배치될 수 있다. 몰딩층(490)은 예를 들면, 에폭시 몰드 컴파운드(epoxy mold compound, EMC)를 포함할 수 있다. 일부 실시 예에서, 몰딩층(490)의 제2 반도체 칩(400)의 비활성면을 덮을 수 있다. 다른 일부 실시 예에서, 몰딩층(490)은 제2 반도체 칩(400)의 측면을 덮되, 비활성면을 덮지 않을 수 있으며, 제2 반도체 칩(400)의 비활성면 상에는 방열 부재가 부착될 수 있다.

[0146] 도 12는 본 발명의 일 실시 예들에 따른 반도체 패키지를 가지는 패키지 온 패키지의 단면도이다.

[0147] 도 12를 참조하면, 패키지 온 패키지(2000)는 제1 반도체 패키지(20) 상에 적층되는 제2 반도체 패키지(40)를 포함한다. 제1 반도체 패키지(20)는 하부 반도체 패키지일 수 있고, 제2 반도체 패키지(40)는 상부 반도체 패키지일 수 있다. 제1 반도체 패키지(20)는 도 6a 및 도 6b를 통하여 설명한 반도체 패키지(20)와 실질적으로 동일하고, 제2 반도체 패키지(40)는 도 11을 통하여 설명한 제2 반도체 패키지(40)와 실질적으로 동일한 바, 자세한 설명은 생략하도록 한다.

[0148] 도 13은 본 발명의 일 실시 예들에 따른 반도체 패키지를 가지는 패키지 온 패키지의 단면도이다.

[0149] 도 13을 참조하면, 패키지 온 패키지(2200)는 제1 반도체 패키지(22) 상에 적층되는 제2 반도체 패키지(40)를 포함한다. 제1 반도체 패키지(22)는 하부 반도체 패키지일 수 있고, 제2 반도체 패키지(40)는 상부 반도체 패키지일 수 있다. 제1 반도체 패키지(22)는 도 7을 통하여 설명한 반도체 패키지(22)와 실질적으로 동일하고, 제2 반도체 패키지(40)는 도 11을 통하여 설명한 제2 반도체 패키지(40)와 실질적으로 동일한 바, 자세한 설명은 생략하도록 한다.

[0150] 도 14는 본 발명의 일 실시 예들에 따른 반도체 패키지를 가지는 패키지 온 패키지의 단면도이다.

[0151] 도 14를 참조하면, 패키지 온 패키지(3000)는 제1 반도체 패키지(30) 상에 적층되는 제2 반도체 패키지(40)를 포함한다. 제1 반도체 패키지(30)는 하부 반도체 패키지일 수 있고, 제2 반도체 패키지(40)는 상부 반도체 패키지일 수 있다. 제1 반도체 패키지(30)는 도 8을 통하여 설명한 반도체 패키지(30)와 실질적으로 동일하고, 제2 반도체 패키지(40)는 도 11을 통하여 설명한 제2 반도체 패키지(40)와 실질적으로 동일한 바, 자세한 설명은 생략하도록 한다.

[0152] 도 15는 본 발명의 일 실시 예들에 따른 반도체 패키지를 가지는 패키지 온 패키지의 단면도이다.

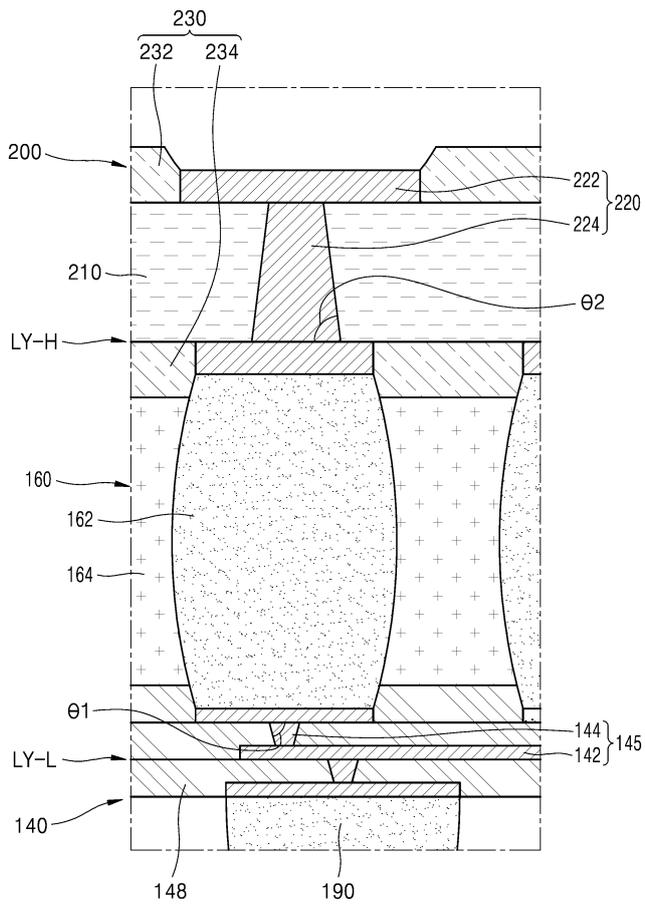
[0153] 도 15를 참조하면, 패키지 온 패키지(3200)는 제1 반도체 패키지(32) 상에 적층되는 제2 반도체 패키지(40)를 포함한다. 제1 반도체 패키지(32)는 하부 반도체 패키지일 수 있고, 제2 반도체 패키지(40)는 상부 반도체 패키지일 수 있다. 제1 반도체 패키지(32)는 도 9를 통하여 설명한 반도체 패키지(32)와 실질적으로 동일하고, 제2 반도체 패키지(40)는 도 11을 통하여 설명한 제2 반도체 패키지(40)와 실질적으로 동일한 바, 자세한 설명은 생략하도록 한다.

[0154] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

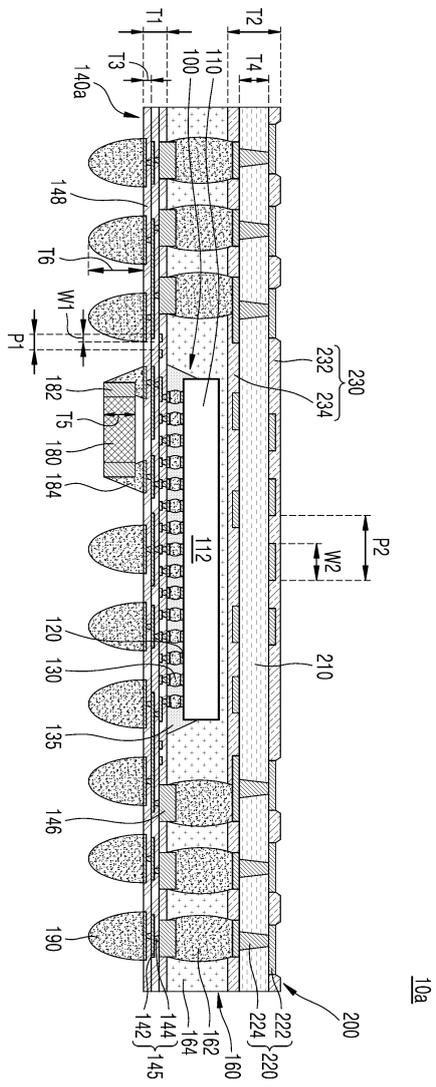
부호의 설명

[0155] 10, 10a, 10b, 10c, 10d, 20, 22, 30, 32, 32a : 반도체 패키지, 제1 반도체 패키지, 40 : 제2 반도체 패키지, 100 : 반도체 칩, 제1 반도체 칩, 140, 140a, 140b, 140c, 140d : 재배선층, 250 : 지지 배선층, 150, 160 :

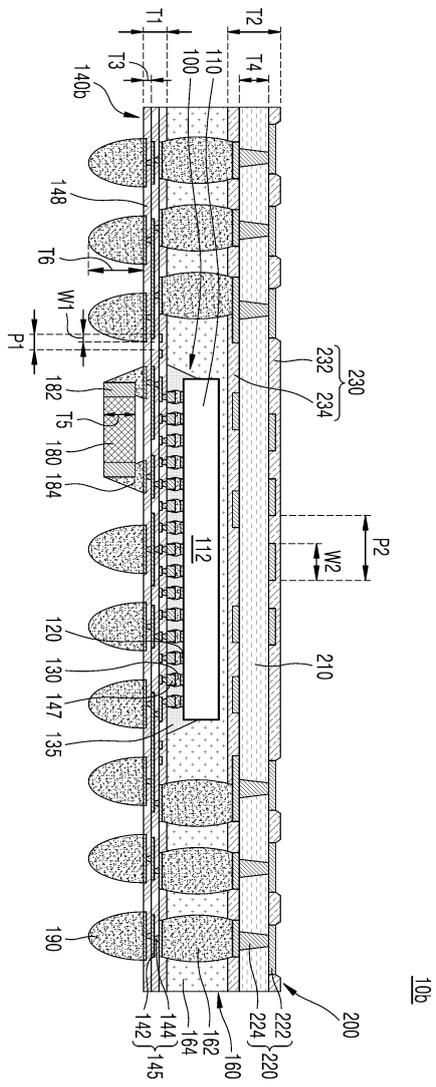
도면1b



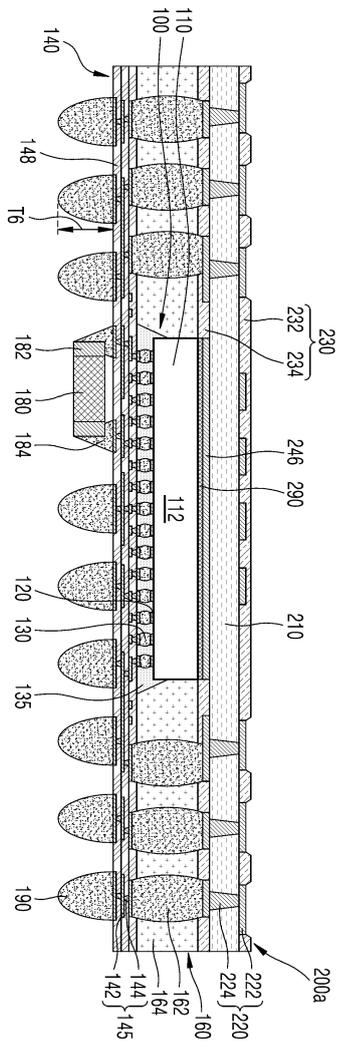
도면2



도면3

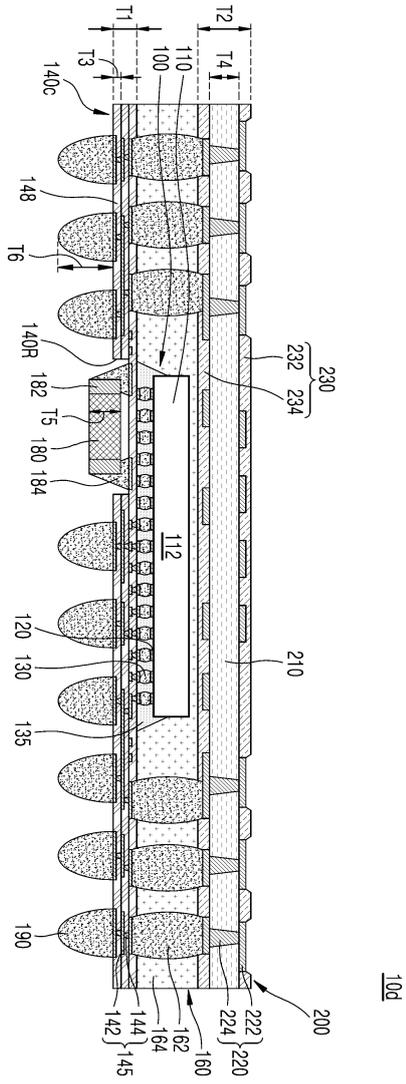


도면4

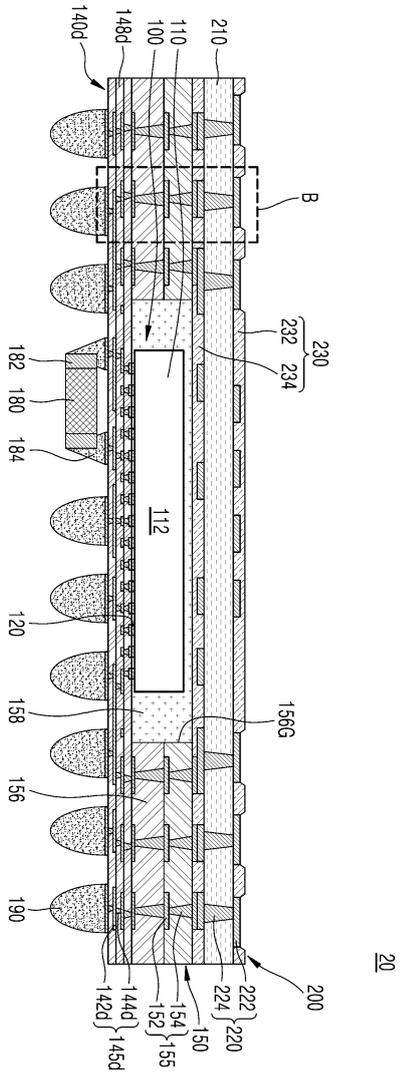


10c

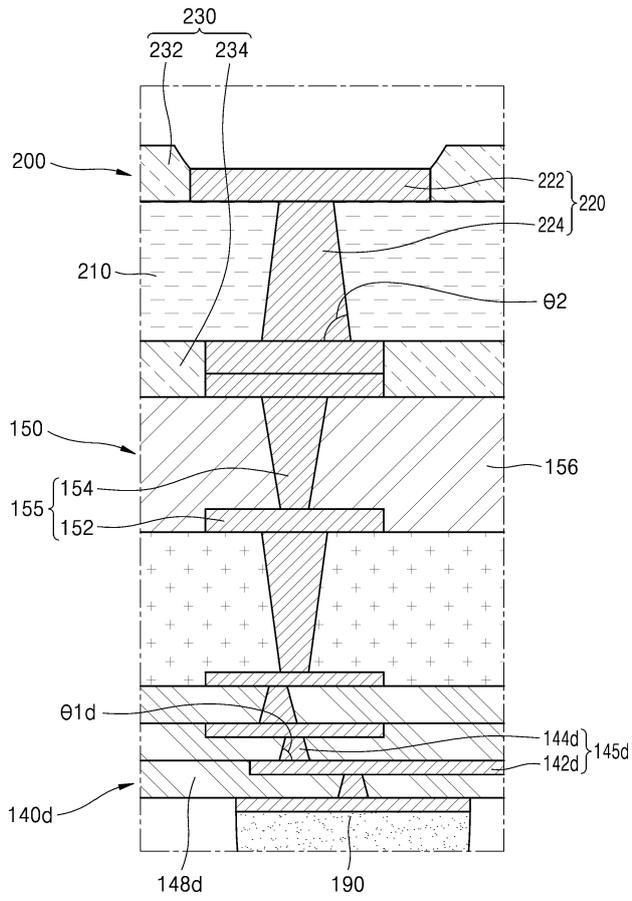
도면5



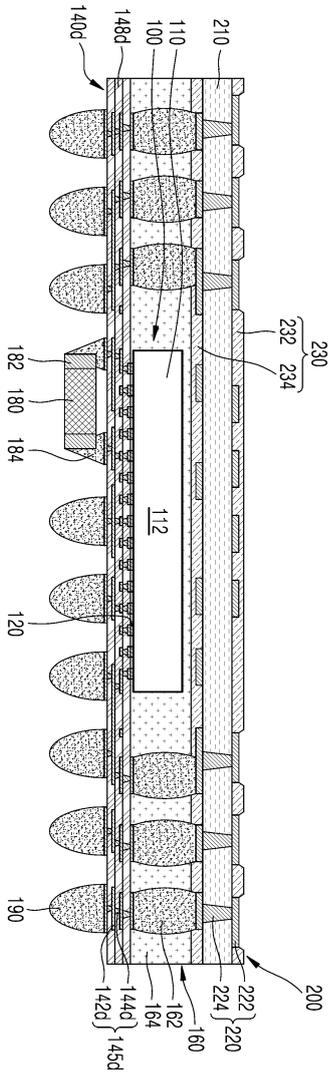
도면6a



도면6b

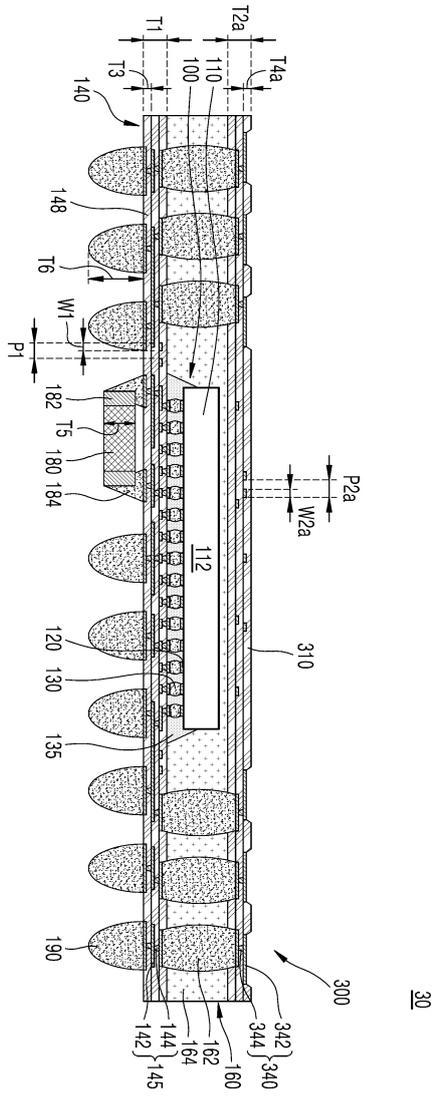


도면7

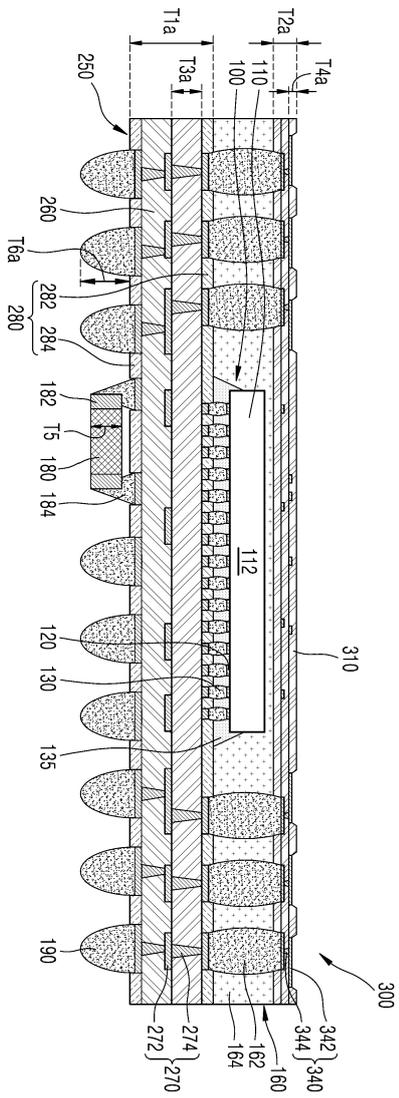


22

도면8

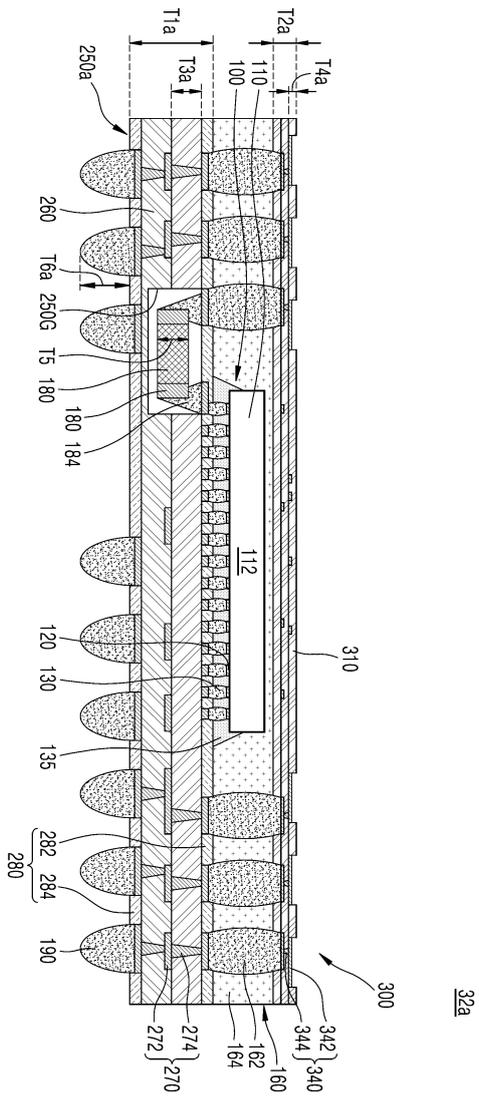


도면9

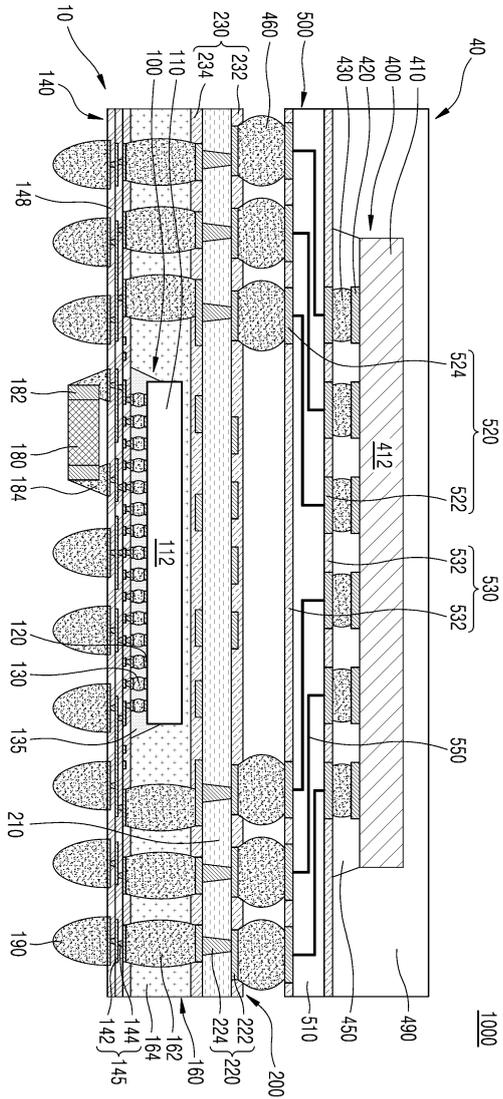


32

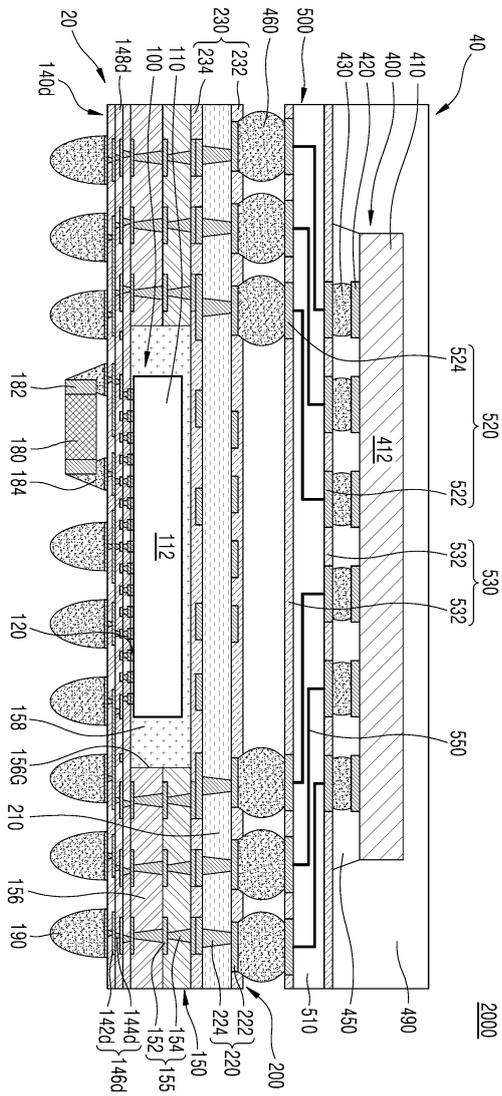
도면10



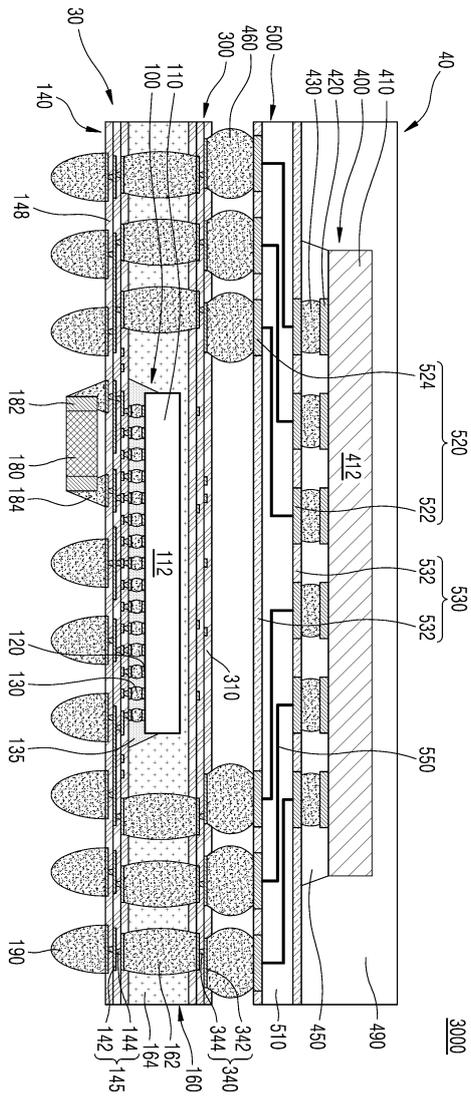
도면11



도면12



도면14



도면15

