

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年4月4日(04.04.2024)



(10) 国際公開番号

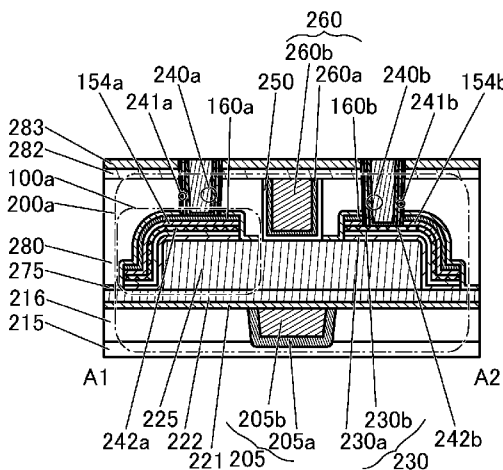
WO 2024/069339 A1

- (51) 国際特許分類:
H10B 12/00 (2023.01) H01L 27/088 (2006.01)
H10B 41/70 (2023.01) H01L 21/336 (2006.01)
H01L 21/822 (2006.01) H01L 29/788 (2006.01)
H01L 27/04 (2006.01) H01L 29/792 (2006.01)
H01L 21/8234 (2006.01) H01L 29/786 (2006.01)
H01L 27/06 (2006.01)
- (21) 国際出願番号: PCT/IB2023/059426
- (22) 国際出願日: 2023年9月25日(25.09.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-157669 2022年9月30日(30.09.2022) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).
- (72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);
〒2430036 神奈川県厚木市長谷398株式会社半
導体エネルギー研究所内 Kanagawa (JP). 國
武 寛司 (KUNITAKE, Hitoshi); 〒2430036 神奈
川県厚木市長谷398株式会社半導体エネルギ
ー研究所内 Kanagawa (JP). 太田 将志 (OTA,
Masashi); 〒2430036 神奈川県厚木市長谷398
株式会社半導体エネルギー研究所内 Kanagawa
(JP). 齋藤 暁 (SAITO, Satoru); 〒2430036 神奈

(54) Title: STORAGE DEVICE

(54) 発明の名称: 記憶装置

図1B



(57) Abstract: This storage device has: a first insulator on a substrate; an oxide semiconductor which covers at least a portion of the first insulator; first and second conductors on the oxide semiconductor; a second insulator on the first conductor; a third insulator on the second conductor; a third conductor on the second insulator; a fourth conductor on the third insulator; a fourth insulator which is disposed on the third conductor and the fourth conductor and has a first opening overlapping gaps between the first conductor, the second insulator, and the third conductor, and the second conductor, the



WO 2024/069339 A1

川島厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

third insulator, and the fourth conductor; a fifth insulator disposed inside the first opening; a fifth conductor disposed on the fifth insulator; a sixth conductor which is disposed inside a second opening formed in the fourth insulator and is in contact with the upper surface of the third conductor; and a seventh conductor which is disposed inside a third opening formed in the fourth insulator, the third insulator, and the fourth conductor and is in contact with the upper surface of the second conductor, wherein the height of the first insulator is greater than the width thereof, and the upper surface of the first insulator is in contact with the fifth insulator.

(57) 要約 : 基板上の第1の絶縁体と、第1の絶縁体の少なくとも一部を覆う酸化物半導体と、酸化物半導体上の第1の導電体及び第2の導電体と、第1の導電体上の第2の絶縁体と、第2の導電体上の第3の絶縁体と、第2の絶縁体上の第3の導電体と、第3の絶縁体上の第4の導電体と、第3の導電体及び第4の導電体上に配置され、第1の導電体、第2の絶縁体及び第3の導電体と、第2の導電体、第3の絶縁体及び第4の導電体との間に重なる第1の開口を有する第4の絶縁体と、第1の開口内に配置される第5の絶縁体と、第5の絶縁体上に配置される第5の導電体と、第4の絶縁体に形成された第2の開口内に配置され、第3の導電体の上面に接する第6の導電体と、第4の絶縁体、第3の絶縁体及び第4の導電体に形成された第3の開口内に配置され、第2の導電体の上面に接する第7の導電体とを有し、第1の絶縁体の高さは幅より長く、第1の絶縁体の上面は第5の絶縁体と接する。

明細書

発明の名称

記憶装置

技術分野

[0001]

本発明の一態様は、酸化物半導体を用いた半導体装置、記憶装置、及び電子機器に関する。また、本発明の一態様は、上記半導体装置、及び上記記憶装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、またはそれらの製造方法を一例として挙げるることができる。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有するといえる場合がある。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSI、CPU、メモリなどが主に半導体装置に用いられている。CPUは、半導体ウエハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSI、CPU、メモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）、画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、特許文献1には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のCPUなどが開示されている。また、例えば、特許文献2には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期間にわたり記憶内容を保持することができる記憶装置などが、開示されている。

[0008]

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。例えば、特許文献

3及び非特許文献1では、酸化物半導体膜を用いる第1のトランジスタと、酸化物半導体膜を用いる第2のトランジスタとを積層させることで、メモリセルを複数重畳して設けることにより、集積回路の高密度化を図る技術が開示されている。また、例えば、特許文献4のように、酸化物半導体膜を用いるトランジスタのチャンネルを縦方向に配置し、集積回路の高密度化を図る技術も開示されている。

[先行技術文献]

[特許文献]

[0009]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2011-151383号公報

[特許文献3] 国際公開第2021/053473号

[特許文献4] 特開2013-211537号公報

[非特許文献]

[0010]

[非特許文献1] M. Oota et. al, "3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm", IEDM Tech. Dig., 2019, pp. 50-53

発明の概要

発明が解決しようとする課題

[0011]

本発明の一態様は、微細化または高集積化が可能な記憶装置を提供することを課題の一つとする。または、本発明の一態様は、記憶容量が大きい記憶装置を提供することを課題の一つとする。または、動作速度が速い記憶装置を提供することを課題の一つとする。または、良好な電気特性を有する記憶装置を提供することを課題の一つとする。または、トランジスタの電気特性のばらつきが少ない記憶装置を提供することを課題の一つとする。または、信頼性が良好な記憶装置を提供することを課題の一つとする。または、オン電流が大きい記憶装置を提供することを課題の一つとする。または、低消費電力の記憶装置を提供することを課題の一つとする。または、新規の記憶装置を提供することを課題の一つとする。または、新規の記憶装置の作製方法を提供することを課題の一つとする。

[0012]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0013]

本発明の一態様は、基板上の第1の絶縁体と、第1の絶縁体の少なくとも一部を覆う酸化物半導体と、酸化物半導体上の第1の導電体及び第2の導電体と、第1の導電体上の第2の絶縁体と、第2の導電体上の第3の絶縁体と、第2の絶縁体上の第3の導電体と、第3の絶縁体上の第4の導電体と、第3の導電体、及び第4の導電体上に配置され、第1の導電体、第2の絶縁体、及び第3の導電体と、第2の導電体、第3の絶縁体、及び第4の導電体との間に重なる、第1の開口を有する、

第4の絶縁体と、第1の開口内に配置され、第1の絶縁体上及び酸化半導体上に配置される、第5の絶縁体と、第1の開口内に配置され、第5の絶縁体上に配置される、第5の導電体と、第4の絶縁体に形成された第2の開口内に配置され、第3の導電体の上面に接する第6の導電体と、第4の絶縁体、第3の絶縁体、及び第4の導電体に形成された第3の開口内に配置され、第2の導電体の上面に接する第7の導電体と、を有し、チャンネル幅方向の断面視において、第1の絶縁体の高さは、第1の絶縁体の幅より長く、第1の絶縁体の上面は、第1の導電体及び第2の導電体と重畳しない領域において、第5の絶縁体と接する、記憶装置である。

[0014]

上記において、チャンネル幅方向の断面視において、第1の絶縁体の高さは、第1の絶縁体の幅の2倍以上20倍以下である、ことが好ましい。

[0015]

また、上記において、第1の導電体は、トランジスタのソース電極及びドレイン電極の一方として機能し、第2の導電体は、トランジスタのソース電極及びドレイン電極の他方として機能し、第5の導電体は、トランジスタのゲート電極として機能する、ことが好ましい。

[0016]

また、上記において、第1の導電体は、容量素子の一对の電極の一方として機能し、第3の導電体は、容量素子の一对の電極の他方として機能し、第2の絶縁体は、容量素子の誘電体として機能する、ことが好ましい。

[0017]

また、上記において、第2の絶縁体は、酸化ジルコニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜の順に積層された積層構造を有する、ことが好ましい。

[0018]

また、上記において、第7の導電体と第4の絶縁体の間に、第6の絶縁体が配置され、第6の絶縁体によって、第7の導電体と、第4の導電体が絶縁される、ことが好ましい。

[0019]

また、上記の記憶装置は、チャンネル幅方向の断面視において、第1の絶縁体の一方の側面において、酸化半導体と第5の導電体が第5の絶縁体を挟んで対向し、第1の絶縁体の他方の側面において、酸化半導体と第5の導電体が第5の絶縁体を挟んで対向する、ことが好ましい。

[0020]

また、上記の記憶装置は、チャンネル幅方向の断面視において、第1の絶縁体の一方の側面において、第1の導電体と第3の導電体が第2の絶縁体を挟んで対向し、第1の絶縁体の他方の側面において、第1の導電体と第3の導電体が第2の絶縁体を挟んで対向する、ことが好ましい。

[0021]

また、上記において、酸化半導体は、In、Ga、及びZnの中から選ばれるいずれか一または複数を含む、ことが好ましい。

発明の効果

[0022]

本発明の一態様により、微細化または高集積化が可能な記憶装置を提供できる。または、本発明の一態様により、記憶容量が大きい記憶装置を提供できる。または、動作速度が速い記憶装置を提供できる。または、信頼性が良好な記憶装置を提供できる。または、トランジスタの電気特性のば

らつきが少ない記憶装置を提供できる。または、良好な電気特性を有する記憶装置を提供できる。または、オン電流が大きい記憶装置を提供できる。または、低消費電力の記憶装置を提供できる。または、新規の記憶装置を提供できる。または、新規の記憶装置の作製方法を提供できる。

[0023]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0024]

図1Aは、記憶装置の一例を示す平面図である。図1B乃至図1Dは、記憶装置の一例を示す断面図である。

図2は、記憶装置の一例を示す断面図である。

図3A及び図3Bは、記憶装置の一例を示す断面図である。

図4A及び図4Bは、記憶装置の一例を示す断面図である。

図5A及び図5Bは、記憶装置の一例を示す断面図である。

図6Aは、記憶装置の一例を示す平面図である。図6B乃至図6Dは、記憶装置の一例を示す断面図である。

図7Aは、記憶装置の一例を示す平面図である。図7B乃至図7Dは、記憶装置の一例を示す断面図である。

図8Aは、記憶装置の一例を示す平面図である。図8B及び図8Cは、記憶装置の一例を示す断面図である。

図9Aは、記憶装置の一例を示す平面図である。図9B乃至図9Dは、記憶装置の一例を示す断面図である。

図10Aは、記憶装置の一例を示す平面図である。図10B乃至図10Dは、記憶装置の一例を示す断面図である。

図11A及び図11Bは、記憶装置の一例を示す断面図である。

図12Aは、記憶装置の作製方法の一例を示す平面図である。図12B乃至図12Dは、記憶装置の作製方法の一例を示す断面図である。

図13Aは、記憶装置の作製方法の一例を示す平面図である。図13B乃至図13Dは、記憶装置の作製方法の一例を示す断面図である。

図14Aは、記憶装置の作製方法の一例を示す平面図である。図14B乃至図14Dは、記憶装置の作製方法の一例を示す断面図である。

図15Aは、記憶装置の作製方法の一例を示す平面図である。図15B乃至図15Dは、記憶装置の作製方法の一例を示す断面図である。

図16Aは、記憶装置の作製方法の一例を示す平面図である。図16B乃至図16Dは、記憶装置の作製方法の一例を示す断面図である。

図17Aは、記憶装置の作製方法の一例を示す平面図である。図17B乃至図17Dは、記憶装置の作製方法の一例を示す断面図である。

図18Aは、記憶装置の作製方法の一例を示す平面図である。図18B乃至図18Dは、記憶装置の作製方法の一例を示す断面図である。

図19Aは、記憶装置の作製方法の一例を示す平面図である。図19B乃至図19Dは、記憶装置の作製方法の一例を示す断面図である。

図20Aは、記憶装置の作製方法の一例を示す平面図である。図20B乃至図20Dは、記憶装置の作製方法の一例を示す断面図である。

図21Aは、記憶装置の作製方法の一例を示す平面図である。図21B乃至図21Dは、記憶装置の作製方法の一例を示す断面図である。

図22Aは、記憶装置の作製方法の一例を示す平面図である。図22B乃至図22Dは、記憶装置の作製方法の一例を示す断面図である。

図23は、記憶装置の一例を示すブロック図である。

図24A及び図24Bは、記憶装置の一例を示す模式図及び回路図である。

図25A及び図25Bは、記憶装置の一例を示す模式図である。

図26は、記憶装置の一例を示す回路図である。

図27は、記憶装置の一例を示す断面図である。

図28は、記憶装置の一例を示す断面図である。

図29A及び図29Bは半導体装置の一例を示す図である。

図30A及び図30Bは、電子部品の一例を示す図である。

図31A及び図31Bは、電子機器の一例を示す図であり、図31C乃至図31Eは、大型計算機の一例を示す図である。

図32は、宇宙用機器の一例を示す図である。

図33は、データセンターに適用可能なストレージシステムの一例を示す図である。

発明を実施するための形態

[0025]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0026]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0027]

また、図面において示す各構成の、位置、大きさ、及び、範囲などは、理解の簡単のため、実際の位置、大きさ、及び、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲などに限定されない。

[0028]

また、特に平面図（「上面図」ともいう）、または斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線の記載を省略する場合がある。

[0029]

なお、本明細書等において、「第1」、「第2」という序数詞は、便宜上用いるものであり、構

成要素の数、または、構成要素の順序（例えば、工程順、または積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、または特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0030]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。また、「導電体」という用語は、場合によっては、または、状況に応じて、「導電層」という用語、または「導電膜」という用語に、互いに入れ替えることが可能である。また、「絶縁体」という用語は、場合によっては、または、状況に応じて、「絶縁層」という用語、または「絶縁膜」という用語に、互いに入れ替えることが可能である。

[0031]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0032]

開口とは、例えば、溝、スリットなども含まれる。また、開口が形成された領域を開口部と記す場合がある。

[0033]

また、本明細書における実施の形態で用いる図面において、絶縁体の開口部における側壁が、基板面または被形成面に対して垂直、または概略垂直である場合を示すが、テーパ形状であってもよい。

[0034]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面または被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面または被形成面とがなす角（以下、テーパ角と呼ぶ場合がある）が 90° 未満である領域を有する形状のことを指す。なお、構造の側面及び基板面は、必ずしも完全に平坦である必要はなく、微細な曲率を有する略平面状、または微細な凹凸を有する略平面状であってもよい。

[0035]

なお、本明細書等において、「高さが一致または概略一致」とは、断面視において、基準となる面（例えば、基板表面などの平坦な面）からの高さが等しい構成を示す。例えば、記憶装置の製造プロセスにおいて、平坦化処理（代表的にはCMP処理）を行うことで、単層または複数の層の表面を露出する場合がある。この場合、CMP処理の被処理面は、基準となる面からの高さが等しい構成となる。ただし、CMP処理の際の処理装置、処理方法、または被処理面の材料によって、複数の層の高さが異なる場合がある。本明細書等においては、この場合も「高さが一致または概略一致」として扱う。例えば、基準面に対して、2つの高さを有する層（ここでは第1の層と、第2の層とする）を有する場合、第1の層の上面の高さと、第2の層の上面の高さとの差が、 20 nm 以

下である場合も、「高さが一致または概略一致」という。

[0036]

なお、本明細書等において、「側端部が一致または概略一致」とは、平面視において、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重ならず、上層の輪郭が下層の輪郭より内側に位置すること、または、上層の輪郭が下層の輪郭より外側に位置することもあり、この場合も「側端部が一致または概略一致」という。

[0037]

(実施の形態1)

本実施の形態では、酸化物半導体層を有する記憶装置、及び当該記憶装置の作製方法について、図1乃至図22を用いて説明する。

[0038]

<記憶装置の構成例>

図1乃至図8を用いて、記憶装置の構成例について説明する。図1A乃至図1D、及び図2は、基板（図示せず）上にトランジスタ200a、トランジスタ200b、容量素子100a、及び容量素子100bを有する、記憶装置の上面図および断面図である。ここで、トランジスタ200a及び容量素子100aと、トランジスタ200b及び容量素子100bとは、それぞれ1T（トランジスタ）1C（容量）型のメモリセルとして機能する記憶装置である。なお、トランジスタ200bは、トランジスタ200aと同様の構造を有するため、構成要素にトランジスタ200aと同じハッチングパターンを付し、特に符号を付さない。また、容量素子100bは、容量素子100aと同様の構造を有するため、構成要素に容量素子100aと同じハッチングパターンを付し、特に符号を付さない。また、以下において、トランジスタ200aとトランジスタ200bをまとめてトランジスタ200と記載する場合がある。また、容量素子100aと容量素子100bをまとめて容量素子100と記載する場合がある。

[0039]

図1Aは、上記記憶装置の上面図である。また、図1B乃至図1D、及び図2は、当該記憶装置の断面図である。ここで、図1Bは、図1AにA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200aのチャネル長方向の断面図でもある。また、図2は、図1AにB1-B2の一点鎖線で示す部位の断面図であり、トランジスタ200aのチャネル長方向の断面図でもある。また、図1Cは、図1AにA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200a及びトランジスタ200bのチャネル幅方向の断面図でもある。また、図1Dは、図1AにA5-A6の一点鎖線で示す部位の断面図であり、容量素子100a及び容量素子100bの断面図でもある。ここで、A1-A2の一点鎖線及びB1-B2の一点鎖線は、A3-A4の一点鎖線及びA5-A6の一点鎖線と直交している。A1-A2の一点鎖線とB1-B2の一点鎖線は互いに平行であり、A3-A4の一点鎖線とA5-A6の一点鎖線は互いに平行である。なお、図1Aの上面図では、図の明瞭化のために一部の要素を省いている。また、図3Aに、図1Bの導電体260近傍の拡大図を示す。また、図3Bに、図1Cの絶縁体225近傍の拡大図を示す。また、図5Aに、図1Bの絶縁体154a近傍の拡大図を示す。また、図5Bに、図1Dの絶縁体225近傍の拡大図を示す。

[0040]

本実施の形態に係る記憶装置は、基板（図示せず）上の絶縁体216に埋め込まれるように設けられた導電体205（導電体205a及び導電体205b）と、絶縁体216及び導電体205上の絶縁体221と、絶縁体221上の絶縁体222と、絶縁体222上の絶縁体225と、絶縁体222上に配置され、絶縁体225の少なくとも一部を覆う酸化物230（酸化物230a及び酸化物230b）と、酸化物230上の導電体242a及び導電体242bと、導電体242a上の絶縁体154aと、導電体242b上の絶縁体154bと、絶縁体154a上の導電体160aと、絶縁体154b上の導電体160bと、絶縁体225上及び酸化物230上の絶縁体250と、絶縁体250上の導電体260（導電体260a及び導電体260b）と、を有する。なお、以下において、導電体242aと導電体242bをまとめて導電体242と記載する場合がある。また、絶縁体154aと絶縁体154bをまとめて絶縁体154と記載する場合がある。また、導電体160aと導電体160bをまとめて導電体160と記載する場合がある。

[0041]

導電体160上には、絶縁体275が設けられ、絶縁体275上には絶縁体280が設けられている。絶縁体250、及び導電体260は、絶縁体280及び絶縁体275に設けられた開口の内部に配置されている。また、絶縁体280上及び導電体260上に絶縁体282が設けられている。また、絶縁体282上に絶縁体283が設けられている。また、絶縁体216及び導電体205の下に絶縁体215が設けられている。

[0042]

絶縁体280などの開口の内壁に接して絶縁体241aが設けられ、絶縁体241aの側面に接して導電体240aが設けられている。導電体240aの下面は、導電体160aの上面に接している。また、絶縁体280などの開口の内壁に接して絶縁体241bが設けられ、絶縁体241bの側面に接して導電体240bが設けられている。導電体240bの下面は、導電体242bの上面に接している。なお、以下において、導電体240aと導電体240bをまとめて導電体240と記載する場合がある。また、絶縁体241aと絶縁体241bをまとめて絶縁体241と記載する場合がある。

[0043]

酸化物230は、トランジスタ200のチャンネル形成領域として機能する領域を有する。また、導電体260は、トランジスタ200の第1のゲート電極（上側のゲート電極）として機能する領域を有する。絶縁体250は、トランジスタ200の第1のゲート絶縁体として機能する領域を有する。また、導電体205は、トランジスタ200の第2のゲート電極（下側のゲート電極）として機能する領域を有する。絶縁体222、及び絶縁体221は、それぞれ、トランジスタ200の第2のゲート絶縁体として機能する領域を有する。

[0044]

導電体242aは、トランジスタ200のソース電極またはドレイン電極の一方として機能する領域を有する。導電体242bは、トランジスタ200のソース電極またはドレイン電極の他方として機能する領域を有する。導電体240bは、導電体242bに接続するプラグとして機能する。

[0045]

また、容量素子100は、導電体242a、絶縁体154a、及び導電体160aを有する。導電体242aは、容量素子100の一对の電極の一方（下部電極ともいう）として機能し、導電体160aは、容量素子100の一对の電極の他方（上部電極ともいう）として機能し、絶縁体15

4 a は、容量素子 100 の誘電体として機能する。導電体 240 a は、導電体 160 a に接続するプラグとして機能する。容量素子 100 は、MIM (Metal-Insulator-Metal) 容量を構成している。

[0046]

酸化物 230 は、導電体 242 等と重なる領域において、絶縁体 225 を覆う酸化物 230 a と、酸化物 230 a 上の酸化物 230 b と、を有することが好ましい。ここで、酸化物 230 a は、絶縁体 225 の上面及び側面、ならびに絶縁体 222 の上面に接する。酸化物 230 a 及び酸化物 230 b は、図 1D などに示すように、アスペクト比が高い絶縁体 225 を覆うように設けられる。よって、酸化物 230 a 及び酸化物 230 b は、ALD 法などの被覆性の良好な成膜法を用いて成膜することが好ましい。

[0047]

また、酸化物 230 は、導電体 242 等と重ならない領域 (導電体 242 a と導電体 242 b に挟まれた領域ということもできる。) において、図 3B に示すように、絶縁体 225 の側面に接する酸化物 230 a と、酸化物 230 a の側面に接する酸化物 230 b と、を有することが好ましい。ここで、酸化物 230 a は、絶縁体 225 の側面、酸化物 230 b の側面及び下面、ならびに絶縁体 222 の上面に接する。さらに、酸化物 230 a 及び酸化物 230 b は、絶縁体 225 の上面の少なくとも一部に接しておらず、図 1B、図 1C などに示すように、絶縁体 225 の上面は絶縁体 250 の下面に接する。図 1B では、導電体 242 a と導電体 242 b の間に、酸化物 230 a 及び酸化物 230 b が形成されていないように見えるが、図 2 に示すように、絶縁体 225 の側面近傍に酸化物 230 a 及び酸化物 230 b が形成されている。つまり、酸化物 230 a 及び酸化物 230 b は、それぞれ、導電体 242 と重なる領域では、絶縁体 225 を挟んで A5 側の部位と A6 側の部位が二つ折り状に一体になっているが、導電体 242 a と導電体 242 b の間の領域では、A3 側の部位と A4 側の部位が絶縁体 225 によって分断された形状である。言い換えると、絶縁体 225 は、酸化物 230 によって概略覆われているが、導電体 242 a と導電体 242 b の間の領域では、酸化物 230 に開口が形成されており、当該領域において絶縁体 225 は、酸化物 230 から露出している。

[0048]

上記のように、導電体 242 a と導電体 242 b の間の領域では、酸化物 230 a 及び酸化物 230 b は、アスペクト比が高い絶縁体 225 の側面にサイドウォール状に設けられる。よって、酸化物 230 a 及び酸化物 230 b は、ALD 法などの被覆性の良好な成膜法を用いて成膜することが好ましい。また、導電体 242 a と導電体 242 b の間の領域では、チャンネル幅方向の断面では、絶縁体 225 の、A3 側の側面、及び A4 側の側面に、それぞれ酸化物 230 a 及び酸化物 230 b が形成される。このような構成にすることで、絶縁体 225 の、A3 側の側面、及び A4 側の側面にトランジスタ 200 のチャンネル形成領域を形成することができるので、単位面積当たりのチャンネル幅を大きくすることができる。チャンネル幅が大きくなることで、トランジスタ 200 のオン電流、電界効果移動度、周波数特性を良好にすることができる。よって、本実施の形態の記憶装置をメモリセルとして用いることで、書き込み速度の向上を図ることができる。

[0049]

酸化物 230 b の下に酸化物 230 a を有することで、酸化物 230 a よりも下方に形成された構造物から、酸化物 230 b への不純物の拡散を抑制することができる。

[0050]

なお、本実施の形態では、酸化物230が、酸化物230a及び酸化物230bの2層構造である例を示すが、これに限定されない。酸化物230は、例えば、酸化物230bの単層構造であってもよく、3層以上の積層構造としてもよい。

[0051]

酸化物230bには、トランジスタ200における、チャネル形成領域と、チャネル形成領域を挟むように設けられるソース領域及びドレイン領域と、が形成される。チャネル形成領域の少なくとも一部は、導電体260と対向する。ソース領域は導電体242aと重なり、ドレイン領域は導電体242bと重なる。なお、ソース領域とドレイン領域は互いに入れ替えることができる。

[0052]

チャネル形成領域は、ソース領域及びドレイン領域よりも、酸素欠損が少ない、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって、チャネル形成領域は、i型（真性）または実質的にi型であるといえることができる。

[0053]

また、ソース領域及びドレイン領域は、酸素欠損が多い、または水素、窒素、金属元素などの不純物濃度が高いため、キャリア濃度が高い低抵抗領域である。すなわち、ソース領域及びドレイン領域は、チャネル形成領域と比較してキャリア濃度が高い、n型の領域（低抵抗領域）である。

[0054]

なお、チャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満、 $1 \times 10^{15} \text{ cm}^{-3}$ 未満、 $1 \times 10^{14} \text{ cm}^{-3}$ 未満、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満、 $1 \times 10^{11} \text{ cm}^{-3}$ 未満、または、 $1 \times 10^{10} \text{ cm}^{-3}$ 未満であることが好ましい。また、チャネル形成領域のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0055]

なお、酸化物230bのキャリア濃度を低くする場合においては、酸化物230b中の不純物濃度を低くし、欠陥準位密度を低くする。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体（または金属酸化物）を、高純度真性または実質的に高純度真性な酸化物半導体（または金属酸化物）と呼ぶ場合がある。

[0056]

トランジスタ200の電気特性を安定にするためには、酸化物230b中の不純物濃度を低減することが有効である。また、酸化物230bの不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。なお、酸化物230b中の不純物とは、例えば、酸化物230bを構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物といえる。

[0057]

なお、チャネル形成領域、ソース領域、及び、ドレイン領域は、それぞれ、酸化物230bだけでなく、酸化物230aまで形成されていてもよい。

[0058]

また、酸化物230において、各領域の境界を明確に検出することが困難な場合がある。各領域

内で検出される金属元素、並びに、水素、及び窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャンネル形成領域に近い領域であるほど、金属元素、並びに、水素、及び窒素などの不純物元素の濃度が減少していてもよい。

[0059]

酸化物230（酸化物230a及び酸化物230b）には、半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。

[0060]

半導体として機能する金属酸化物のバンドギャップは、2 eV以上が好ましく、2.5 eV以上がより好ましい。バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。このように、チャンネル形成領域に金属酸化物を有するトランジスタをOSトランジスタと呼ぶ。OSトランジスタは、オフ電流が小さいため、記憶装置の消費電力を十分に低減できる。また、OSトランジスタの周波数特性が高いため、記憶装置を高速に動作させることができる。

[0061]

酸化物230は、金属酸化物（酸化物半導体）を有することが好ましい。酸化物230に用いることができる金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウム（In）または亜鉛（Zn）を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二または三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素Mとして、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種または複数種であることがより好ましく、ガリウムがさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0062]

酸化物230は、例えば、インジウム亜鉛酸化物（In-Zn酸化物）、インジウムスズ酸化物（In-Sn酸化物）、インジウムチタン酸化物（In-Ti酸化物）、インジウムガリウム酸化物（In-Ga酸化物）、インジウムガリウムアルミニウム酸化物（In-Ga-Al酸化物）、インジウムガリウムスズ酸化物（In-Ga-Sn酸化物）、ガリウム亜鉛酸化物（Ga-Zn酸化物、GZOとも記す）、アルミニウム亜鉛酸化物（Al-Zn酸化物、AZOとも記す）、インジウムアルミニウム亜鉛酸化物（In-Al-Zn酸化物、IAZOとも記す）、インジウムスズ亜鉛酸化物（In-Sn-Zn酸化物）、インジウムチタン亜鉛酸化物（In-Ti-Zn酸化物）、インジウムガリウム亜鉛酸化物（In-Ga-Zn酸化物、IGZOとも記す）、インジウムガリウムスズ亜鉛酸化物（In-Ga-Sn-Zn酸化物、IGZTOとも記す）、インジウムガリウムアルミニウム亜鉛酸化物（In-Ga-Al-Zn酸化物、IGAZOまたはIAGZOとも記す）などを用いることができる。または、シリコンを含むインジウムスズ酸化物、ガリウムスズ酸化物（Ga-Sn酸化物）、アルミニウムスズ酸化物（Al-Sn酸化物）などを用いるこ

とができる。

[0063]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。

[0064]

なお、金属酸化物は、インジウムに代えて、又は、インジウムに加えて、周期番号が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0065]

また、金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

[0066]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0067]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されるのを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0068]

前述したように、酸化物230に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した記憶装置とすることができる。

[0069]

酸化物230は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。例えば、酸化物230aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。当該構成にすることで、酸化物230aよりも下方に形成された構造

物からの、酸化物230bに対する、不純物及び酸素の拡散を抑制できる。

[0070]

また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。当該構成することで、トランジスタ200は大きいオン電流、及び高い周波数特性を得ることができる。

[0071]

また、酸化物230a及び酸化物230bが、酸素以外に共通の元素を主成分として有することで、酸化物230a及び酸化物230bの界面における欠陥準位密度を低減できる。酸化物230a及び酸化物230bの界面における欠陥準位密度を低減できる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200は大きいオン電流、及び高い周波数特性を得ることができる。

[0072]

具体的には、酸化物230aとして、 $I_n : M : Z_n = 1 : 3 : 2$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 1$ [原子数比] もしくはその近傍の組成、または $I_n : M : Z_n = 1 : 1 : 0.5$ [原子数比] もしくはその近傍の組成の金属酸化物を用いることができる。また、酸化物230bとして、 $I_n : M : Z_n = 1 : 1 : 1$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 1.2$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 2$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成、または、元素Mを含まず、 $I_n : Z_n = 4 : 1$ [原子数比] もしくはその近傍の組成の金属酸化物を用いることができる。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。また、酸化物230として酸化物230bの単層を設ける場合、酸化物230bとして、酸化物230aに用いることができる金属酸化物を適用してもよい。また、酸化物230a、及び酸化物230bに用いることのできる金属酸化物の組成については、上記に限定されない。例えば、酸化物230aに用いることのできる金属酸化物の組成は、酸化物230bに適用してもよい。同様に、酸化物230bに用いることのできる金属酸化物の組成は、酸化物230aに適用してもよい。また、酸化物230a、および酸化物230bのいずれか一方または両方において、上記組成の金属酸化物を積層してもよい。

[0073]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であつてもよい。

[0074]

酸化物230bは、結晶性を有することが好ましい。特に、酸化物230bとして、CAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。

[0075]

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物及び欠陥（例えば、酸素欠損）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度

の温度（例えば、400℃以上600℃以下）で加熱処理することで、CAAC-Osをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-Osの密度をより高めることで、当該CAAC-Os中の不純物または酸素の拡散をより低減することができる。

[0076]

また、CAAC-Osは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-Osを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-Osを有する金属酸化物は熱に強く、信頼性が高い。

[0077]

また、酸化物230bとしてCAAC-Osなどの結晶性を有する酸化物を用いることで、ソース電極またはドレイン電極による、酸化物230bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物230bから酸素が引き抜かれることを低減できるため、トランジスタ200は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0078]

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 V_OH と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネル形成領域では、不純物、酸素欠損、及び V_OH はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネル形成領域は、キャリア濃度が低減され、i型（真性化）または実質的にi型であることが好ましい。

[0079]

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、及び V_OH を低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ200のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素の量が基板面内でばらつくことで、トランジスタを有する記憶装置の特性にばらつきが出ることになる。また、当該絶縁体から酸化物半導体に供給する酸素が、ゲート電極、ソース電極、及びドレイン電極などの導電体に拡散すると、当該導電体が酸化してしまい、導電性が損なわれることなどにより、トランジスタの電気特性及び信頼性に悪影響を及ぼす場合がある。

[0080]

よって、酸化物半導体中において、チャネル形成領域は、キャリア濃度が低減され、i型または実質的にi型であることが好ましいが、ソース領域及びドレイン領域は、キャリア濃度が高く、n型であることが好ましい。つまり、酸化物半導体のチャネル形成領域の酸素欠損、及び V_OH を低減することが好ましい。また、ソース領域及びドレイン領域には過剰な量の酸素が供給されないようにすること、及びソース領域及びドレイン領域の V_OH の量が過剰に低減しないようにすることが好ましい。また、導電体260、導電体242a、及び導電体242bなどの導電率が低下する

ことを抑制する構成にすることが好ましい。例えば、導電体260、導電体242a、及び導電体242bなどの酸化を抑制する構成にすることが好ましい。なお、酸化物半導体中の水素は V_{OH} を形成しうるため、 V_{OH} の量を低減するには、水素濃度を低減する必要がある。

[0081]

そこで、本実施の形態では、記憶装置を、チャネル形成領域の水素濃度を低減し、かつ、導電体242a、導電体242b、及び導電体260の酸化を抑制し、かつ、ソース領域及びドレイン領域中の水素濃度が低減することを抑制する構成とする。

[0082]

酸化物230bにおけるチャネル形成領域と接する絶縁体250は、水素を捕獲または水素を固着する機能を有することが好ましい。これにより、酸化物230bのチャネル形成領域中の水素濃度を低減できる。よって、チャネル形成領域中の V_{OH} を低減し、チャネル形成領域をi型または実質的にi型とすることができる。

[0083]

ここで、図3Aに示すように、絶縁体250は、酸化物230に接する絶縁体250aと、絶縁体250a上の絶縁体250bと、絶縁体250b上の絶縁体250cと、絶縁体250c上の絶縁体250dの積層構造とすることが好ましい。この場合、絶縁体250a及び絶縁体250cが水素を捕獲または水素を固着する機能を有することが好ましい。

[0084]

水素を捕獲または水素を固着する機能を有する絶縁体として、アモルファス構造を有する金属酸化物が挙げられる。絶縁体250a及び絶縁体250cとして、例えば、酸化マグネシウム、またはアルミニウム及びハフニウム的一方または双方を含む酸化物などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲または固着する性質を有する場合がある。つまり、アモルファス構造を有する金属酸化物は、水素を捕獲または固着する能力が高いといえる。

[0085]

また、絶縁体250a及び絶縁体250cに、高誘電率(high-k)材料を用いることが好ましい。なお、high-k材料の一例として、アルミニウム及びハフニウム的一方または双方を含む酸化物がある。絶縁体250a及び絶縁体250cとしてhigh-k材料を用いることで、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0086]

絶縁体250a及び絶縁体250cとして、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることがより好ましい。

[0087]

本実施の形態では、絶縁体250aとして、酸化アルミニウム膜を用いる。また、当該酸化アルミニウムは、アモルファス構造を有することが好ましい。ここで、酸化物230bに接して、絶縁体250aを設けることにより、酸化物230bなどに含まれる水素を、より効果的に捕獲及び固着させることができる。

[0088]

本実施の形態では、絶縁体250cとして、酸化ハフニウムを用いる。ここで、絶縁体250bと絶縁体250dの間に、絶縁体250cを設けることにより、絶縁体250bなどに含まれる水素を、より効果的に捕獲及び固着させることができる。

[0089]

次に、絶縁体250bは、酸化シリコンまたは酸化窒化シリコンなどの、熱に対し安定な絶縁体を用いることが好ましい。なお、本明細書等において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0090]

導電体242a、導電体242b、及び導電体260の酸化を抑制するために、導電体242a、導電体242b、及び導電体260それぞれの近傍に酸素に対するバリア絶縁体を設けることが好ましい。本実施の形態で説明する記憶装置において、当該絶縁体は、例えば、絶縁体250a、絶縁体250d、絶縁体250c、及び絶縁体275である。

[0091]

なお、本明細書等において、バリア絶縁体とは、バリア性を有する絶縁体のことを指す。本明細書等において、バリア性を有するとは、対応する物質の透過を妨げる性質（透過性が低いともいう）を有することを指す。例えば、バリア性を有する絶縁体は、対応する物質が当該絶縁体内部に拡散しにくい性質を有する。また例えば、バリア性を有する絶縁体は、対応する物質を、当該絶縁体内部で捕獲、または固着する（ゲッターリングともいう）機能を有する。

[0092]

酸素に対するバリア絶縁体としては、例えば、アルミニウム及びハフニウム的一方または双方を含む酸化物、酸化マグネシウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンが挙げられる。また、アルミニウム及びハフニウム的一方または双方を含む酸化物として、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、並びに、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）が挙げられる。例えば、絶縁体250a、絶縁体250c、絶縁体250d、及び絶縁体275はそれぞれ、上記酸素に対するバリア絶縁体の単層構造または積層構造であると好ましい。

[0093]

絶縁体250aは、酸素に対するバリア性を有することが好ましい。絶縁体250aは、少なくとも絶縁体280よりも酸素を透過しにくいことが好ましい。絶縁体250aは、絶縁体250の上面、酸化物230bの上面及び側面、酸化物230aの側面、及び絶縁体222の上面に接して設けられる。絶縁体250aが酸素に対するバリア性を有することで、熱処理などを行った際に、酸化物230bのチャンネル形成領域から酸素が脱離することを抑制できる。よって、酸化物230a及び酸化物230bに酸素欠損が形成されることを低減できる。

[0094]

また、絶縁体250aを設けることにより、絶縁体280から、酸化物230a及び酸化物23

0 b に過剰な量の酸素が供給されることを抑制し、適量の酸素を酸化物 2 3 0 a 及び酸化物 2 3 0 b に供給することができる。よって、ソース領域及びドレイン領域が過剰に酸化されることを防ぎ、トランジスタ 2 0 0 のオン電流の低下、または電界効果移動度の低下を起こすことを抑制できる。

[0 0 9 5]

アルミニウム及びハフニウム的一方または双方を含む酸化物は酸素に対するバリア性を有するため、絶縁体 2 5 0 a として好適に用いることができる。

[0 0 9 6]

絶縁体 2 5 0 d も、酸素に対するバリア性を有することが好ましい。絶縁体 2 5 0 d は酸化物 2 3 0 のチャンネル形成領域と導電体 2 6 0 との間、及び絶縁体 2 8 0 と導電体 2 6 0 との間に設けられている。当該構成にすることで、酸化物 2 3 0 のチャンネル形成領域に含まれる酸素が導電体 2 6 0 へ拡散し、酸化物 2 3 0 のチャンネル形成領域に酸素欠損が形成されることを抑制できる。また、酸化物 2 3 0 に含まれる酸素及び絶縁体 2 8 0 に含まれる酸素が導電体 2 6 0 へ拡散し、導電体 2 6 0 が酸化することを抑制できる。絶縁体 2 5 0 d は、少なくとも絶縁体 2 8 0 よりも酸素を透過しにくいことが好ましい。例えば、絶縁体 2 5 0 d として、窒化シリコン膜を用いることが好ましい。この場合、絶縁体 2 5 0 d は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

[0 0 9 7]

また、絶縁体 2 5 0 d は、水素に対するバリア性を有することが好ましい。これにより、導電体 2 6 0 に含まれる水素などの不純物が、酸化物 2 3 0 b に拡散することを防ぐことができる。

[0 0 9 8]

絶縁体 2 7 5 も、酸素に対するバリア性を有することが好ましい。絶縁体 2 7 5 は、絶縁体 2 8 0 と導電体 1 6 0 a との間、絶縁体 2 8 0 と導電体 1 6 0 b との間、絶縁体 2 8 0 と導電体 2 4 0 a との間、及び、絶縁体 2 8 0 と導電体 2 4 0 b との間に設けられている。絶縁体 2 7 5 は、導電体 1 6 0 の上面、導電体 1 6 0 の側面、絶縁体 1 5 4 の側面、導電体 2 4 2 の側面、酸化物 2 3 0 の側面、及び絶縁体 2 2 2 の上面に接して設けられる。当該構成にすることで、絶縁体 2 8 0 に含まれる酸素が、導電体 1 6 0 及び導電体 2 4 2 に拡散することを抑制できる。したがって、絶縁体 2 8 0 に含まれる酸素によって、導電体 1 6 0 及び導電体 2 4 2 が酸化されて抵抗率が增大することを抑制できる。絶縁体 2 7 5 は、少なくとも絶縁体 2 8 0 よりも酸素を透過しにくいことが好ましい。例えば、絶縁体 2 7 5 として、窒化シリコンを用いることが好ましい。この場合、絶縁体 2 7 5 は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

[0 0 9 9]

酸化物 2 3 0 におけるソース領域及びドレイン領域の水素濃度が低減することを抑制するために、ソース領域及びドレイン領域それぞれの近傍に水素に対するバリア絶縁体を設けることが好ましい。本実施の形態で説明する記憶装置において、当該水素に対するバリア絶縁体は、例えば、絶縁体 2 7 5 である。

[0 1 0 0]

水素に対するバリア絶縁体として、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの酸化物、及び窒化シリコンなどの窒化物が挙げられる。例えば、絶縁体 2 7 5 は、上記水素に対するバリア絶縁体の単層構造または積層構造であると好ましい。

[0 1 0 1]

上記のような絶縁体 2 7 5 を設けることで、ソース領域及びドレイン領域の水素が外部に拡散す

るのを低減することができるので、ソース領域及びドレイン領域の水素濃度が低減するのを抑制することができる。したがって、ソース領域及びドレイン領域をn型とすることができる。

[0102]

上記構成にすることで、チャンネル形成領域をi型または実質的にi型とし、ソース領域及びドレイン領域をn型とすることができ、良好な電気特性を有する記憶装置を提供できる。また、上記構成にすることで、記憶装置を微細化または高集積化しても良好な電気特性を有することができる。また、トランジスタ200を微細化することで周波数特性を向上することができる。具体的には、遮断周波数を向上することができる。

[0103]

絶縁体250a乃至絶縁体250dは、ゲート絶縁体の一部として機能する。絶縁体250a乃至絶縁体250dは、導電体260とともに、絶縁体280に形成された開口に設ける。トランジスタ200の微細化を図るにあたって、絶縁体250a乃至絶縁体250dの膜厚はそれぞれ薄いことが好ましい。絶縁体250a乃至絶縁体250dの膜厚は、それぞれ、0.1nm以上10nm以下が好ましく、0.1nm以上5.0nm以下がより好ましく、0.5nm以上5.0nm以下がより好ましく、1.0nm以上5.0nm未満がより好ましく、1.0nm以上3.0nm以下がさらに好ましい。なお、絶縁体250a乃至絶縁体250dは、それぞれ、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0104]

絶縁体250a乃至絶縁体250dの膜厚を上記のように薄くするためには、原子層堆積(Atomic Layer Deposition)法を用いて成膜することが好ましい。また、絶縁体280等の開口内に、絶縁体250a乃至絶縁体250dを設けるには、ALD法を用いて成膜することが好ましい。ALD法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD(Thermal ALD)法、プラズマ励起されたリアクタントを用いるPEALD(Plasma Enhanced ALD)法などがある。PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

[0105]

ALD法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。よって、絶縁体250を、絶縁体280に形成された開口部の側面、及び導電体242a、242bの側端部などに被覆性良く、上記のような薄い膜厚で成膜することができる。

[0106]

なお、ALD法で用いるプリカーサには炭素などを含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)、X線光電子分光法(XPS: X-ray Photoelectron Spectroscopy)、またはオージェ電子分光法(AES: Auger Electron Spectroscopy)を用いて行うことができる。

[0107]

なお、上記において、絶縁体250が、絶縁体250a乃至絶縁体250dの4層構造となる構

成について説明したが、本発明はこれに限られるものではない。絶縁体250は、絶縁体250a乃至絶縁体250dのうち、少なくとも一つを有する構成にすることができる。絶縁体250を、絶縁体250a乃至絶縁体250dのうち、1層、2層または3層で構成することで、記憶装置の作製工程を簡略化し、生産性の向上を図ることができる。

[0108]

例えば、図4Aに示すように、絶縁体250を2層構造にする構成にしてもよい。この場合、絶縁体250を、絶縁体250aと、絶縁体250a上の絶縁体250dの積層構造にすることが好ましい。絶縁体250a及び絶縁体250dの少なくとも一方にhigh-k材料を用いることができる。これにより、絶縁体250a及び絶縁体250dをリーク電流が抑制される程度の膜厚に維持しながら、等価酸化膜厚(EOT)の薄膜化が可能となる。

[0109]

また、例えば、図4Bに示すように、絶縁体250を3層構造にする構成にしてもよい。この場合、絶縁体250を、絶縁体250aと、絶縁体250a上の絶縁体250bと、絶縁体250b上の絶縁体250dの積層構造にすることが好ましい。つまり、図4Aに示す構成に、さらに絶縁体250bを設けた構成になる。

[0110]

また、本実施の形態では、上記構成に加えて、水素がトランジスタ200等に混入することを抑制する構成とすることが好ましい。例えば、水素の拡散を抑制する機能を有する絶縁体を、トランジスタ200等の上下の一方または双方を覆うように設けることが好ましい。本実施の形態で説明する記憶装置において、当該絶縁体は、例えば、絶縁体283、絶縁体282、絶縁体222、及び絶縁体221などである。また、トランジスタ200の下に設ける絶縁体215を、絶縁体282、及び絶縁体283のいずれか一方、または両方と同様の構成にしてもよい。この場合、絶縁体215を、絶縁体282と絶縁体283の積層構造にしてもよく、絶縁体282を下にし、絶縁体283を上にする構成にしてもよいし、絶縁体282を上にし、絶縁体283を下にする構成にしてもよい。

[0111]

絶縁体283、絶縁体282、絶縁体222、及び絶縁体221のうち一つまたは複数は、水、水素などの不純物が、基板側から、または、トランジスタ200等の上方からトランジスタ200等に拡散することを抑制するバリア絶縁体として機能することが好ましい。したがって、絶縁体283、絶縁体282、絶縁体222、及び絶縁体221のうち一つまたは複数は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N₂O、NO、NO₂など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)絶縁性材料を有することが好ましい。または、酸素(例えば、酸素原子、及び酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料を有することが好ましい。

[0112]

絶縁体283、絶縁体282、絶縁体222、及び絶縁体221は、それぞれ、水、水素などの不純物、及び酸素の拡散を抑制する機能を有する絶縁体を有することが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを含む酸化物(ハフニウムアルミネート)、ハフニウム及びジルコニウムを含む酸化物(ハフニウムジルコニウム酸化物)、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、また

は窒化酸化シリコンなどを用いることができる。例えば、絶縁体283及び絶縁体221は、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体282は、水素を捕獲または水素を固着する能力が高い、酸化アルミニウムなどを用いることが好ましい。また、例えば、絶縁体222は、水素を捕獲または水素を固着する能力が高く、高誘電率（high-k）材料である、酸化ハフニウムなどを用いることが好ましい。

[0113]

このような構成にすることで、絶縁体283よりも上側に配置されている層間絶縁膜などから、水、水素などの不純物が、トランジスタ200等に拡散することを抑制できる。また、絶縁体221よりも下側に配置されている層間絶縁膜などから、水、水素などの不純物が、トランジスタ200等に拡散することを抑制できる。また、絶縁体280、及び絶縁体250等に含まれる水素を、絶縁体282または絶縁体222に、捕獲及び固着することができる。また、絶縁体282及び絶縁体283を設けることで、絶縁体280などに含まれる酸素が、トランジスタ200等より上方に拡散することを抑制できる。また、絶縁体222及び絶縁体221を設けることで、酸化物230などに含まれる酸素が、トランジスタ200等より下方に拡散することを抑制できる。このように、トランジスタ200の上下を、水、水素などの不純物、及び酸素の拡散を抑制する機能を有する絶縁体で取り囲む構造にすることで、酸化物半導体に過剰な酸素及び水素が拡散するのを低減することができる。これにより、記憶装置の電気特性、及び信頼性の向上を図ることができる。

[0114]

さらに、絶縁体275及び絶縁体250dに、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、絶縁体250aに、水素を捕獲または水素を固着する能力が高い、酸化アルミニウムなどを用いることが好ましい。また、絶縁体250cに、水素を捕獲または水素を固着する能力が高い、酸化ハフニウムなどを用いることが好ましい。

[0115]

絶縁体225は、絶縁体222の上に接して形成される。絶縁体225は、図3Bなどに示すように、チャンネル幅方向の断面視において、高いアスペクト比の形状を有する。ここで、チャンネル幅方向の断面視における、絶縁体225のアスペクト比は、絶縁体225のA3-A4方向の長さL（絶縁体225の幅Lということもできる。）と、絶縁体225の被形成面（例えば絶縁体222）に垂直な方向の長さH（絶縁体225の高さHということもできる。）の比のことを指す。絶縁体225において、絶縁体225の高さHは、少なくとも絶縁体225の幅Lより長くなる。絶縁体225の高さHは、絶縁体225の幅Lの1倍より大きく、好ましくは2倍以上、より好ましくは5倍以上、さらに好ましくは10倍以上にすればよい。また、絶縁体225の高さHは、絶縁体225の幅Lの20倍以下が好ましい。

[0116]

導電体242等と重畳する領域では、このような高アスペクト比の絶縁体225を覆って、酸化物230a、酸化物230b、導電体242、絶縁体154、及び導電体160が設けられる。よって、容量素子100においては、図5Bに示すように、絶縁体225を挟んで二つ折りの状態になるように、導電体242a、絶縁体154a、導電体160aが設けられる。これにより、チャンネル幅方向の断面視において、絶縁体225の上部、A5側の側面、及びA6側の側面それぞれにおいて、導電体242aと導電体160aが、絶縁体154aを挟んで対向して設けられる。つまり、絶縁体225の上部、A5側の側面、及びA6側の側面、それぞれに容量素子100を形成す

ることができる。よって、絶縁体225を設けない場合と比較して、絶縁体225のA5側の側面、及びA6側の側面の分だけ、容量素子100の面積が大きくなっている。

[0117]

上記のように容量素子100の面積が大きくなることで、容量素子100の静電容量を大きくすることができる。また、上記の構造では、絶縁体225を設けることにより、容量素子の占有面積を広げることなく、容量素子100の静電容量を大きくすることができる。これにより、記憶装置の微細化または高集積化を図ることができる。また、記憶装置の記憶容量を大きくすることができる。

[0118]

導電体242等と重畳しない領域では、このような高アスペクト比の絶縁体225の側面に、サイドウォール状の酸化物230a及び酸化物230bが設けられる。よって、トランジスタ200のチャンネル形成領域近傍においては、図3Bに示すように、絶縁体225によって、A3側の部位とA4側の部位に分断された酸化物230a及び酸化物230bが形成されている。さらに、絶縁体225、酸化物230a、及び酸化物230bを覆って、絶縁体250及び導電体260が設けられる。ここで、酸化物230a及び酸化物230bは、絶縁体225の上面に接しておらず、絶縁体225の上面には、絶縁体250が接する。チャンネル幅方向の断面視において、A3側の側面、及びA4側の側面それぞれにおいて、酸化物230と導電体260が、絶縁体250を挟んで対向して設けられる。つまり、絶縁体225の、A3側の側面、及びA4側の側面それぞれに形成された酸化物230bがチャンネル形成領域として機能する。よって、絶縁体225のA3側の側面、及びA4側の側面を大きくすることで、例えば図3Bに示す高さHを大きくすることで、トランジスタ200のチャンネル幅を大きくすることができる。

[0119]

上記のようにチャンネル幅を大きくすることで、トランジスタ200のオン電流、電界効果移動度、周波数特性を良好にすることができる。これにより、動作速度が速い記憶装置を提供することができる。また、上記の構造では、絶縁体225を設けることにより、トランジスタ200の占有面積を広げることなく、チャンネル幅を大きくすることができる。これにより、記憶装置の微細化または高集積化を図ることができる。また、記憶装置の記憶容量を大きくすることができる。

[0120]

絶縁体225は、絶縁体222、絶縁体280、絶縁体250などに用いることができる絶縁性材料を用いればよい。また、絶縁体225は、高アスペクト比の形状を有するので、犠牲層（後述する絶縁体223）の側面にサイドウォール状に形成することが好ましい。よって、絶縁体225は被覆性の良好なALD法を用いて形成することが好ましい。例えば、絶縁体225は、熱ALD法で成膜した酸化ハフニウムを用いることができる。

[0121]

このように、犠牲層の側面に接してサイドウォール状に絶縁体225を形成することで、図1Aなどに示すように、トランジスタ200a及び容量素子100aの絶縁体225と、トランジスタ200b及び容量素子100bの絶縁体225と、を同時に形成することができる。2個の絶縁体225を同時に形成することで、犠牲層の大きさに合わせて、2個の絶縁体225の距離を設定することができる。よって、絶縁体225の距離を小さくし、トランジスタ200a、トランジスタ200b、容量素子100a及び容量素子100bの占有面積を低減し、記憶装置の高集積化を図

ることができる。

[0122]

ただし、絶縁体225は、厳密な意味で絶縁性材料のみに限定されるものではない。例えば、比較的絶縁性が高い金属酸化物などを用いることもできる。例えば、上記酸化物230aに用いることが可能な金属酸化物などを用いてもよい。

[0123]

また、絶縁体225の上部は、湾曲形状を有していてもよい。このような湾曲形状を有することで、絶縁体225の上部近傍において、酸化物230a、酸化物230b、導電体242、絶縁体154、及び導電体160に鬆などの欠陥が形成されるのを防ぐことができる。また、図3Bに示すように、導電体242と重畳しない領域において、酸化物230a及び酸化物230bの上部も、湾曲形状を有していることが好ましい。なお、図3B及び図5Bなどにおいては、絶縁体225上部のA3側（A5側）と、A4側（A6側）の両方に、湾曲形状が設けられる、対称の構造にしているが、本発明はこれに限られるものではない。例えば、絶縁体225上部のA3側（A5側）だけに、湾曲形状が設けられた、非対称の構造になる場合もある。

[0124]

また、図1Aなどに示すように、絶縁体225をA1-A2方向に延伸させる構造にしたが、本発明はこれに限られるものではない。例えば、図6A乃至図6Dに示すように、絶縁体225を周状（枠状、または閉曲線状ということもできる。）に設ける構造にしてもよい。図6Aは、上記記憶装置の上面図である。また、図6B乃至図6Dは、当該記憶装置の断面図である。ここで、図6Bは、図6AにA1-A2の一点鎖線で示す部位の断面図である。また、図6Cは、図6AにA3-A4の一点鎖線で示す部位の断面図である。また、図6Dは、図6AにA7-A8の一点鎖線で示す部位の断面図である。なお、図6Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0125]

図6DのA7-A8断面に示すように、トランジスタ200aとトランジスタ200bで絶縁体225が一体物になっている。このため、トランジスタ200aとトランジスタ200bの間で、絶縁体275が絶縁体225の上面に接する。上述の通り、絶縁体225は、犠牲層の側面に接してサイドウォール状に形成することが好ましい。図6A乃至図6Dに示す記憶装置では、絶縁体225に囲まれた領域の中に犠牲層を設けることで、絶縁体225が形成される。

[0126]

また、図8A乃至図8Cに示すように、絶縁体225を延伸して、容量素子100の面積を大きくする構成にしてもよい。図8Aは、上記記憶装置の上面図である。また、図8B及び図8Cは、当該記憶装置の断面図である。ここで、図8Bは、図8AにA11-A12の一点鎖線で示す部位の断面図である。また、図8Cは、図8AにA13-A14の一点鎖線で示す部位の断面図である。なお、図8Aの上面図では、図の明瞭化のために一部の要素を省いている。また、図8Aの上面図では、図の明瞭化のために絶縁体225を実線で表示している。

[0127]

図8A乃至図8Cに示す構造では、容量素子100を形成する領域で、絶縁体225を周状に延伸させて、容量素子100の面積を大きくしている。図8Cに示すように、導電体242a、絶縁体154a、及び導電体160aと、絶縁体225が重なる領域が、図1A乃至図1Dに示す構造

より大きくなる。よって、絶縁体225の側面に形成される容量素子100が大きくなるので、上面視における容量素子100の面積と比較して、容量素子100の静電容量を顕著に大きくすることができる。

[0128]

トランジスタ200において、導電体205は、酸化物230及び導電体260と重なるように配置する。ここで、導電体205は、絶縁体216に形成された開口部に埋め込まれて設けることが好ましい。また、導電体205は、図1A及び図1Cに示すように、チャンネル幅方向に延在して設けられることが好ましい。このような構成にすることで、複数のトランジスタを設ける場合に、導電体205は配線として機能する。

[0129]

図1B及び図1Cに示すように、導電体205は、導電体205a及び導電体205bを有する事が好ましい。導電体205aは、上記開口部の底面及び側壁に接して設けられる。導電体205bは、上記開口部に沿って形成された導電体205aの凹部を埋め込むように設けられる。ここで、導電体205の上面の高さは、絶縁体216の上面の高さと一致または概略一致する。

[0130]

ここで、導電体205aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を有することが好ましい。または、酸素(例えば、酸素原子、及び酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を有することが好ましい。

[0131]

導電体205aに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体205bに含まれる水素などの不純物が、絶縁体216等を介して、酸化物230に拡散することを防ぐことができる。また、導電体205aに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体205bが酸化して導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、及び、酸化ルテニウムが挙げられる。導電体205aは、上記導電性材料の単層構造または積層構造とすることができる。例えば、導電体205aは、窒化チタンを有することが好ましい。

[0132]

また、導電体205bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体205bは、タングステンを有することが好ましい。

[0133]

導電体205は、第2のゲート電極として機能することができる。その場合、導電体205に印加する電位を、導電体260に印加する電位と連動させず、独立して変化させることで、トランジスタ200のしきい値電圧(V_{th})を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0134]

また、導電体205の電気抵抗率は、上記の導電体205に印加する電位を考慮して設計され、

導電体 205 の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体 216 の膜厚は、導電体 205 とほぼ同じになる。ここで、導電体 205 の設計が許す範囲で導電体 205 及び絶縁体 216 の膜厚を薄くすることが好ましい。絶縁体 216 の膜厚を薄くすることで、絶縁体 216 中に含まれる水素などの不純物の絶対量を低減することができるため、当該不純物が酸化物 230 に拡散することを低減することができる。

[0135]

なお、上記において、導電体 205 a と導電体 205 b の積層構造について示したが、本発明はこれに限られるものではなく、導電体 205 は、単層構造であってもよく、3層以上の積層構造であってもよい。例えば、導電体 205 を 3層の積層構造にする場合、上記導電体 205 a と導電体 205 b の積層構造でさらに、導電体 205 b の上に、導電体 205 a と同様の材料を有する導電体を設ける構成にすることができる。このとき、導電体 205 b の上面が導電体 205 a の最上部より低くなるようにして、導電体 205 a と導電体 205 b で形成された凹部を埋め込むように、上記導電体を形成する構成にしてもよい。

[0136]

また、本実施の形態の記憶装置は、図 7 A 乃至図 7 D に示すように、導電体 205 を設けない構成にしてもよい。ここで、図 3 B に示すように、トランジスタ 200 において、酸化物 230 は、絶縁体 225 の A3 側の側面及び A4 側の側面それぞれに接する構造になっている。よって、酸化物 230 に対して、絶縁体 225 を挟んで対向する位置の導電体 260 が、上記導電体 205 と同様の効果を奏する場合がある。このため、図 7 A 乃至図 7 D に示すように、導電体 205 を設けなくても、導電体 260 の一部が第 2 のゲート電極として機能する場合がある。

[0137]

導電体 242 a、導電体 242 b、及び導電体 260 として、それぞれ、酸化しにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。当該導電性材料として、例えば、窒素を含む導電性材料、及び酸素を含む導電性材料が挙げられる。これにより、導電体 242 a、導電体 242 b、及び導電体 260 の導電率が低下することを抑制できる。導電体 242 a、導電体 242 b、及び導電体 260 として、金属及び窒素を含む導電性材料を用いる場合、導電体 242 a、導電体 242 b、及び導電体 260 は、少なくとも金属と、窒素と、を有する導電体となる。

[0138]

導電体 242 a と導電体 242 b は互いに離隔して配置され、酸化物 230 b 上に接して設けられる。導電体 242 は、図 5 A 及び図 5 B などに示すように、アスペクト比が高い絶縁体 225 を覆うように設けられる。よって、導電体 242 は、ALD 法または CVD 法などの被覆性の良好な成膜法を用いて成膜することが好ましい。ここで、図 5 B に示すように、チャンネル幅方向の断面では、絶縁体 225 を介して、二つ折りの状態になるように導電体 242 が形成される。このような構成にすることで、絶縁体 225 の、上部、A5 側の側面、及び A6 側の側面に容量素子 100 を形成することができるので、単位面積当たりの静電容量を大きくすることができる。

[0139]

導電体 242 a と導電体 242 b は、酸化物 230 b に接するので、酸化しにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。これにより、導電体 242 a、242 b の導電率が低下することを抑制できる。また、酸化物 230 b から酸素が

引き抜かれ、過剰な量の酸素欠損が形成されるのを抑制できる。また、導電体 242 a、242 b として、水素を吸い取りやすい（抜き取りやすい）材料を用いると、酸化物 230 の水素濃度を低減でき、好ましい。

[0140]

導電体 242 としては、金属窒化物を用いることが好ましく、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタル及びアルミニウムを含む窒化物、チタン及びアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0141]

なお、酸化物 230 b などに含まれる水素が、導電体 242 a または導電体 242 b に拡散する場合がある。特に、導電体 242 a 及び導電体 242 b に、タンタルを含む窒化物を用いることで、酸化物 230 b などに含まれる水素は、導電体 242 a または導電体 242 b に拡散しやすく、拡散した水素は、導電体 242 a または導電体 242 b が有する窒素と結合することがある。つまり、酸化物 230 b などに含まれる水素は、導電体 242 a または導電体 242 b に吸い取られる場合がある。

[0142]

なお、導電体 242 は、積層構造にしてもよい。その場合、上記の酸化しにくい導電性材料の層の上に、導電性が高い導電性材料の層を形成すればよい。導電性が高い導電性材料としては、上記導電体 205 b に用いることが可能な導電性材料を用いればよい。例えば、導電体 242 を、窒化タンタル膜と、当該窒化タンタル膜上のタングステン膜の 2 層構造にすることができる。これにより、トランジスタ 200 のオン電流を大きくし、本実施の形態に係る記憶装置の動作速度の向上を図ることができる。

[0143]

また、導電体 242 a 及び導電体 242 b の導電率が低下することを抑制するために、酸化物 230 b として、CAAC-OS などの結晶性を有する酸化物を用いることが好ましい。特に、インジウムと、亜鉛と、ガリウム、アルミニウム、及び錫から選ばれる一または複数と、を有する金属酸化物を用いることが好ましい。CAAC-OS を用いることで、導電体 242 a または導電体 242 b による、酸化物 230 b からの酸素の引き抜きを抑制できる。また、導電体 242 a 及び導電体 242 b の導電率が低下することを抑制できる。

[0144]

導電体 260 は、図 1 B 及び図 1 C に示すように、絶縁体 280 及び絶縁体 275 に形成された開口内に配置される。導電体 260 は、当該開口内において、絶縁体 250 を介して、絶縁体 225 の上面、絶縁体 222 の上面、酸化物 230 a の側面、酸化物 230 b の側面、及び酸化物 230 b の上面を覆うように設けられる。また、導電体 260 の上面は、絶縁体 250 の最上部、及び絶縁体 280 の上面と高さが一致または概略一致するように配置される。

[0145]

なお、導電体 260 及び絶縁体 250 が配置された、上記開口において、当該開口の側壁は、絶

縁体 2 2 2 の上面に対して垂直または概略垂直であってもよく、テーパ形状であってもよい。側壁をテーパ形状にすることで、絶縁体 2 8 0 の開口に設けられる、絶縁体 2 5 0 などの被覆性が向上し、鬆などの欠陥を低減できる。

[0146]

導電体 2 6 0 は、トランジスタ 2 0 0 の第 1 のゲート電極として機能する。ここで、導電体 2 6 0 は、図 1 A、及び図 1 C に示すように、チャンネル幅方向に延在して設けられることが好ましい。このような構成にすることで、複数のトランジスタを設ける場合に、導電体 2 6 0 は配線として機能する。

[0147]

なお、本明細書等において、少なくとも第 1 のゲート電極の電界によって、チャンネル形成領域を電気的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。また、本明細書等で開示する S-channel 構造は、Fin 型構造およびプレーナ型構造とは異なる構造を有する。一方で、本明細書等で開示する S-channel 構造は、Fin 型構造の一種として捉えることも可能である。なお、本明細書等において、Fin 型構造とは、ゲート電極が少なくともチャンネルの 2 面以上（具体的には、2 面、3 面、または 4 面等）を包むように配置される構造を示す。Fin 型構造、および S-channel 構造を採用することで、短チャンネル効果に対する耐性を高める、別言すると短チャンネル効果が発生し難いトランジスタとすることができる。

[0148]

トランジスタ 2 0 0 を、上記の S-channel 構造とすることで、チャンネル形成領域を電気的に取り囲むことができる。なお、S-channel 構造は、チャンネル形成領域を電気的に取り囲んでいる構造であるため、実質的に GAA (Gate All Around) 構造、または L GAA (Lateral Gate All Around) 構造と、同等の構造であるともいえる。トランジスタ 2 0 0 を S-channel 構造、GAA 構造、又は L GAA 構造とすることで、酸化物 2 3 0 とゲート絶縁体との界面又は界面近傍に形成されるチャンネル形成領域を、酸化物 2 3 0 のバルク全体とすることができる。したがって、トランジスタに流れる電流密度を向上させることが可能となるため、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度を高めることが期待できる。

[0149]

図 1 B などでは、導電体 2 6 0 を 2 層構造で示す。ここで、導電体 2 6 0 は、導電体 2 6 0 a と、導電体 2 6 0 a の上に配置された導電体 2 6 0 b と、を有することが好ましい。例えば、導電体 2 6 0 a は、導電体 2 6 0 b の底面及び側面を包むように配置されることが好ましい。このとき、導電体 2 6 0 a として、酸化しにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0150]

導電体 2 6 0 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0151]

また、導電体 260 a が酸素の拡散を抑制する機能を有することにより、絶縁体 280 などに含まれる酸素により、導電体 260 b が酸化して導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0152]

また、導電体 260 b は、導電性が高い導電体を用いることが好ましい。例えば、導電体 260 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 260 b は積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層構造としてもよい。

[0153]

絶縁体 154 a と絶縁体 154 b は互いに離隔して配置される。絶縁体 154 a は導電体 240 a 上に接して設けられ、絶縁体 154 b は導電体 240 b 上に接して設けられる。絶縁体 154 は、図 5 A 及び図 5 B などに示すように、アスペクト比が高い絶縁体 225 を覆うように設けられる。よって、絶縁体 154 は、ALD 法または CVD 法などの被覆性の良好な成膜法を用いて成膜することが好ましい。ここで、図 5 B に示すように、チャネル幅方向の断面では、絶縁体 225 を介して、二つ折りの状態になるように、絶縁体 154 が形成される。このような構成にすることで、絶縁体 225 の、上部、A5 側の側面、及び A6 側の側面に容量素子 100 を形成することができるので、単位面積当たりの静電容量を大きくすることができる。

[0154]

絶縁体 154 には、高誘電率 (high-k) 材料 (高い比誘電率の材料) を用いることが好ましい。高誘電率 (high-k) 材料の絶縁体としては、アルミニウム、ハフニウム、ジルコニウム、及びガリウムなどから選ばれた金属元素を一種以上含む、酸化物、酸化窒化物、窒化酸化物、または窒化物を用いることができる。また、上記酸化物、酸化窒化物、窒化酸化物、または窒化物に、シリコンを含有させてもよい。また、上記の材料からなる絶縁層を積層して用いることもできる。

[0155]

例えば、高誘電率 (high-k) 材料の絶縁体として、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびジルコニウムを有する酸化物、シリコンおよびジルコニウムを有する酸化窒化物、ハフニウムおよびジルコニウムを有する酸化物、ハフニウムおよびジルコニウムを有する酸化窒化物、などを用いることができる。このような high-k 材料を用いることで、リーク電流を抑制できる程度に絶縁体 154 を厚くし、且つ容量素子 100 の静電容量を十分確保することができる。

[0156]

また、上記の材料からなる絶縁層を積層して用いることが好ましく、高誘電率 (high-k) 材料と、当該高誘電率 (high-k) 材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、図 5 A 及び図 5 B に示すように、絶縁体 154 を絶縁体 154 a 1、絶縁体 154 a 2、絶縁体 154 a 3 の順に積層された構造にする場合、絶縁体 154 a 1、及び絶縁体 154 a 3 に酸化ジルコニウムを用い、絶縁体 154 a 2 に酸化アルミニウムを用いることができ

る。また、例えば、絶縁体154として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。また、例えば、絶縁体154として、 hafniumジルコニウム酸化物、酸化アルミニウム、hafniumジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁体を積層して用いることで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

[0157]

導電体160aと導電体160bは互いに離隔して配置される。導電体160aは絶縁体154a上に接して設けられ、導電体160bは絶縁体154b上に接して設けられる。導電体160は、図5A及び図5Bなどに示すように、アスペクト比が高い絶縁体225を覆うように設けられる。よって、導電体160は、ALD法またはCVD法などの被覆性の良好な成膜法を用いて成膜することが好ましい。ここで、図5Bに示すように、チャンネル幅方向の断面では、絶縁体225を介して、二つ折りの状態になるように、導電体160が形成される。このような構成にすることで、絶縁体225の、上部、A5側の側面、及びA6側の側面に容量素子100を形成することができるので、単位面積当たりの静電容量を大きくすることができる。

[0158]

導電体160は、導電体205、導電体260、または導電体242に用いることができる導電体を用いればよい。例えば、導電体160として、窒化チタンまたは窒化タンタルを用いることができる。

[0159]

なお、絶縁体154b及び導電体160bは、容量素子として機能しないが、絶縁体154a及び導電体160aと並行して作製されるので、絶縁体154a及び導電体160aと同様の構造を有する。例えば、絶縁体154aが、絶縁体154a1、絶縁体154a2、絶縁体154a3の順に積層された構造の場合、絶縁体154bも、絶縁体154b1、絶縁体154b2、絶縁体154b3の順に積層された構造になる。

[0160]

絶縁体216、及び絶縁体280は、それぞれ、絶縁体222よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

[0161]

例えば、絶縁体216、及び絶縁体280は、それぞれ、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、及び、空孔を有する酸化シリコンのうち一つまたは複数を含むことが好ましい。

[0162]

特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0163]

また、絶縁体216、及び絶縁体280の上面は、それぞれ、平坦化されていてもよい。

[0164]

絶縁体280中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体

280は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を有することが好ましい。
[0165]

導電体240aは、絶縁体275、絶縁体280、絶縁体282、及び絶縁体283の開口内に形成されている。導電体240aの下面は、導電体160aの上面に接している。また、導電体240bは、絶縁体154b、導電体160b、絶縁体275、絶縁体280、絶縁体282、及び絶縁体283の開口内に形成されている。導電体240bの下面は、導電体242bの上面に接している。ここで、導電体240の上面の高さと、絶縁体283の上面の高さは、同程度になる。

[0166]

導電体240は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240は、導電体240は、第1の導電体が絶縁体241の側面に接して設けられ、さらに内側に第2の導電体が設けられる、積層構造としてもよい。この場合、第2の導電体として、上記の導電性材料を用いることができる。

[0167]

また、導電体240を積層構造とする場合、絶縁体283、絶縁体282、絶縁体280、及び、絶縁体275の近傍に配置される第1の導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。このような構成にすることで、絶縁体283より上層に含まれる水、水素などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。

[0168]

絶縁体241aは、絶縁体275、絶縁体280、絶縁体282、及び絶縁体283の開口の内壁に接して形成されている。絶縁体241aの内側の側面は、導電体240aに接する。また、絶縁体241bは、絶縁体154b、導電体160b、絶縁体275、絶縁体280、絶縁体282、及び絶縁体283の開口の内壁に接して形成されている。絶縁体241bの内側の側面は、導電体240bに接する。

[0169]

絶縁体241としては、絶縁体275などに用いることができるバリア絶縁膜を用いればよい。例えば、絶縁体241として、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体241を設けることで、絶縁体280などに含まれる水、水素などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体280に含まれる酸素が導電体240aおよび導電体240bに吸収されるのを防ぐことができる。

[0170]

絶縁体241を、図1Bに示すように積層構造にする場合、絶縁体280などの開口の内壁に接する第1の絶縁体と、その内側の第2の絶縁体は、酸素に対するバリア絶縁膜と、水素に対するバリア絶縁膜を組み合わせ用いることが好ましい。

[0171]

例えば、第1の絶縁体として、熱ALD法で成膜された酸化アルミニウムを用い、第2の絶縁体として、PEALD法で成膜された窒化シリコンを用いればよい。このような構成にすることで、

導電体 240 の酸化を抑制し、さらに、導電体 240 に水素が混入するのを低減することができる。

[0172]

なお、導電体 240 b は、トランジスタ 200 のソース及びドレインの一方のコンタクトプラグとして機能するので、導電体 240 b は、導電体 160 b と導通しないことが好ましい。よって、図 1 B などに示すように、導電体 240 b と導電体 160 b の間に、絶縁体 241 b が設けられることが好ましい。

[0173]

なお、上記において、絶縁体 241 が 2 層の積層構造である構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体 241 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。また、上記において、導電体 240 が 2 層の積層構造である構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 240 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。

[0174]

また、上記においては、図 1 A などに示すように、上面視において、導電体 242 a が、絶縁体 154 a 及び導電体 160 a と一致または概略一致し、導電体 242 b が、絶縁体 154 b 及び導電体 160 b と一致または概略一致する構造にしたが、本発明はこれに限られるものではない。例えば、図 9 A 乃至図 9 D に示すように、導電体 242 a 及び導電体 242 b の一部が、導電体 160 a、導電体 160 b 等と重畳しない領域に形成される構造にしてもよい。図 9 A は、上記記憶装置の上面図である。また、図 9 B 乃至図 9 D は、当該記憶装置の断面図である。ここで、図 9 B は、図 9 A に C1-C2 の一点鎖線で示す部位の断面図である。また、図 9 C は、図 9 A に A3-A4 の一点鎖線で示す部位の断面図である。また、図 9 D は、図 9 A に B3-B4 の一点鎖線で示す部位の断面図である。なお、図 9 A に A1-A2 の一点鎖線で示す部位の断面図は、図 1 B を参照することができ、図 9 A に B1-B2 の一点鎖線で示す部位の断面図は、図 2 を参照することができ、図 9 A に A5-A6 の一点鎖線で示す部位の断面図は、図 1 D を参照することができる。また、図 9 A の上面図では、図の明瞭化のために一部の要素を省いている。

[0175]

図 9 A、図 9 B 及び図 9 D に示すように、導電体 242 a 及び導電体 242 b の一部は、導電体 160 a（導電体 160 b）と絶縁体 250 の間の領域において、酸化物 230 a の側面にサイドウォール状に形成される。よって、導電体 242 a 及び導電体 242 b の一部は、側面及び下面が酸化物 230 b に接する。また、導電体 160 a（導電体 160 b）と絶縁体 250 の間の領域において、導電体 242 a（導電体 242 b）、酸化物 230 b、酸化物 230 a、及び絶縁体 225 が、絶縁体 275 に覆われる。また、図 9 B に示すように、導電体 242 a の C2 側の端部、及び導電体 242 b の C1 側の端部が絶縁体 250 に接する。また、図 9 C に示すように、酸化物 230 a 及び酸化物 230 b の下部が、酸化物 230 b の上部の側面より、A3 側または A4 側に突出して形成される場合がある。

[0176]

図 9 A 乃至図 9 D に示す構造にすることで、導電体 242 a と導電体 242 b の距離を小さくし、トランジスタ 200 のチャネル長を短くすることができる。これにより、トランジスタ 200 のオン電流、電界効果移動度、周波数特性を良好にすることができ、動作速度が速い記憶装置を提供することができる。

[0177]

また、上記においては、図1Dなどに示すように、トランジスタ200のソースまたはドレイン近傍において、酸化物230a、酸化物230b、導電体242a、導電体242b、絶縁体154a、絶縁体154b、導電体160a及び導電体160bが、絶縁体225を挟んで二つ折り状になる構造にしたが、本発明はこれに限られるものではない。例えば、図10A乃至図10D、図11A及び図11Bに示すように、酸化物230a、酸化物230b、導電体242a、導電体242b、絶縁体154a、絶縁体154b、導電体160a及び導電体160bが、A1-A2の一点鎖線を境にA3側の部位と、A4側の部位に分断された構造にすることもできる。図10Aは、上記記憶装置の上面図である。また、図10B乃至図10D、図11A及び図11Bは、当該記憶装置の断面図である。ここで、図10Bは、図10AにD1-D2の一点鎖線で示す部位の断面図である。また、図10Cは、図10AにA3-A4の一点鎖線で示す部位の断面図である。また、図10Dは、図10AにA5-A6の一点鎖線で示す部位の断面図である。また、図11Aは、図10AにE1-E2の一点鎖線で示す部位の断面図である。また、図11Bは、図10AにA1-A2の一点鎖線で示す部位の断面図である。また、図10Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0178]

図10A乃至図10D、図11A及び図11Bに示す記憶装置は、A1-A2の一点鎖線（絶縁体225）を境に、A3側にトランジスタ200aD及び容量素子100aDを有し、A4側にトランジスタ200aE及び容量素子100aEを有する。つまり、図1A乃至図1D、及び図2に示す記憶装置において、大きく占有面積を増やすことなく、トランジスタ200aをトランジスタ200aDとトランジスタ200aEに分割し、容量素子100aを容量素子100aDと容量素子100aEに分割した構造になる。なお、図10A乃至図10D、図11A及び図11Bに示す記憶装置では、図1A乃至図1D、及び図2に示す記憶装置のトランジスタ200b及び容量素子100bに対応する構成要素を示していないが、図1A乃至図1D、及び図2に示す記憶装置と同様に、トランジスタ200b及び容量素子100bに対応する構成要素も設けることができる。

[0179]

よって、図10A乃至図10D、図11A及び図11Bに示す記憶装置の構成要素は、図1A乃至図1D、及び図2に示す記憶装置の構成要素に、DまたはEを付して記す。つまり、A3側のトランジスタ200aD及び容量素子100aDが有する構成要素は、酸化物230D（酸化物230aD及び酸化物230bD）、導電体242aD、導電体242bD、絶縁体154aD、絶縁体154bD、導電体160aD、導電体160bD、導電体240aD、導電体240bD、絶縁体241aD、絶縁体241bDとなる。また、A4側のトランジスタ200aE及び容量素子100aEが有する構成要素は、酸化物230E（酸化物230aE及び酸化物230bE）、導電体242aE、導電体242bE、絶縁体154aE、絶縁体154bE、導電体160aE、導電体160bE、導電体240aE、導電体240bE、絶縁体241aE、絶縁体241bEとなる。これらの構成要素の詳細は、上述の記載を参照することができる。

[0180]

図10B及び図10Cに示すように、絶縁体225上で、酸化物230aD、酸化物230bD、導電体242aD（導電体242bD）、絶縁体154aD（絶縁体154bD）、及び導電体160aD（導電体160bD）は、酸化物230aE、酸化物230bE、導電体242aE（導

電体 2 4 2 b E)、絶縁体 1 5 4 a E (絶縁体 1 5 4 b E)、及び導電体 1 6 0 a E (導電体 1 6 0 b E) と、離隔して設けられている。よって、図 1 1 B に示すように、絶縁体 2 2 5 の少なくとも一部の上方には、酸化物 2 3 0 a D、酸化物 2 3 0 b D、導電体 2 4 2 a D、導電体 2 4 2 b D、絶縁体 1 5 4 a D、絶縁体 1 5 4 b D、導電体 1 6 0 a D、導電体 1 6 0 b D、酸化物 2 3 0 a E、酸化物 2 3 0 b E、導電体 2 4 2 a E、導電体 2 4 2 b E、絶縁体 1 5 4 a E、絶縁体 1 5 4 b E、導電体 1 6 0 a E、及び導電体 1 6 0 b E が形成されない。

[0181]

また、図 1 0 B に示すように、絶縁体 2 2 5 の A 3 側の側面に接して、酸化物 2 3 0 D (酸化物 2 3 0 a D 及び酸化物 2 3 0 b D) が形成されており、酸化物 2 3 0 b D にチャンネル形成領域が設けられている。また、同様に、図 1 1 A に示すように、絶縁体 2 2 5 の A 4 側の側面に接して、酸化物 2 3 0 E (酸化物 2 3 0 a E 及び酸化物 2 3 0 b E) が形成されており、酸化物 2 3 0 b E にチャンネル形成領域が設けられている。

[0182]

図 1 0 A 乃至図 1 0 D、図 1 1 A 及び図 1 1 B に示す構造にすることで、大きく占有面積を広げることなく、2 倍のメモリセルを形成することができる。よって、記憶装置の微細化または高集積化を図ることができる。また、記憶装置の記憶容量を大きくすることができる。

[0183]

<記憶装置の構成材料>

以下では、記憶装置に用いることができる構成材料について説明する。なお、記憶装置を構成する各層は、単層構造であってもよく、積層構造であってもよい。

[0184]

<<基板>>

トランジスタを形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いることができる。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板 (イットリア安定化ジルコニア基板など)、及び、樹脂基板が挙げられる。また、半導体基板としては、例えば、シリコンまたはゲルマニウムを材料とした半導体基板、及び、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、もしくは酸化ガリウムからなる化合物半導体基板が挙げられる。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI (Silicon On Insulator) 基板などが挙げられる。導電体基板としては、例えば、黒鉛基板、金属基板、合金基板、及び導電性樹脂基板が挙げられる。また、基板としては、例えば、金属の窒化物を有する基板、金属の酸化物を有する基板、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、及び、導電体基板に半導体または絶縁体が設けられた基板が挙げられる。または、これらの基板に 1 種または複数種の素子が設けられたものを用いてもよい。基板に設けられる素子としては、例えば、容量素子、抵抗素子、スイッチ素子、発光素子、及び記憶素子が挙げられる。

[0185]

<<絶縁体>>

絶縁体としては、例えば、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、及び、金属窒化酸化物が挙げられる。

[0186]

例えば、トランジスタの微細化、及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0187]

比誘電率の高い絶縁体としては、例えば、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物が挙げられる。

[0188]

比誘電率が低い絶縁体としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、及び、樹脂が挙げられる。

[0189]

また、金属酸化物を用いたトランジスタは、水素などの不純物及び酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物及び酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及びタンタルのうち一つまたは複数を含む絶縁体を、単層で、または積層で用いることができる。具体的には、水素などの不純物及び酸素の透過を抑制する機能を有する絶縁体として、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、及び、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物が挙げられる。

[0190]

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

[0191]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。導電体としては、例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、及び、ランタンとニッケルを含む酸化物が挙げられる。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、

タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、及び、ランタンとニッケルを含む酸化物は、それぞれ、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、または、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0192]

積層構造の導電体を用いる場合、例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造、または、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造を適用してもよい。

[0193]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0194]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、及び、シリコンを添加したインジウム錫酸化物のうち一つまたは複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0195]

<<金属酸化物>>

酸化物230として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。以下では、本発明の一態様に係る酸化物230に適用可能な金属酸化物について説明する。

[0196]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウム及び亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫、アンチモンなどが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

[0197]

ここでは、金属酸化物が、インジウム、元素M及び亜鉛を有する I_n-M-Z_n 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、錫、またはアンチモンと

する。その他、元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。特に、元素Mは、ガリウム、アルミニウム、イットリウム、及びスズから選ばれた一種または複数種であることが好ましい。

[0198]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸化窒化物 (metal oxynitride) と呼称してもよい。

[0199]

以降では、金属酸化物の一例として、In-Ga-Zn酸化物について説明する。

[0200]

酸化物半導体の結晶構造としては、アモルファス (completely amorphous を含む)、CAAC (c-axis-aligned crystalline)、nc (nanocrystalline)、CAC (cloud-aligned composite)、単結晶 (single crystal)、及び多結晶 (polycrystal) 等が挙げられる。

[0201]

なお、酸化物半導体は、構造に着目した場合、上記とは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体などが含まれる。

[0202]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

[0203]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。なお、図3Bなどに示すように、酸化物230が絶縁体225に接している領域では、c軸が絶縁体225の膜の表面の法線方向に配向していることが好ましい。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0204]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の最大径は、数十nm程度となる場合がある。

[0205]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化半導体の結晶性は不純物の混入、欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物及び欠陥（酸素欠損など）の少ない酸化半導体ともいえる。従って、CAAC-OSを有する酸化半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSTランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0206]

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSまたは非晶質酸化半導体と区別が付かない場合がある。

[0207]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化半導体との間の構造を有する酸化半導体である。a-like OSは、鬆または低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

[0208]

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

[0209]

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0210]

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状

となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0211]

また、In-Ga-Zn酸化物におけるCAC-OSとは、In、Ga、Zn、及びOを含む材料構成において、一部にInを主成分とする領域（第1の領域）と、一部にGaを主成分とする領域（第2の領域）とが、それぞれモザイク状であり、これらの領域がランダムに存在している構成をいう。よって、CAC-OSは、金属元素が不均一に分布した構造を有していると推測される。

[0212]

CAC-OSは、例えば基板を加熱しない条件で、スパッタリング法により形成することができる。また、CAC-OSをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、及び窒素ガスの中から選ばれたいずれか一つまたは複数を用いることができる。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましい。例えば、成膜時の成膜ガスの総流量に対する酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とする。

[0213]

ここで、第1の領域は、第2の領域と比較して、導電性が高い領域である。つまり、第1の領域を、キャリアが流れることにより、金属酸化物としての導電性が発現する。従って、第1の領域が、金属酸化物中にクラウド状に分布することで、高い電界効果移動度（ μ ）が実現できる。

[0214]

一方、第2の領域は、第1の領域と比較して、絶縁性が高い領域である。つまり、第2の領域が、金属酸化物中に分布することで、リーク電流を抑制することができる。

[0215]

したがって、CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、及び良好なスイッチング動作を実現することができる。

[0216]

また、CAC-OSを用いたトランジスタは、信頼性が高い。従って、CAC-OSは、表示装置をはじめとするさまざまな記憶装置に最適である。

[0217]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0218]

<<その他の半導体材料>>

トランジスタの半導体層には、バンドギャップを有する半導体材料（ゼロギャップ半導体ではな

い半導体材料)を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体を用いてもよい。

[0219]

また、トランジスタの半導体層に、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。トランジスタの半導体層に適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン(代表的には MoS_2)、セレン化モリブデン(代表的には MoSe_2)、モリブデンテルル(代表的には MoTe_2)、硫化タングステン(代表的には WS_2)、セレン化タングステン(代表的には WSe_2)、タングステンテルル(代表的には WTe_2)、硫化ハフニウム(代表的には HfS_2)、セレン化ハフニウム(代表的には HfSe_2)、硫化ジルコニウム(代表的には ZrS_2)、セレン化ジルコニウム(代表的には ZrSe_2)などが挙げられる。上述の遷移金属カルコゲナイドを、トランジスタの半導体層に適用することで、オン電流が大きい記憶装置を提供することができる。

[0220]

<記憶装置の作製方法例>

図12A乃至図22Dを用いて、本発明の一態様の記憶装置の作製方法例について説明する。ここでは、図1A乃至図1Dに示す記憶装置を作製する場合を例に挙げて説明する。

[0221]

各図のAは、上面図を示す。また、各図のBはそれぞれ、各図のAにA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、各図のCはそれぞれ、各図のAにA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。また、各図のDはそれぞれ、各図のAにA5-A6の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。なお、各図のAの上面図では、図の明瞭化のために一部の要素を省いている。

[0222]

以下において、絶縁体を形成するための絶縁性材料、導電体を形成するための導電性材料、または半導体を形成するための半導体材料は、スパッタリング法、化学気相成長(CVD:Chemical Vapor Deposition)法、分子線エピタキシー(MBE:Molecular Beam Epitaxy)法、パルスレーザー堆積(PLD:Pulsed Laser Deposition)法、ALD法などを適宜用いて成膜することができる。

[0223]

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらにパルスの電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際に用いられる。

[0224]

なお、CVD法は、プラズマを利用するプラズマCVD(PECVD)法、熱を利用する熱CVD(TCVD:Thermal CVD)法、光を利用する光CVD(Photo CVD)法などに分類できる。さらに用いる原料ガスによって金属CVD(MCVD:Metal CVD)法、

有機金属CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

[0225]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、記憶装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、記憶装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、記憶装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0226]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD法、プラズマ励起されたリアクタントを用いるPEALD法などを用いることができる。

[0227]

CVD法及びALD法は、ターゲットなどから放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性と、を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0228]

また、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送または圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、記憶装置の生産性を高めることができる場合がある。

[0229]

また、ALD法では、異なる複数種のプリカーサを同時に導入することで任意の組成の膜を成膜することができる。または、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで任意の組成の膜を成膜することができる。

[0230]

まず、基板（図示しない）を準備し、当該基板上に絶縁体215を成膜する（図12A乃至図12D参照）。上述の通り、絶縁体215は、絶縁体282、及び絶縁体283のいずれか一、または複数の積層膜と同様の絶縁体を用いることができる。絶縁体215の成膜方法は、例えば、スパッタリング法、CVD法、MBE法、PLD法、または、ALD法を用いることができる。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体215中の水素濃度を低減できるので好ましい。

[0231]

次に、絶縁体215上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体216中の水素濃度を低減できる。ただし、絶縁体216の成膜は、スパッタ

リング法に限られるものではなく、CVD法、MBE法、PLD法、ALD法などを適宜用いてもよい。本実施の形態では、絶縁体216として、スパッタリング法を用いて酸化シリコンを成膜する。

[0232]

絶縁体215、及び絶縁体216は、大気に暴露することなく連続して成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、絶縁体215、及び絶縁体216を、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減できる。

[0233]

次に、絶縁体216に絶縁体215に達する開口を形成する。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体215は、絶縁体216をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体216に酸化シリコンまたは酸化窒化シリコンを用いた場合は、絶縁体215は窒化シリコン、酸化アルミニウム、酸化ハフニウムなどを用いるとよい。

[0234]

開口の形成後に、導電体205aとなる導電膜を成膜する。導電体205aとなる導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。または、酸素の透過を抑制する機能を有する導電体と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体205aとなる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0235]

本実施の形態では、導電体205aとなる導電膜として窒化チタンを成膜する。このような金属窒化物を導電体205bの下層に用いることにより、絶縁体216などによって、導電体205bが酸化されるのを抑制できる。また、導電体205bとして銅などの拡散しやすい金属を用いても、当該金属が導電体205aから外に拡散するのを防ぐことができる。

[0236]

次に、導電体205bとなる導電膜を成膜する。導電体205bとなる導電膜としては、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金などを用いることができる。該導電膜の成膜は、メッキ法、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、導電体205bとなる導電膜として、タングステンを成膜する。

[0237]

次に、CMP処理を行うことで、導電体205aとなる導電膜および導電体205bとなる導電膜の一部を除去し、絶縁体216を露出する（図12A乃至図12D参照）。その結果、開口部のみに、導電体205aおよび導電体205bが残存する。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0238]

次に、絶縁体216上及び導電体205上に絶縁体221を成膜する（図13A乃至図13D参

照)。

[0239]

絶縁体221は、酸素、水素、及び水に対してバリア性を有する絶縁体を用いればよい。絶縁体221は、例えば、スパッタリング法、CVD法、MBE法、PLD法、または、ALD法を用いて成膜することができる。本実施の形態では、絶縁体221として、PEALD法を用いて、窒化シリコンを成膜する。

[0240]

次に、絶縁体221上に絶縁体222を成膜する(図13A乃至図13D参照)。

[0241]

絶縁体222として、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、例えば、酸化アルミニウム、酸化ハフニウム、または、アルミニウム及びハフニウムを含む酸化物(ハフニウムアルミネート)を用いることが好ましい。または、ハフニウムジルコニウム酸化物を用いることが好ましい。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、及び水に対するバリア性を有する。絶縁体222が、水素及び水に対するバリア性を有することで、トランジスタの周辺に設けられた構造体に含まれる水素、及び水が、絶縁体222を通じてトランジスタの内側へ拡散することが抑制され、酸化物230中の酸素欠損の生成を抑制できる。

[0242]

絶縁体222は、例えば、スパッタリング法、CVD法、MBE法、PLD法、または、ALD法を用いて成膜することができる。本実施の形態では、絶縁体222として、ALD法を用いて、酸化ハフニウムを成膜する。

[0243]

次に、絶縁体222上に絶縁膜を成膜し、当該絶縁膜をエッチングして絶縁体223を形成する(図13A乃至図13D参照)。絶縁体223は、絶縁体225を形成するための犠牲層として機能する。絶縁体223としては、例えば、絶縁体216に用いることができる絶縁体を用いればよい。

[0244]

絶縁体223は、例えば、スパッタリング法、CVD法、MBE法、PLD法、または、ALD法を用いて成膜することができる。本実施の形態では、絶縁体223として、スパッタリング法を用いて、酸化シリコンを成膜する。

[0245]

絶縁体223は、リソグラフィ法を用いて島状に加工すればよい。当該加工には、ドライエッチング法またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0246]

図13Bに示すように、絶縁体223の側面が、絶縁体222の上面に対し、垂直または概略垂直になる構成にしてもよい。このような構成にすることで、複数のトランジスタを設ける際に、小面積化、高密度化が可能となる。

[0247]

なお、絶縁体223の成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁体223を成膜してもよい。このような処理を行うことによって、絶縁体222の表面に吸着している水分及び水素を除去し、さらに絶縁体222中の水分濃度及び水素濃度を低減させることができる。ここで、絶縁体222の下面に接して絶縁体221を設けておくことで、当該加熱処理によって、絶縁体221より下方から水分、または水素などの不純物が侵入するのを防ぐことができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を250℃とする。

[0248]

次に、絶縁体223を覆って、絶縁体225となる絶縁膜225fを成膜する（図14A乃至図14D参照）。絶縁膜225fは、後の工程で絶縁体225となる絶縁膜であり、上述の絶縁体を用いることができる。絶縁膜225fは、スパッタリング法、CVD法、MBE法、PLD法、またはALD法を用いて成膜することができる。

[0249]

絶縁膜225fは、絶縁体223に沿って成膜されるので、被覆性が良好であることが好ましい。よって、絶縁膜225fは、良好な被覆性を有するALD法などを用いて成膜することが好ましい。また、絶縁体225は、アスペクト比が高いことが好ましいので、絶縁膜225fは膜厚が薄いことが好ましい。よって、薄い膜厚での膜厚調整が可能なALD法を用いて、絶縁膜225fを成膜することが好ましい。例えば、絶縁膜225fとして、熱ALD法を用いて酸化ハフニウムを成膜することが好ましい。このように絶縁膜225fを成膜することで、絶縁膜225fは、絶縁体223の上面及び側面に接して形成される。

[0250]

次に、絶縁膜225fの一部を異方性エッチングによって除去し、さらに絶縁体223を除去する（図15A乃至図15D参照）。これにより、アスペクト比が高い絶縁体225を形成することができる。絶縁体225を用いることで、占有面積を大きくせずに、トランジスタ200のチャネル幅を大きくすることができるので、トランジスタ200の、オン電流、電界効果移動度、及び周波数特性を向上させることができる。また、占有面積を大きくせずに、容量素子100の面積を大きくすることができるので、容量素子100の静電容量を大きくすることができる。

[0251]

図15A乃至図15Dに示すように、2個の絶縁体225を形成することで、絶縁体223の大きさに合わせて、2個の絶縁体225の距離を設定することができる。よって、絶縁体225の距離を小さくし、トランジスタ200a、トランジスタ200b、容量素子100a及び容量素子100bの占有面積を低減し、記憶装置の高集積化を図ることができる。

[0252]

絶縁膜225fの異方性エッチングには、ドライエッチング法を用いることが好ましい。

[0253]

ドライエッチング処理用のエッチングガスとしては、ハロゲンを含むエッチングガスを用いることができ、具体的には、フッ素、塩素、及び臭素のうち、一または複数を含むエッチングガスを用いることができる。例えば、エッチングガスとして、 C_4F_6 ガス、 C_5F_6 ガス、 C_4F_8 ガス、 CF_4 ガス、 SF_6 ガス、 CHF_3 ガス、 CH_2F_2 ガス、 Cl_2 ガス、 BCl_3 ガス、 $SiCl_4$ ガス、または BBr_3 ガスなどを単独または2以上のガスを混合して用いることができる。また、上記の

エッチングガスに酸素ガス、炭酸ガス、窒素ガス、ヘリウムガス、アルゴンガス、水素ガス、または炭化水素ガスなどを適宜添加することができる。また、ドライエッチング処理の被処理物によっては、ハロゲンガスを含まず、炭化水素ガスまたは水素ガスを含むガスを、エッチングガスとして用いることができる。エッチングガスに用いる炭化水素としては、メタン (CH_4)、エタン (C_2H_6)、プロパン (C_3H_8)、ブタン (C_4H_{10})、エチレン (C_2H_4)、プロピレン (C_3H_6)、アセチレン (C_2H_2)、およびプロピン (C_3H_4) の一または複数を用いることができる。エッチング条件は、エッチングする対象に合わせて適宜設定することができる。

[0254]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。エッチング装置は、エッチングする対象に合わせて適宜設定することができる。

[0255]

例えば、絶縁膜225fに酸化ハフニウムを用いる場合、CCPエッチング装置で、エッチングガスとして、 C_4F_8 、 H_2 、及びArの混合ガスを用いればよい。

[0256]

なお、絶縁体223の除去は、上記加工には、ドライエッチング法またはウェットエッチング法を用いることができる。例えば、絶縁体223は、ウェットエッチング法を用いて除去すればよい。

[0257]

また、絶縁体225は、異方性エッチングで形成した時点では、絶縁体223の側面に接してサイドウォール状に形成される。つまり、絶縁体223を囲んで周状に絶縁体225が形成される。周状に絶縁体225を維持して記憶装置を作製すると、図6A乃至図6Dに示すように、絶縁体225がトランジスタ200aとトランジスタ200bで一体物になる。

[0258]

ここで、図15に示す構成では、サイドウォール状絶縁体のうち、記憶装置の構成上必要ない部分を除去して絶縁体225を形成している。このような絶縁体225を形成する場合、絶縁膜225fの異方性エッチングを行う前に、絶縁体225の不要な部分を先にエッチングする構成にしてもよい。

[0259]

次に、絶縁体222及び絶縁体225上に、酸化膜230afを成膜し、酸化膜230af上に、酸化膜230bfを成膜する(図16A乃至図16D参照)。酸化膜230afとしては、上記酸化物230aに対応する金属酸化物を、酸化膜230bfとしては、上記酸化物230bに対応する金属酸化物を、用いればよい。なお、酸化膜230af及び酸化膜230bfは、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜230af上

及び酸化膜 230bf 上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜 230af と酸化膜 230bf との界面または界面近傍を清浄に保つことができる。

[0260]

酸化膜 230af 及び酸化膜 230bf は、それぞれ、例えば、スパッタリング法、CVD法、MBE法、PLD法、または、ALD法を用いて成膜することができる。

[0261]

酸化膜 230af 及び酸化膜 230bf の成膜は、被覆性の良好なALD法を用いることが好ましい。ALD法を用いることで、絶縁体 225 の側面に、酸化膜 230af 及び酸化膜 230bf を被覆性良く成膜することができる。これにより、トランジスタ 200 において、絶縁体 225 の A3 側の側面、及び A4 側の側面にもチャネル形成領域を設けることができるので、トランジスタ 200 のチャネル幅を大きくすることができる。よって、トランジスタ 200 の電界効果移動度、オン電流、及び周波数特性を良好にすることができる。

[0262]

酸化膜 230af は、ALD法を用いて、 $In : Ga : Zn = 1 : 3 : 2$ [原子数比] の金属酸化物層、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比] の金属酸化物層、または、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比] の金属酸化物層を成膜すればよい。また、酸化膜 230bf は、ALD法を用いて、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比] の金属酸化物層、または $In : Zn = 4 : 1$ [原子数比] の金属酸化物層を成膜すればよい。また、酸化膜 230af、及び酸化膜 230bf は、上記金属酸化物層の積層構造にしてもよい。例えば、酸化膜 230bf を、 $In : Zn = 4 : 1$ [原子数比] の金属酸化物層、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比] の金属酸化物層の順に積層した積層膜にしてもよい。なお、上記酸化膜 230bf において、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比] の金属酸化物層の代わりに、 $In : Ga : Zn = 1 : 3 : 2$ [原子数比] の金属酸化物層、または $In : Ga : Zn = 1 : 3 : 4$ [原子数比] の金属酸化物層を用いてもよい。

[0263]

また、酸化膜 230af 及び酸化膜 230bf の成膜はスパッタリング法を用いてもよい。例えば、酸化膜 230af 及び酸化膜 230bf をスパッタリング法によって成膜する場合は、スパッタリングガスとして、酸素、または、酸素と貴ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、 $In-M-Zn$ 酸化物ターゲットなどを用いることができる。

[0264]

また、酸化膜 230bf をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30%を超えて100%以下、好ましくは70%以上100%以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜 230bf をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化

膜の結晶性を向上させることができる。

[0265]

本実施の形態では、酸化膜230afを、スパッタリング法によって、 $In:Ga:Zn=1:3:2$ [原子数比] の酸化物ターゲット、 $In:Ga:Zn=1:3:4$ [原子数比] の酸化物ターゲット、 $In:Ga:Zn=1:1:1$ [原子数比] の酸化物ターゲット、または $In:Ga:Zn=1:1:1.2$ [原子数比] の酸化物ターゲットを用いて成膜する。また、酸化膜230bfを、スパッタリング法によって、 $In:Ga:Zn=1:1:1$ [原子数比] の酸化物ターゲット、 $In:Ga:Zn=1:1:1.2$ [原子数比] の酸化物ターゲット、 $In:Ga:Zn=4:2:4.1$ [原子数比] の酸化物ターゲット、 $In:Ga:Zn=1:1:2$ [原子数比] の酸化物ターゲット、または $In:Zn=4:1$ [原子数比] の酸化物ターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、及び原子数比を適宜選択することで、酸化膜230a、及び酸化膜230bに求める特性に合わせて形成するとよい。

[0266]

また、例えば、酸化膜230afをスパッタリング法で成膜し、酸化膜230bfをALD法で成膜してもよい。ここで、酸化膜230afおよび酸化膜230bfのいずれか一方または両方を積層構造にしてもよい。例えば、酸化膜230afは、 $In:Ga:Zn=1:1:1$ [原子数比] の酸化物ターゲット、 $In:Ga:Zn=1:1:1.2$ [原子数比] の酸化物ターゲット、 $In:Ga:Zn=1:3:2$ [原子数比] の酸化物ターゲット、または $In:Ga:Zn=1:3:4$ [原子数比] の酸化物ターゲットのいずれかを用いて、スパッタリング法で成膜すればよい。

[0267]

また、酸化膜230bfは、ALD法を用いて成膜した、上述の金属酸化物層を用いることができる。例えば、酸化膜230bfは、 $In:Zn=4:1$ [原子数比] の金属酸化物層、 $In:Ga:Zn=1:1:1$ [原子数比] の金属酸化物層の順に積層した積層膜を成膜すればよい。

[0268]

酸化膜230afをスパッタリング法で成膜することで結晶性を高めることができる。例えば、酸化膜230afの結晶性を高めてから、酸化膜230af上に、酸化膜230bfを成膜することで、酸化膜230bfの一部または全部を結晶化することができる。すなわち、酸化膜230afの結晶性を高めることで、酸化膜230bfの結晶性も高めることが可能となる。例えば、酸化膜230afが、CAAC構造の酸化物半導体膜の場合、酸化膜230af上に形成する酸化膜230bfもCAAC構造の酸化物半導体とすることができる。

[0269]

また、ALD法を用いて酸化膜230bfを成膜することで、薄い膜を制御性良く成膜することができる。これにより、酸化膜230bfを、設計通りの薄い膜厚にすることができる。このような、酸化膜230af及び酸化膜230bfを用いることで、トランジスタ200の電気特性の向上、及び信頼性の向上を図ることができる。

[0270]

なお、酸化膜230af、及び酸化膜230bfを、大気に暴露することなく、成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いることが好ましい。これにより、酸化膜230af、及び酸化膜230bfについて、各成膜工程の合間に膜中に水素が混入することを低減できる。

[0271]

次に、加熱処理を行うことが好ましい。加熱処理は、酸化膜230af、及び酸化膜230bfが多結晶化しない温度範囲で行えばよい。加熱処理の温度は、100℃以上、250℃以上、または350℃以上であり、かつ、650℃以下、600℃以下、または550℃以下であると好ましい。

[0272]

なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを20%程度にすることが好ましい。また、加熱処理は減圧状態で行ってもよい。または、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

[0273]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量は、1ppb以下が好ましく、0.1ppb以下がより好ましく、0.05ppb以下がさらに好ましい。高純度化されたガスを用いて加熱処理を行うことで、酸化膜230af、及び酸化膜230bfなどに水分等が取り込まれることを可能な限り防ぐことができる。

[0274]

本実施の形態では、加熱処理として、窒素ガスと酸素ガスの流量比を4:1として、450℃の温度で1時間の処理を行う。このような酸素ガスを含む加熱処理によって、酸化膜230af及び酸化膜230bf中の炭素、水、水素などの不純物を低減できる。このように膜中の不純物を低減することで、酸化膜230af及び酸化膜230bfの結晶性を向上させ、より密度の高い、緻密な構造にすることができる。これにより、酸化膜230af及び酸化膜230bf中の結晶領域を増大させ、酸化膜230af及び酸化膜230bf中における、結晶領域の面内ばらつきを低減できる。よって、トランジスタの電気特性の面内ばらつきを低減できる。

[0275]

また、加熱処理を行うことで、絶縁体216、酸化膜230af、及び酸化膜230bf中の水素が絶縁体225及び絶縁体222内に吸い取られる。別言すると、絶縁体216、酸化膜230af、及び酸化膜230bf中の水素が、絶縁体225及び絶縁体222に拡散する。従って、絶縁体225及び絶縁体222の水素濃度は高くなるが、絶縁体216、酸化膜230af、及び酸化膜230bf中のそれぞれの水素濃度は低下する。なお、絶縁体222の下面に接して絶縁体221を設けておくことで、当該加熱処理において、絶縁体221より下方から水分、または水素などの不純物が侵入するのを防ぐことができる。

[0276]

特に、酸化膜230af及び酸化膜230bf（後の酸化物230a及び酸化物230b）は、トランジスタ200のチャンネル形成領域として機能する。水素濃度が低減された酸化膜230af及び酸化膜230bfを用いて形成されたトランジスタ200は、良好な信頼性を有するため好ましい。

[0277]

次に、酸化膜230bf上に、導電膜242fを成膜する（図16A乃至図16D参照）。導電膜242fとしては、上記導電体242a、242bに対応する導電体を用いればよい。酸化膜230bfの成膜後に、エッチング工程などを挟まずに、酸化膜230bf上に接して導電膜242fを成膜することで、酸化膜230bfの上面を、導電膜242fで保護することができる。これにより、トランジスタを構成する酸化物230に不純物が拡散するのを低減することができるので、記憶装置の電気特性及び信頼性の向上を図ることができる。

[0278]

導電膜242fは、例えば、スパッタリング法、CVD法、MBE法、PLD法、またはALD法を用いて成膜することができる。ALD法を用いることで、絶縁体225の側面に、導電膜242fを被覆性良く成膜することができる。例えば、導電膜242fとして、ALD法を用いて窒化タンタルを成膜すればよい。

[0279]

次に、導電膜242f上に絶縁膜154fを成膜する（図16A乃至図16D参照）。絶縁膜154fとしては、上記絶縁体154a、154bに対応するHigh-k材料を用いることができる。

[0280]

絶縁膜154fの成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。ALD法を用いることで、絶縁体225の側面に、絶縁膜154fを被覆性良く成膜することができる。例えば、絶縁膜154fとして、熱ALD法によって、酸化ジルコニウム膜と、酸化ジルコニウム膜上の酸化アルミニウム膜と、酸化アルミニウム膜上の酸化ジルコニウム膜の積層膜を成膜すればよい。

[0281]

絶縁膜154fを積層膜にする場合、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、絶縁膜154fの積層膜の界面または界面近傍を清浄に保つことができる。

[0282]

次に、絶縁膜154f上に導電膜160fを成膜する（図16A乃至図16D参照）。導電膜160fとしては、上記導電体160a、160bに対応する導電体を用いればよい。

[0283]

導電膜160fの成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。ALD法を用いることで、絶縁体225の側面に、導電膜160fを被覆性良く成膜することができる。例えば、導電膜160fとして、ALD法を用いて窒化チタンを成膜すればよい。

[0284]

次に、リソグラフィ法を用いて、酸化膜230af、酸化膜230bf、導電膜242f、絶縁膜154f、及び導電膜160fを島状に加工して、酸化物230a、酸化物230b、導電体242a、導電体242b、絶縁体154a、絶縁体154b、導電体160a、及び導電体160bを形成する（図17A乃至図17D参照）。上記加工には、ドライエッチング法またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。なお、ドライエッチング法の条件、及びドライエッチング装置については、上記の記載を参照するこ

とができる。また、酸化膜 230 a f、酸化膜 230 b f、導電膜 242 f、絶縁膜 154 f、及び導電膜 160 f の加工は、それぞれ異なる条件で行ってもよい。

[0285]

上記の加工により、トランジスタ 200 a 及び容量素子 100 a を形成する、酸化物 230 a、酸化物 230 b、導電体 242 a、導電体 242 b、絶縁体 154 a、絶縁体 154 b、導電体 160 a、及び導電体 160 b と、トランジスタ 200 b 及び容量素子 100 b を形成する、酸化物 230 a、酸化物 230 b、導電体 242 a、導電体 242 b、絶縁体 154 a、絶縁体 154 b、導電体 160 a、及び導電体 160 b と、が分離される。このとき、酸化物 230 a、酸化物 230 b、導電体 242 a、導電体 242 b、絶縁体 154 a、絶縁体 154 b、導電体 160 a、及び導電体 160 b は、トランジスタ 200 a を形成する絶縁体 225 の少なくとも一部と、トランジスタ 200 b を形成する絶縁体 225 の少なくとも一部を、それぞれ覆って形成されることが好ましい。

[0286]

さらに、図 17 A に示すように、導電体 242 a、絶縁体 154 a、及び導電体 160 a と、導電体 242 b、絶縁体 154 b、及び導電体 160 b は、一点鎖線 A3-A4 を挟んで対向して設けられる。よって、トランジスタ 200 a 及びトランジスタ 200 b の、ソース電極及びドレイン電極の一方として機能する導電体 242 a と、ソース電極及びドレイン電極の他方として機能する導電体 242 b と、が形成される。また、導電体 242 a、導電体 242 a 上の絶縁体 154 a、及び絶縁体 154 a 上の導電体 160 a を有する、容量素子 100 a、及び容量素子 100 b が形成される。ここで、導電体 242 a、絶縁体 154 a、及び導電体 160 a の二つ以上の側端部が、互いに一致または概略一致し、導電体 242 b、絶縁体 154 b、及び導電体 160 b の二つ以上の側端部が、互いに一致または概略一致することが好ましい。

[0287]

また、酸化物 230 a 及び酸化物 230 b は、少なくとも一部が導電体 205 と重なるように形成する。また、酸化物 230 a 及び酸化物 230 b と重畳しない領域において、絶縁体 222 が露出する。酸化物 230 a 及び酸化物 230 b の一部は、導電体 242 a、絶縁体 154 a、及び導電体 160 a と、導電体 242 b、絶縁体 154 b、及び導電体 160 b と、重畳する。ここで、酸化物 230 a 及び酸化物 230 b の、導電体 242 a、導電体 242 b 等と重畳する部分において、酸化物 230 a、酸化物 230 b、導電体 242 a、絶縁体 154 a、及び導電体 160 a の二つ以上の側端部が、互いに一致または概略一致し、酸化物 230 a、酸化物 230 b、導電体 242 b、絶縁体 154 b、及び導電体 160 b の二つ以上の側端部が、互いに一致または概略一致することが好ましい。

[0288]

また、酸化物 230 a 及び酸化物 230 b の、導電体 242 a、導電体 242 b 等と重畳しない部分（酸化物 230 a 及び酸化物 230 b の、導電体 242 a と導電体 242 b の間に位置する部分ということもできる。）は、絶縁体 225 の側面にサイドウォール状に形成される。よって、図 17 C に示すように、酸化物 230 a の側面が絶縁体 225 に接し、酸化物 230 a の下面が絶縁体 222 に接し、酸化物 230 b の側面及び下面が酸化物 230 a に接し、酸化物 230 a 及び酸化物 230 b は、絶縁体 225 の上面に接しない。

[0289]

上記のように、酸化物230a及び酸化物230bをサイドウォール状に形成するには、酸化膜230af及び酸化膜230bfを、異方性エッチングを用いて加工することが好ましい。酸化膜230af及び酸化膜230bfの異方性エッチングには、ドライエッチング法を用いることが好ましい。なお、ドライエッチング法の条件、及びドライエッチング装置については、上記の記載を参照することができる。

[0290]

例えば、リソグラフィ法を用いてマスクを形成して、導電膜242f、絶縁膜154f、及び導電膜160fを島状に加工して、導電体242a、導電体242b、絶縁体154a、絶縁体154b、導電体160a、及び導電体160bを形成し、さらに同じマスクを用いて、酸化膜230af及び酸化膜230bfに異方性エッチングを行えばよい。これにより、酸化物230a及び酸化物230bは、導電体242a、導電体242b等と重畳して形成され、且つ導電体242a、導電体242b等と重畳しない領域では、絶縁体225の側面にサイドウォール状に形成される。このように、酸化物230a、酸化物230b、導電体242a、導電体242b、絶縁体154a、絶縁体154b、導電体160a、及び導電体160bを一括で加工することが好ましい。これにより、本発明の一態様に係る記憶装置の工程数を削減することができる。よって、生産性の良好な記憶装置の作製方法を提供することができる。

[0291]

また、図17Bに示すように、酸化物230a、酸化物230b、導電体242a、導電体242b、絶縁体154a、絶縁体154b、導電体160a、及び導電体160bの側面が、絶縁体222の上面に対し、垂直または概略垂直になる構成にしてもよい。このような構成にすることで、複数のトランジスタを設ける際に、小面積化、高密度化が可能となる。

[0292]

ただし、上記に限られず、酸化物230a、酸化物230b、導電体242a、導電体242b、絶縁体154a、絶縁体154b、導電体160a、及び導電体160bの側面がテーパ形状になっていてもよい。酸化物230a、酸化物230b、導電体242a、導電体242b、絶縁体154a、絶縁体154b、導電体160a、及び導電体160bの側面のテーパ角は、例えば、60°以上90°未満であってもよい。このように側面をテーパ形状にすることで、これより後の工程において、絶縁体275などの被覆性が向上し、鬆などの欠陥を低減できる。

[0293]

なお、リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで、導電体、半導体、または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成することができる。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームまたはイオンビームを用いてもよい。なお、電子ビームまたはイオンビームを用いる場合には、マスクを用いなくてもよい場合がある。

[0294]

なお、加工後に不要になったレジストマスクは、酸素プラズマを用いたアッシング（以下、酸素

プラズマ処理と呼ぶ場合がある。)などのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

[0295]

さらに、レジストマスクの下に絶縁体または導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜160f上にハードマスク材料となる絶縁膜または導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電膜160fなどのエッチングは、レジストマスクを除去してから行ってもよいし、レジストマスクを残したまま行ってもよい。後者の場合、エッチング中にレジストマスクが消失することがある。酸化膜230bfなどのエッチング後にハードマスクをエッチングにより除去してもよい。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0296]

また、被加工物とレジストマスクの間に、SOC (Spin On Carbon) 膜、及びSOG (Spin On Glass) 膜を成膜する構成にしてもよい。SOC膜及びSOG膜をマスクとして用いることで、レジストマスクとの密着性を向上させ、マスクパターンの耐久性を向上させることができる。例えば、被加工物の上に、SOC膜、SOG膜、レジストマスクの順に成膜してリソグラフィ法を行うことができる。

[0297]

なお、上記において、酸化膜230af及び酸化膜230bfについて、異方性エッチングを行う構成について示したが、本発明はこれに限られるものではない。例えば、酸化膜230af及び酸化膜230bfに加えて、さらに、導電膜242fも異方性エッチングを行う構成にしてもよい。この場合、酸化膜230bの側面に接して、さらにサイドウォール状に加工された、導電膜242fが形成されることになる。また同様に、絶縁膜154f、及び導電膜160fも異方性エッチングを行う構成にしてもよい。

[0298]

次に、酸化膜230a、酸化膜230b、導電膜242a、導電膜242b、絶縁膜154a、絶縁膜154b、導電膜160a、及び導電膜160bを覆って、絶縁膜275を成膜し、さらに絶縁膜275上に絶縁膜280を成膜する(図18A乃至図18D参照)。絶縁膜275、及び絶縁膜280としては、上述の絶縁膜を用いればよい。

[0299]

ここで、絶縁膜275は、絶縁膜222の上面に接することが好ましい。

[0300]

絶縁膜280としては、絶縁膜280となる絶縁膜を形成し、当該絶縁膜にCMP処理を行うことで、上面が平坦な絶縁膜を形成することが好ましい。なお、絶縁膜280上に、例えば、スパッタリング法によって窒化シリコンを成膜し、該窒化シリコンを絶縁膜280に達するまで、CMP処理を行ってもよい。

[0301]

絶縁膜275及び絶縁膜280は、それぞれ、例えば、スパッタリング法、CVD法、MBE法、PLD法、またはALD法を用いて成膜することができる。

[0302]

絶縁体275には、酸素の透過を抑制する機能を有する絶縁体を用いることが好ましい。例えば、絶縁体275として、PEALD法を用いて窒化シリコンを成膜することが好ましい。または、絶縁体275として、スパッタリング法を用いて、酸化アルミニウムを成膜し、その上にPEALD法を用いて窒化シリコンを成膜することが好ましい。絶縁体275を上記のような構造とすることで、水、水素などの不純物、及び酸素の拡散を抑制する機能の向上を図ることができる。

[0303]

このようにして、酸化物230a、酸化物230b、導電体242a、及び導電体242bを、酸素の拡散を抑制する機能を有する絶縁体275で覆うことができる。これにより、のちの工程で、酸化物230a、酸化物230b、導電体242a、及び導電体242bに、絶縁体280などから酸素が直接拡散することを低減できる。

[0304]

また、絶縁体280として、スパッタリング法を用いて酸化シリコンを成膜することが好ましい。絶縁体280となる絶縁膜を、酸素を含む雰囲気、スパッタリング法で成膜することで、過剰酸素を含む絶縁体280を形成することができる。また、成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体280中の水素濃度を低減できる。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このような処理を行うことによって、絶縁体275の表面などに吸着している水分及び水素を除去し、さらに酸化物230a、及び酸化物230b中の水分濃度及び水素濃度を低減できる。当該加熱処理には、上述した加熱処理条件を用いることができる。

[0305]

次に、リソグラフィ法を用いて、絶縁体280及び絶縁体275を加工して、絶縁体225、酸化物230a、酸化物230b及び絶縁体222に達する開口を形成する（図19A乃至図19D参照）。上記開口は、絶縁体225、酸化物230a、及び酸化物230bと、導電体205とが重なる領域に形成する。また、上記開口は、導電体240aと導電体240bの間に形成することが好ましい。

[0306]

リソグラフィ法は、上記の方法を適宜用いることができる。絶縁体280及び絶縁体275の開口を微細に加工するには、EUV光などの短波長の光、または電子ビームを用いたリソグラフィ法を用いることが好ましい。

[0307]

上記加工は、ドライエッチング法を用いて行うことが好ましい。ドライエッチング法は、異方性エッチングが可能なので、アスペクト比が高い開口を形成するのに好適である。なお、ドライエッチング法の条件、及びドライエッチング装置については、上記の記載を参照することができる。

[0308]

また、図17A乃至図17Dに示す工程において、導電膜242fも異方性エッチングを行った場合、図19A乃至図19Dに示す工程で導電膜242fの残った部分をエッチングして、導電体242a及び導電体242bを形成することが好ましい。この場合、図9A乃至図9Dに示すように、導電体242a及び導電体242bの一部が、導電体160a、導電体160b等と重畳しない領域に形成される。よって、導電体242a及び導電体242bは、導電体242と導電体16

0の間において、酸化物230bの側面に接して、サイドウォール状に形成される。

[0309]

なお、絶縁体280及び絶縁体275の開口形成後に、酸素プラズマを用いたアッシング処理を行ってもよい。このような酸素プラズマ処理を行うことで、上記エッチング処理で発生し、酸化物230などに拡散した不純物を除去することができる。当該不純物は、上記エッチング処理の被加工物に含まれる成分、及び、エッチングに使用されるガスなどに含まれる成分に起因したものが挙げられる。例えば、塩素、フッ素、タンタル、シリコン、ハフニウムなどが挙げられる。特に、上記エッチング処理で塩素ガスを用いると、塩素ガスを含む雰囲気中に酸化物230が曝されるので、酸化物230に付着した塩素を除去することが好ましい。このように酸化物230に付着した不純物を除去することで、トランジスタの電気特性、及び信頼性を向上させることができる。

[0310]

また、上記エッチング工程で酸化物230b表面に付着した不純物などを除去するために、洗浄処理を行ってもよい。洗浄方法としては、洗浄液などを用いたウェット洗浄（ウェットエッチング処理ということもできる）、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせることもよい。なお、当該洗浄処理によって、上記溝部が深くなる場合がある。

[0311]

ウェット洗浄としては、アンモニア水、シュウ酸、リン酸、及びフッ化水素酸のうち一つまたは複数炭酸水または純水で希釈した水溶液、純水、炭酸水などを用いて行ってもよい。または、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。または、これらの洗浄を適宜組み合わせることもよい。

[0312]

なお、本明細書等では、フッ化水素酸を純水で希釈した水溶液を希釈フッ化水素酸と呼び、アンモニア水を純水で希釈した水溶液を希釈アンモニア水と呼ぶ場合がある。また、当該水溶液の濃度、温度などは、除去したい不純物、洗浄される記憶装置の構成などによって、適宜調整する。希釈アンモニア水のアンモニア濃度は0.01%以上5%以下が好ましく、0.1%以上0.5%以下がより好ましい。また、希釈フッ化水素酸のフッ化水素濃度は0.01ppm以上100ppm以下が好ましく、0.1ppm以上10ppm以下がより好ましい。

[0313]

なお、超音波洗浄には、200kHz以上の周波数を用いることが好ましく、900kHz以上の周波数を用いることがより好ましい。当該周波数を用いることで、酸化物230bなどへのダメージを低減することができる。

[0314]

また、上記洗浄処理を複数回行ってもよく、洗浄処理毎に洗浄液を変更してもよい。例えば、第1の洗浄処理として希釈フッ化水素酸、または希釈アンモニア水を用いた処理を行い、第2の洗浄処理として純水、または炭酸水を用いた処理を行ってもよい。

[0315]

上記洗浄処理として、本実施の形態では、希釈アンモニア水を用いてウェット洗浄を行う。当該洗浄処理を行うことで、酸化物230a、酸化物230bなどの表面に付着または内部に拡散した不純物を除去することができる。さらに、酸化物230a、酸化物230bなどの結晶性を高める

ことができる。

[0316]

上記エッチング後、または上記洗浄後に加熱処理を行うことが好ましい。加熱処理の温度は、100℃以上、250℃以上、または350℃以上であり、かつ、650℃以下、600℃以下、550℃以下、または400℃以下であると好ましい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。当該加熱処理は、酸素を含む雰囲気で行うことが好ましく、例えば、窒素ガスと酸素ガスの流量比を4:1として、350℃の温度で1時間の処理を行うことが好ましい。これにより、酸化物230a及び酸化物230bに酸素を供給して、酸素欠損の低減を図ることができる。また、このような熱処理を行うことで、酸化物230bの結晶性を向上させることができる。さらに、酸化物230a及び酸化物230b中に残存した水素に供給された酸素が反応することで、当該水素をH₂Oとして除去する（脱水化する）ことができる。これにより、酸化物230a及び酸化物230b中に残存していた水素が酸素欠損に再結合してV_OHが形成されることを抑制できる。これにより、酸化物230が設けられたトランジスタの電気特性を良好にし、信頼性を向上させることができる。また、同一基板上に複数形成されるトランジスタの電気特性のばらつきを抑制することができる。なお、上記加熱処理は減圧状態で行ってもよい。または、酸素雰囲気で加熱処理した後に、大気に露出せずに連続して窒素雰囲気で加熱処理を行ってもよい。

[0317]

なお、酸化物230bに、導電体242a及び導電体242bが接した状態で加熱処理を行う場合、酸化物230bにおける導電体242aと重なる領域、及び、導電体242bと重なる領域は、それぞれシート抵抗が低下することがある。また、キャリア濃度が増加することがある。したがって、酸化物230bにおける導電体242aと重なる領域、及び、導電体242bと重なる領域を、自己整合的に低抵抗化することができる。

[0318]

次に、絶縁体280などに形成された開口を埋めるように、絶縁体250となる絶縁膜250Aを成膜する（図20A乃至図20D参照）。ここで、絶縁膜250Aは、絶縁体280、絶縁体275、絶縁体222、絶縁体225、酸化物230a、及び酸化物230bに接する。

[0319]

絶縁膜250Aは、スパッタリング法、CVD法、MBE法、PLD法、または、ALD法を用いて成膜することができる。例えば、絶縁膜250AはALD法を用いて成膜することが好ましい。上述の絶縁体250と同様に、絶縁膜250Aは薄い膜厚で形成することが好ましく、膜厚のバラつきが小さくなるようにする必要がある。これに対して、ALD法は、プリカーサと、リアクタント（例えば酸化剤など）を交互に導入して行う成膜方法であり、このサイクルを繰り返す回数によって膜厚を調節することができるため、精密な膜厚調節が可能である。また、絶縁膜250Aは、上記開口の底面及び側面に、被覆性良く成膜される必要がある。ALD法を用いることで、上記開口の底面及び側面において、原子の層を一層ずつ堆積させることができるため、絶縁膜250Aを当該開口に対して良好な被覆性で形成できる。

[0320]

また、絶縁膜250AをALD法で成膜する場合、酸化剤として、オゾン（O₃）、酸素（O₂）、水（H₂O）などを用いることができる。水素を含まない、オゾン（O₃）、酸素（O₂）などを酸

化剤として用いることで、酸化物230bに拡散する水素を低減できる。

[0321]

絶縁体250は、図3などで示したように、積層構造にすることができる。例えば、図3Aに示すように、絶縁体250を絶縁体250a乃至絶縁体250dの積層構造にすることができる。この場合、絶縁体250aとして、酸化アルミニウムを熱ALD法によって成膜し、絶縁体250bとして、酸化シリコンをPEALD法によって成膜し、絶縁体250cとして、酸化ハフニウムを熱ALD法によって成膜し、絶縁体250dとして、窒化シリコンをPEALD法によって成膜することができる。

[0322]

また、絶縁膜250Aの成膜後、または絶縁膜250Aを構成するいずれかの絶縁体の成膜後に、酸素を含む雰囲気マイクロ波処理を行うことが好ましい。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。また、本明細書などにおいて、マイクロ波とは、300MHz以上300GHz以下の周波数を有する電磁波を指すものとする。

[0323]

マイクロ波処理では、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する、マイクロ波処理装置を用いることが好ましい。ここで、マイクロ波処理装置の周波数は、300MHz以上300GHz以下が好ましく、2.4GHz以上2.5GHz以下がより好ましく、例えば、2.45GHzにすることができる。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、マイクロ波処理装置のマイクロ波を印加する電源の電力は、1000W以上10000W以下が好ましく、2000W以上5000W以下がより好ましい。また、マイクロ波処理装置は基板側にRFを印加する電源を有してもよい。また、基板側にRFを印加することで、高密度プラズマによって生成された酸素イオンを、効率よく酸化物230b中に導くことができる。

[0324]

また、上記マイクロ波処理は、減圧下で行うことが好ましく、圧力は、10Pa以上1000Pa以下が好ましく、300Pa以上700Pa以下がより好ましい。また、処理温度は、750℃以下が好ましく、500℃以下がより好ましく、例えば250℃程度とすることができる。また、酸素プラズマ処理を行った後に、外気に曝すことなく、連続して加熱処理を行ってもよい。加熱処理の温度は、例えば、100℃以上750℃以下が好ましく、300℃以上500℃以下がより好ましい。

[0325]

また、例えば、上記マイクロ波処理は、酸素ガスとアルゴンガスを用いて行うことができる。ここで、酸素流量比($O_2 / (O_2 + Ar)$)は、0%より大きく、100%以下とする。好ましくは、酸素流量比($O_2 / (O_2 + Ar)$)を、0%より大きく、50%以下とする。より好ましくは、酸素流量比($O_2 / (O_2 + Ar)$)を、10%以上、40%以下とする。さらに好ましくは、酸素流量比($O_2 / (O_2 + Ar)$)を、10%以上、30%以下とする。このように、酸素を含む雰囲気マイクロ波処理を行うことで、酸化物230b中のキャリア濃度を低下させることができる。また、マイクロ波処理において、チャンバーに過剰な量の酸素が導入されないようにすることで、酸化物230bでキャリア濃度が過剰に低下することを防ぐことができる。

[0326]

酸素を含む雰囲気マイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを酸化物230bの、導電体242aと導電体242bとの間の領域に作用させることができる。プラズマ、マイクロ波などの作用により、当該領域におけるV_oHを酸素欠損と水素とに分断し、水素を当該領域から除去することができる。ここで、図3Aなどに示す構造にする場合、絶縁体250aとして、水素を捕獲または水素を固着する機能を有する絶縁膜（例えば、酸化アルミニウムなど）を用いることが好ましい。このような構成にすることで、マイクロ波処理により生じた水素を、絶縁体250aに捕獲、または固着させることができる。このようにして、チャンネル形成領域に含まれるV_oHを低減できる。以上により、チャンネル形成領域中の酸素欠損、及びV_oHを低減し、キャリア濃度を低下させることができる。また、チャンネル形成領域で形成された酸素欠損に、上記酸素プラズマで発生した酸素ラジカルを供給することで、さらに、チャンネル形成領域中の酸素欠損を低減し、キャリア濃度を低下させることができる。

[0327]

チャンネル形成領域中に注入される酸素は、酸素原子、酸素分子、酸素イオン、及び酸素ラジカル（Oラジカルともいう、不対電子をもつ原子、分子、またはイオン）など様々な形態がある。なお、チャンネル形成領域中に注入される酸素は、上述の形態のいずれか一または複数であればよく、特に酸素ラジカルであると好適である。また、絶縁体250の膜質を向上させることができるため、トランジスタの信頼性が向上する。

[0328]

また、マイクロ波処理を行うことで、酸化物230b中の炭素などの不純物も除去することができる。酸化物230b中の不純物である炭素を除去することで、酸化物230bの結晶性向上を図ることができる。これにより、酸化物230bをCAAC-OSにすることができる。特に、酸化物230bをALD法で成膜した場合、プリカーサに含まれる炭素が酸化物230b中に取り込まれることがあるので、マイクロ波処理で炭素を除去することが好ましい。

[0329]

一方、酸化物230bには、導電体242a、242bのいずれかと重なる領域が存在する。当該領域は、ソース領域またはドレイン領域として機能することができる。ここで、導電体242a、242bは、酸素を含む雰囲気マイクロ波処理を行う際、マイクロ波、RF等の高周波、酸素プラズマなどの作用に対する遮蔽膜として機能することが好ましい。このため、導電体242a、242bは、300MHz以上300GHz以下、例えば、2.4GHz以上2.5GHz以下の電磁波を遮蔽する機能を有することが好ましい。

[0330]

導電体242a、242bは、マイクロ波、またはRF等の高周波、酸素プラズマなどの作用を遮蔽するため、これらの作用は、酸化物230bの導電体242a、242bのいずれかと重なる領域には及ばない。これにより、マイクロ波処理によって、ソース領域及びドレイン領域で、V_oHの低減、及び過剰な量の酸素供給が発生しないため、キャリア濃度の低下を防ぐことができる。

[0331]

以上のようにして、酸化物半導体のチャンネル形成領域で選択的に酸素欠損、及びV_oHを除去して、チャンネル形成領域をi型または実質的にi型とすることができる。さらに、ソース領域または

ドレイン領域として機能する領域に過剰な酸素が供給されることを抑制し、マイクロ波処理を行う前の導電性（低抵抗領域である状態）を維持することができる。これにより、トランジスタの電気特性の変動を抑制し、基板面内でトランジスタの電気特性がばらつくことを抑制できる。

[0332]

なお、マイクロ波処理では、マイクロ波と酸化物230b中の分子の電磁気的な相互作用により、酸化物230bに直接的に熱エネルギーを伝達する場合がある。この熱エネルギーにより、酸化物230bが加熱される場合がある。このような加熱処理をマイクロ波アニールと呼ぶ場合がある。マイクロ波処理を、酸素を含む雰囲気中で行うことで、酸素アニールと同等の効果が得られる場合がある。また、酸化物230bに水素が含まれる場合、この熱エネルギーが酸化物230b中の水素に伝わり、これにより活性化した水素が酸化物230bから放出されることが考えられる。

[0333]

また、マイクロ波処理を行って、絶縁体250の膜質を改質することで、水素、水、不純物等の拡散を抑制できる。従って、導電体260となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁体250を介して、水素、水、不純物等が、酸化物230b、酸化物230aなどへ拡散することを抑制できる。このように、絶縁体250の膜質を向上させることで、トランジスタの信頼性を向上させることができる。

[0334]

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、当該絶縁膜中、酸化物230b中、及び酸化物230a中の水素を効率よく除去できる。また、水素の一部は、導電体242a、242bにゲッターリングされる場合がある。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。加熱処理を繰り返し行うことで、当該絶縁膜中、酸化物230b中、及び酸化物230a中の水素をさらに効率よく除去できる。なお、加熱処理温度は、300℃以上500℃以下とすることが好ましい。また、上記マイクロ波処理、すなわちマイクロ波アニールが該加熱処理を兼ねてもよい。マイクロ波アニールにより、酸化物230bなどが十分加熱される場合、該加熱処理を行わなくてもよい。

[0335]

絶縁体250を絶縁体250a乃至絶縁体250dの積層構造にする場合、絶縁体250bの成膜後にマイクロ波処理を行うことが好ましい。さらに、絶縁体250cの成膜後にもう一度マイクロ波処理を行ってもよい。このように、酸素を含む雰囲気でのマイクロ波処理は、複数回（少なくとも2回以上）の処理としてもよい。

[0336]

次に、導電体260aとなる導電膜260Aと、導電体260bとなる導電膜260Bと、を順に成膜する（図21A乃至図21D参照）。導電膜260A、及び、導電膜260Bは、それぞれ、例えば、スパッタリング法、CVD法、MBE法、PLD法、メッキ法または、ALD法を用いて成膜することができる。本実施の形態では、ALD法を用いて、導電膜260Aとして窒化チタンを成膜し、CVD法を用いて導電膜260Bとしてタングステンを成膜する。

[0337]

次に、CMP処理によって、絶縁膜250A、導電膜260A、及び、導電膜260Bを、絶縁体280が露出するまで研磨する。つまり、絶縁膜250A、導電膜260A、及び、導電膜26

0 Bの、上記開口から露出した部分を除去する。これによって、導電体205と重なる開口の中に、絶縁体250、及び導電体260（導電体260a及び導電体260b）を形成する（図22A乃至図22D参照）。

[0338]

これにより、絶縁体250は、上記開口内で、絶縁体280、絶縁体275、絶縁体225、酸化物230b、酸化物230a、及び絶縁体222に接して設けられる。また、導電体260は、絶縁体250を介して、上記開口を埋め込むように配置される。このようにして、トランジスタ200が形成される。

[0339]

次に、絶縁体250上、導電体260上、及び絶縁体280上に、絶縁体282を形成する。絶縁体282は、例えば、スパッタリング法、CVD法、MBE法、PLD法、またはALD法を用いて成膜する行うことができる。絶縁体282の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体282中の水素濃度を低減できる。

[0340]

また、スパッタリング法を用いて、酸素を含む雰囲気中で絶縁体282の成膜を行うことで、成膜しながら、絶縁体280に酸素を添加できる。これにより、絶縁体280に過剰酸素を含ませることができる。このとき、基板加熱を行いながら、絶縁体282を成膜することが好ましい。このように絶縁体282を成膜することで、絶縁体280から、絶縁体250を介して酸化物230bまで拡散させ、好適な量の酸素を酸化物230bに供給することができる。また、絶縁体250中に絶縁体250aを設けておくことで、過剰な量の酸素が絶縁体250中に供給され、導電体242a、242bの絶縁体250近傍が過剰に酸化されるのを防ぐことができる。

[0341]

本実施の形態では、絶縁体282として、酸素ガスを含む雰囲気中でアルミニウムターゲットを用いて、スパッタリング法で酸化アルミニウムを成膜する。スパッタリング法で基板に印加するRF電力の大きさによって、絶縁体282より下層へ注入する酸素量を制御することができる。例えば、RF電力が小さいほど絶縁体282より下層へ注入する酸素量が減り、絶縁体282の膜厚が薄くても当該酸素量は飽和しやすくなる。また、RF電力が大きいほど絶縁体282より下層へ注入する酸素量が増える。RF電力を小さくすることで、絶縁体280へ注入される酸素量を抑制できる。また、絶縁体282を2層の積層構造で成膜してもよい。このとき、例えば、絶縁体282の下層を、基板に印加するRF電力を印加しないで成膜し、絶縁体282の上層を、基板にRF電力を印加して成膜する。

[0342]

なお、RFの周波数は、10MHz以上が好ましい。代表的には、13.56MHzである。RFの周波数が高いほど基板へ与えるダメージを小さくすることができる。

[0343]

また、絶縁体282の成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁体282を成膜してもよい。このような処理を行うことによって、絶縁体280の表面に吸着している水分及び水素を除去し、さらに絶縁体280中の水分濃度及び水素濃度を低減させることができる。加熱処理の温度は、100°C以上400°C以下が好ま

しい。本実施の形態では、加熱処理の温度を250℃とする。

[0344]

次に、絶縁体282上に、絶縁体283を形成する。絶縁体283は、例えば、スパッタリング法、CVD法、MBE法、PLD法、またはALD法を用いて成膜する行うことができる。絶縁体283の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体283中の水素濃度を低減できる。本実施の形態では、絶縁体283として、スパッタリング法を用いて、窒化シリコンを成膜する。

[0345]

ここで、絶縁体282及び絶縁体283は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、絶縁体282及び絶縁体283上に大気環境からの不純物または水分が付着することを防ぐことができ、絶縁体282及び絶縁体283との界面または界面近傍を清浄に保つことができる。

[0346]

また、絶縁体283の成膜後に、加熱処理を行ってもよい。当該加熱処理の温度は、100℃以上400℃以下が好ましい。加熱処理を行うことで、絶縁体280、絶縁体250、及び酸化物230に含まれる水素が絶縁体282内に吸い取られる。別言すると、絶縁体280、絶縁体250、及び酸化物230に含まれる水素が絶縁体282に拡散する。従って、絶縁体282の水素濃度は高くなるが、絶縁体280、絶縁体250、及び酸化物230のそれぞれの水素濃度は低下する。なお、絶縁体282の上面に接して絶縁体283を設けておくことで、当該加熱処理において、絶縁体283より上方から水分、または水素などの不純物が侵入するのを防ぐことができる。また、加熱処理を行うことで、酸化物230に含まれる水素が絶縁体222内に吸い取られる。別言すると、酸化物230に含まれる水素が絶縁体222に拡散する。従って、絶縁体222の水素濃度は高くなるが、酸化物230中の水素濃度は低下する。なお、絶縁体222の下面に接して絶縁体221を設けておくことで、当該加熱処理において、絶縁体221より下方から水分、または水素などの不純物が侵入するのを防ぐことができる。

[0347]

次に、絶縁体275、絶縁体280、絶縁体282、及び絶縁体283に、導電体160aに達する開口を形成し、絶縁体154b、導電体160b、絶縁体275、絶縁体280、絶縁体282、及び絶縁体283に、導電体242bに達する開口を形成する（図1A乃至図1D参照）。当該開口の形成は、リソグラフィ法を用いて行えばよい。なお、図1Aで当該開口の形状は、上面視において円形状にしているが、これに限られるものではない。例えば、当該開口が、上面視において、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。

[0348]

次に、絶縁体241となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして、導電体160aに達する開口に絶縁体241aを形成し、導電体242bに達する開口に絶縁体241bを形成する（図1A乃至図1D参照）。絶縁体241となる絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。絶縁体241となる絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ALD法を用いて、酸化アルミニウムを成膜し、その上に、PEALD法を用いて、窒化シリコンを成

膜することが好ましい。窒化シリコンは水素に対するブロッキング性が高いので好ましい。

[0349]

また、絶縁体241となる絶縁膜の異方性エッチングとしては、例えばドライエッチング法などを用いればよい。開口の側壁部に絶縁体241を設けることで、外方からの酸素の透過を抑制し、次に形成する導電体240aおよび導電体240bの酸化を防止することができる。また、導電体240aおよび導電体240bに、絶縁体280などに含まれる、水、水素などの不純物が拡散することを防ぐことができる。

[0350]

次に、導電体240aおよび導電体240bとなる導電膜を成膜する。導電体240aおよび導電体240bとなる導電膜は、水、水素など不純物の透過を抑制する機能を有する導電体を含む積層構造とすることが望ましい。たとえば、窒化タンタル、窒化チタンなどと、タングステン、モリブデン、銅など、と、の積層とすることができる。導電体240aおよび導電体240bとなる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0351]

次に、CMP処理を行うことで、導電体240aおよび導電体240bとなる導電膜の一部を除去し、絶縁体283の上面を露出する。その結果、開口のみに、当該導電膜が残存することで上面が平坦な導電体240aおよび導電体240bを形成することができる（図1A乃至図1D参照）。なお、当該CMP処理により、絶縁体283の上面の一部が除去される場合がある。

[0352]

上記のように、導電体160aに接する導電体240aを設けることで、容量素子100の一方の端子として機能する導電体160aを配線と電氣的に接続させることができる。

[0353]

また、導電体242bに接する導電体240bを設けることで、トランジスタ200のソース及びドレインの一方として機能する導電体240bを配線と電氣的に接続させることができる。ここで、導電体240bは、絶縁体241bを介して、導電体160bと電氣的に絶縁されていることが好ましい。

[0354]

なお、導電体240aおよび導電体240b上に、配線として機能する導電膜、またはプラグとして機能する導電膜を形成することができる。

[0355]

以上により、図1に示す記憶装置を作製できる。

[0356]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0357]

(実施の形態2)

本実施の形態では、先の実施の形態に示すOSトランジスタと、チャネル形成領域にシリコンを有するトランジスタ（Siトランジスタともいう）との比較について説明する。

[0358]

[OSトランジスタ]

OSトランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 未満、より好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0359]

また、高純度真性又は実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0360]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素等が挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。

[0361]

また、OSトランジスタは、酸化物半導体中のチャネル形成領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、OSトランジスタは、酸化物半導体中の酸素欠損に水素が入った欠陥（以下、 V_OH と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。また、チャネル形成領域に V_OH が形成されると、チャネル形成領域中のドナー濃度が増加する場合がある。チャネル形成領域中のドナー濃度が増加するにつれ、しきい値電圧がばらつくことがある。このため、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネル形成領域では、不純物、酸素欠損、および V_OH はできる限り低減されていることが好ましい。

[0362]

また、酸化物半導体のバンドギャップは、シリコンのバンドギャップ（代表的には1.1 eV）よりも大きいことが好ましく、好ましくは2 eV以上、より好ましくは2.5 eV以上、さらに好ましくは3.0 eV以上である。シリコンよりも、バンドギャップの大きい酸化物半導体を用いることで、トランジスタのオフ電流（ I_{off} とも呼称する）を低減することができる。

[0363]

また、Siトランジスタでは、トランジスタの微細化が進むにつれて、短チャネル効果（ショー

トチャンネル効果：Short Channel Effect：SCEともいう）が発現する。そのため、Siトランジスタでは、微細化が困難となる。短チャンネル効果が発現する要因の一つとして、シリコンのバンドギャップが小さいことが挙げられる。一方、OSトランジスタは、バンドギャップの大きい半導体材料である、酸化物半導体を用いるため、短チャンネル効果の抑制を図ることができる。別言すると、OSトランジスタは、短チャンネル効果がない、または短チャンネル効果が極めて少ないトランジスタである。

[0364]

なお、短チャンネル効果とは、トランジスタの微細化（チャンネル長の縮小）に伴って顕在化する電気特性の劣化である。短チャンネル効果の具体例としては、しきい値電圧の低下、サブスレッショルドスイング値（S値と表記することがある）の増大、漏れ電流の増大などがある。ここで、S値とは、ドレイン電圧一定にてドレイン電流を1桁変化させるサブスレッショルド領域でのゲート電圧の変化量をいう。

[0365]

また、短チャンネル効果に対する耐性の指標として、特性長（Characteristic Length）が広く用いられている。特性長とは、チャンネル形成領域のポテンシャルの曲がりやすさの指標である。特性長が小さいほどポテンシャルが急峻に立ち上がるため、短チャンネル効果に強いといえる。

[0366]

OSトランジスタは蓄積型のトランジスタであり、Siトランジスタは反転型のトランジスタである。したがって、Siトランジスタと比較して、OSトランジスタは、ソース領域－チャンネル形成領域間の特性長、及びドレイン領域－チャンネル形成領域間の特性長が小さい。したがって、OSトランジスタは、Siトランジスタよりも短チャンネル効果に強い。すなわち、チャンネル長の短いトランジスタを作製したい場合においては、OSトランジスタは、Siトランジスタよりも好適である。

[0367]

チャンネル形成領域がi型又は実質的にi型となるまで、酸化物半導体のキャリア濃度を下げた場合においても、短チャンネルのトランジスタではConduction-Band-Lowering（CBL）効果により、チャンネル形成領域の伝導帯下端が下がるため、ソース領域またはドレイン領域と、チャンネル形成領域との間の伝導帯下端のエネルギー差は、0.1 eV以上0.2 eV以下まで小さくなる可能性がある。これにより、OSトランジスタは、チャンネル形成領域がn⁻型の領域となり、ソース領域およびドレイン領域がn⁺型の領域となる、n⁺/n⁻/n⁺の蓄積型junction-lessトランジスタ構造、または、n⁺/n⁻/n⁺の蓄積型non-junctionトランジスタ構造と、捉えることもできる。

[0368]

OSトランジスタを、上記の構造とすることで、半導体装置を微細化または高集積化しても良好な電気特性を有することができる。例えば、OSトランジスタのゲート長が、20 nm以下、15 nm以下、10 nm以下、7 nm以下、または6 nm以下であって、1 nm以上、3 nm以上、または5 nm以上であって、良好な電気特性を得ることができる。一方で、Siトランジスタは、短チャンネル効果が発現するため、20 nm以下、または15 nm以下のゲート長とすることが困難な場合がある。したがって、OSトランジスタは、Siトランジスタと比較してチャンネル長の短い

トランジスタに好適に用いることができる。なお、ゲート長とは、トランジスタ動作時にキャリアがチャンネル形成領域内部を移動する方向における、ゲート電極の長さであり、トランジスタの平面視における、ゲート電極の底面の幅をいう。

[0369]

また、OSトランジスタを微細化することで、トランジスタの周波数特性を向上させることができる。具体的には、トランジスタの遮断周波数を向上させることができる。OSトランジスタのゲート長が上記範囲のいずれかである場合、トランジスタの遮断周波数を、例えば室温環境下で、50GHz以上、好ましくは100GHz以上、さらに好ましくは150GHz以上とすることができる。

[0370]

以上の説明の通り、OSトランジスタは、Siトランジスタと比較し、オフ電流が小さいこと、チャンネル長の短いトランジスタの作製が可能なこと、といった優れた効果を有する。

[0371]

本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせ用いることができる。

[0372]

(実施の形態3)

本実施の形態では、本発明の一態様を用いた記憶装置について図23乃至図28を用いて説明する。

[0373]

本実施の形態では、上記実施の形態で説明した構造のメモリセルを用いた記憶装置の構成例について説明する。本実施の形態では、積層されたメモリセルを有する層と、メモリセルに保持したデータ電位を増幅して出力する機能を有する機能回路を有する層が設けられた、記憶装置の構成例について説明する。

[0374]

[記憶装置の構成例]

図23に、本発明の一態様の記憶装置のブロック図を示す。

[0375]

図23に示す記憶装置300は、駆動回路21と、メモリアレイ20と、を有する。メモリアレイ20は、複数のメモリセル10と、複数の機能回路51を有する機能層50と、を有する。

[0376]

図23では、メモリアレイ20がm行n列(m及びnは2以上の整数。)のマトリクス状に配置された複数のメモリセル10を有する例を示している。また、図23では、機能回路51を、ビット線として機能する配線BLごとに設ける例を示しており、機能層50が、n本の配線BLに対応して設けられたn個の機能回路51を有する例を示している。

[0377]

図23では、1行1列目のメモリセル10をメモリセル10[1, 1]と示し、m行n列目のメモリセル10をメモリセル10[m, n]と示している。また、本実施の形態などでは、任意の行を示す場合にi行と記す場合がある。また、任意の列を示す場合にj列と記す場合がある。よって、iは1以上m以下の整数であり、jは1以上n以下の整数である。また、本実施の形態などでは、

i 行 j 列目のメモリセル 10 をメモリセル 10 [i , j] と示している。なお、本実施の形態などにおいて、「 $i + \alpha$ 」（ α は正または負の整数）と示す場合は、「 $i + \alpha$ 」は 1 を下回らず、m を超えない。同様に、「 $j + \alpha$ 」と示す場合は、「 $j + \alpha$ 」は 1 を下回らず、n を超えない。

[0378]

また、メモリアレイ 20 は、行方向に延在する m 本の配線 WL と、行方向に延在する m 本の配線 PL と、列方向に延在する n 本の配線 BL と、を備える。本実施の形態などでは、1 本目（1 行目）に設けられた配線 WL を配線 WL [1] と示し、m 本目（m 行目）に設けられた配線 WL を配線 WL [m] と示す。同様に、1 本目（1 行目）に設けられた配線 PL を配線 PL [1] と示し、m 本目（m 行目）に設けられた配線 PL を配線 PL [m] と示す。同様に、1 本目（1 列目）に設けられた配線 BL を配線 BL [1] と示し、n 本目（n 列目）に設けられた配線 BL を配線 BL [n] と示す。

[0379]

i 行目に設けられた複数のメモリセル 10 は、i 行目の配線 WL（配線 WL [i]）と i 行目の配線 PL（配線 PL [i]）に電氣的に接続される。j 列目に設けられた複数のメモリセル 10 は、j 列目の配線 BL（配線 BL [j]）と電氣的に接続される。

[0380]

メモリアレイ 20 には、DOSRAM（登録商標）（Dynamic Oxide Semiconductor Random Access Memory）を適用することができる。DOSRAM は、1T（トランジスタ）1C（容量）型のメモリセルを有する RAM であり、アクセストランジスタが OS トランジスタであるメモリのことをいう。OS トランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。DOSRAM は、アクセストランジスタをオフ（非導通状態）にすることで、容量素子（キャパシタ）に保持しているデータに応じた電荷を長時間保持することが可能である。そのため DOSRAM は、チャンネル形成領域にシリコンを有するトランジスタ（Si トランジスタ）で構成される DRAM と比較して、リフレッシュ動作の頻度を低減できる。その結果、低消費電力化を図ることができる。また、OS トランジスタの周波数特性は高いため、記憶装置の読み出し、及び書き込みを高速に行うことができる。これにより、動作速度が速い記憶装置を提供することができる。

[0381]

図 23 に示すメモリアレイ 20 では、複数のメモリアレイ 20 [1] 乃至 20 [m] を積層して設けることができる。メモリアレイ 20 が有するメモリアレイ 20 [1] 乃至 20 [m] は、駆動回路 21 が設けられる基板表面の垂直方向に配置することで、メモリセル 10 のメモリ密度の向上を図ることができる。

[0382]

配線 BL は、データの書き込み及び読み出しを行うためのビット線として機能する。配線 WL は、スイッチとして機能するアクセストランジスタのオンまたはオフ（導通状態または非導通状態）を制御するためのワード線として機能する。配線 PL は、容量素子に接続される定電位線としての機能を有する。なお、アクセストランジスタである OS トランジスタのバックゲートにバックゲート電位を伝える機能を有する配線として、配線 CL（図示せず）を別途設けることができる。また、配線 PL が、バックゲート電位を伝える機能を兼ねる構成にしてもよい。

[0383]

メモリアレイ 20 [1] 乃至 20 [m] がそれぞれ有するメモリセル 10 は、配線 BL を介して機能回路 51 に接続される。配線 BL は、駆動回路 21 が設けられる基板表面の垂直方向に配置することができる。メモリアレイ 20 [1] 乃至 20 [m] が有するメモリセル 10 から延びて設けられる配線 BL を基板表面の垂直方向に設けることで、メモリアレイ 20 と機能回路 51 との間の配線の長さを短くできる。そのため、ビット線に接続される 2 つの回路の間の信号伝搬距離を短くでき、ビット線の抵抗及び寄生容量が大幅に削減されるため、消費電力及び信号遅延の低減が実現できる。またメモリセル 10 が有する容量素子の容量を小さくしても、記憶装置を動作させることが可能となる。

[0384]

機能回路 51 は、メモリセル 10 に保持したデータ電位を増幅し、後述する配線 GBL (図示せず) を介して駆動回路 21 が有するセンスアンプ 46 に出力する機能を有する。当該構成にすることで、データ読み出し時に配線 BL のわずかな電位差を増幅することができる。配線 GBL は、配線 BL と同様に駆動回路 21 が設けられる基板表面の垂直方向に配置することができる。メモリアレイ 20 [1] 乃至 20 [m] が有するメモリセル 10 から延びて設けられる配線 BL 及び配線 GBL を基板表面の垂直方向に設けることで、機能回路 51 とセンスアンプ 46 との間の配線の長さを短くできる。そのため、配線 GBL に接続される 2 つの回路の間の信号伝搬距離を短くでき、配線 GBL の抵抗及び寄生容量が大幅に削減されるため、消費電力及び信号遅延の低減が実現できる。

[0385]

なお配線 BL は、メモリセル 10 が有するトランジスタの半導体層に接して設けられる。あるいは配線 BL は、メモリセル 10 が有するトランジスタの半導体層のソースまたはドレインとして機能する領域に接して設けられる。あるいは配線 BL は、メモリセル 10 が有するトランジスタの半導体層のソースまたはドレインとして機能する領域と接して設けられる導電体に接して設けられる。つまり配線 BL は、メモリアレイ 20 の各層におけるメモリセル 10 が有するトランジスタのソースまたはドレインの一方のそれぞれと、機能回路 51 と、を垂直方向で電氣的に接続するための配線であるといえる。

[0386]

メモリアレイ 20 は、駆動回路 21 上に重ねて設けることができる。駆動回路 21 とメモリアレイ 20 を重ねて設けることで、駆動回路 21 とメモリアレイ 20 の間の信号伝搬距離を短くすることができる。よって、駆動回路 21 とメモリアレイ 20 の間の抵抗及び寄生容量が低減され、消費電力及び信号遅延の低減が実現できる。また、記憶装置 300 の小型化が実現できる。

[0387]

機能回路 51 は、DOSRAM のメモリセル 10 が有するトランジスタと同様に OS トランジスタを用いることで、メモリアレイ 20 [1] 乃至 20 [m] と同様にして Si トランジスタを用いた回路上などに自由に配置可能であるため、集積化を容易に行うことができる。機能回路 51 で信号を増幅する構成とすることで後段の回路であるセンスアンプ 46 等の回路を小型化できるため、記憶装置 300 の小型化を図ることができる。

[0388]

駆動回路 21 は、PSW22 (パワースイッチ)、PSW23、及び周辺回路 31 を有する。周辺回路 31 は、周辺回路 41、コントロール回路 32 (Control Circuit)、及び電圧生成回路 33 を有する。

[0389]

記憶装置300において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。信号CLKはクロック信号である。

[0390]

また、信号BW、信号CE、及び信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、信号PON2は、コントロール回路32で生成してもよい。

[0391]

コントロール回路32は、記憶装置300の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号CE、信号GW及び信号BWを論理演算して、記憶装置300の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路32は、この動作モードが実行されるように、周辺回路41の制御信号を生成する。

[0392]

電圧生成回路33は負電圧を生成する機能を有する。信号WAKEは、信号CLKの電圧生成回路33への入力を制御する機能を有する。例えば、信号WAKEにHレベルの信号が与えられると、信号CLKが電圧生成回路33へ入力され、電圧生成回路33は負電圧を生成する。

[0393]

周辺回路41は、メモリセル10に対するデータの書き込み及び読み出しを行うための回路である。また周辺回路41は、機能回路51を制御するための各種信号を出力する回路である。周辺回路41は、行デコーダ42（Row Decoder）、列デコーダ44（Column Decoder）、行ドライバ43（Row Driver）、列ドライバ45（Column Driver）、入力回路47（Input Cir.）、出力回路48（Output Cir.）、センスアンプ46（Sense Amplifier）を有する。

[0394]

行デコーダ42及び列デコーダ44は、信号ADDRをデコードする機能を有する。行デコーダ42は、アクセスする行を指定するための回路であり、列デコーダ44は、アクセスする列を指定するための回路である。行ドライバ43は、行デコーダ42が指定する配線WLを選択する機能を有する。列ドライバ45は、データをメモリセル10に書き込む機能、メモリセル10からデータを読み出す機能、読み出したデータを保持する機能等を有する。

[0395]

入力回路47は、信号WDAを保持する機能を有する。入力回路47が保持するデータは、列ドライバ45に出力される。入力回路47の出力データが、メモリセル10に書き込むデータ（Din）である。列ドライバ45がメモリセル10から読み出したデータ（Dout）は、出力回路48に出力される。出力回路48は、Doutを保持する機能を有する。また、出力回路48は、Doutを記憶装置300の外部に出力する機能を有する。出力回路48から出力されるデータが信号RDAである。

[0396]

PSW22は周辺回路31へのVDDの供給を制御する機能を有する。PSW23は、行ドライバ43へのVHMの供給を制御する機能を有する。ここでは、記憶装置300の高電源電圧がVDDであり、低電源電圧はGND（接地電位）である。また、VHMは、ワード線を高レベルにするために用いられる高電源電圧であり、VDDよりも高い。信号PON1によってPSW22のオン・オフが制御され、信号PON2によってPSW23のオン・オフが制御される。図23では、周辺回路31において、VDDが供給される電源ドメインの数を1としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

[0397]

メモリアレイ20 [1]乃至20 [m]（mは2以上の整数）及び機能層50を有するメモリアレイ20は、駆動回路21上に複数層のメモリアレイ20を重ねて設けることができる。複数層のメモリアレイ20を重ねて設けることで、メモリセル10のメモリ密度を高めることができる。図24Aに、駆動回路21上に機能層50と、5層（m=5）のメモリアレイ20 [1]乃至20 [5]と、を重ねて有する記憶装置300の斜視図を示している。

[0398]

図24Aでは、1層目に設けられたメモリアレイ20をメモリアレイ20 [1]と示し、2層目に設けられたメモリアレイ20をメモリアレイ20 [2]と示し、5層目に設けられたメモリアレイ20をメモリアレイ20 [5]と示している。また図24Aにおいて、X方向に延びて設けられる配線WL、配線PL及び配線CLと、Z方向（駆動回路が設けられる基板表面に垂直な方向）に延びて設けられる配線BLと、を図示している。なお、図面を見やすくするため、メモリアレイ20それぞれが有する配線WL及び配線PLの記載を一部省略している。

[0399]

図24Bに、図24Aで図示した配線BLに接続された機能回路51、及び配線BLに接続されたメモリアレイ20 [1]乃至20 [5]が有するメモリセル10の構成例を説明する模式図を示す。また図24Bでは、機能回路51と駆動回路21との間に設けられる配線GBLを図示している。なお、1つの配線BLに複数のメモリセル（メモリセル10）が電氣的に接続される構成を「メモリストリング」ともいう。なお図面において、配線GBLは、視認性を高めるため、太線で図示する場合がある。

[0400]

図24Bでは、配線BLに接続されるメモリセル10の回路構成の一例を図示している。メモリセル10は、トランジスタ11及び容量素子12を有する。トランジスタ11、容量素子12、及び各配線（配線BL、及び配線WLなど）についても、例えば配線BL [1]及び配線WL [1]を配線BL及び配線WLなどのようにいう場合がある。ここで、トランジスタ11は、実施の形態1で示したトランジスタ200と対応する。また、容量素子12は、実施の形態1で示した容量素子100と対応する。

[0401]

メモリセル10において、トランジスタ11のソースまたはドレインの一方は配線BLに接続される。トランジスタ11のソースまたはドレインの他方は容量素子12の一方の電極に接続される。容量素子12の他方の電極は、配線PLに接続される。トランジスタ11のゲートは配線WLに接続される。トランジスタ11のバックゲートは配線CLに接続される。

[0402]

配線PLは、容量素子12の電位を保持するための定電位を与える配線である。配線CLは、トランジスタ11のしきい値電圧を制御するための定電位を与える配線である。配線PLと配線CLは、同じ電位でもよい。この場合、2つの配線を接続することで、メモリセル10に接続される配線数を削減することができる。

[0403]

図24Bに図示する配線GBLは、駆動回路21と機能層50との間を電氣的に接続するように設けられる。図25Aでは、機能回路51、及びメモリアレイ20[1]乃至20[m]を繰り返し単位70とする記憶装置300の模式図を示している。なお図25Aでは、配線GBLを1本図示しているが、配線GBLは機能層50に設けられる機能回路51の数に応じて適宜設ければよい。

[0404]

なお配線GBLは、機能回路51が有するトランジスタの半導体層に接して設けられる。あるいは配線GBLは、機能回路51が有するトランジスタの半導体層のソースまたはドレインとして機能する領域に接して設けられる。あるいは配線GBLは、機能回路51が有するトランジスタの半導体層のソースまたはドレインとして機能する領域と接して設けられる導電体に接して設けられる。つまり配線GBLは、機能層50における機能回路51が有するトランジスタのソースまたはドレインの一方と、駆動回路21と、を垂直方向で電氣的に接続するための配線であるといえる。

[0405]

また機能回路51、及びメモリアレイ20[1]乃至20[m]を有する繰り返し単位70は、さらに積層する構成としてもよい。本発明の一態様の記憶装置300Aは、図25Bに図示するように繰り返し単位70[1]乃至70[p]（pは2以上の整数）とすることができる。配線GBLは繰り返し単位70が有する機能層50に接続される。配線GBLは、機能回路51の数に応じて適宜設ければよい。

[0406]

本発明の一形態では、OSトランジスタを積層して設けるとともに、ビット線として機能する配線を、駆動回路21が設けられる基板表面の垂直方向に配置する。メモリアレイ20から延びて設けられるビット線として機能する配線を基板表面の垂直方向に設けることで、メモリアレイ20と駆動回路21との間の配線の長さを短くできる。そのため、ビット線の寄生容量を大幅に削減できる。

[0407]

また本発明の一形態は、メモリアレイ20が設けられる層において、メモリセル10に保持したデータ電位を増幅して出力する機能を有する機能回路51を有する機能層50を備えている。当該構成にすることで、データ読み出し時にビット線として機能する配線BLのわずかな電位差を増幅して、駆動回路21が有するセンスアンプ46を駆動することができる。センスアンプ等の回路を小型化できるため、記憶装置300の小型化を図ることができる。またメモリセル10が有する容量素子12の容量を小さくしても記憶装置300を動作させることが可能となる。

[0408]

[メモリアレイ20及び機能回路51の構成例]

図26を用いて、図23乃至図25で説明した機能回路51の構成例、及びメモリアレイ20及び駆動回路21が有するセンスアンプ46の構成例について説明する。図26では、異なる配線B

L（配線BL__A、配線BL__B）に接続されたメモリセル10（メモリセル10__A、メモリセル10__B）に接続された機能回路51（機能回路51__A、機能回路51__B）に接続される配線GBL（配線GBL__A、配線GBL__B）に接続された駆動回路21を図示している。図26に図示する駆動回路21として、センスアンプ46の他、プリチャージ回路71__A、プリチャージ回路71__B、スイッチ回路72__A、スイッチ回路72__B及び書き込み読み出し回路73を図示している。

[0409]

機能回路51__A、51__Bとして、トランジスタ52__a、52__b、53__a、53__b、54__a、54__b、55__a、55__bを図示している。図26に図示するトランジスタ52__a、52__b、53__a、53__b、54__a、54__b、55__a、55__bは、メモリセル10が有するトランジスタ11と同様にOSトランジスタである。機能回路51を有する機能層50は、メモリアレイ20[1]乃至20[m]と同様に、駆動回路21上に積層して設けることができる。

[0410]

配線BL__Aは、トランジスタ52__aのゲートに接続され、配線BL__Bはトランジスタ52__bのゲートに接続される。配線GBL__Aは、トランジスタ53__a、54__aのソースまたはドレインの一方が接続される。配線GBL__Bは、トランジスタ53__b、54__bのソースまたはドレインの一方が接続される。配線GBL__A、GBL__Bは、配線BL__A、BL__Bと同様に垂直方向に設けられ、駆動回路21が有するトランジスタに接続される。トランジスタ53__a、53__b、54__a、54__b、55__a、55__bのゲートには、図26に示すように、それぞれ、選択信号MUX、制御信号WE、または制御信号REが与えられる。

[0411]

図26に示すセンスアンプ46、プリチャージ回路71__A、及びプリチャージ回路71__Bを構成するトランジスタ81__1乃至81__6、及び82__1乃至82__4は、Siトランジスタで構成される。スイッチ回路72__A及びスイッチ回路72__Bを構成するスイッチ83__A乃至83__DもSiトランジスタで構成することができる。トランジスタ53__a、53__b、54__a、54__bのソースまたはドレインの一方は、プリチャージ回路71__A、プリチャージ回路71__B、センスアンプ46、スイッチ回路72__Aを構成するトランジスタまたはスイッチに接続される。

[0412]

プリチャージ回路71__Aは、nチャネル型のトランジスタ81__1乃至81__3を有する。プリチャージ回路71__Aは、プリチャージ線PCL1に与えられるプリチャージ信号に応じて、配線BL__A及び配線BL__Bを高電源電位（VDD）と低電源電位（VSS）の間の電位VDD/2に相当する中間電位VPCにプリチャージするための回路である。

[0413]

プリチャージ回路71__Bは、nチャネル型のトランジスタ81__4乃至81__6を有する。プリチャージ回路71__Bは、プリチャージ線PCL2に与えられるプリチャージ信号に応じて、配線GBL__A及び配線GBL__BをVDDとVSSの間の電位VDD/2に相当する中間電位VPCにプリチャージするための回路である。

[0414]

センスアンプ46は、配線VHHまたは配線VLLに接続された、pチャネル型のトランジスタ82__1、82__2及びnチャネル型のトランジスタ82__3、82__4を有する。配線VHHまたは配線VLLは、VDDまたはVSSを与える機能を有する配線である。トランジスタ82__1乃至82__4は、インバータループを構成するトランジスタである。メモリセル10__A、10__Bを選択することでプリチャージされた配線BL__A及び配線BL__Bの電位が変化し、当該変化に応じて配線GBL__A及び配線GBL__Bの電位をVDDまたはVSSとする。配線GBL__A及び配線GBL__Bの電位は、スイッチ83__C及びスイッチ83__D、及び書き込み読み出し回路73を介して外部に出力することができる。配線BL__A及び配線BL__B、並びに配線GBL__A及び配線GBL__Bは、ビット線対に相当する。書き込み読み出し回路73は、信号EN__dataに応じて、データ信号の書き込みが制御される。

[0415]

スイッチ回路72__Aは、センスアンプ46と配線GBL__A及び配線GBL__Bとの間の導通状態を制御するための回路である。スイッチ回路72__Aは、切り替え信号CSEL1の制御によってオンまたはオフが切り替えられる。スイッチ83__A及び83__Bが、nチャネルトランジスタの場合、切り替え信号CSEL1がハイレベルでオン、ローレベルでオフとなる。スイッチ回路72__Bは、書き込み読み出し回路73と、センスアンプ46に接続されるビット線対との間の導通状態を制御するための回路である。スイッチ回路72__Bは、切り替え信号CSEL2の制御によってオンまたはオフが切り替えられる。スイッチ83__C及び83__Dは、スイッチ83__A及び83__Bと同様に動作すればよい。

[0416]

図26に示すように記憶装置300は、メモリセル10と、機能回路51と、センスアンプ46と、を最短距離になる垂直方向に設けられる配線BL及び配線GBLを介して接続する構成とすることができる。機能回路51を構成するトランジスタを有する機能層50が増えるものの、配線BLの負荷が低減されることで、書き込み時間の短縮、おびデータを読み出しやすくすること、ができる。

[0417]

また図26に示すように機能回路51__A、51__Bが有する各トランジスタは、制御信号WE、RE、及び選択信号MUXに応じて制御される。各トランジスタは、制御信号及び選択信号に応じて、配線GBLを介して配線BLの電位を駆動回路21に出力することができる。機能回路51__A、51__Bは、OSトランジスタで構成されるセンスアンプとして機能させることができる。当該構成にすることで、読み出し時に配線BLのわずかな電位差を増幅して、Siトランジスタを用いたセンスアンプ46を駆動することができる。

[0418]

<メモリセルの構成例>

図27を用いて、上記記憶装置に用いられるメモリセル10の構成例について説明する。

[0419]

なお、図27において、X方向は、図示するトランジスタのチャンネル長方向と平行であり、Y方向は、X方向に垂直であり、Z方向は、X方向及びY方向に垂直である。

[0420]

図27に示すように、メモリセル10は、トランジスタ11及び容量素子12を有する。トラン

ジスタ 11 の上には、絶縁体 284 が設けられている。絶縁体 284 は、絶縁体 216 に用いることが可能な絶縁体を用いればよい。なお、トランジスタ 11 は、先の実施の形態に示すトランジスタ 200 と同様の構成を有し、同じ構成要素には同符号を付す。トランジスタ 200 の詳細については、先の実施の形態を参照することができる。また、トランジスタ 11 のソースまたはドレインの一方（導電体 242b）に接して導電体 240b が設けられる。導電体 240b は、Z 方向に延伸して設けられており、配線 BL として機能する。また、容量素子 12 は、先の実施の形態に示す容量素子 100 と同様の構成を有し、同じ構成要素には同符号を付す。容量素子 100 の詳細については、先の実施の形態を参照することができる。

[0421]

また、酸化物 230 上に重畳して設けられた導電体 242b は、導電体 240b と電氣的に接続する配線として機能する。例えば、図 27 では、導電体 242b の上面及び側端部が、Z 方向に延在する導電体 240b と電氣的に接続している。特に図 27 では、導電体 242b の上面及び側端部が、導電体 240b と接している。

[0422]

導電体 240b が直接、導電体 242b の上面、及び側端部の少なくとも一と接することで、別途接続用の電極を設ける必要がないため、メモリアレイの占有面積を低減できる。また、メモリセルの集積度が向上し、記憶装置の記憶容量を増大できる。なお、導電体 240b は、導電体 242b の上面の一部、及び側端部と接することが好ましい。導電体 240b が導電体 242b の複数面と接することで、導電体 240b と導電体 242b の接触抵抗を低減できる。

[0423]

導電体 240b は、絶縁体 216、絶縁体 221、絶縁体 222、絶縁体 154b、導電体 160b、絶縁体 275、絶縁体 280、絶縁体 282、絶縁体 283、及び、絶縁体 284 に形成された開口内に設けられている。

[0424]

また、図 27 に示すように、導電体 240b の側面に接して絶縁体 241b が設けられることが好ましい。具体的には、絶縁体 216、絶縁体 221、絶縁体 222、絶縁体 154b、導電体 160b、絶縁体 275、絶縁体 280、絶縁体 282、絶縁体 283、及び、絶縁体 284 の開口の内壁に接して絶縁体 241b が設けられる。また、当該開口内に突出して形成される、酸化物 230 の側面にも絶縁体 241b が形成される。ここで、導電体 242b の少なくとも一部は、絶縁体 241b から露出しており、導電体 240b に接している。つまり、導電体 240b は、絶縁体 241b を介して、上記開口の内部を埋め込むように設けられる。

[0425]

なお、図 27 に示すように、導電体 242b より下に形成される絶縁体 241b の最上部は、導電体 242b の上面よりも下方に位置することが好ましい。当該構成にすることで、導電体 240b が導電体 242b の側端部の少なくとも一部と接することができる。なお、導電体 242b より下に形成される絶縁体 241b は、酸化物 230 の側面と接する領域を有することが好ましい。当該構成にすることで、絶縁体 280 等に含まれる水、水素等の不純物が、導電体 240b を通じて酸化物 230 に混入するのを抑制できる。

[0426]

なお、導電体 240b、及び絶縁体 241b が配置された、開口部において、当該開口部の側壁

は、絶縁体 2 2 2 の上面に対して垂直または概略垂直であってもよく、テーパ形状であってもよい。側壁をテーパ形状にすることで、当該開口部に設ける絶縁体 2 4 1 b などの被覆性が向上する。

[0 4 2 7]

また、導電体 2 4 0 a の上面に接して、配線として機能する導電体 2 4 6 を設けることが好ましい。導電体 2 4 6 は、絶縁体 2 8 4 に埋め込まれるように設けられている。図 2 4 A 及び図 2 4 B に示す配線 P L として機能する。導電体 2 4 6 は、例えば導電体 2 0 5 と同様の構成にすることができる。

[0 4 2 8]

<記憶装置 3 0 0 の構成例>

図 2 8 を用いて、上記記憶装置 3 0 0 の構成例について説明する。

[0 4 2 9]

記憶装置 3 0 0 は、トランジスタ 3 1 0 等を有する層である、駆動回路 2 1 と、駆動回路 2 1 上の、トランジスタ 5 2、5 3、5 4、5 5 等を有する層である、機能層 5 0 と、機能層 5 0 上のメモリアレイ 2 0 [1] 乃至 2 0 [m] と、を有する。なお、トランジスタ 5 2 は、上記トランジスタ 5 2__a、5 2__b に対応し、トランジスタ 5 3 は、上記トランジスタ 5 3__a、5 3__b に対応し、トランジスタ 5 4 は、上記トランジスタ 5 4__a、5 4__b に対応し、トランジスタ 5 5 は、上記トランジスタ 5 5__a、5 5__b に対応する。

[0 4 3 0]

図 2 8 では、駆動回路 2 1 が有するトランジスタ 3 1 0 を例示している。トランジスタ 3 1 0 は、基板 3 1 1 上に設けられ、ゲートとして機能する導電体 3 1 6、ゲート絶縁体として機能する絶縁体 3 1 5、基板 3 1 1 の一部を含む半導体領域 3 1 3、及びソース領域またはドレイン領域として機能する低抵抗領域 3 1 4 a、及び低抵抗領域 3 1 4 b を有する。トランジスタ 3 1 0 は、p チャネル型のトランジスタ、あるいは n チャネル型のトランジスタのいずれでもよい。基板 3 1 1 としては、例えば単結晶シリコン基板を用いることができる。

[0 4 3 1]

ここで、図 2 8 に示すトランジスタ 3 1 0 はチャネルが形成される半導体領域 3 1 3（基板 3 1 1 の一部）が凸形状を有する。また、半導体領域 3 1 3 の側面及び上面を、絶縁体 3 1 5 を介して、導電体 3 1 6 が覆うように設けられている。なお、導電体 3 1 6 は仕事関数を調整する材料を用いてもよい。このようなトランジスタ 3 1 0 は半導体基板の凸部を利用していることから F I N 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I (S i l i c o n o n I n s u l a t o r) 基板を加工して凸形状を有する半導体膜を形成してもよい。

[0 4 3 2]

なお、図 2 8 に示すトランジスタ 3 1 0 は一例であり、その構造に限定されず、回路構成または駆動方法に応じて適切なトランジスタを用いることができる。

[0 4 3 3]

各構造体の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。また、本明細書等において、配線と、

配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0434]

例えば、トランジスタ310上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。また、絶縁体320及び絶縁体322には導電体328などが埋め込まれている。また、絶縁体324及び絶縁体326には導電体330などが埋め込まれている。なお、導電体328及び導電体330はコンタクトプラグまたは配線として機能する。

[0435]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP：Chemical Mechanical Polishing）法等を用いた平坦化処理により平坦化されていてもよい。

[0436]

また、図28では、機能層50が有するトランジスタ52、53、55を例示している。トランジスタ52、53、55は、メモリセル10が有するトランジスタ11と同様の構成を有する。トランジスタ52、53、55は、互いのソース及びドレインが直列に接続されている。

[0437]

トランジスタ52、53、55上に、絶縁体208が設けられ、絶縁体208に形成された開口に導電体207が設けられる。さらに、絶縁体208上に絶縁体210が設けられ、絶縁体210に形成された開口に導電体209が設けられる。さらに、絶縁体210上に絶縁体212が設けられ、絶縁体212上に絶縁体214が設けられる。絶縁体212及び絶縁体214に形成された開口には、メモリアレイ20[1]に設けられた導電体240の一部が埋め込まれている。ここで、絶縁体208、及び絶縁体210は、絶縁体216に用いることが可能な絶縁体を用いることができる。また、絶縁体212は、絶縁体283に用いることが可能な絶縁体を用いることができる。また、絶縁体214は、絶縁体282に用いることが可能な絶縁体を用いることができる。

[0438]

導電体207の下面は、トランジスタ52の導電体260の上面に接して設けられる。また、導電体207の上面は、導電体209の下面に接して設けられる。また、導電体209の上面は、メモリアレイ20[1]に設けられた導電体240の下面に接して設けられる。このような構成にすることで、配線BLに相当する導電体240と、トランジスタ52のゲートを電氣的に接続することができる。

[0439]

メモリアレイ20[1]乃至20[m]は、それぞれ、複数のメモリセル10を含む。各メモリセル10が有する導電体240は、上の層の導電体240、及び下の層の導電体240と電氣的に接続される。

[0440]

図28に示すように、隣接するメモリセル10において、導電体240bが共有されている。また、隣接するメモリセル10において、導電体240bを境に、右側の構成と左側の構成と、が対称に配置される。

[0441]

上述のメモリアレイ20では、複数のメモリアレイ20 [1]乃至20 [m]を積層して設けることができる。メモリアレイ20が有するメモリアレイ20 [1]乃至20 [m]は、駆動回路21が設けられる基板表面の垂直方向に配置することで、メモリセル10のメモリ密度の向上を図ることができる。またメモリアレイ20は、垂直方向に繰り返し同じ製造工程を用いて作製することができる。記憶装置300は、メモリアレイ20の製造コストの低減を図ることができる。

[0442]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0443]

(実施の形態4)

本実施の形態では、本発明の一態様の記憶装置が実装されたチップの一例について、図29を用いて説明する。

[0444]

図29A及び図29Bに示すチップ1200には、複数の回路(システム)が実装されている。このように、複数の回路(システム)を一つのチップに集積する技術を、システムオンチップ(System on Chip: SoC)と呼ぶ場合がある。

[0445]

図29Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

[0446]

チップ1200には、バンプ(図示しない)が設けられ、図29Bに示すように、パッケージ基板1201の第1の面と接続する。また、パッケージ基板1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

[0447]

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すDOSRAMを用いることができる。これにより、DRAM1221を、低消費電力化、高速化、及び大容量化させることができる。

[0448]

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、及びGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、及びGPU1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したDOSRAMを用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理または積和演算に用いることができる。

[0449]

また、CPU1211、及びGPU1212が同一チップに設けられていることで、CPU1211、及びGPU1212間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、及びGPU1212が有するメモリ間のデータ転送、及びGPU

1 2 1 2での演算後に、GPU 1 2 1 2からCPU 1 2 1 1への演算結果の転送を高速に行うことができる。

[0 4 5 0]

アナログ演算部 1 2 1 3はA/D（アナログ/デジタル）変換回路、及びD/A（デジタル/アナログ）変換回路の一、または両方を有する。また、アナログ演算部 1 2 1 3に上記積和演算回路を設けてもよい。

[0 4 5 1]

メモリコントローラ 1 2 1 4は、DRAM 1 2 2 1のコントローラとして機能する回路、及びフラッシュメモリ 1 2 2 2のインターフェースとして機能する回路を有する。

[0 4 5 2]

インターフェース 1 2 1 5は、表示装置、スピーカ、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

[0 4 5 3]

ネットワーク回路 1 2 1 6は、LAN（Local Area Network）などのネットワークと接続するための回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0 4 5 4]

チップ 1 2 0 0には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ 1 2 0 0に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ 1 2 0 0を低コストで作製することができる。

[0 4 5 5]

GPU 1 2 1 2を有するチップ 1 2 0 0が設けられたパッケージ基板 1 2 0 1、DRAM 1 2 2 1、及びフラッシュメモリ 1 2 2 2が設けられたマザーボード 1 2 0 3は、GPUモジュール 1 2 0 4と呼ぶことができる。

[0 4 5 6]

GPUモジュール 1 2 0 4は、SoC技術を用いたチップ 1 2 0 0を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU 1 2 1 2を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行できるため、チップ 1 2 0 0をAIチップ、またはGPUモジュール 1 2 0 4をAIシステムモジュールとして用いることができる。

[0 4 5 7]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0 4 5 8]

(実施の形態 5)

本実施の形態では、上記実施の形態で説明した記憶装置を用いることができる、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンター（Data Center：DCとも呼称する）について説明する。本発明の一態様の記憶装置を用いた、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターは、低消費電力化といった高性能化に有効である。

[0459]

[電子部品]

電子部品700が実装された基板（実装基板704）の斜視図を、図30Aに示す。図30Aに示す電子部品700は、モールド711内に半導体装置710を有している。図30Aは、電子部品700の内部を示すために、一部の記載を省略している。電子部品700は、モールド711の外側にランド712を有する。ランド712は電極パッド713と電氣的に接続され、電極パッド713は半導体装置710とワイヤ714を介して電氣的に接続されている。電子部品700は、例えばプリント基板702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板702上で電氣的に接続されることで実装基板704が完成する。

[0460]

また、半導体装置710は、駆動回路層715と、記憶層716と、を有する。なお、記憶層716は、複数のメモリセルアレイが積層された構成である。駆動回路層715と、記憶層716と、が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、TSV（Through Silicon Via）などの貫通電極技術、および、Cu-Cu直接接合などの接合技術、を用いることなく、各層間を接続することができる。駆動回路層715と、記憶層716と、をモノリシック積層の構成とすることで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。

[0461]

また、オンチップメモリの構成とすることで、TSVなどの貫通電極を用いる技術と比較し、接続配線などのサイズを小さくすることが可能であるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅（メモリバンド幅ともいう）を向上させることが可能となる。

[0462]

また、記憶層716が有する、複数のメモリセルアレイを、先の実施の形態に示す記憶装置で形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、及びメモリのアクセスレイテンシのいずれか一または双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層716にSiトランジスタを用いる構成の場合、OSトランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、OSトランジスタは、Siトランジスタよりも優れた構造であるといえる。

[0463]

また、半導体装置710を、ダイと呼称してもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板（ウエハともいう）などに回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いることのできる半導体材料と

して、例えば、シリコン（Si）、炭化ケイ素（SiC）、または窒化ガリウム（GaN）などが挙げられる。例えば、シリコン基板（シリコンウエハともいう）から得られたダイを、シリコンダイという場合がある。

[0464]

次に、電子部品730の斜視図を図30Bに示す。電子部品730は、SiP（System in Package）又はMCM（Multi Chip Module）の一例である。電子部品730は、パッケージ基板732（プリント基板）上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、及び複数の半導体装置710が設けられている。

[0465]

電子部品730では、半導体装置710を広帯域メモリ（HBM: High Bandwidth Memory）として用いる例を示している。また、半導体装置735は、CPU（Central Processing Unit）、GPU（Graphics Processing Unit）、又はFPGA（Field Programmable Gate Array）等の集積回路に用いることができる。

[0466]

パッケージ基板732は、例えば、セラミックス基板、プラスチック基板、又は、ガラスエポキシ基板を用いることができる。インターポーザ731は、例えば、シリコンインターポーザ、又は樹脂インターポーザを用いることができる。

[0467]

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」と呼ぶ場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSVを用いることもできる。

[0468]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0469]

また、シリコンインターポーザを用いた、SiP及びMCM等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ（2.5次元実装）では、シリコンインターポーザを用いることが好ましい。

[0470]

一方で、シリコンインターポーザ、及びTSVなどを用いて端子ピッチの異なる複数の集積回路を電氣的に接続する場合、当該端子ピッチの幅などのスペースが必要となる。そのため、電子部品730のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバン

ド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、上述したように、OSトランジスタを用いたモノリシック積層の構成が好適である。TSVを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

[0471]

また、電子部品730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、半導体装置710と半導体装置735の高さを揃えることが好ましい。

[0472]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図30Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA（Ball Grid Array）実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA（Pin Grid Array）実装を実現できる。

[0473]

電子部品730は、BGA及びPGAに限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、SPGA（Staggered Pin Grid Array）、LGA（Land Grid Array）、QFP（Quad Flat Package）、QFJ（Quad Flat J-leaded package）、及び、QFN（Quad Flat Non-leaded package）が挙げられる。

[0474]

[電子機器]

次に、電子機器6500の斜視図を図31Aに示す。図31Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、光源6508、及び制御装置6509などを有する。なお、制御装置6509としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を含む。本発明の一態様の記憶装置は、制御装置6509などに適用することができる。

[0475]

図31Bに示す電子機器6600は、ノート型パーソナルコンピュータとして用いることのできる情報端末機である。電子機器6600は、筐体6611、キーボード6612、ポインティングデバイス6613、外部接続ポート6614、表示部6615、制御装置6616などを有する。なお、制御装置6616としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を含む。本発明の一態様の記憶装置は、制御装置6616などに適用することができる。なお、本発明の一態様の記憶装置を、上述の制御装置6509、及び制御装置6616に用いることで、消費電力を低減させることができるため好適である。

[0476]

[大型計算機]

次に、大型計算機 5600 の斜視図を図 31C に示す。図 31C に示す大型計算機 5600 には、ラック 5610 にラックマウント型の計算機 5620 が複数格納されている。なお、大型計算機 5600 を、スーパーコンピュータと呼称してもよい。

[0477]

計算機 5620 は、例えば、図 31D に示す斜視図の構成とすることができる。図 31D において、計算機 5620 は、マザーボード 5630 を有し、マザーボード 5630 は、複数のスロット 5631、複数の接続端子を有する。スロット 5631 には、PC カード 5621 が挿入されている。加えて、PC カード 5621 は、接続端子 5623、接続端子 5624、接続端子 5625 を有し、それぞれ、マザーボード 5630 に接続されている。

[0478]

図 31E に示す PC カード 5621 は、CPU、GPU、記憶装置などを備えた処理ボードの一例である。PC カード 5621 は、ボード 5622 を有する。また、ボード 5622 は、接続端子 5623 と、接続端子 5624 と、接続端子 5625 と、半導体装置 5626 と、半導体装置 5627 と、半導体装置 5628 と、接続端子 5629 と、を有する。なお、図 31E には、半導体装置 5626、半導体装置 5627、および半導体装置 5628 以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置 5626、半導体装置 5627、および半導体装置 5628 の説明を参酌すればよい。

[0479]

接続端子 5629 は、マザーボード 5630 のスロット 5631 に挿入することができる形状を有しており、接続端子 5629 は、PC カード 5621 とマザーボード 5630 とを接続するためのインターフェースとして機能する。接続端子 5629 の規格としては、例えば、PCIe などが挙げられる。

[0480]

接続端子 5623、接続端子 5624、接続端子 5625 は、例えば、PC カード 5621 に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、PC カード 5621 によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子 5623、接続端子 5624、接続端子 5625 のそれぞれの規格としては、例えば、USB (Universal Serial Bus)、SATA (Serial ATA)、SCSI (Small Computer System Interface) などが挙げられる。また、接続端子 5623、接続端子 5624、接続端子 5625 から映像信号を出力する場合、それぞれの規格としては、HDMI (登録商標) などが挙げられる。

[0481]

半導体装置 5626 は、信号の入出力を行う端子 (図示しない。) を有しており、当該端子をボード 5622 が備えるソケット (図示しない。) に対して差し込むことで、半導体装置 5626 とボード 5622 を電気的に接続することができる。

[0482]

半導体装置 5627 は、複数の端子を有しており、当該端子をボード 5622 が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置 5627 とボード 5622 を電気的に接続することができる。半導体装置 5627 としては、例えば、FPGA、GPU、CPU などが挙げられる。半導体装置 5627 として、例えば、電子部品 730 を用いることができる。

[0483]

半導体装置5628は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5628とボード5622を電氣的に接続することができる。半導体装置5628としては、例えば、記憶装置などが挙げられる。半導体装置5628として、例えば、電子部品700を用いることができる。

[0484]

大型計算機5600は並列計算機としても機能できる。大型計算機5600を並列計算機として用いることで、例えば、人工知能の学習、および推論に必要な大規模の計算を行うことができる。

[0485]

[宇宙用機器]

本発明の一態様の記憶装置は、情報を処理および記憶する機器などの宇宙用機器に好適に用いることができる。

[0486]

本発明の一態様の記憶装置は、OSトランジスタを含むことができる。当該OSトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、OSトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。

[0487]

図32には、宇宙用機器の一例として、人工衛星6800を示している。人工衛星6800は、機体6801と、ソーラーパネル6802と、アンテナ6803と、二次電池6805と、制御装置6807と、を有する。なお、図32においては、宇宙空間に惑星6804を例示している。なお、宇宙空間とは、例えば、高度100km以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏を含んでもよい。

[0488]

また、図32には、図示していないが、二次電池6805に、バッテリーマネジメントシステム(BMSともいう)、またはバッテリー制御回路を設けてもよい。上述のバッテリーマネジメントシステム、またはバッテリー制御回路に、OSトランジスタを用いると、消費電力が低く、且つ宇宙空間においても高い信頼性を有するため好適である。

[0489]

また、宇宙空間は、地上に比べて100倍以上、放射線量の高い環境である。なお、放射線として、例えば、X線、及びガンマ線に代表される電磁波(電磁放射線)、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線などに代表される粒子放射線が挙げられる。

[0490]

ソーラーパネル6802に太陽光が照射されることにより、人工衛星6800が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、またはソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星6800が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星6800を動作させるために、人工衛星6800に二次電池6805を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

[0491]

人工衛星6800は、信号を生成することができる。当該信号は、アンテナ6803を介して送信され、たとえば地上に設けられた受信機、または他の人工衛星が当該信号を受信することができる。人工衛星6800が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星6800は、衛星測位システムを構成することができる。

[0492]

また、制御装置6807は、人工衛星6800を制御する機能を有する。制御装置6807としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を用いて構成される。なお、制御装置6807には、本発明の一態様である記憶装置を用いると好適である。OSトランジスタは、Siトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

[0493]

また、人工衛星6800は、センサを有する構成とすることができる。たとえば、可視光センサを有する構成とすることにより、人工衛星6800は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。または、熱赤外センサを有する構成とすることにより、人工衛星6800は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星6800は、たとえば地球観測衛星としての機能を有することができる。

[0494]

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の記憶装置は、宇宙船、宇宙カプセル、宇宙探査機などの宇宙用機器に好適に用いることができる。

[0495]

以上の説明の通り、OSトランジスタは、Siトランジスタと比較し、広いメモリバンド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

[0496]

[データセンター]

本発明の一態様の記憶装置は、例えば、データセンターなどに適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障するなど、データの長期的な管理を行うことが求められる。データを長期的に管理する場合、膨大なデータを記憶するためのストレージおよびサーバの設置、データを保持するための安定した電源の確保、あるいはデータの保持に要する冷却設備の確保、など建屋の大型化が必要となる。

[0497]

データセンターに適用されるストレージシステムに本発明の一態様の記憶装置を用いることにより、データの保持に要する電力の低減、データを保持する記憶装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、冷却設備の小規模化、などを図ることができる。そのため、データセンターの省スペース化を図ることができる。

[0498]

また、本発明の一態様の記憶装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、およびモジュールへの悪影響を低減できる。また、本発明の一態様の記憶装置を用いることにより、高温環境下においても動作が安定し

たデータセンターを実現できる。よってデータセンターの信頼性を高めることができる。

[0499]

図33にデータセンターに適用可能なストレージシステムを示す。図33に示すストレージシステム7000は、ホスト7001(Host Computerと図示)として複数のサーバ7001sbを有する。また、ストレージ7003(Storageと図示)として複数の記憶装置7003mdを有する。ホスト7001とストレージ7003とは、ストレージエリアネットワーク7004(SAN:Storage Area Networkと図示)およびストレージ制御回路7002(Storage Controllerと図示)を介して接続されている形態を図示している。

[0500]

ホスト7001は、ストレージ7003に記憶されたデータにアクセスするコンピュータに相当する。ホスト7001同士は、ネットワークで互いに接続されていてもよい。

[0501]

ストレージ7003は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているものの、当該時間は、ストレージ7003内のキャッシュメモリとして用いることのできるDRAMが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ7003のアクセススピードの長さの問題を解決するために、通常ストレージ7003内にキャッシュメモリを設けてデータの記憶及び出力を短くしている。

[0502]

上述のキャッシュメモリは、ストレージ制御回路7002およびストレージ7003内に用いられる。ホスト7001とストレージ7003との間でやり取りされるデータは、ストレージ制御回路7002およびストレージ7003内の当該キャッシュメモリに記憶されたのち、ホスト7001またはストレージ7003に出力される。

[0503]

上述のキャッシュメモリのデータを記憶するためのトランジスタとして、OSトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくすることができる。またメモリセルアレイを積層する構成とすることでストレージの小型化が可能である。

[0504]

なお、本発明の一態様の記憶装置を、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターの中から選ばれるいずれか一または複数に適用することで、消費電力を低減させる効果が期待される。そのため、記憶装置の高性能化、または高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の記憶装置を用いることで、二酸化炭素(CO₂)に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の記憶装置は、低消費電力であるため地球温暖化対策としても有効である。

[0505]

本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

[符号の説明]

[0506]

ADDR : 信号、BL [1] : 配線、BL [j] : 配線、BL [n] : 配線、BL__A : 配線、BL__B : 配線、BL : 配線、BW : 信号、CE : 信号、CLK : 信号、EN__data : 信号、GBL__A : 配線、GBL__B : 配線、GBL : 配線、GW : 信号、MUX : 選択信号、PL [1] : 配線、PL [i] : 配線、PL [m] : 配線、PL : 配線、RDA : 信号、RE : 制御信号、VHH : 配線、VLL : 配線、VPC : 中間電位、WAKE : 信号、WDA : 信号、WE : 制御信号、WL [1] : 配線、WL [i] : 配線、WL [m] : 配線、WL : 配線、10 [1, 1] : メモリセル、10 [i, j] : メモリセル、10 [m, n] : メモリセル、10__A : メモリセル、10__B : メモリセル、10 : メモリセル、11 : トランジスタ、12 : 容量素子、20 [1] : メモリアレイ、20 [2] : メモリアレイ、20 [5] : メモリアレイ、20 [m] : メモリアレイ、20 : メモリアレイ、21 : 駆動回路、22 : PSW、23 : PSW、31 : 周辺回路、32 : コントロール回路、33 : 電圧生成回路、41 : 周辺回路、42 : 行デコーダ、43 : 行ドライバ、44 : 列デコーダ、45 : 列ドライバ、46 : センスアンプ、47 : 入力回路、48 : 出力回路、50 : 機能層、51__A : 機能回路、51__B : 機能回路、51 : 機能回路、52__a : トランジスタ、52__b : トランジスタ、52 : トランジスタ、53__a : トランジスタ、53__b : トランジスタ、53 : トランジスタ、54__a : トランジスタ、54__b : トランジスタ、54 : トランジスタ、55__a : トランジスタ、55__b : トランジスタ、55 : トランジスタ、70 [1] : 繰り返し単位、70 : 繰り返し単位、71__A : プリチャージ回路、71__B : プリチャージ回路、72__A : スイッチ回路、72__B : スイッチ回路、73 : 書き込み読み出し回路、81__1 : トランジスタ、81__3 : トランジスタ、81__4 : トランジスタ、81__6 : トランジスタ、82__1 : トランジスタ、82__2 : トランジスタ、82__3 : トランジスタ、82__4 : トランジスタ、83__A : スイッチ、83__B : スイッチ、83__C : スイッチ、83__D : スイッチ、100a : 容量素子、100aD : 容量素子、100aE : 容量素子、100b : 容量素子、100 : 容量素子、154a : 絶縁体、154aD : 絶縁体、154aE : 絶縁体、154b : 絶縁体、154bD : 絶縁体、154bE : 絶縁体、154f : 絶縁膜、154 : 絶縁体、160a : 導電体、160aD : 導電体、160aE : 導電体、160b : 導電体、160bD : 導電体、160bE : 導電体、160f : 導電膜、160 : 導電体、200a : トランジスタ、200aD : トランジスタ、200aE : トランジスタ、200b : トランジスタ、200 : トランジスタ、205a : 導電体、205b : 導電体、205 : 導電体、207 : 導電体、208 : 絶縁体、209 : 導電体、210 : 絶縁体、212 : 絶縁体、214 : 絶縁体、215 : 絶縁体、216 : 絶縁体、221 : 絶縁体、222 : 絶縁体、223 : 絶縁体、225f : 絶縁膜、225 : 絶縁体、230a : 酸化物、230aD : 酸化物、230aE : 酸化物、230af : 酸化膜、230b : 酸化物、230bD : 酸化物、230bE : 酸化物、230bf : 酸化膜、230D : 酸化物、230E : 酸化物、230 : 酸化物、240a : 導電体、240aD : 導電体、240aE : 導電体、240b : 導電体、240bD : 導電体、240bE : 導電体、240 : 導電体、241a : 絶縁体、241aD : 絶縁体、241aE : 絶縁体、241b : 絶縁体、241bD : 絶縁体、241bE : 絶縁体、241 : 絶縁体、242a : 導電体、242aD : 導電体、242aE : 導電体、242b : 導電体、242bD : 導電体、242bE : 導電体、242f : 導電膜、242 : 導電体、246 : 導電体、250a : 絶縁体、250A : 絶縁膜、250b : 絶縁体、250c : 絶縁体、250d : 絶縁体、250 : 絶縁体、260a : 導電体、260A : 導電膜、260b : 導電体、260B : 導電膜、260 : 導電体、275 : 絶縁体、280 : 絶縁体、282 : 絶縁体、2

83 : 絶縁体、284 : 絶縁体、300A : 記憶装置、300 : 記憶装置、310 : トランジスタ、
311 : 基板、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶
縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、3
28 : 導電体、330 : 導電体、700 : 電子部品、702 : プリント基板、704 : 実装基板、
710 : 半導体装置、711 : モールド、712 : ランド、713 : 電極パッド、714 : ワイヤ、
715 : 駆動回路層、716 : 記憶層、730 : 電子部品、731 : インターポーザ、732 : パ
ッケージ基板、733 : 電極、735 : 半導体装置、1200 : チップ、1201 : パッケージ基
板、1202 : バンプ、1203 : マザーボード、1204 : GPUモジュール、1211 : CP
U、1212 : GPU、1213 : アナログ演算部、1214 : メモリコントローラ、1215 :
インターフェース、1216 : ネットワーク回路、1221 : DRAM、1222 : フラッシュメ
モリ、5600 : 大型計算機、5610 : ラック、5620 : 計算機、5621 : PCカード、5
622 : ボード、5623 : 接続端子、5624 : 接続端子、5625 : 接続端子、5626 : 半
導体装置、5627 : 半導体装置、5628 : 半導体装置、5629 : 接続端子、5630 : マザ
ーボード、5631 : スロット、6500 : 電子機器、6501 : 筐体、6502 : 表示部、65
03 : 電源ボタン、6504 : ボタン、6505 : スピーカ、6506 : マイク、6507 : カメ
ラ、6508 : 光源、6509 : 制御装置、6600 : 電子機器、6611 : 筐体、6612 : キ
ーボード、6613 : ポインティングデバイス、6614 : 外部接続ポート、6615 : 表示部、
6616 : 制御装置、6800 : 人工衛星、6801 : 機体、6802 : ソーラーパネル、680
3 : アンテナ、6804 : 惑星、6805 : 二次電池、6807 : 制御装置、7000 : ストレー
ジシステム、7001sb : サーバ、7001 : ホスト、7002 : ストレージ制御回路、700
3md : 記憶装置、7003 : ストレージ

請求の範囲

[請求項 1]

基板上の第 1 の絶縁体と、
前記第 1 の絶縁体の少なくとも一部を覆う酸化物半導体と、
前記酸化物半導体上の第 1 の導電体及び第 2 の導電体と、
前記第 1 の導電体上の第 2 の絶縁体と、
前記第 2 の導電体上の第 3 の絶縁体と、
前記第 2 の絶縁体上の第 3 の導電体と、
前記第 3 の絶縁体上の第 4 の導電体と、
前記第 3 の導電体、及び前記第 4 の導電体上に配置され、前記第 1 の導電体、前記第 2 の絶縁体、
及び前記第 3 の導電体と、前記第 2 の導電体、前記第 3 の絶縁体、及び前記第 4 の導電体との間に
重なる、第 1 の開口を有する、第 4 の絶縁体と、
前記第 1 の開口内に配置され、前記第 1 の絶縁体上及び前記酸化物半導体上に配置される、第 5
の絶縁体と、
前記第 1 の開口内に配置され、前記第 5 の絶縁体上に配置される、第 5 の導電体と、
前記第 4 の絶縁体に形成された第 2 の開口内に配置され、前記第 3 の導電体の上面に接する第 6
の導電体と、
前記第 4 の絶縁体、前記第 3 の絶縁体、及び前記第 4 の導電体に形成された第 3 の開口内に配置
され、前記第 2 の導電体の上面に接する第 7 の導電体と、を有し、
チャンネル幅方向の断面視において、前記第 1 の絶縁体の高さは、前記第 1 の絶縁体の幅より長く、
前記第 1 の絶縁体の上面は、前記第 1 の導電体及び前記第 2 の導電体と重畳しない領域において、
前記第 5 の絶縁体と接する、
記憶装置。

[請求項 2]

請求項 1 において、
前記チャンネル幅方向の断面視において、前記第 1 の絶縁体の高さは、前記第 1 の絶縁体の幅の 2
倍以上 20 倍以下である、記憶装置。

[請求項 3]

請求項 1 において、
前記第 1 の導電体は、トランジスタのソース電極及びドレイン電極の一方として機能し、
前記第 2 の導電体は、前記トランジスタのソース電極及びドレイン電極の他方として機能し、
前記第 5 の導電体は、前記トランジスタのゲート電極として機能する、
記憶装置。

[請求項 4]

請求項 3 において、
前記第 1 の導電体は、容量素子の一对の電極の一方として機能し、
前記第 3 の導電体は、前記容量素子の一对の電極の他方として機能し、
前記第 2 の絶縁体は、前記容量素子の誘電体として機能する、
記憶装置。

[請求項 5]

請求項 4 において、
前記第 2 の絶縁体は、酸化ジルコニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜の順に積層された積層構造を有する、
記憶装置。

[請求項 6]

請求項 4 において、
前記第 7 の導電体と前記第 4 の絶縁体の間に、第 6 の絶縁体が配置され、
前記第 6 の絶縁体によって、前記第 7 の導電体と、前記第 4 の導電体が絶縁される、
記憶装置。

[請求項 7]

請求項 4 において、
前記チャネル幅方向の断面視において、
前記第 1 の絶縁体の一方の側面において、前記酸化物半導体と前記第 5 の導電体が前記第 5 の絶縁体を挟んで対向し、
前記第 1 の絶縁体の他方の側面において、前記酸化物半導体と前記第 5 の導電体が前記第 5 の絶縁体を挟んで対向する、
記憶装置。

[請求項 8]

請求項 4 において、
前記チャネル幅方向の断面視において、
前記第 1 の絶縁体の一方の側面において、前記第 1 の導電体と前記第 3 の導電体が前記第 2 の絶縁体を挟んで対向し、
前記第 1 の絶縁体の他方の側面において、前記第 1 の導電体と前記第 3 の導電体が前記第 2 の絶縁体を挟んで対向する、
記憶装置。

[請求項 9]

請求項 1 乃至請求項 8 のいずれか一項において、
前記酸化物半導体は、In、Ga、及びZnの中から選ばれるいずれか一または複数を含む、
記憶装置。

図1A

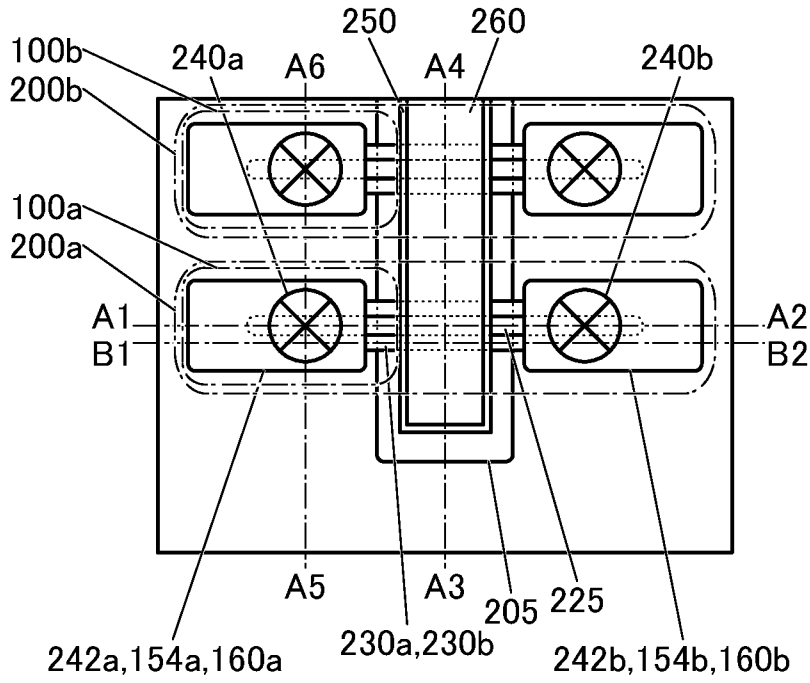


図1C

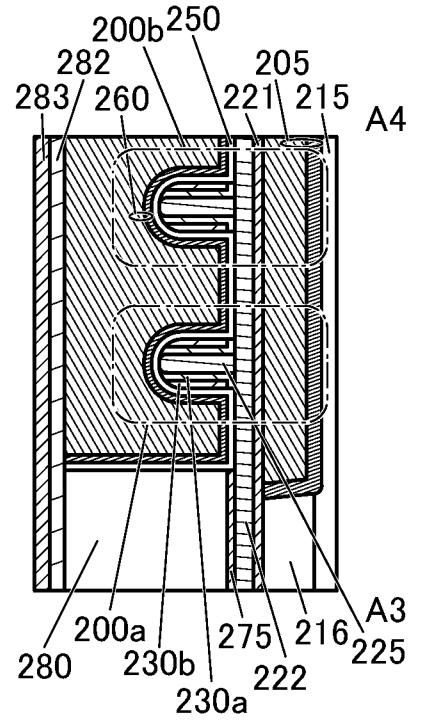


図1B

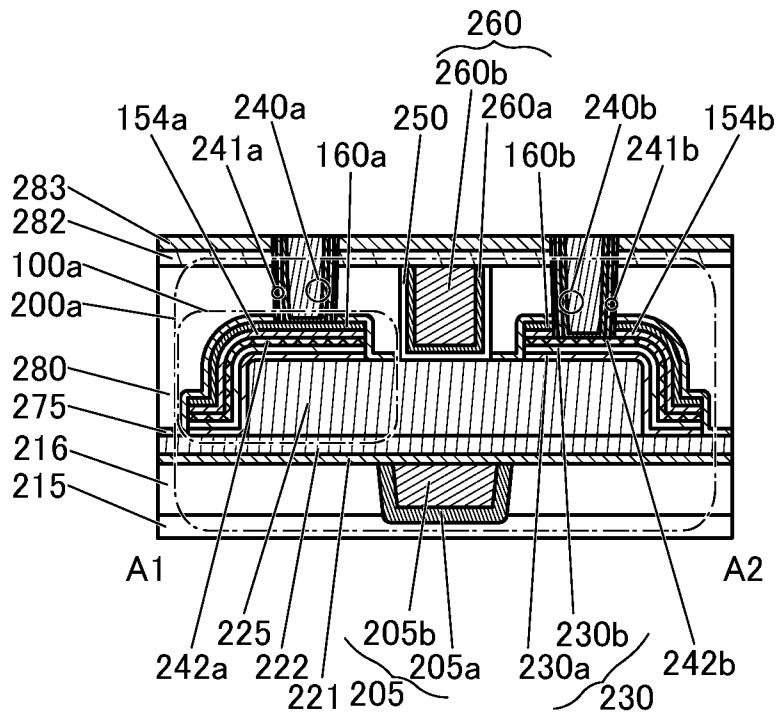
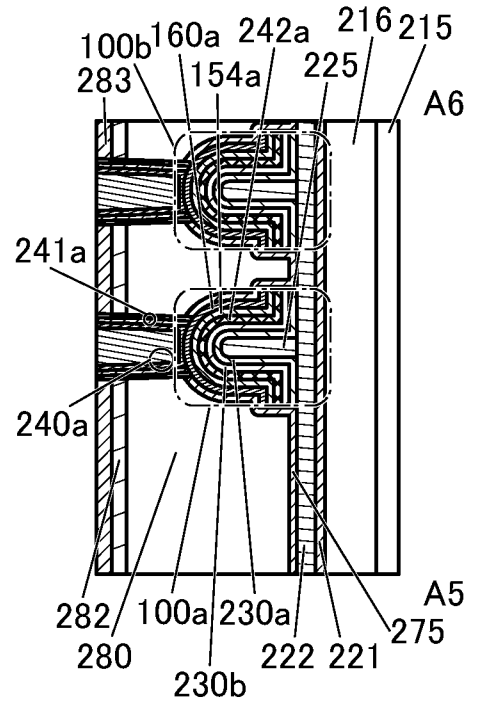


図1D



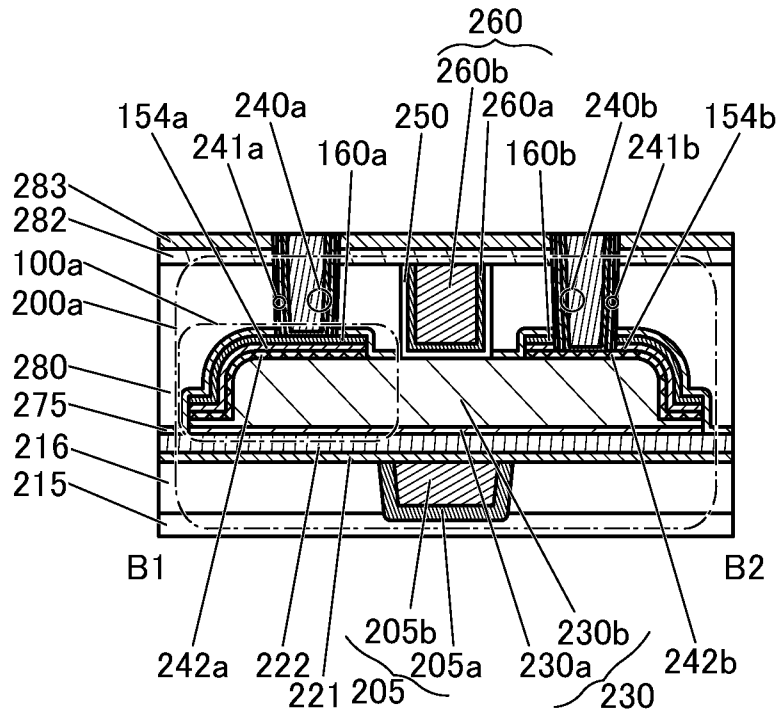


図3A

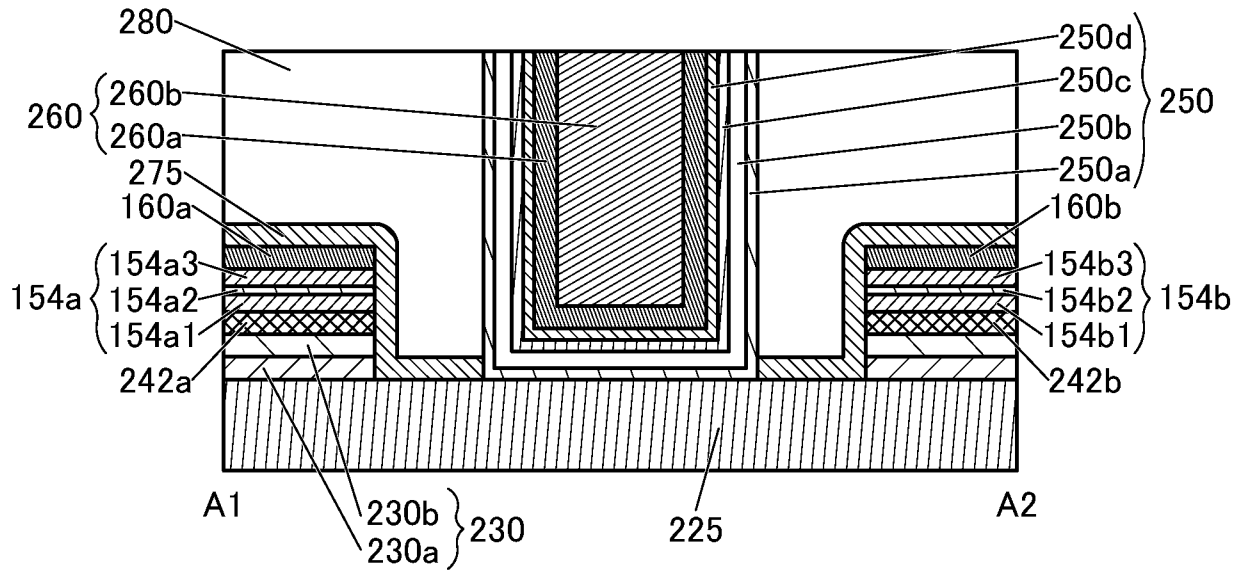


図3B

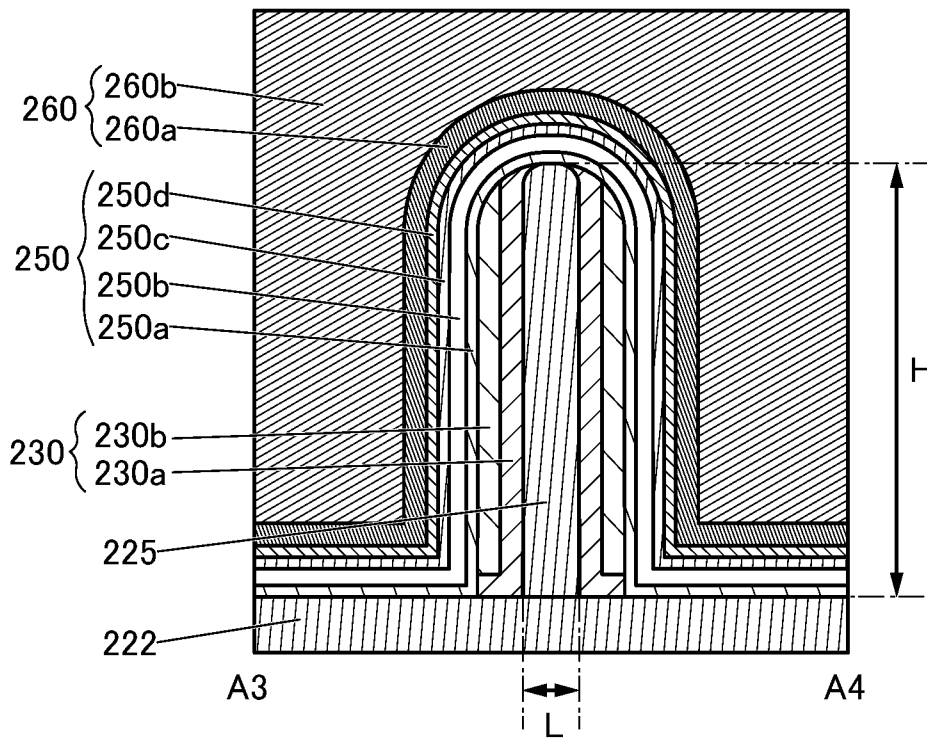


図4A

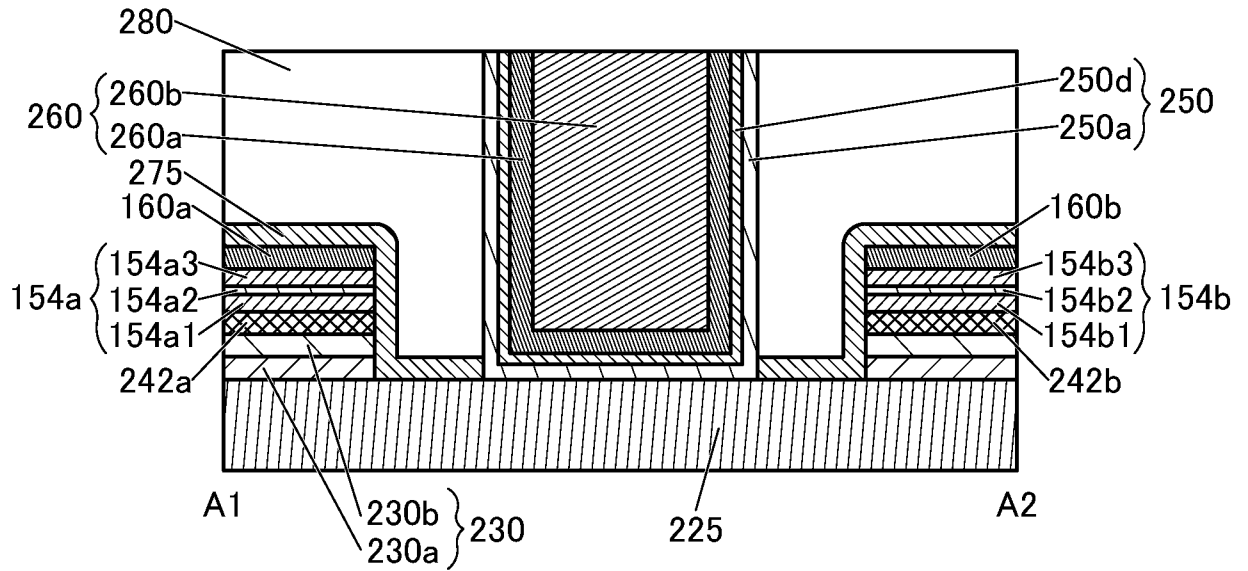


図4B

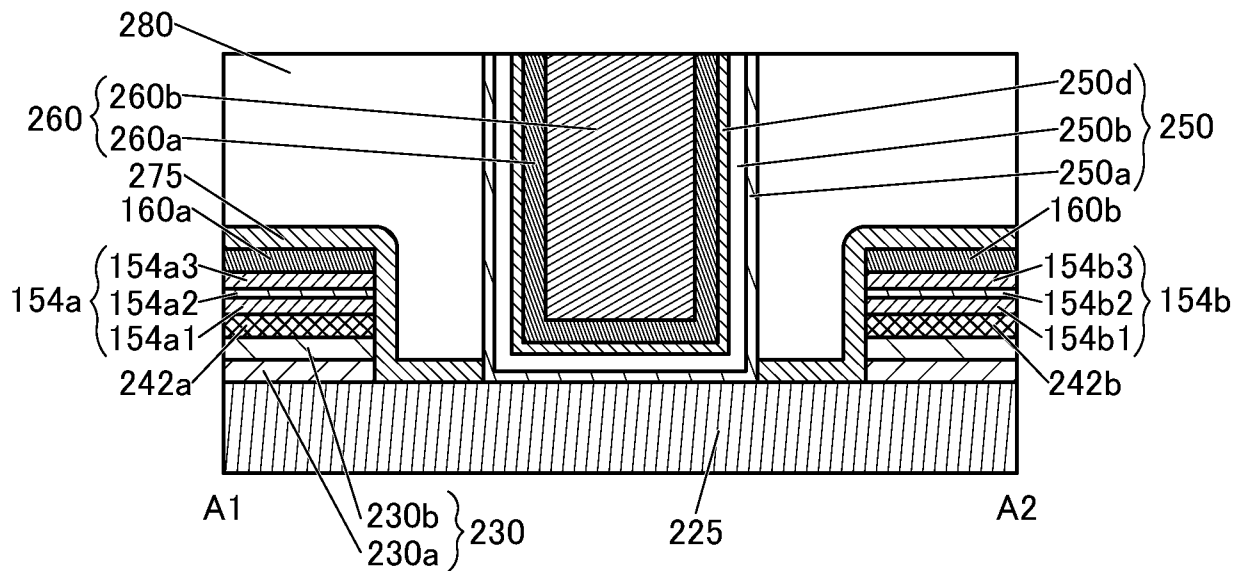


図5A

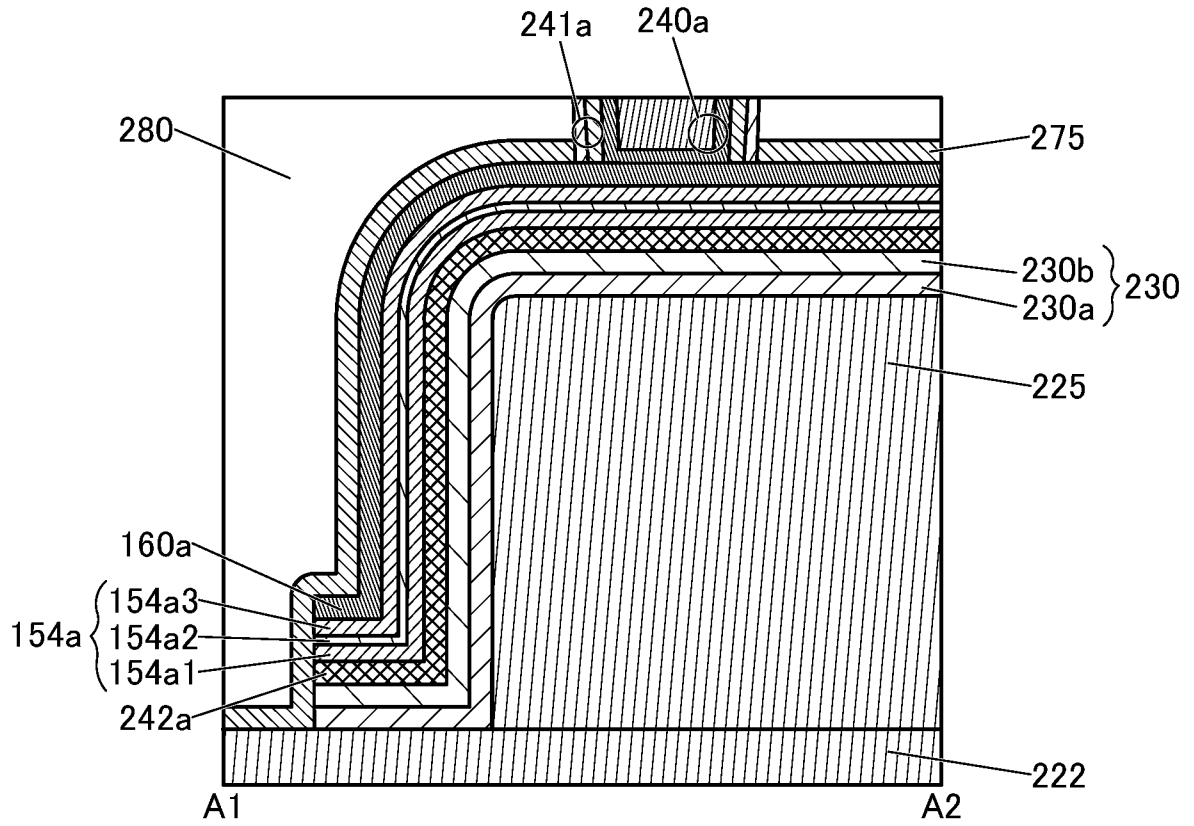


図5B

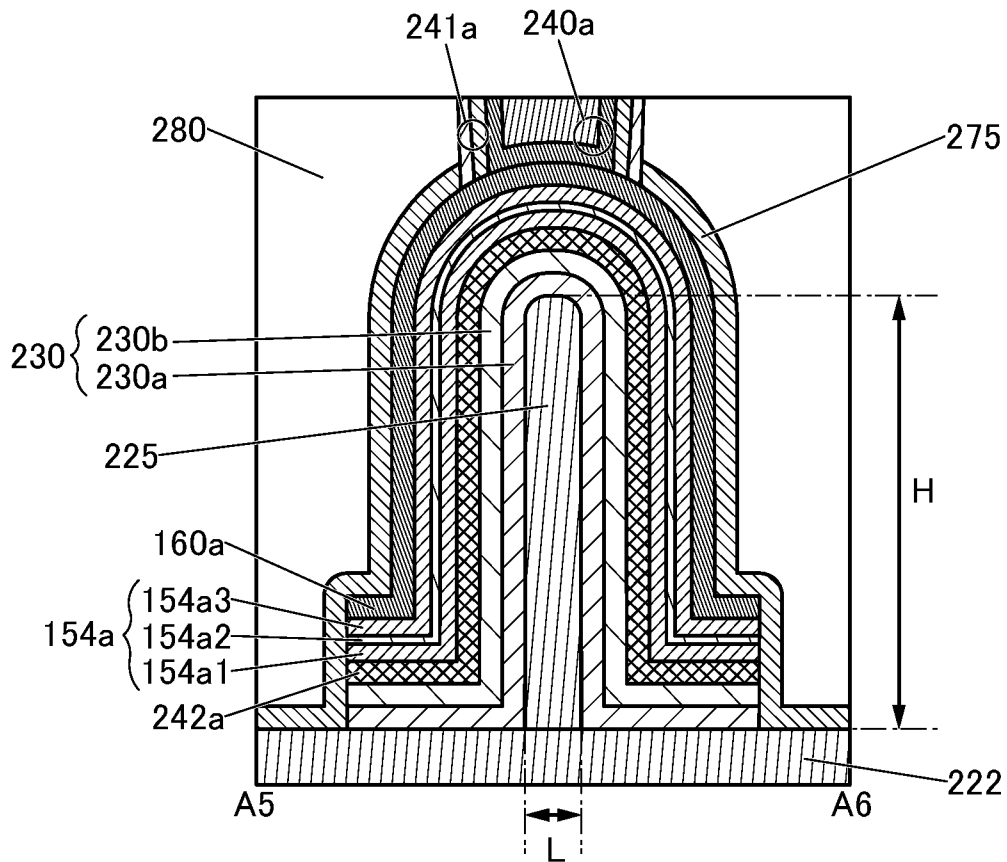


図6A

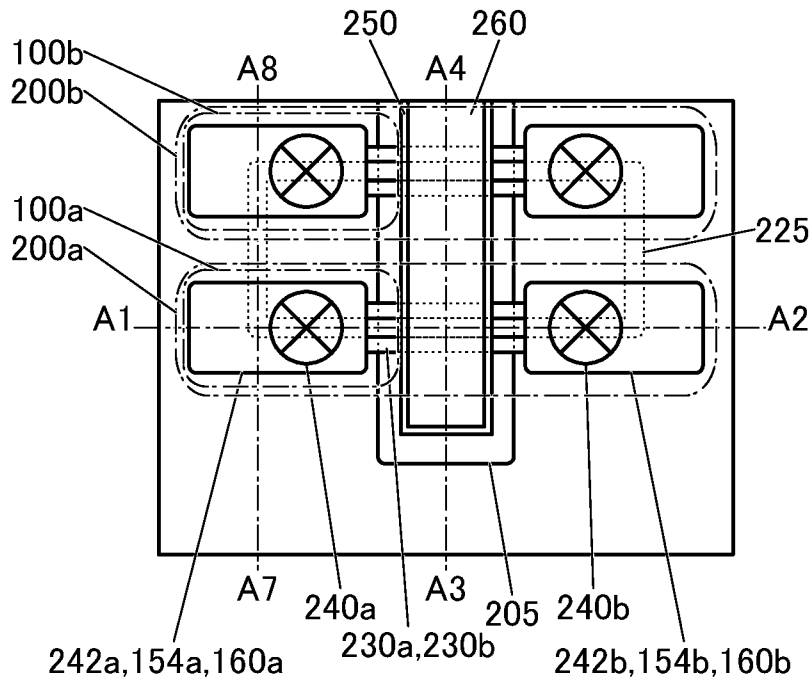


図6C

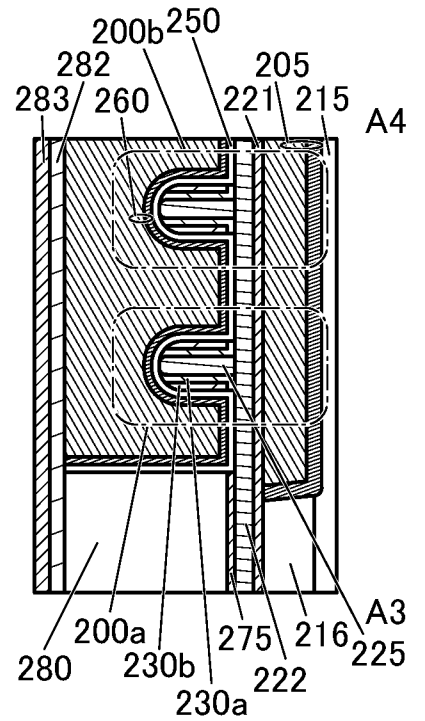


図6B

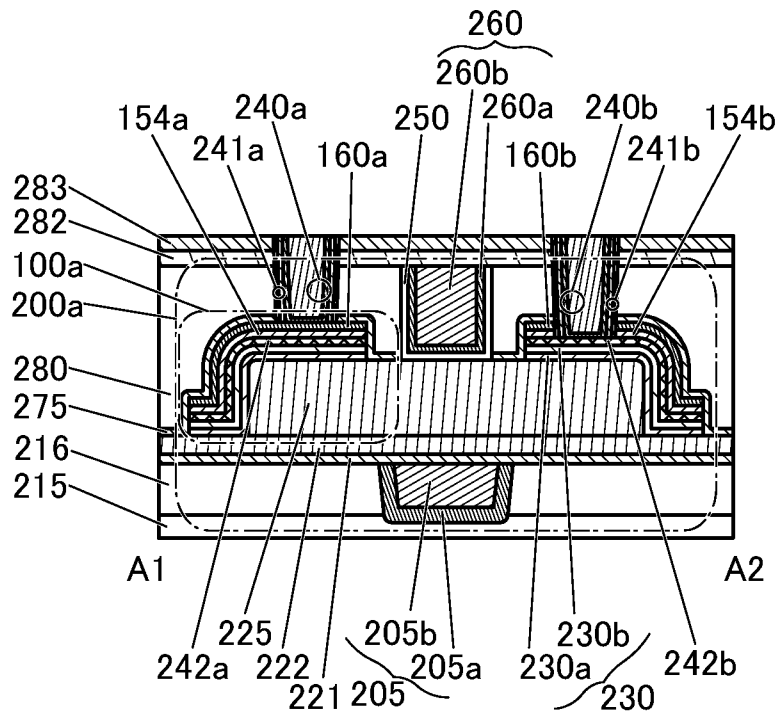


図6D

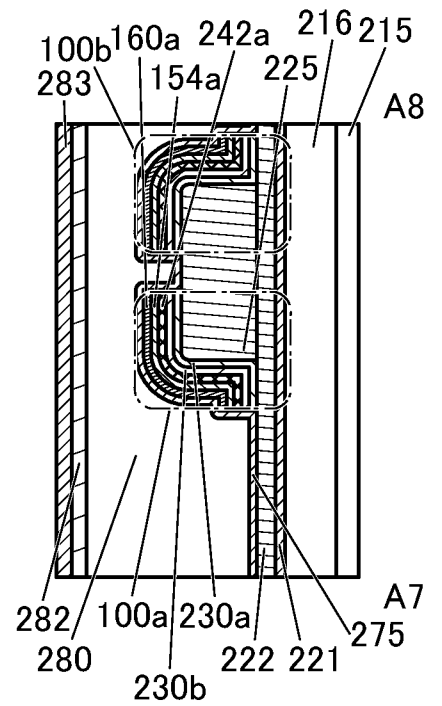


図7A

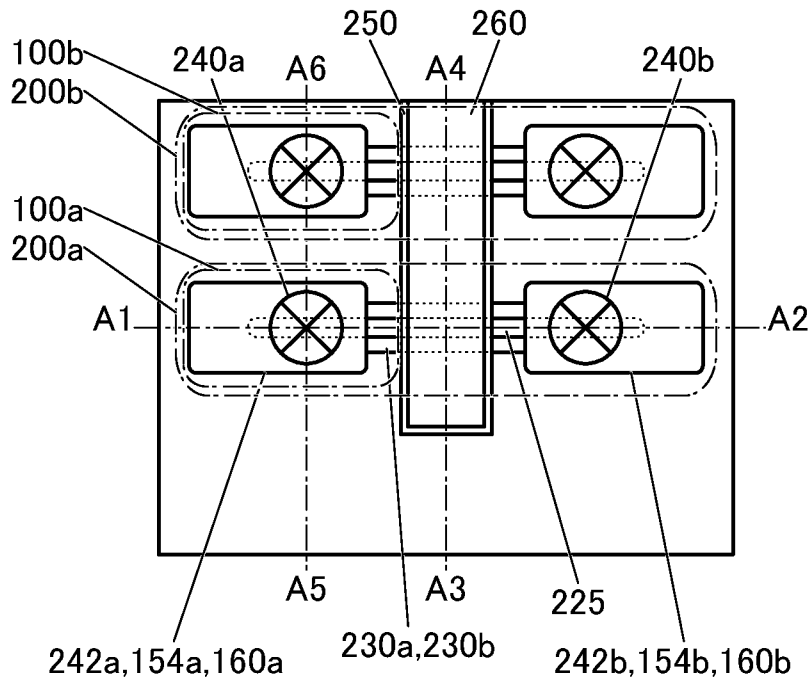


図7C

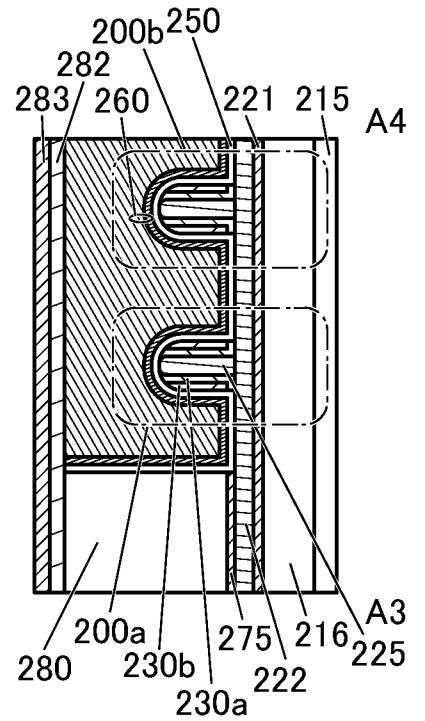


図7B

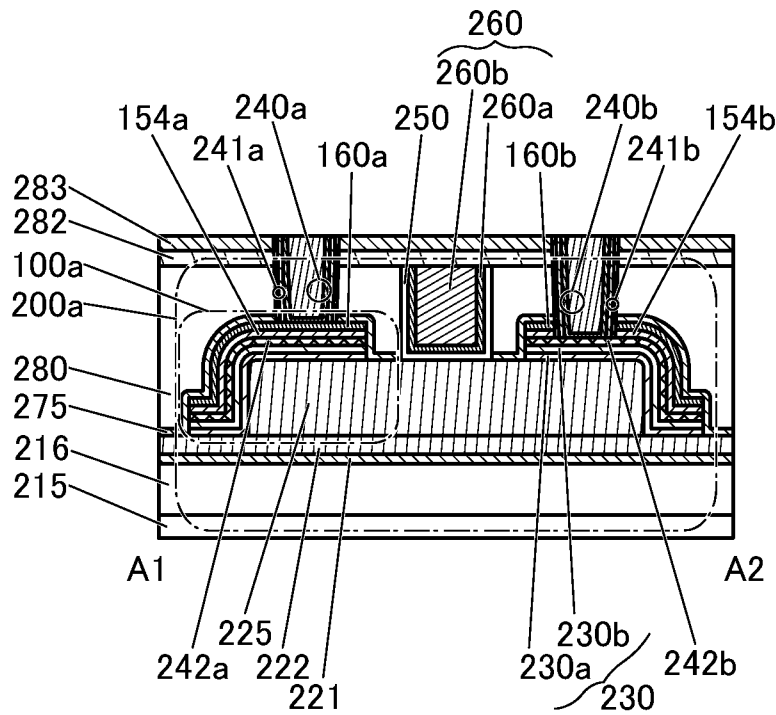


図7D

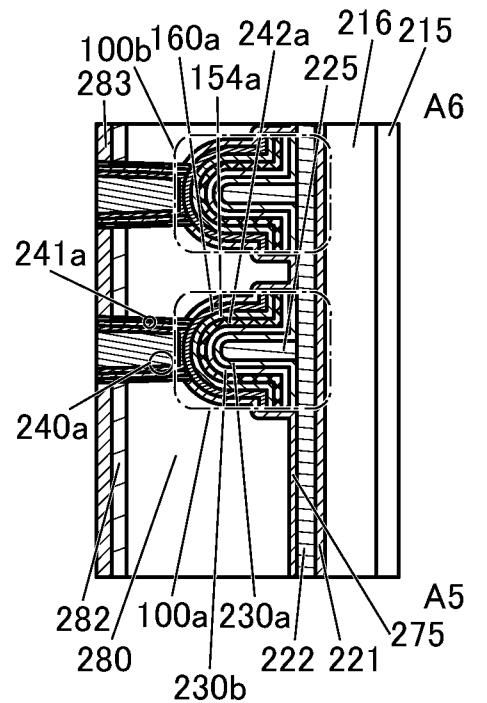


図8A

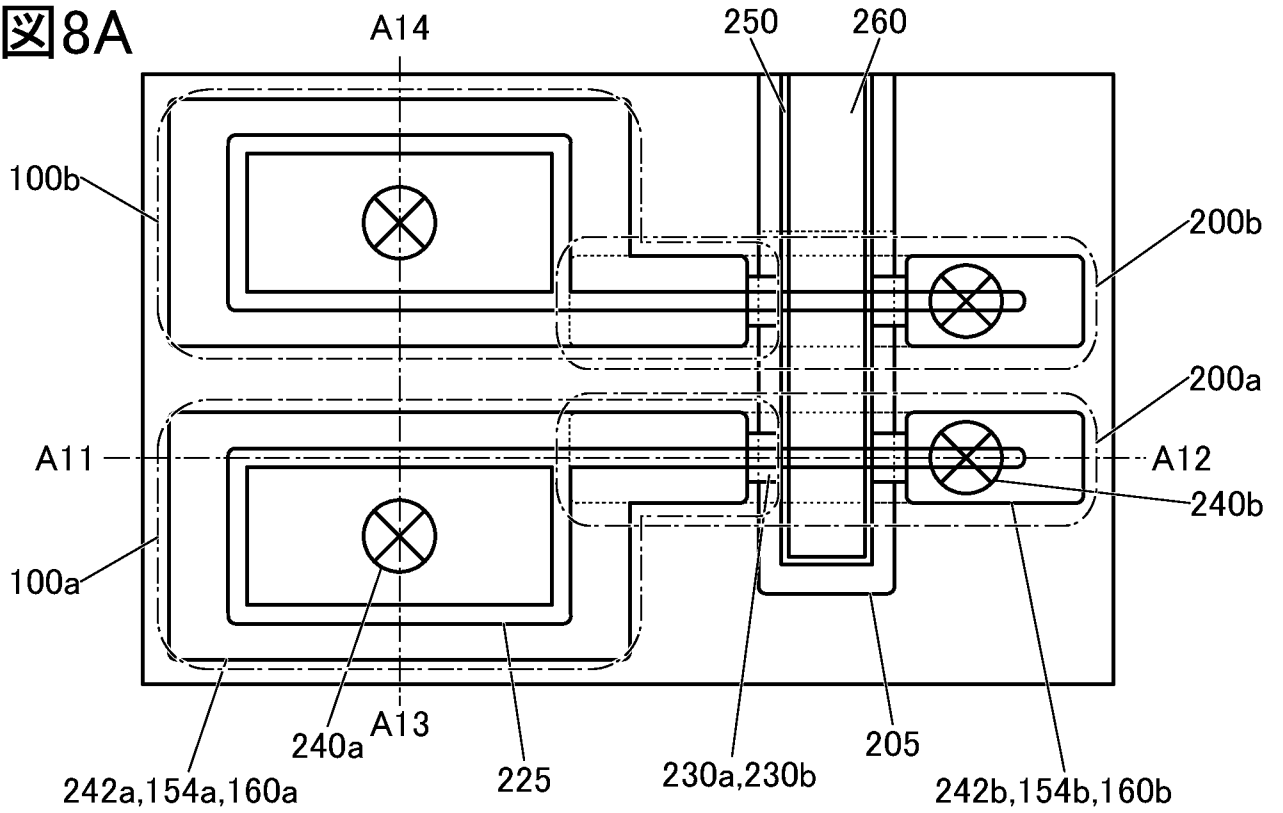


図8B

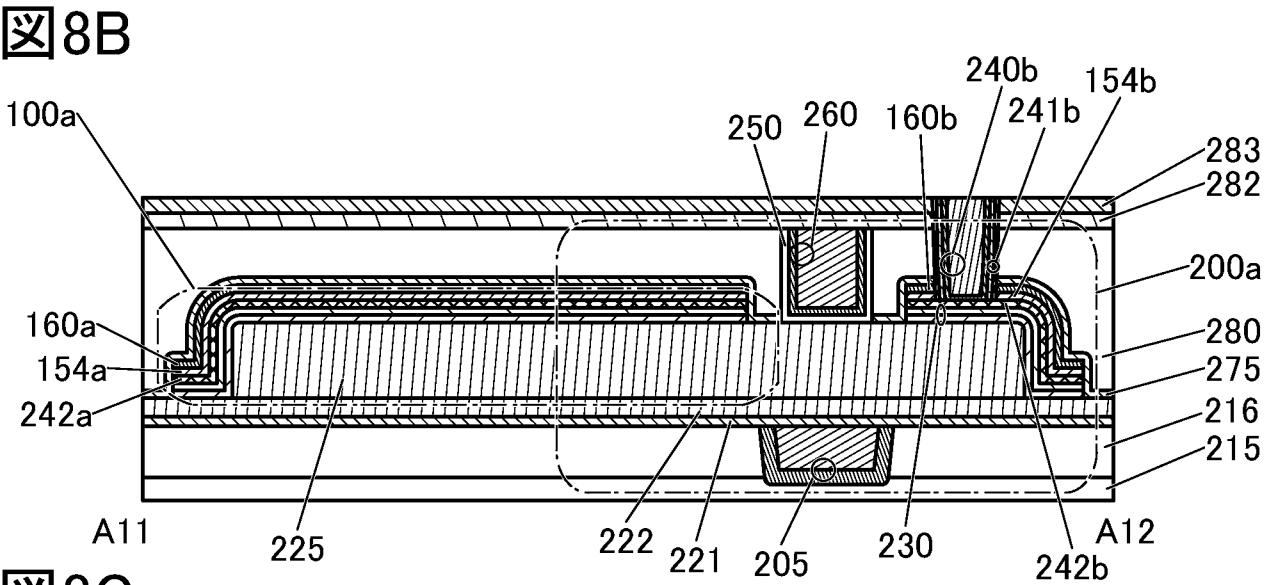


図8C

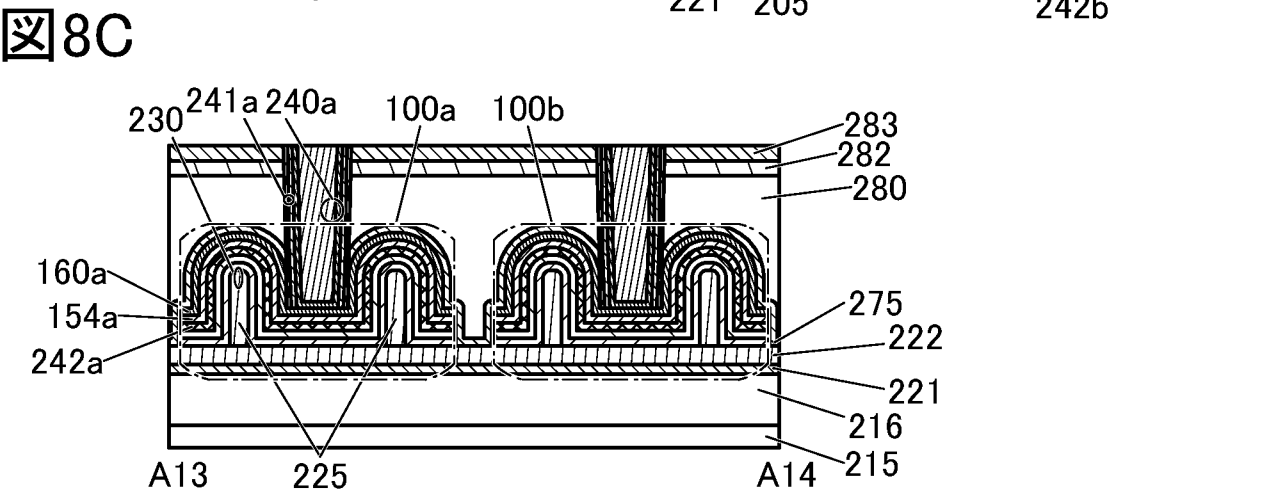


図9A

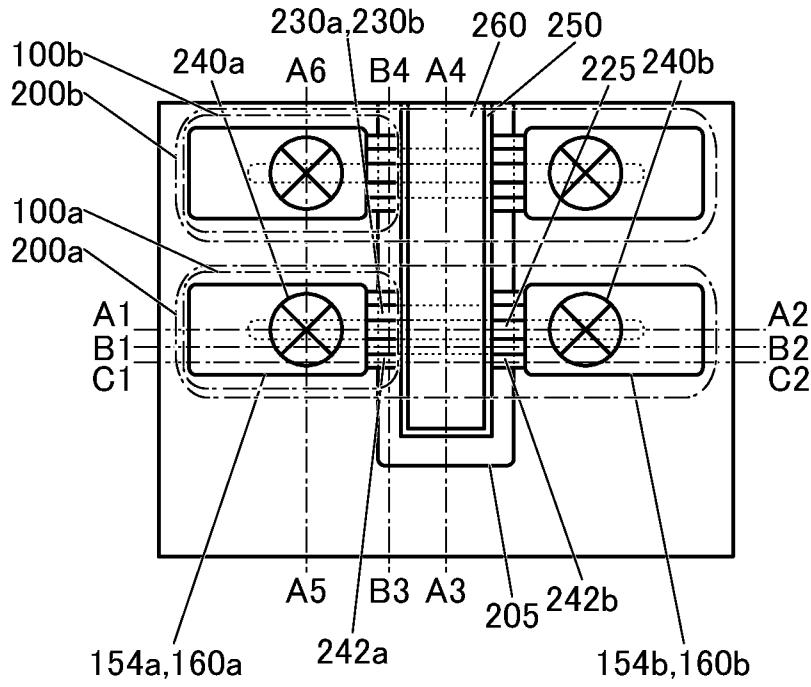


図9C

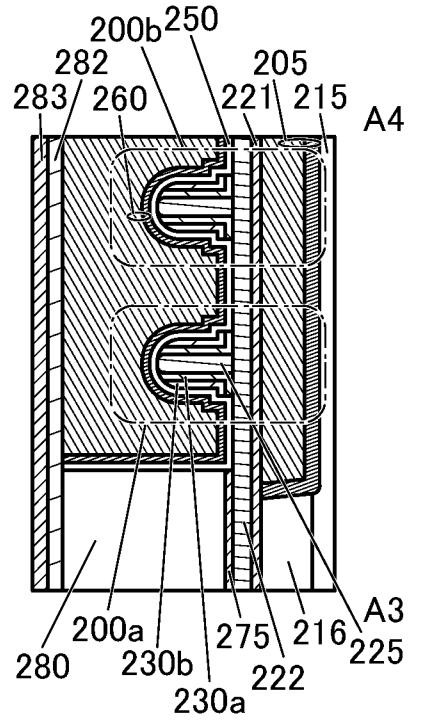


図9B

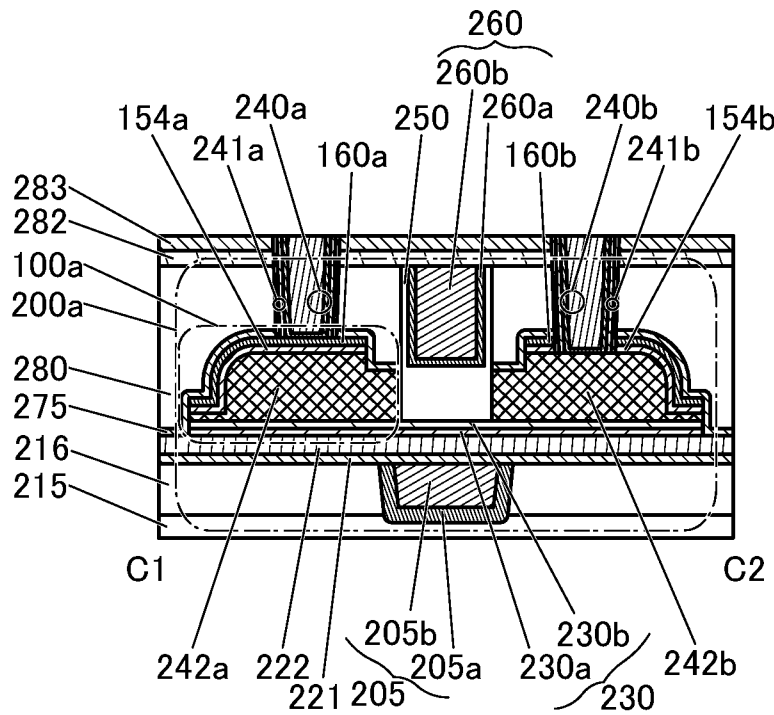


図9D

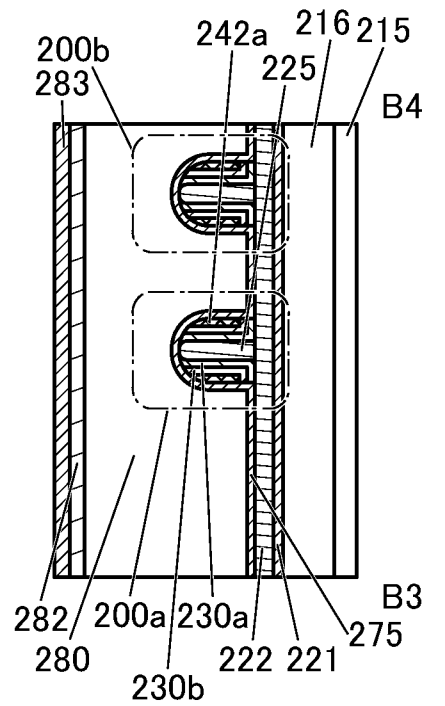


図10A

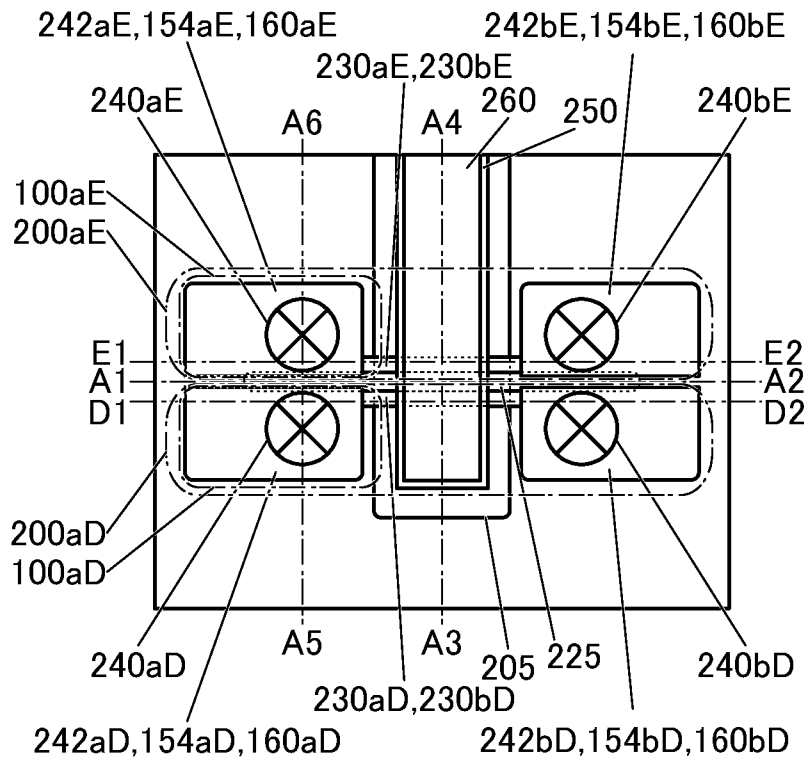


図10C

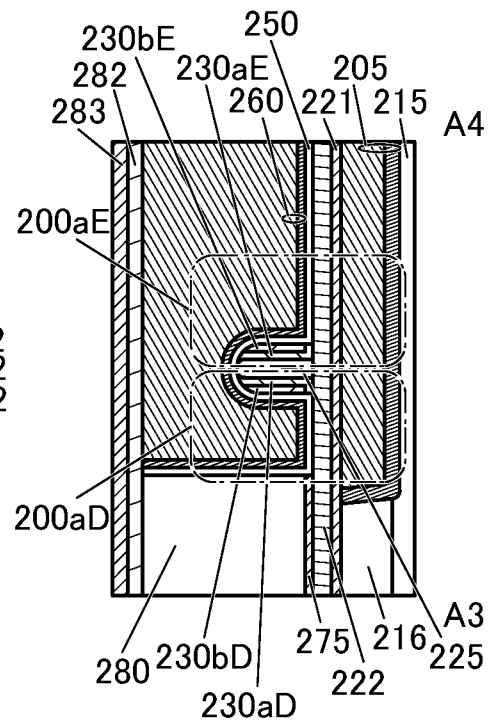


図10B

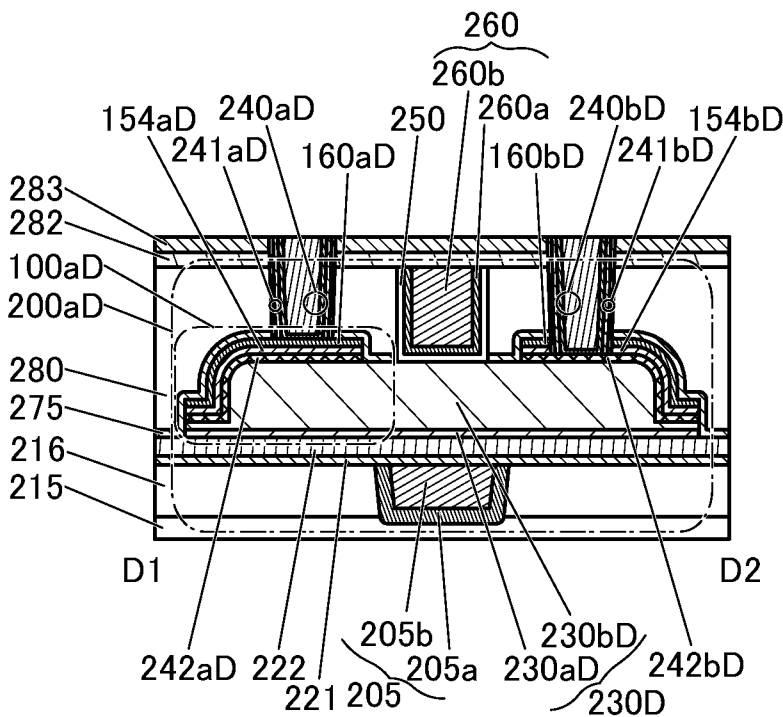


図10D

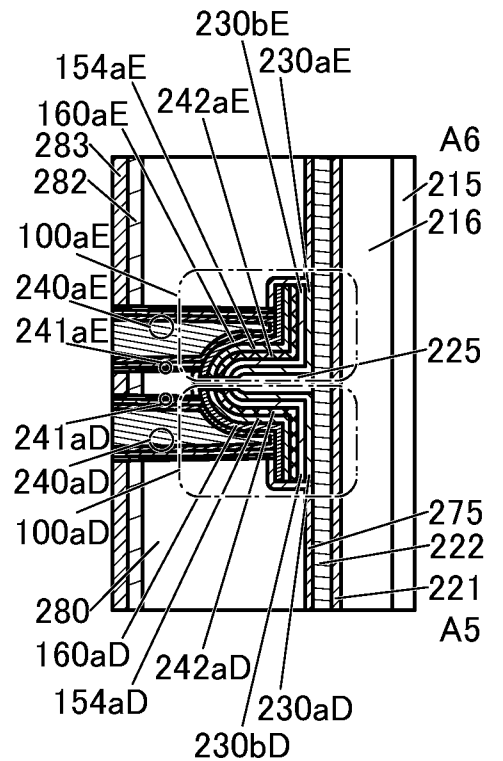


図11A

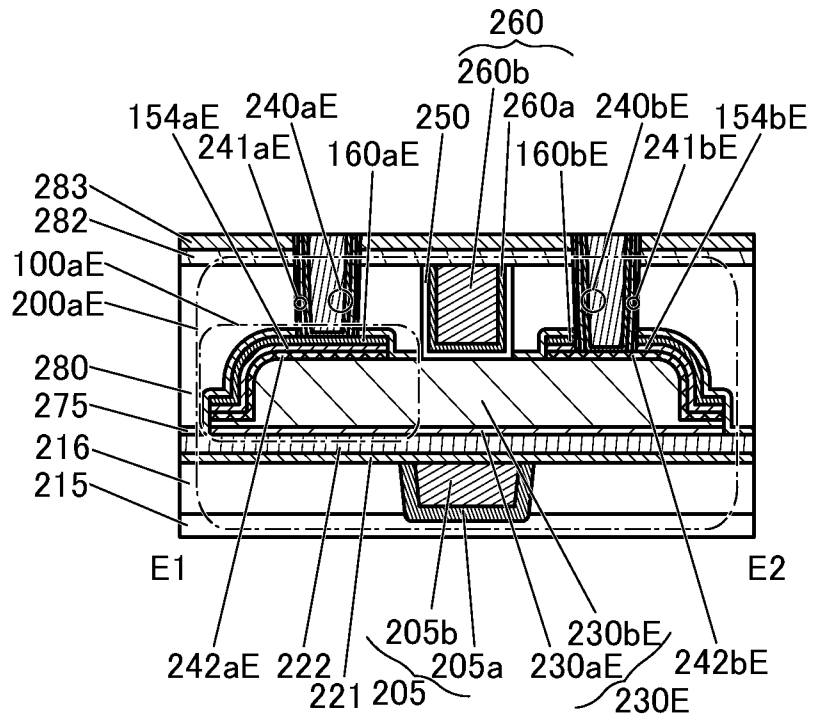


図11B

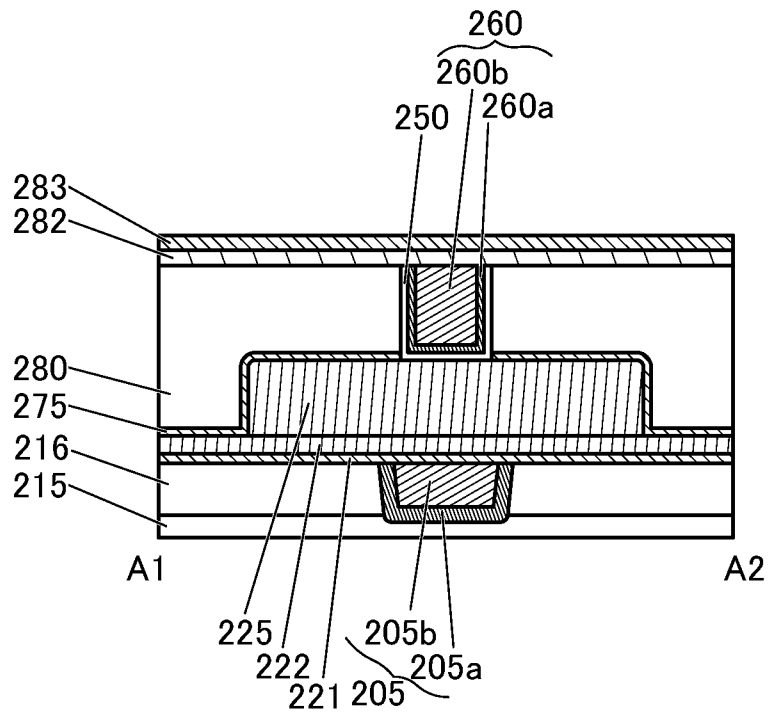


図12A

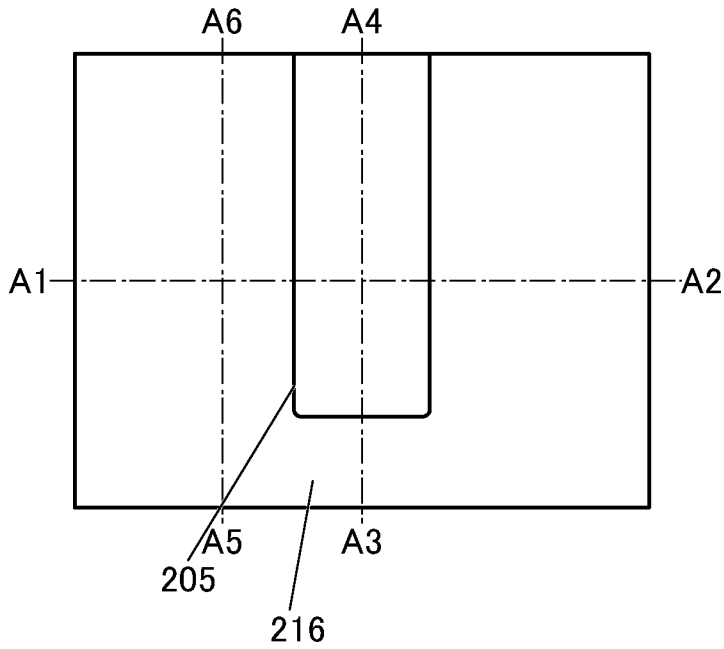


図12C

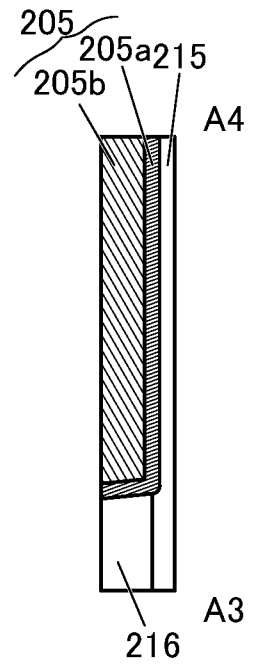


図12B

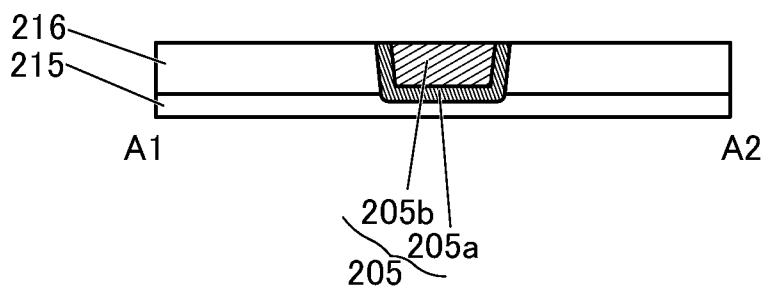


図12D

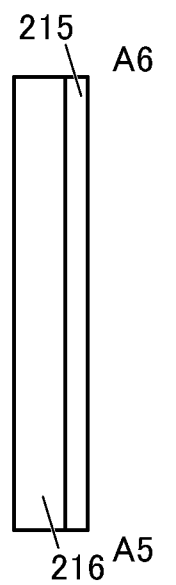


図13A

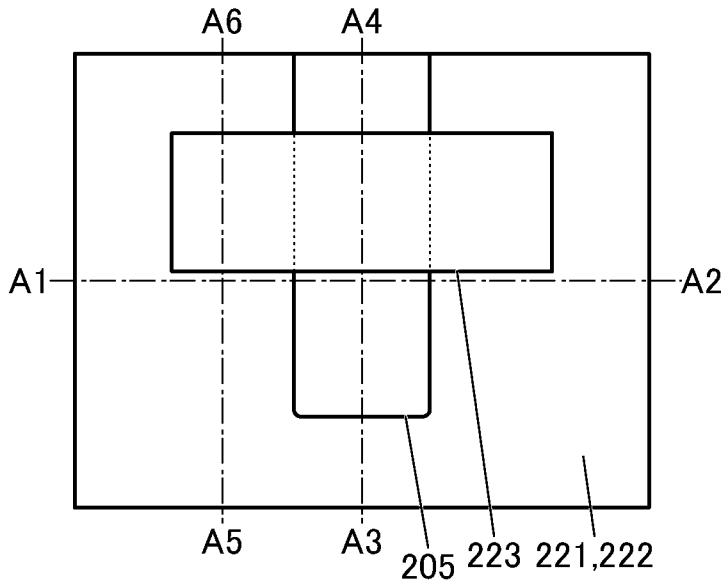


図13C

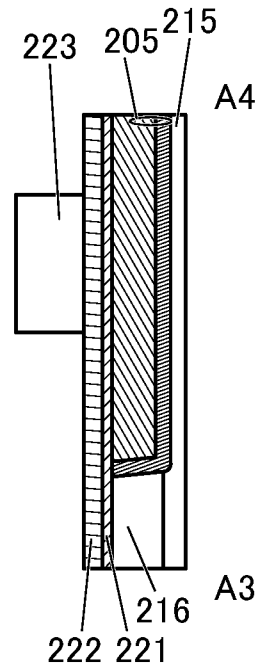


図13B

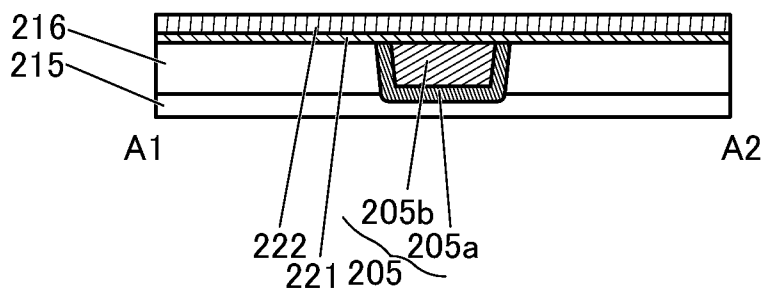


図13D

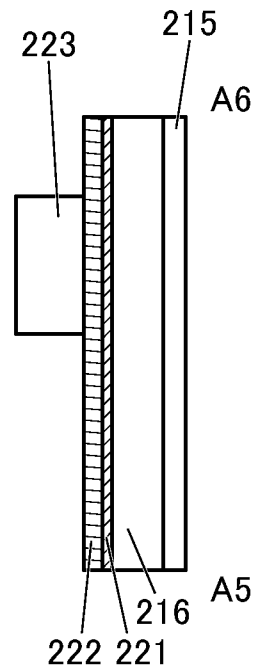


図14A

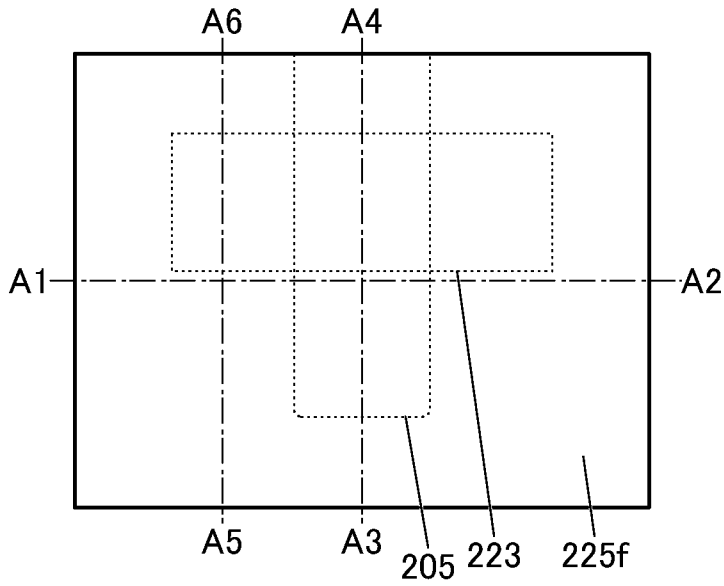


図14C

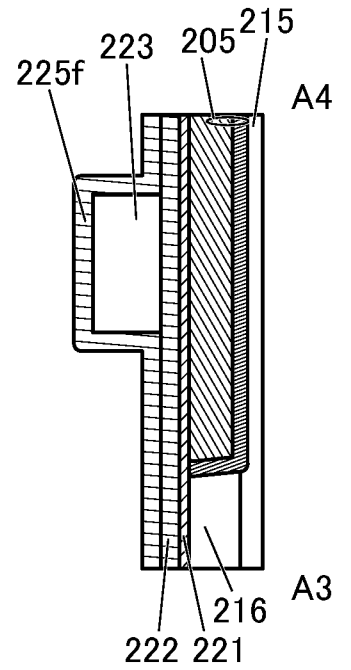


図14B

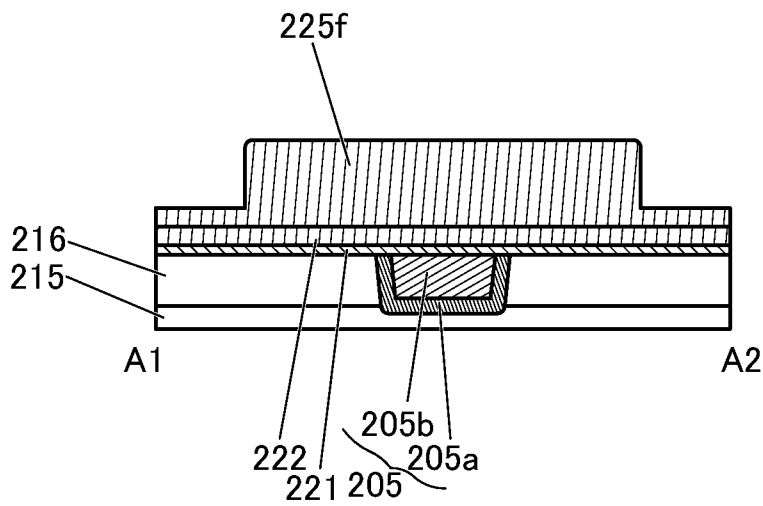


図14D

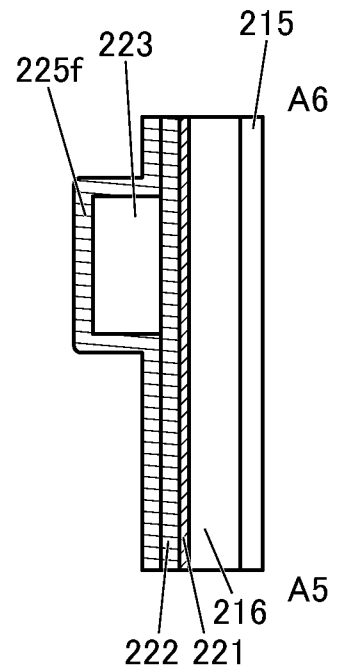


図15A

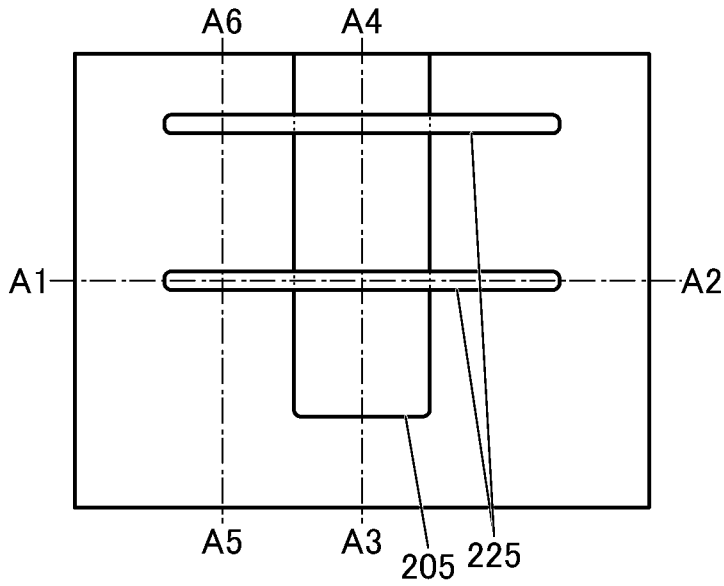


図15C

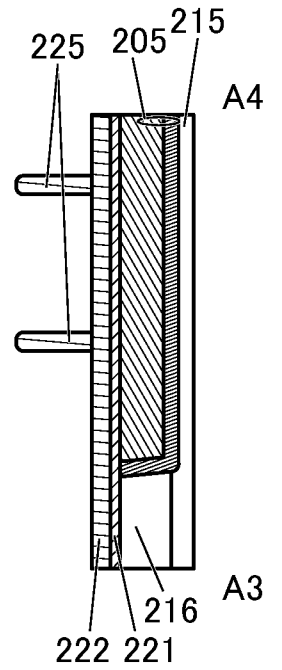


図15B

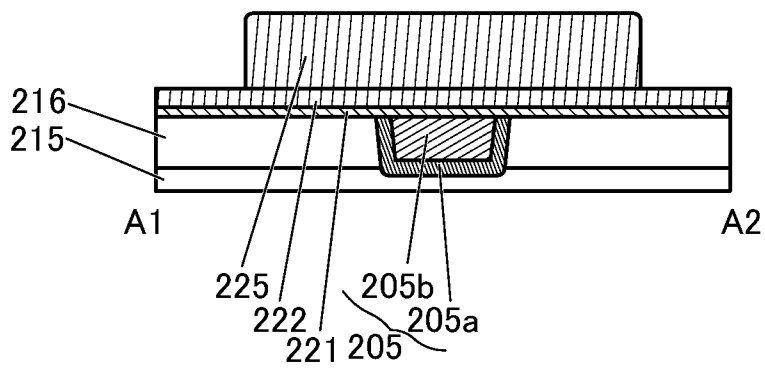


図15D

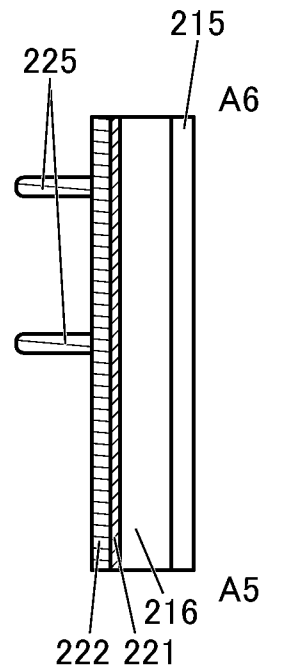


図16A

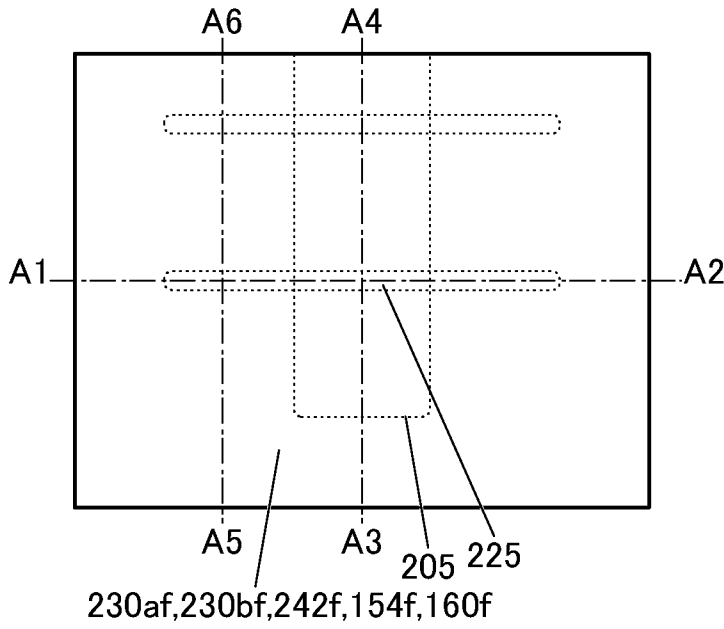


図16C

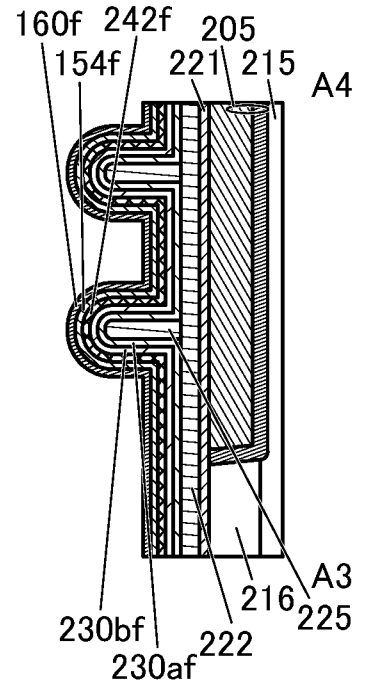


図16B

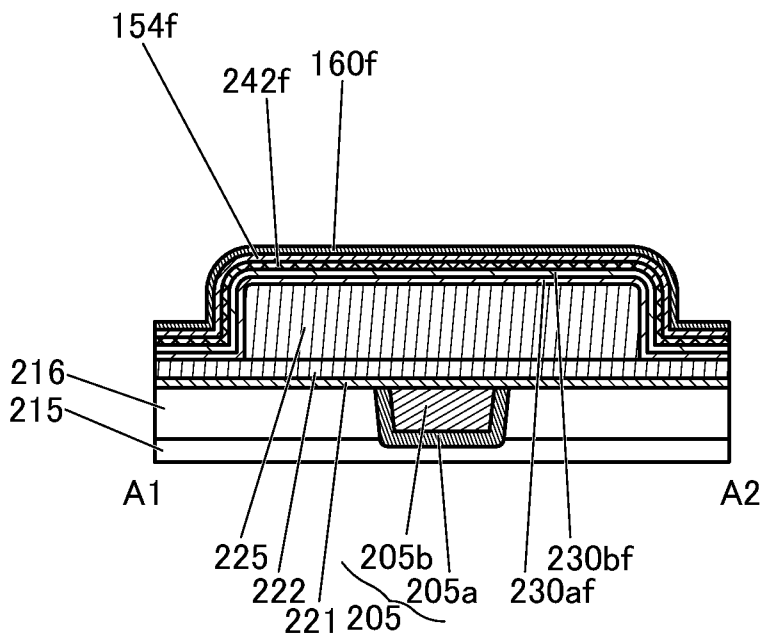


図16D

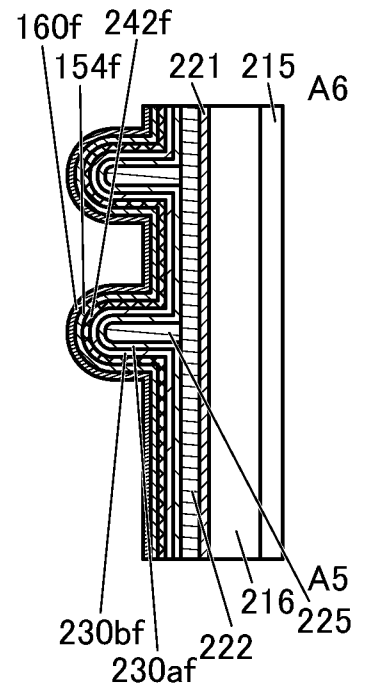


図17A

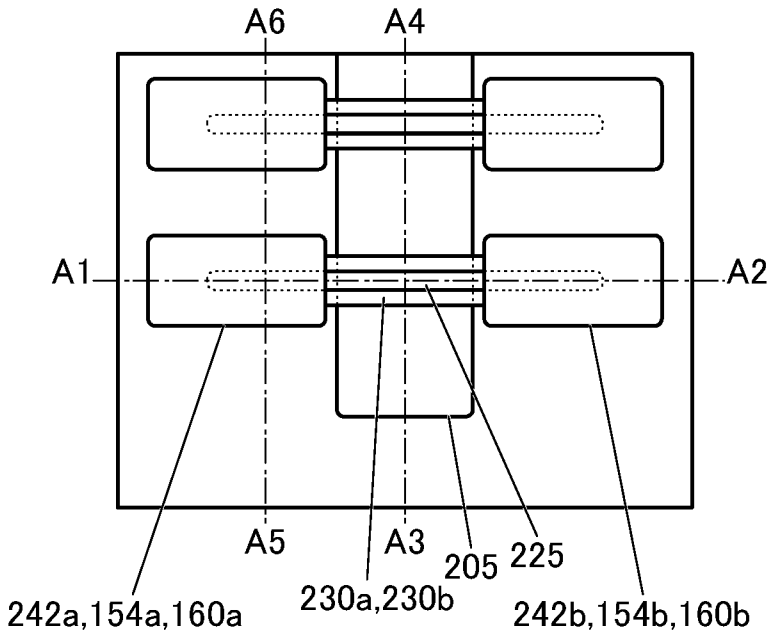


図17C

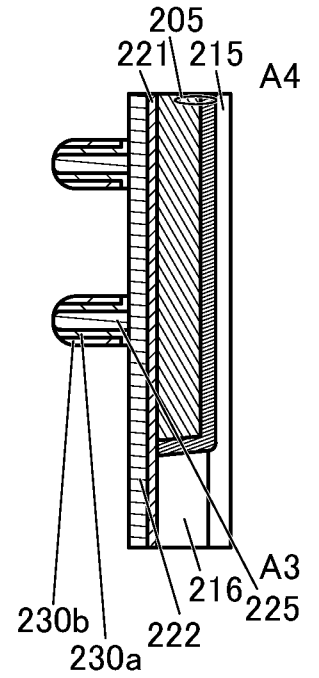


図17B

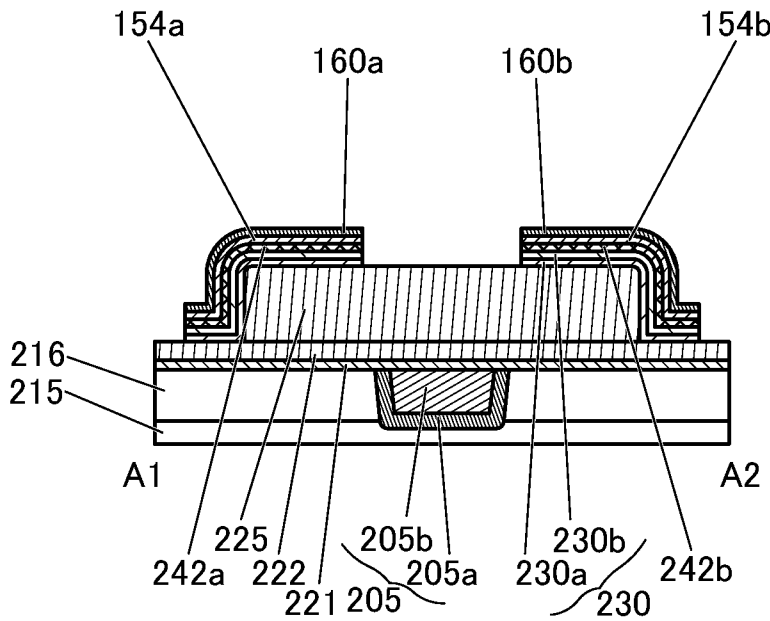


図17D

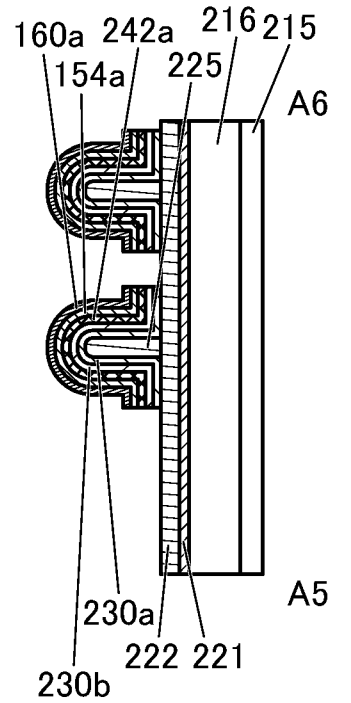


図18A

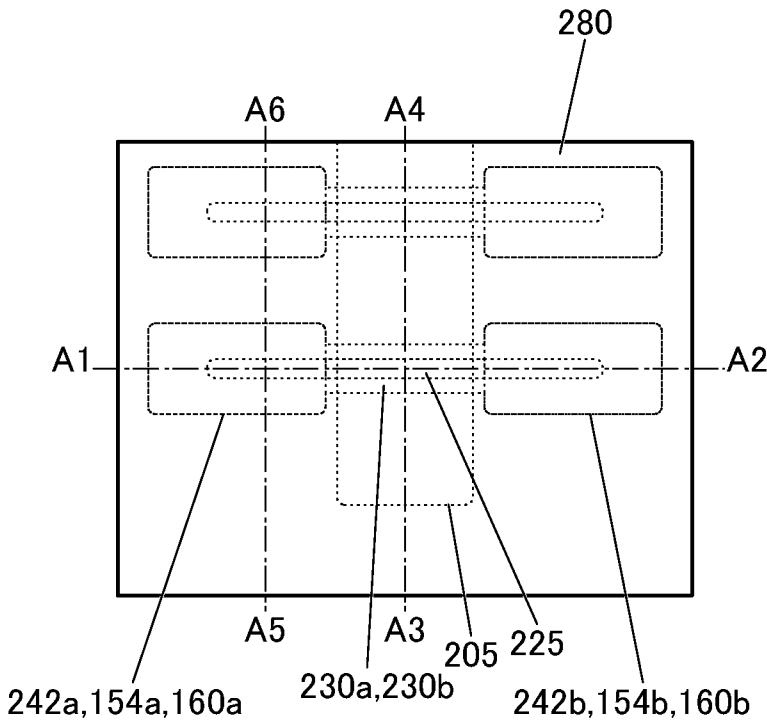


図18C

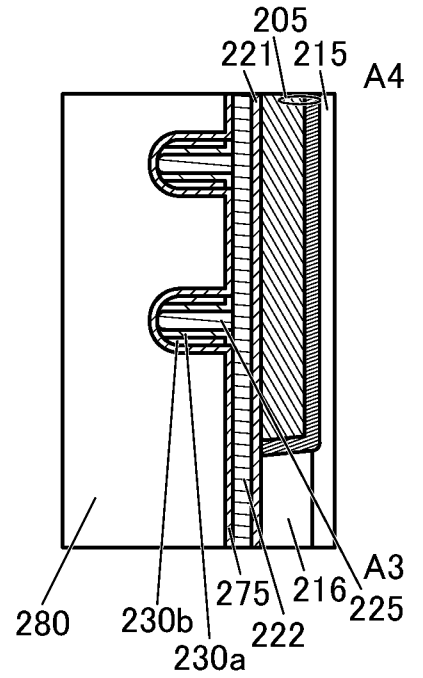


図18B

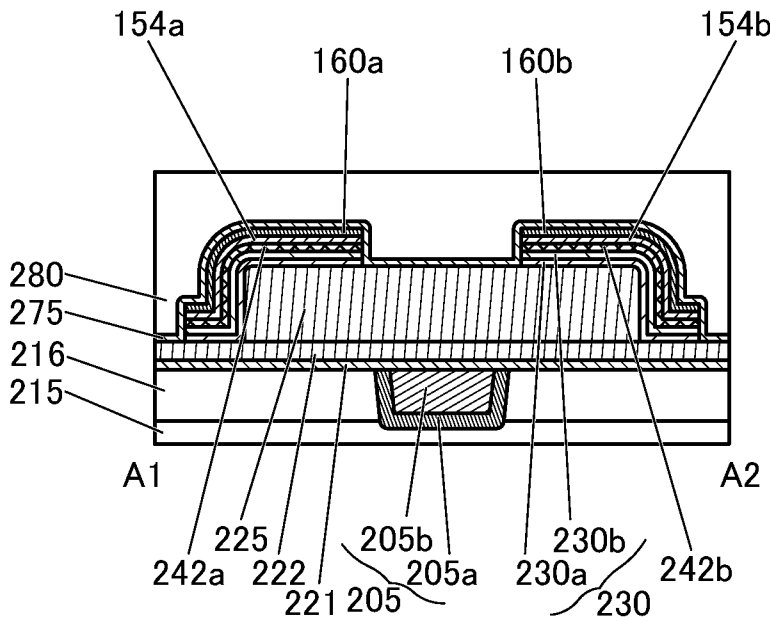


図18D

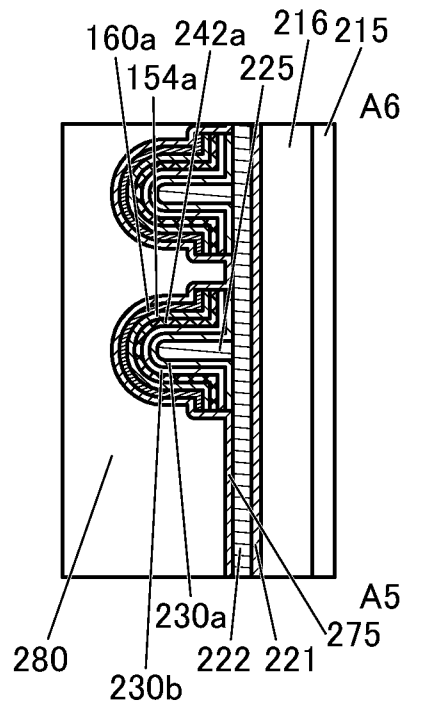


図19A

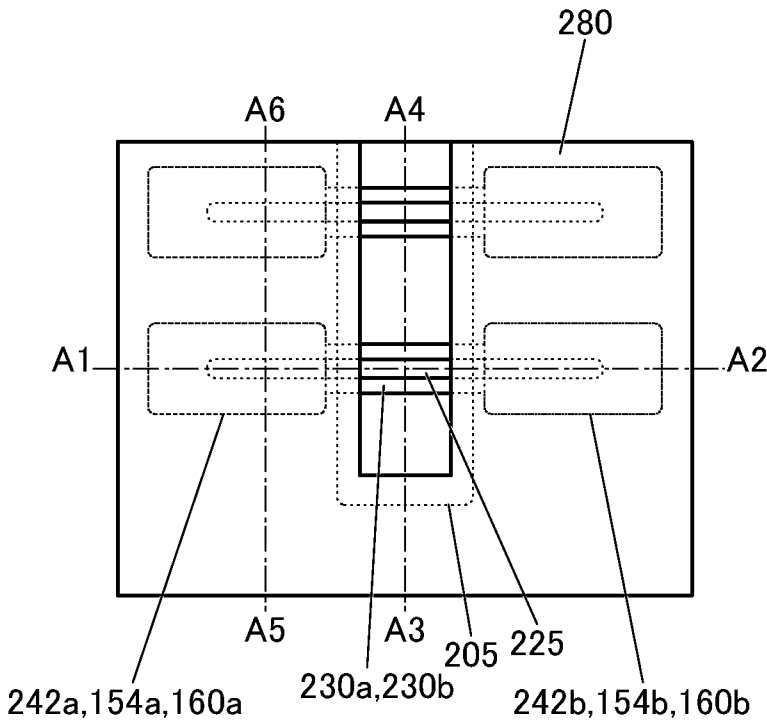


図19C

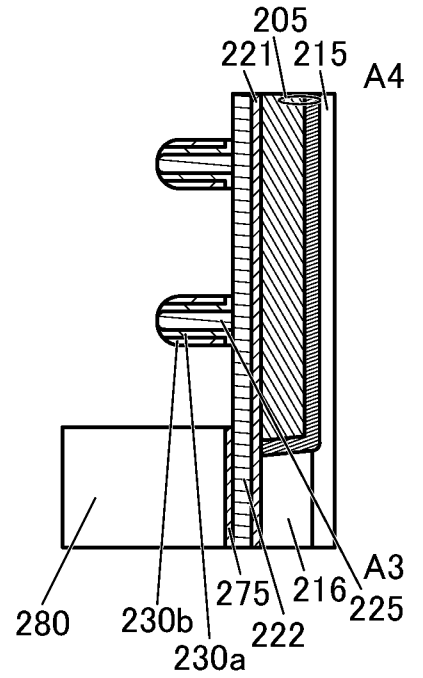


図19B

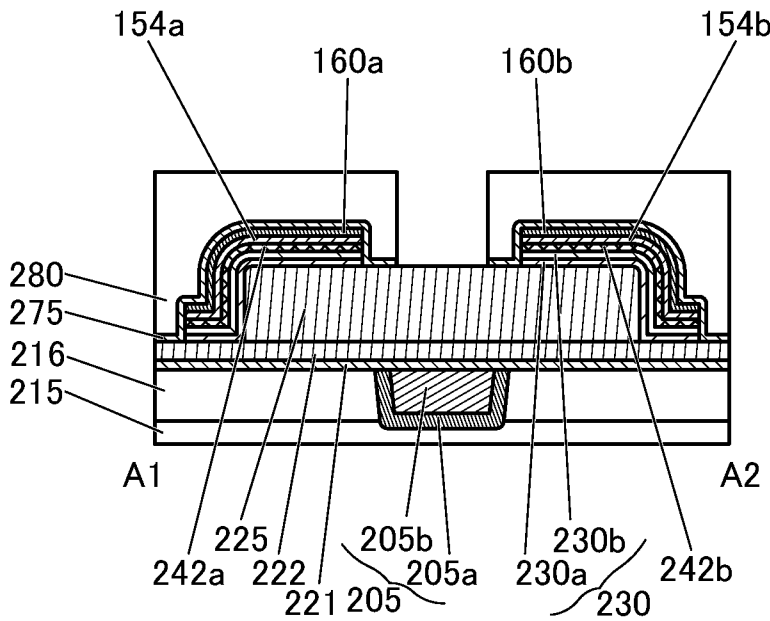


図19D

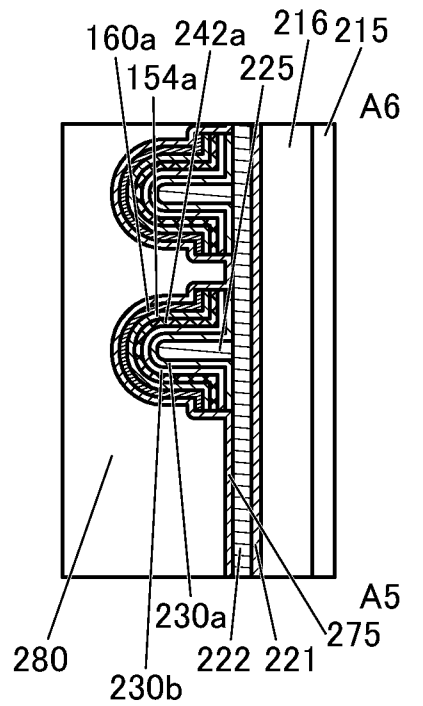


図20A

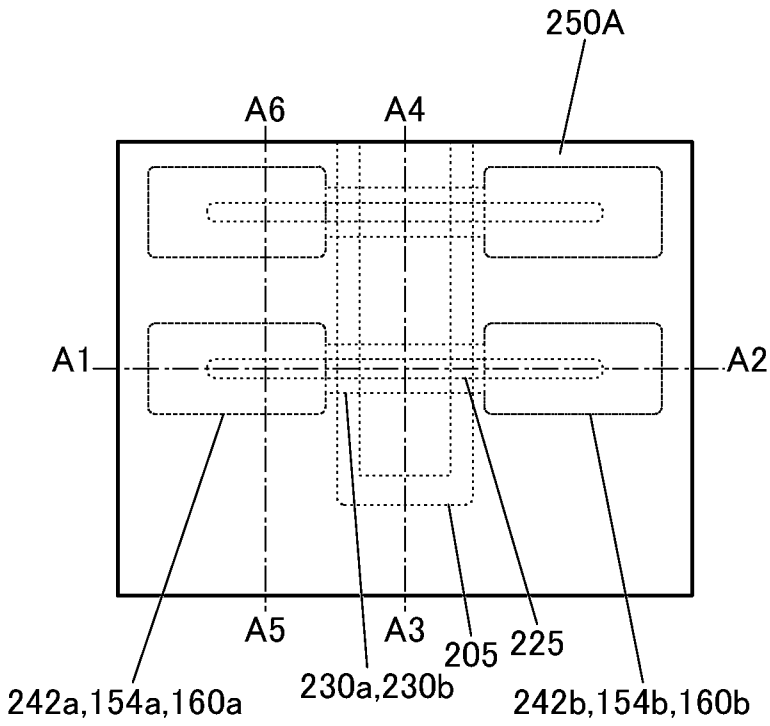


図20C

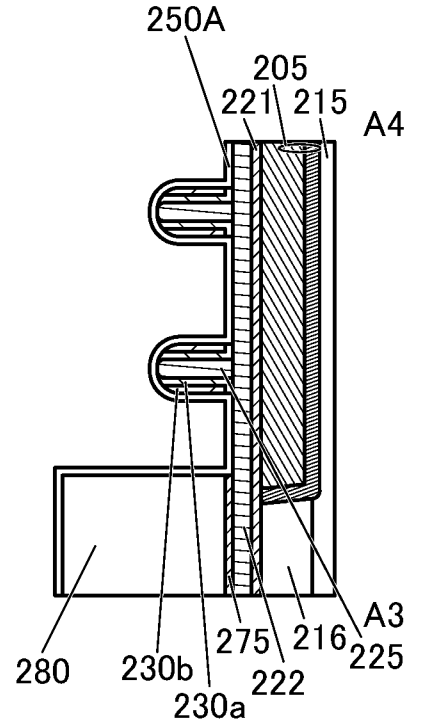


図20B

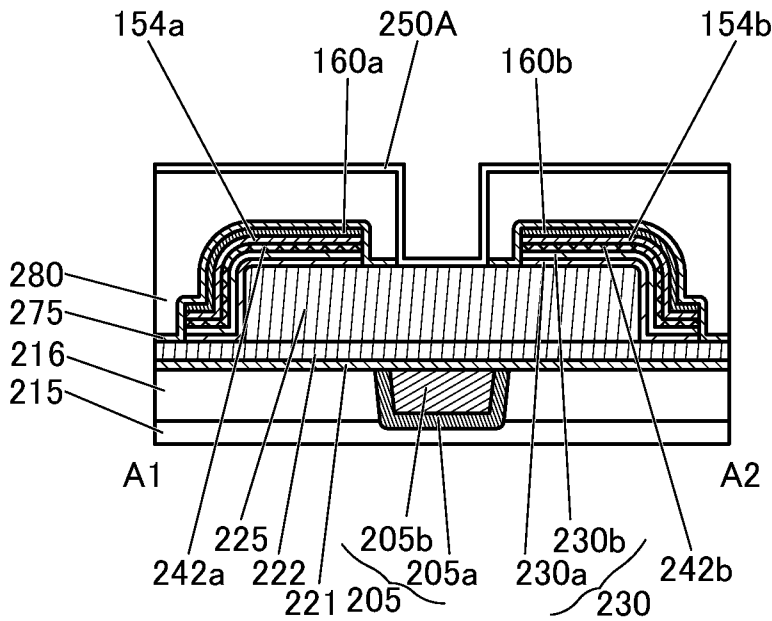


図20D

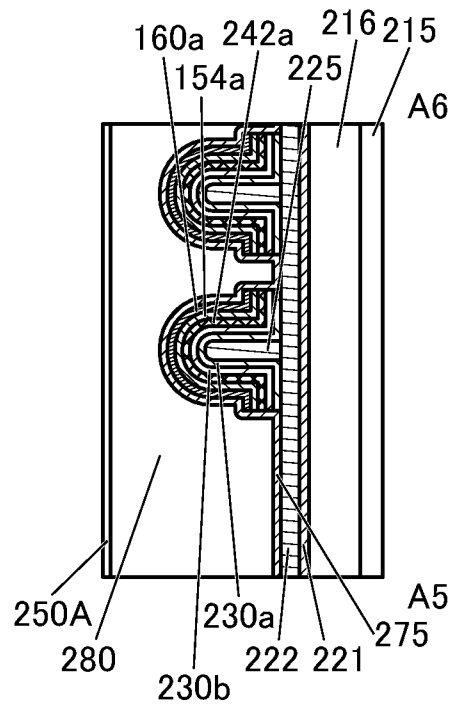


図21A

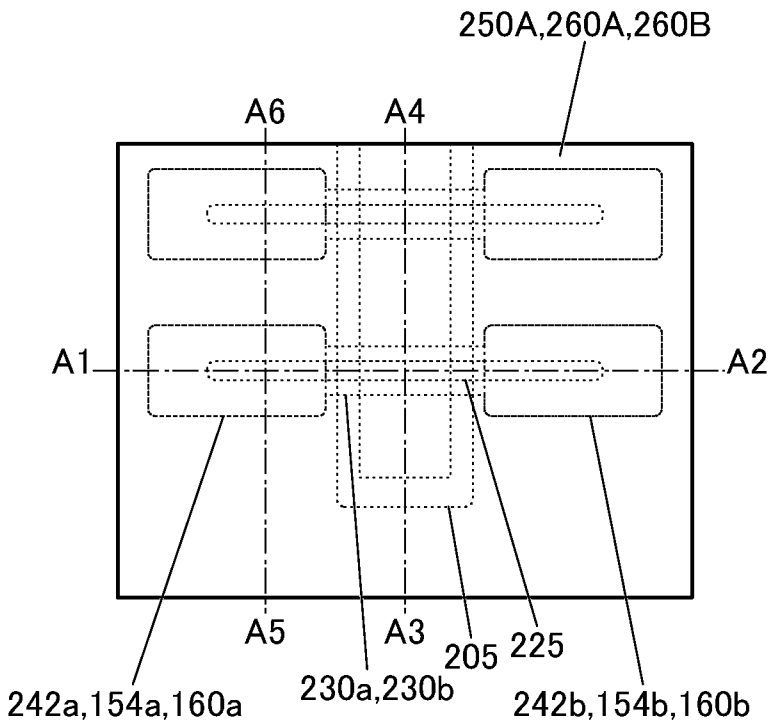


図21C

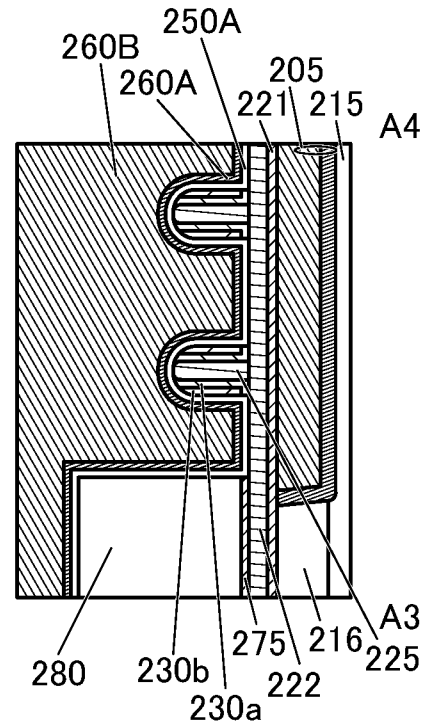


図21B

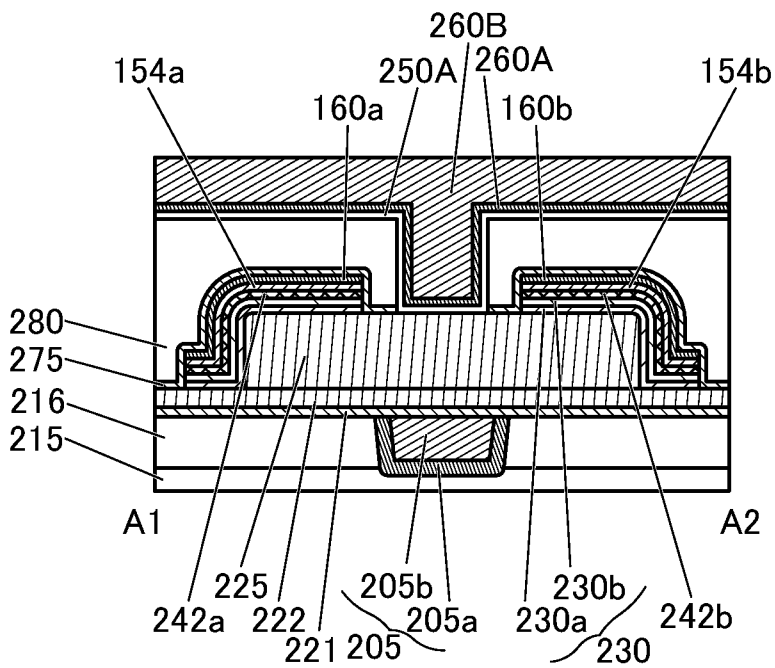


図21D

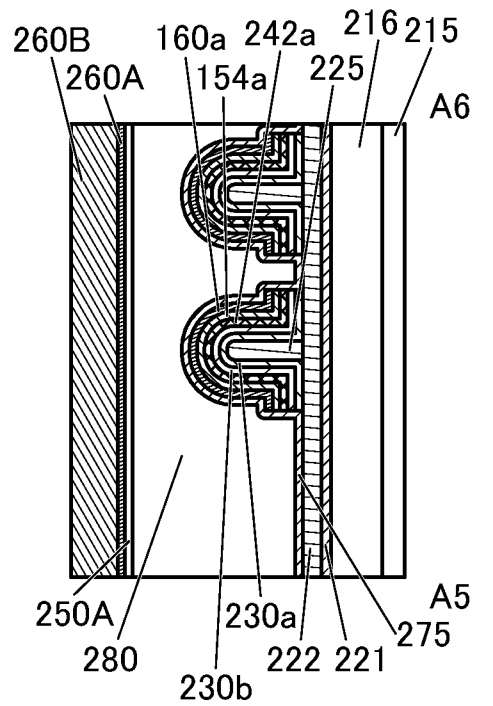


図22A

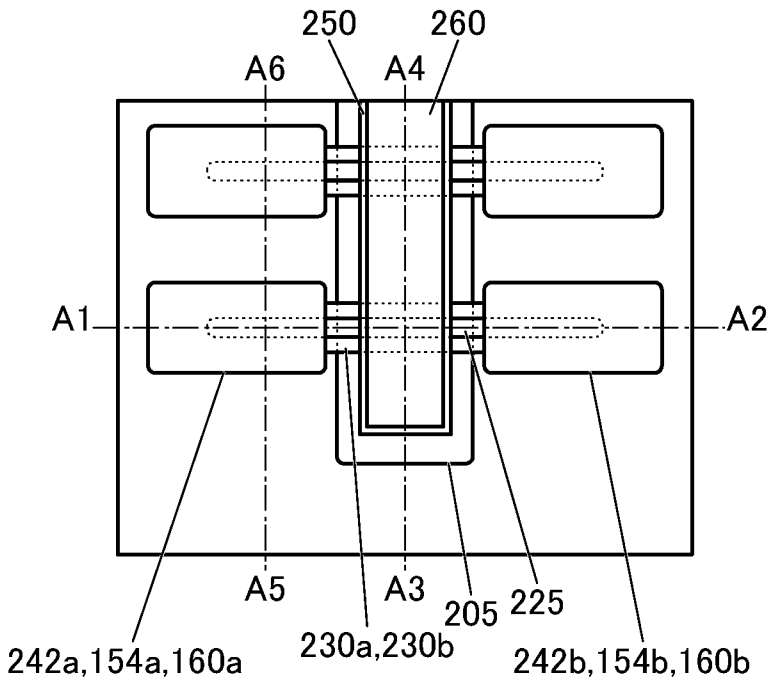


図22C

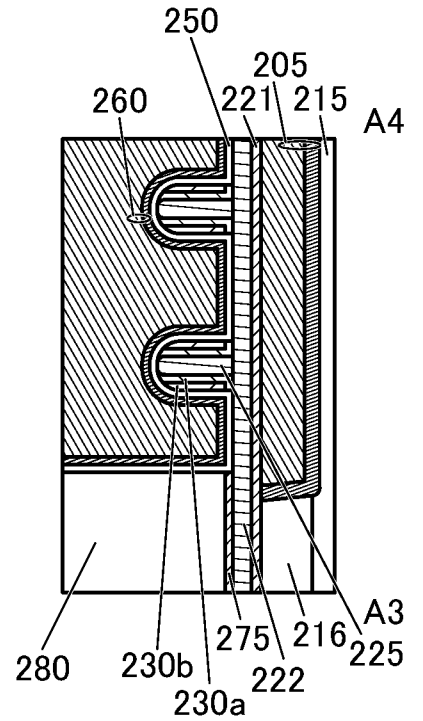


図22B

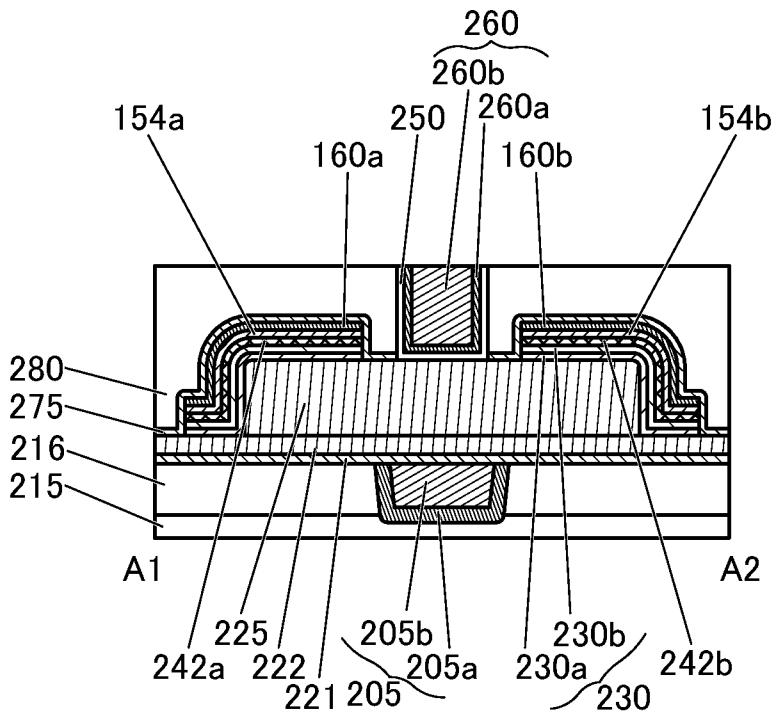
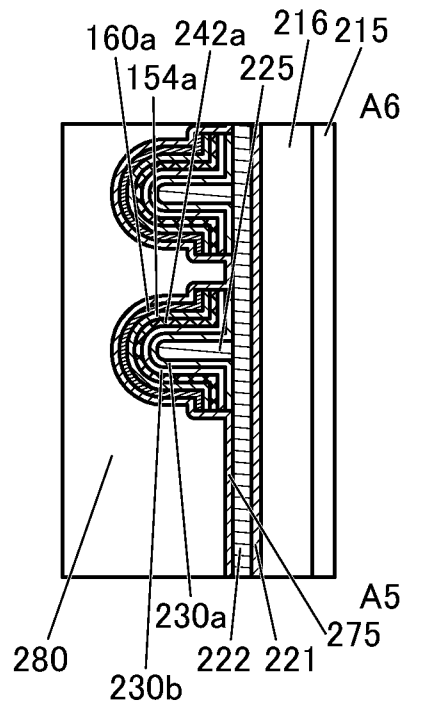


図22D



23

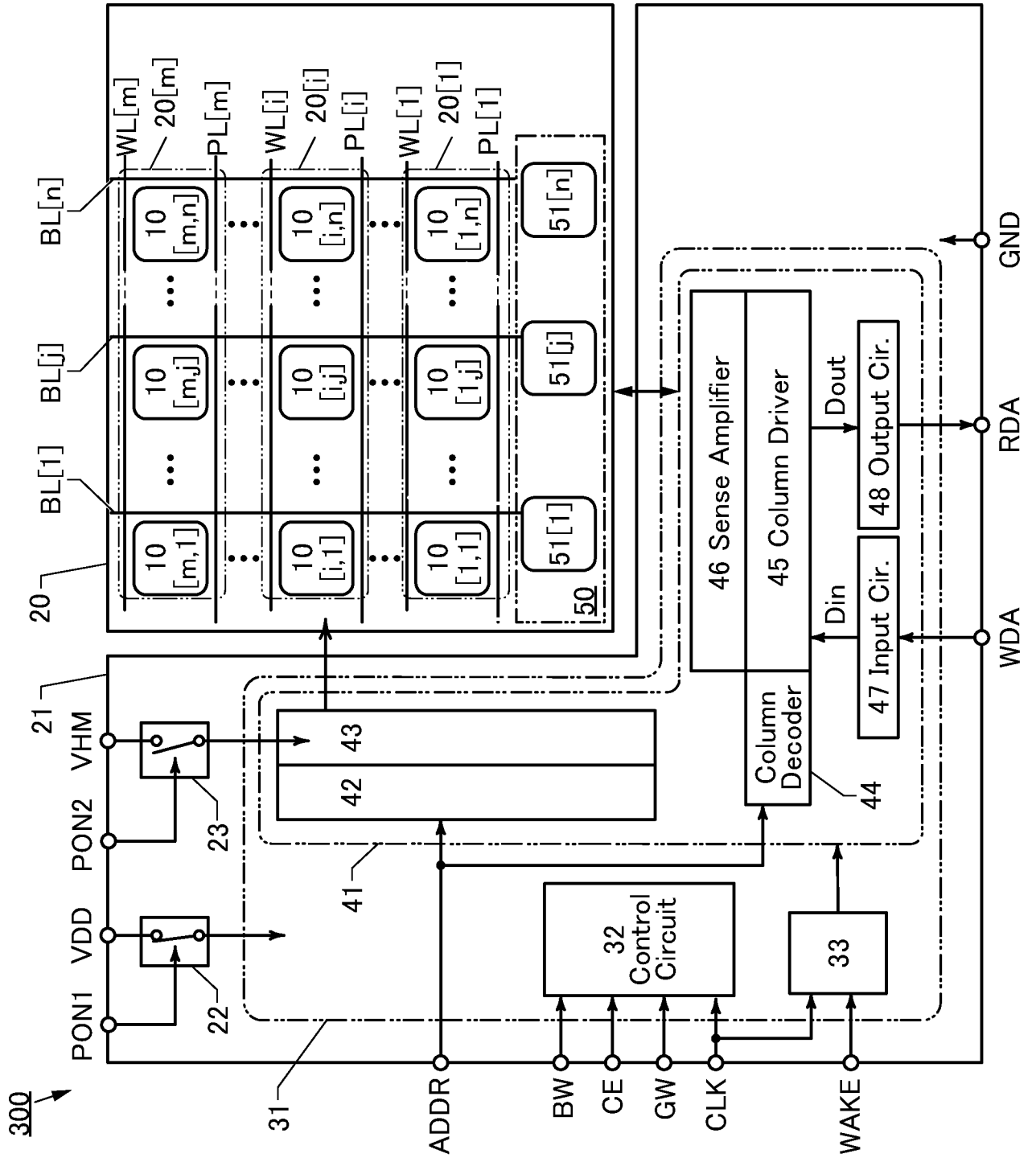


図24A

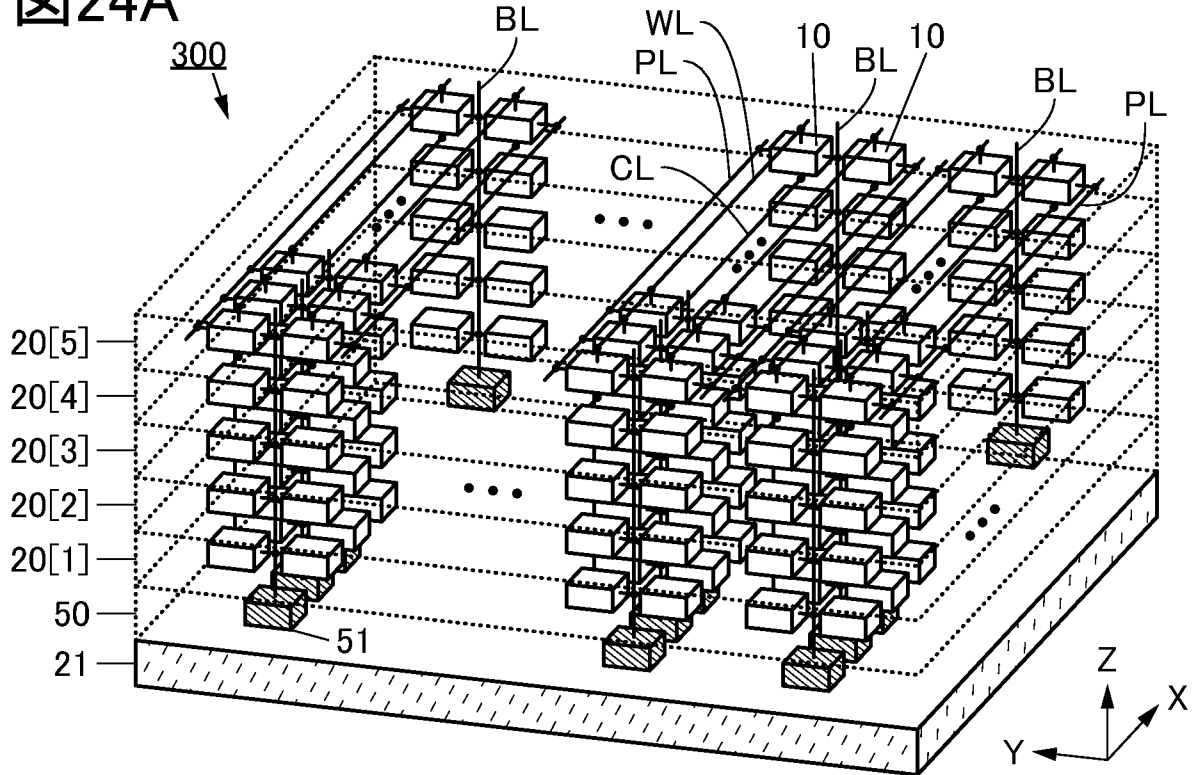
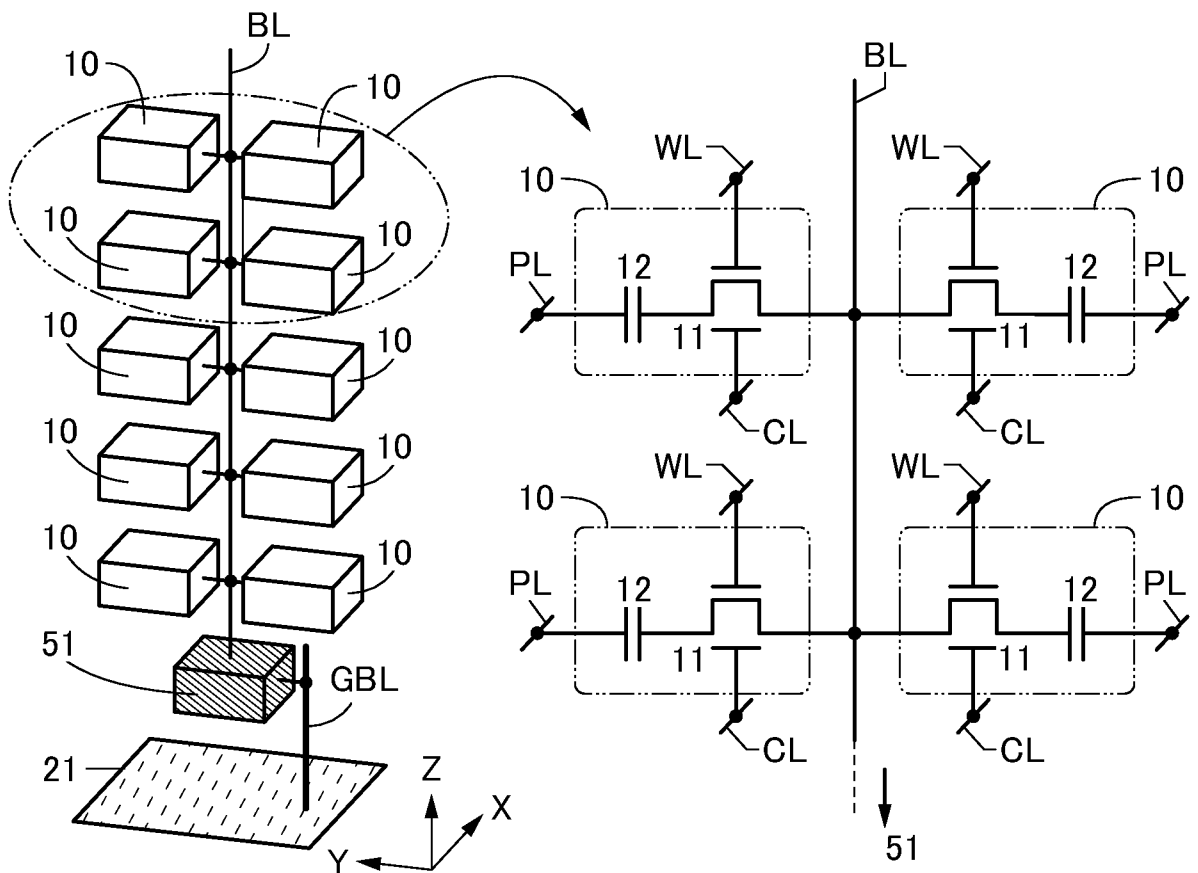
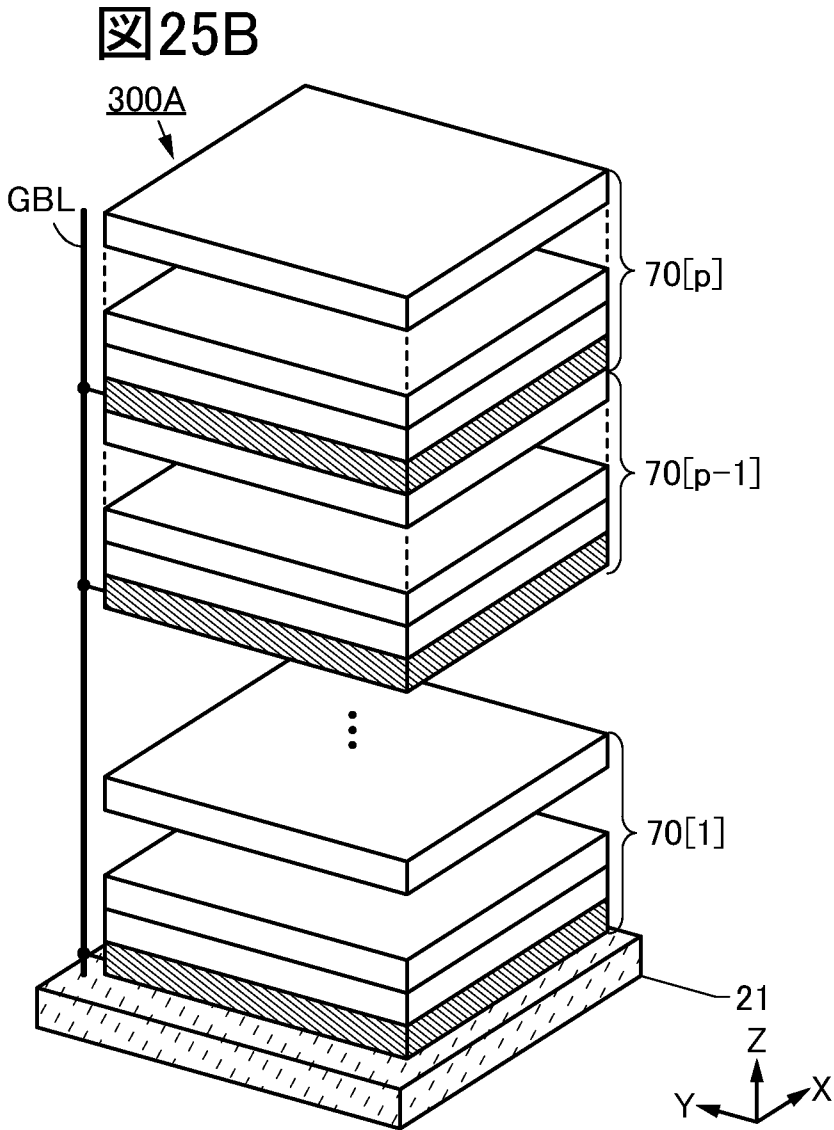
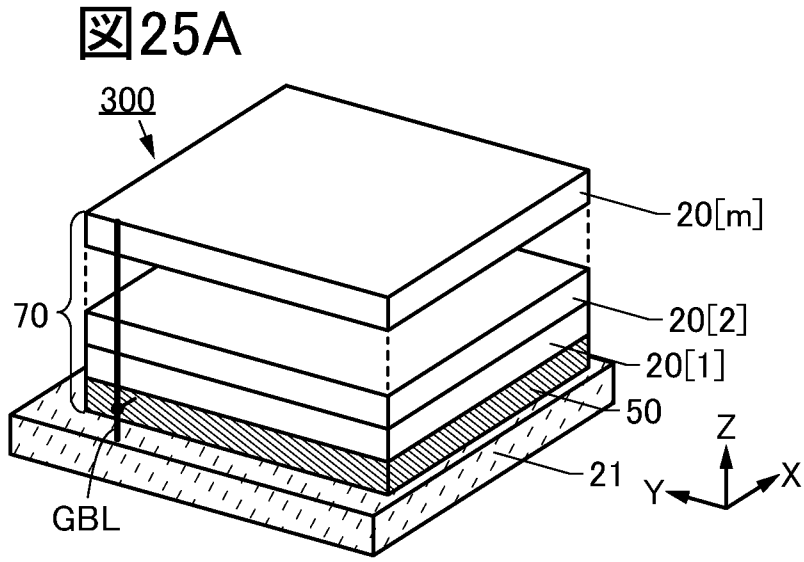
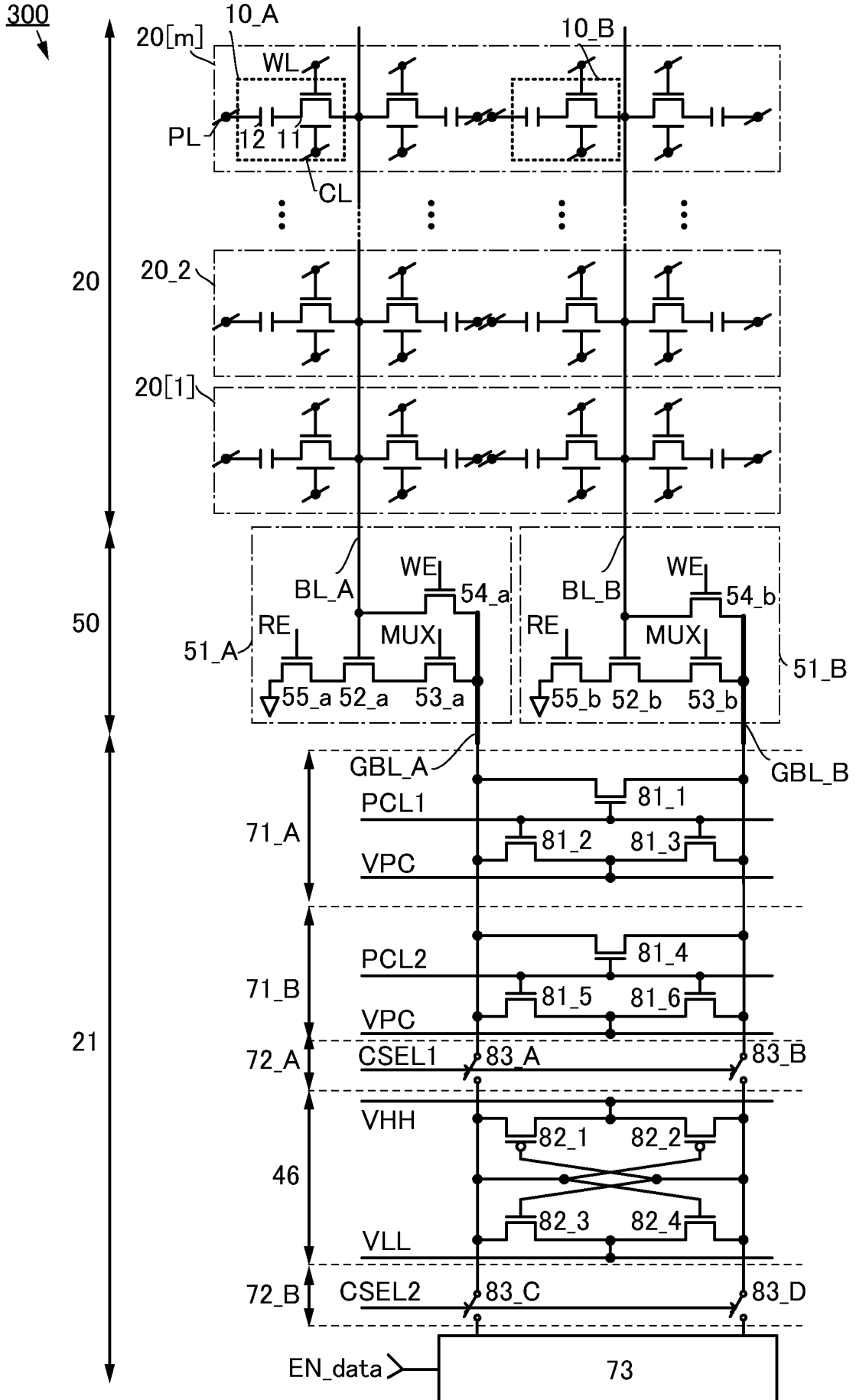


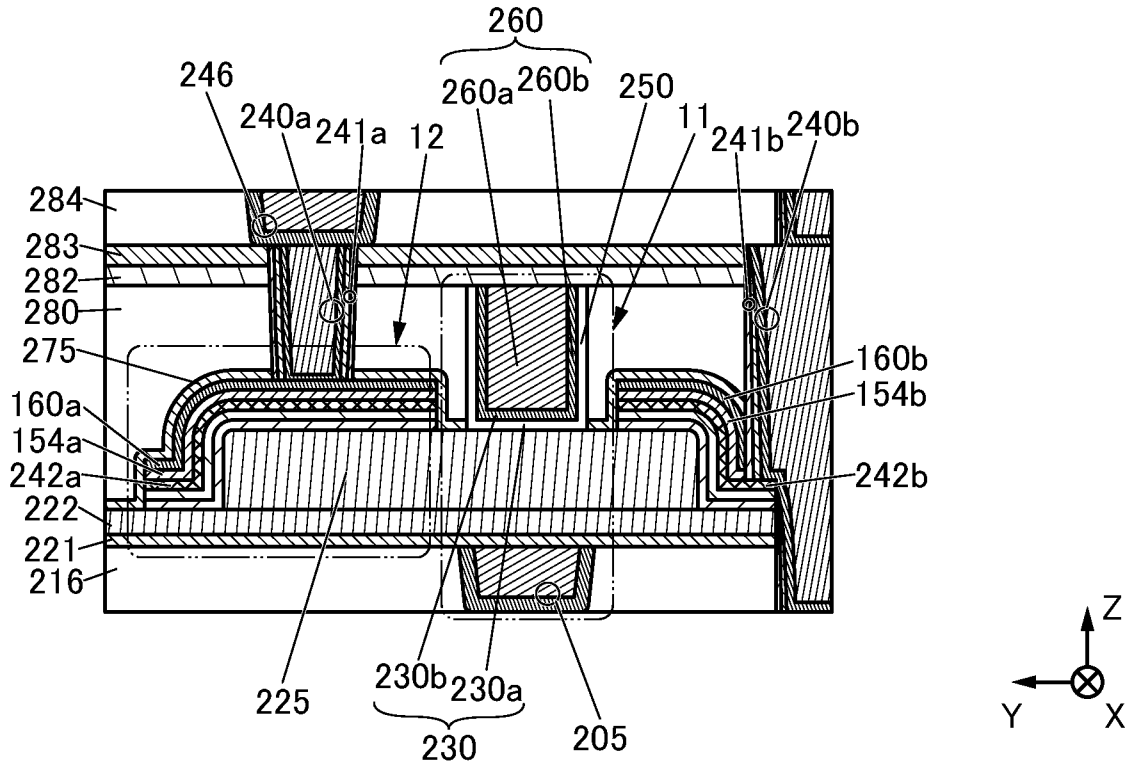
図24B







10



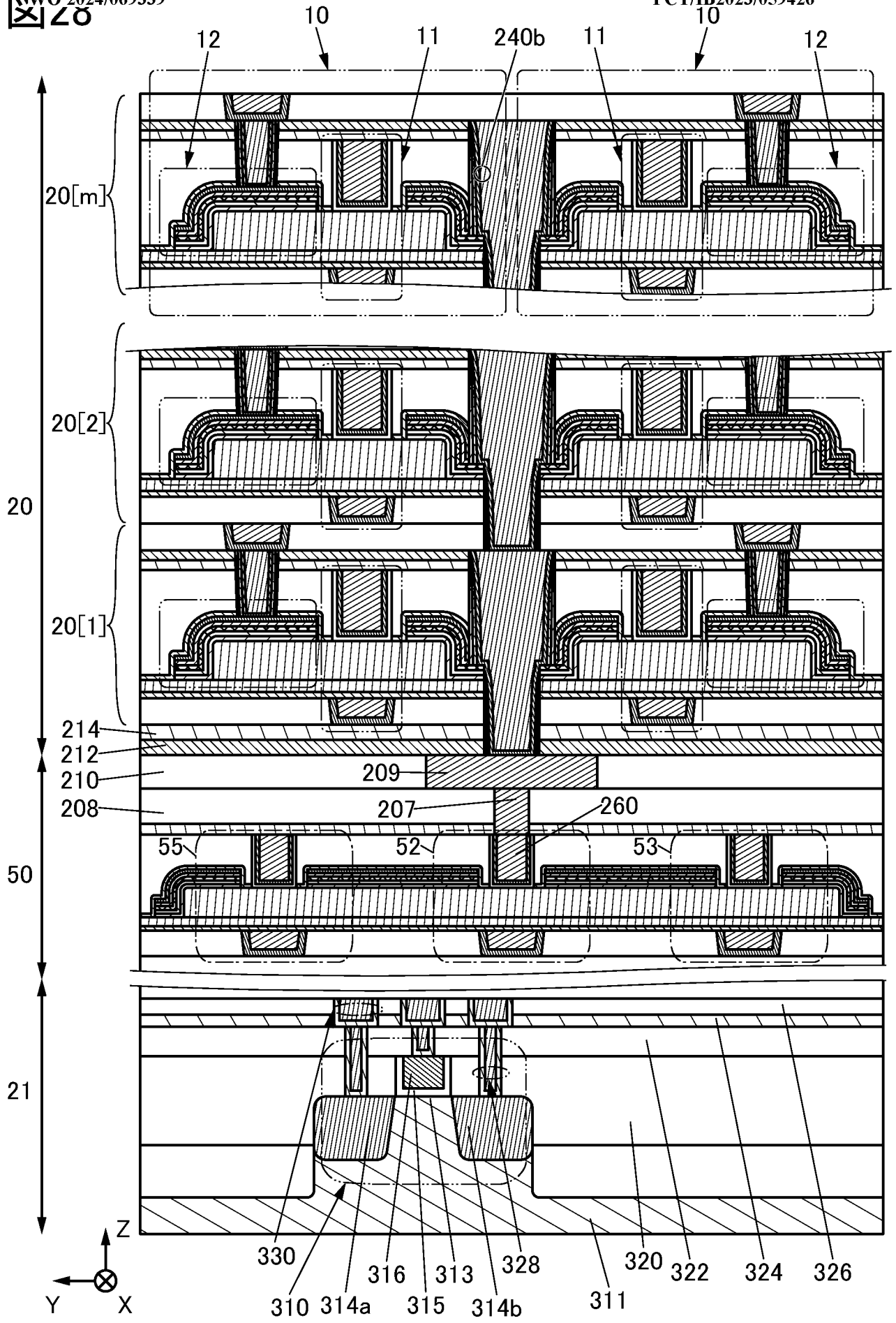


図29A

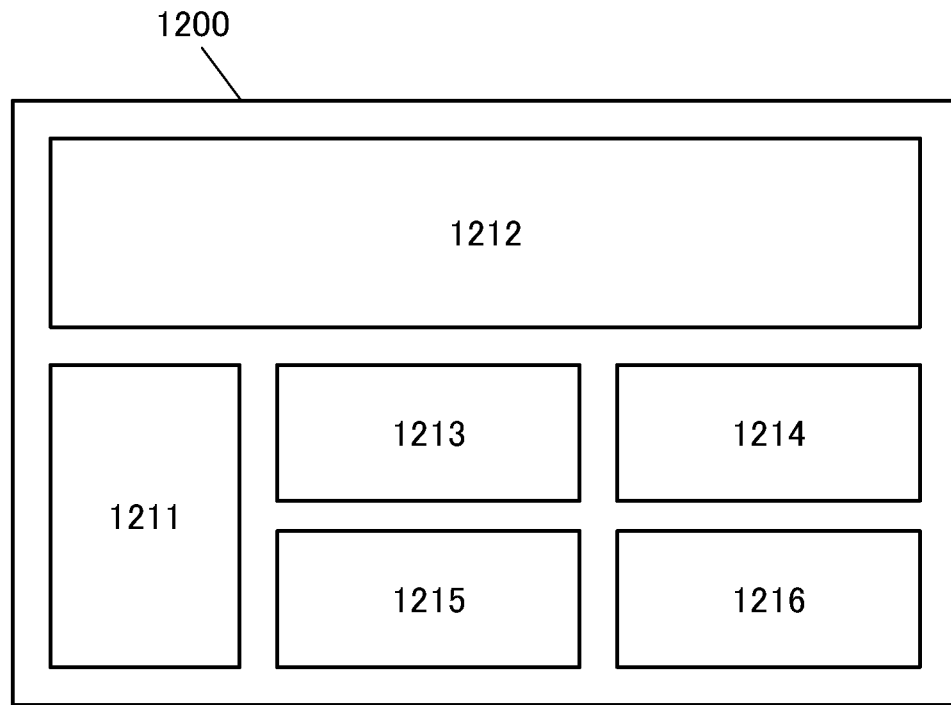


図29B

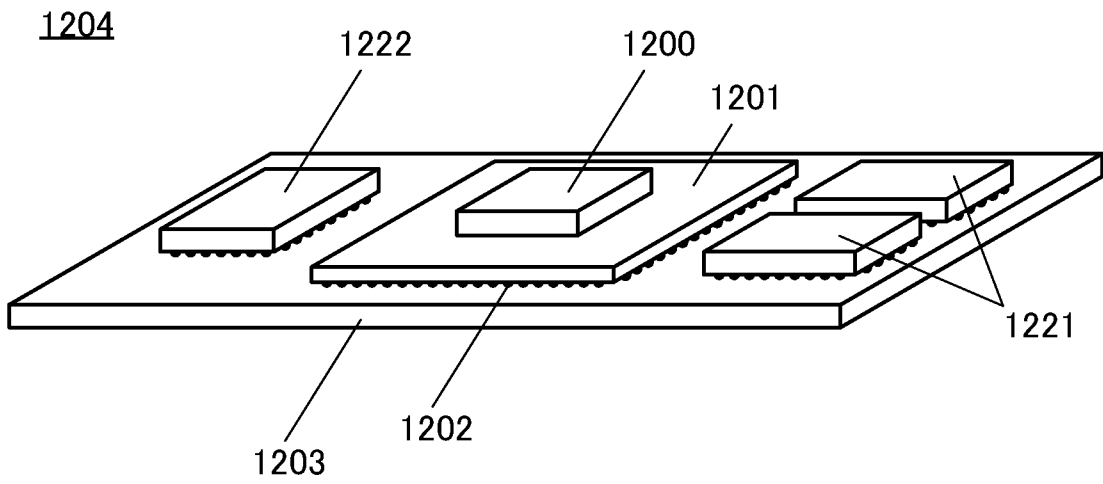


図30A

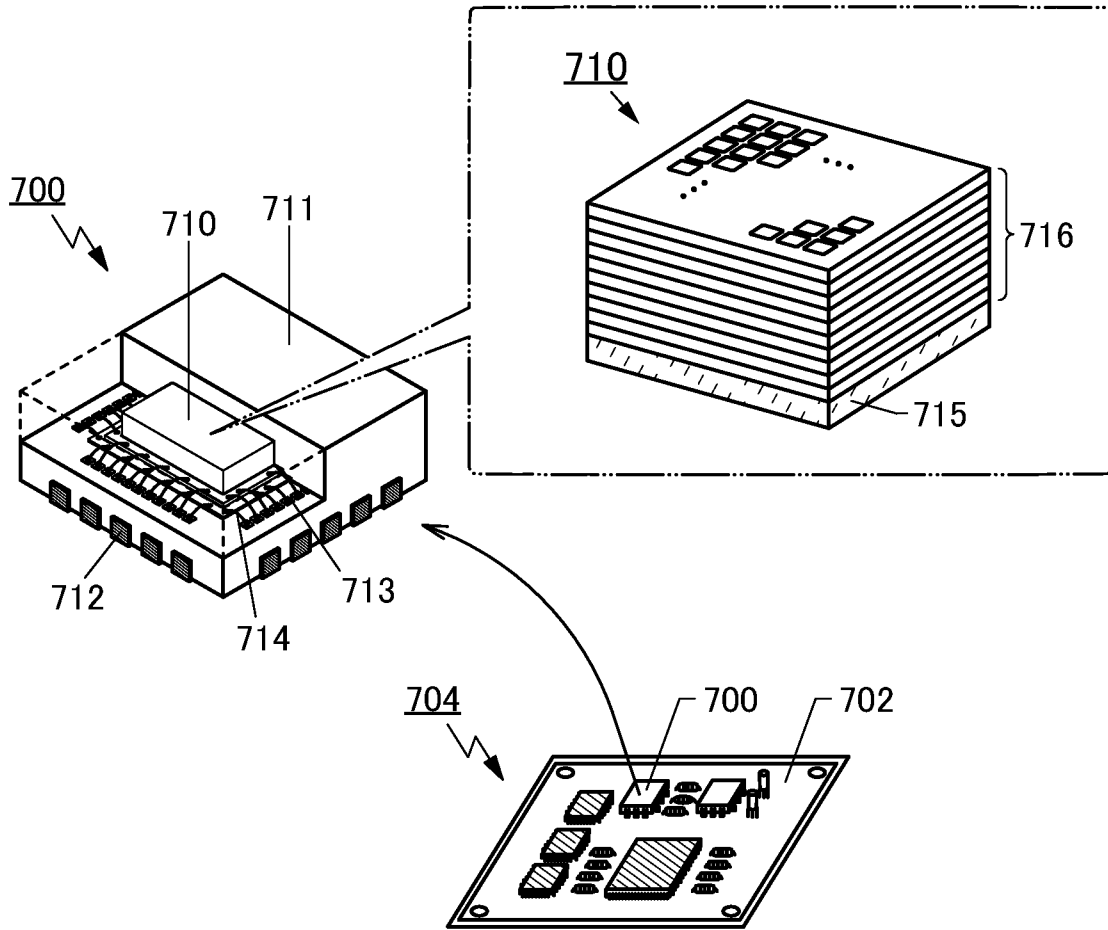


図30B

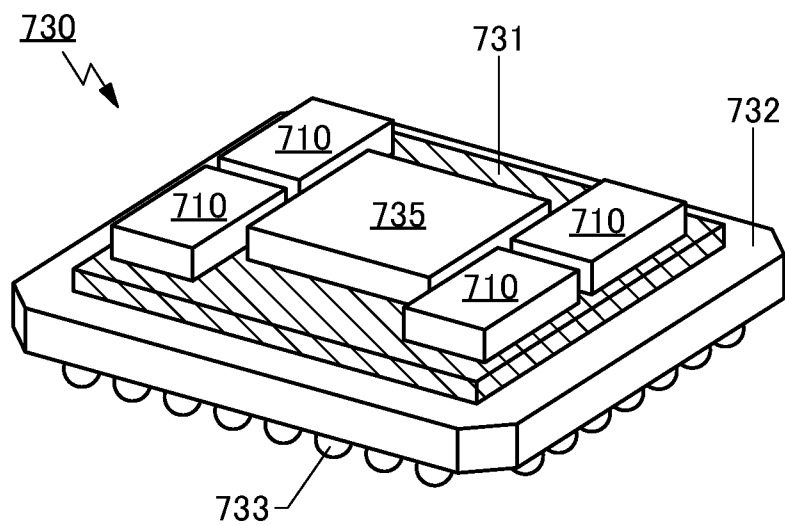


図31A

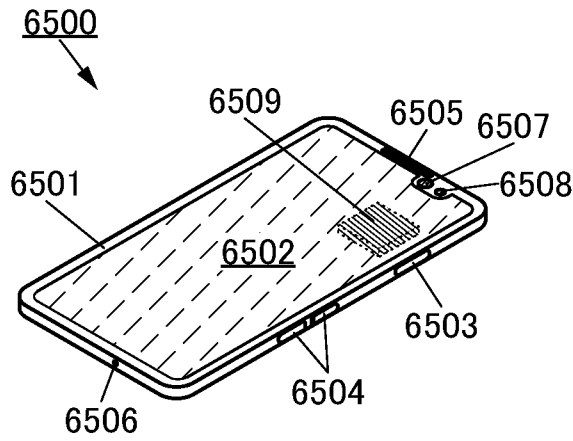


図31B

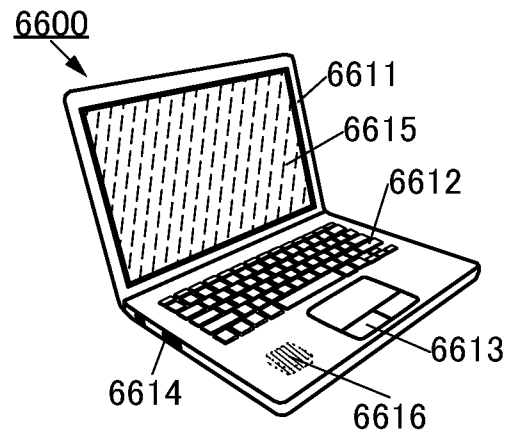


図31C

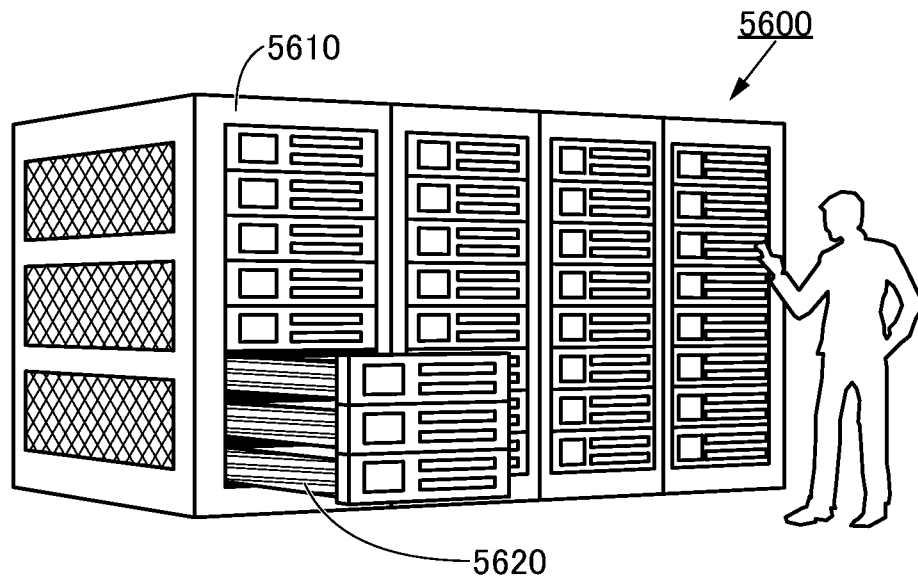


図31D

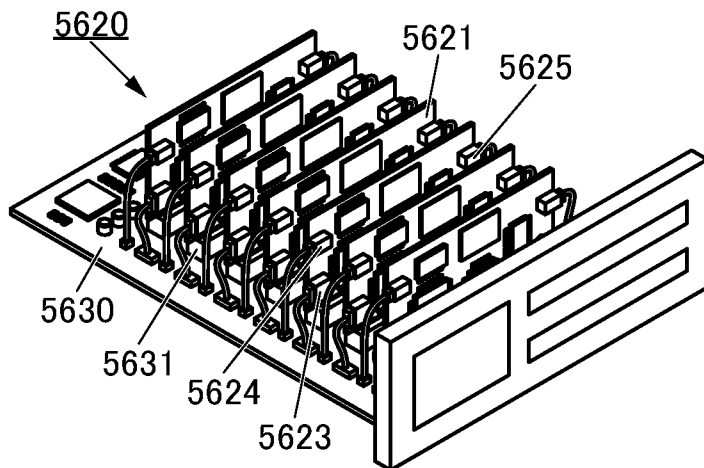
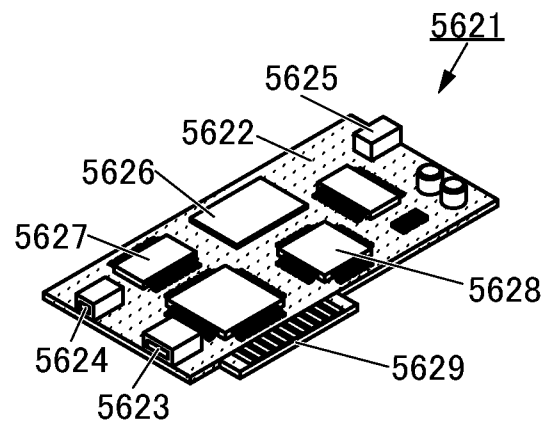
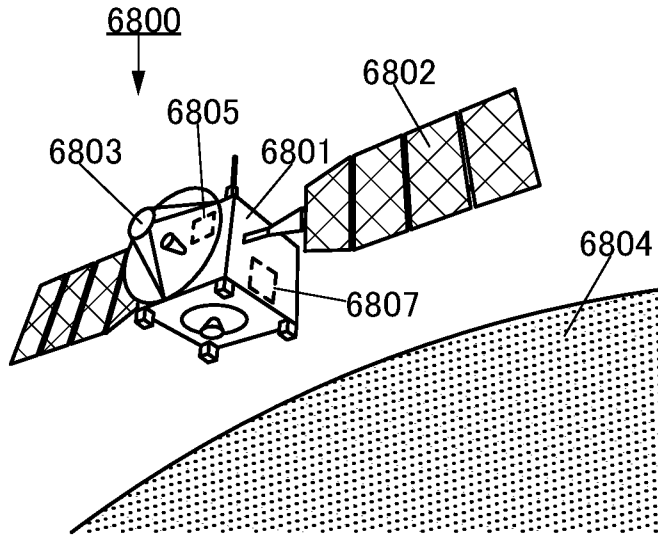
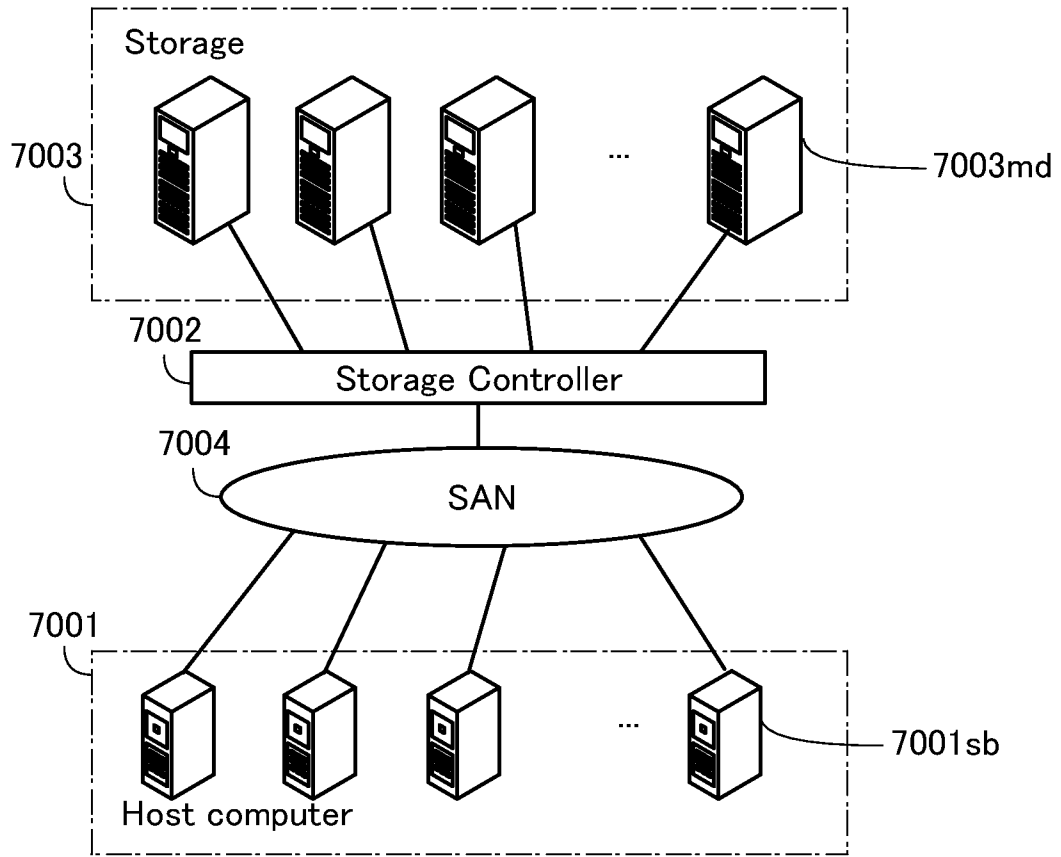


図31E





7000



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/059426

A. CLASSIFICATION OF SUBJECT MATTER		
<p>H10B 12/00(2023.01)i; H10B 41/70(2023.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 21/336(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H01L 29/786(2006.01)i</p> <p>FI: H10B12/00 671Z; H01L27/04 C; H01L27/06 102A; H01L27/088 B; H01L27/088 E; H01L27/088 H; H01L27/088 331E; H01L29/78 371; H01L29/78 613B; H01L29/78 618B; H10B12/00 621Z; H10B41/70</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H10B12/00; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L29/786; H01L29/788; H01L29/792; H10B41/70		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
<p>Published examined utility model applications of Japan 1922-1996</p> <p>Published unexamined utility model applications of Japan 1971-2023</p> <p>Registered utility model specifications of Japan 1996-2023</p> <p>Published registered utility model applications of Japan 1994-2023</p>		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-206841 A (SEMICONDUCTOR ENERGY LAB CO LTD) 27 December 2018 (2018-12-27) paragraphs [0070], [0074], [0192], [0206], [0413], [0419], fig. 1-52	1-9
A	JP 2013-165260 A (SEMICONDUCTOR ENERGY LAB CO LTD) 22 August 2013 (2013-08-22) paragraphs [0033], [0034], [0053], [0192], fig. 1-15	1-9
A	WO 2020/109923 A1 (SEMICONDUCTOR ENERGY LAB CO LTD) 04 June 2020 (2020-06-04) paragraph [0243], fig. 1-13	1-9
A	JP 2018-195814 A (SEMICONDUCTOR ENERGY LAB CO LTD) 06 December 2018 (2018-12-06) paragraphs [0410]-[0418], fig. 1-51	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search		Date of mailing of the international search report
07 December 2023		19 December 2023
Name and mailing address of the ISA/JP		Authorized officer
Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2023/059426

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2018-206841	A	27 December 2018	(Family: none)	
JP	2013-165260	A	22 August 2013	US 2013/0175530 A1 paragraphs [0049], [0050], [0068], [0206], fig. 1-15	
WO	2020/109923	A1	04 June 2020	US 2021/0408298 A1 paragraph [0254], fig. 1-13	
JP	2018-195814	A	06 December 2018	WO 2018/207048 A1 paragraphs [0410]-[0418], fig. 1-51	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H10B 12/00(2023.01)i; H10B 41/70(2023.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 21/336(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H01L 29/786(2006.01)i FI: H10B12/00 671Z; H01L27/04 C; H01L27/06 102A; H01L27/088 B; H01L27/088 E; H01L27/088 H; H01L27/088 331E; H01L29/78 371; H01L29/78 613B; H01L29/78 618B; H10B12/00 621Z; H10B41/70</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H10B12/00; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L29/786; H01L29/788; H01L29/792; H10B41/70</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2023年																
日本国実用新案登録公報	1996 - 2023年																
日本国登録実用新案公報	1994 - 2023年																
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2018-206841 A（株式会社半導体エネルギー研究所）27.12.2018（2018-12-27） 段落0070, 0074, 0192, 0206, 0413, 0419, 図1-52</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>JP 2013-165260 A（株式会社半導体エネルギー研究所）22.08.2013（2013-08-22） 段落0033, 0034, 0053, 0192, 図1-15</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>WO 2020/109923 A1（株式会社半導体エネルギー研究所）04.06.2020（2020-06-04） 段落0243, 図1-13</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>JP 2018-195814 A（株式会社半導体エネルギー研究所）06.12.2018（2018-12-06） 段落0410-0418, 図1-51</td> <td>1-9</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2018-206841 A（株式会社半導体エネルギー研究所）27.12.2018（2018-12-27） 段落0070, 0074, 0192, 0206, 0413, 0419, 図1-52	1-9	A	JP 2013-165260 A（株式会社半導体エネルギー研究所）22.08.2013（2013-08-22） 段落0033, 0034, 0053, 0192, 図1-15	1-9	A	WO 2020/109923 A1（株式会社半導体エネルギー研究所）04.06.2020（2020-06-04） 段落0243, 図1-13	1-9	A	JP 2018-195814 A（株式会社半導体エネルギー研究所）06.12.2018（2018-12-06） 段落0410-0418, 図1-51	1-9
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
A	JP 2018-206841 A（株式会社半導体エネルギー研究所）27.12.2018（2018-12-27） 段落0070, 0074, 0192, 0206, 0413, 0419, 図1-52	1-9															
A	JP 2013-165260 A（株式会社半導体エネルギー研究所）22.08.2013（2013-08-22） 段落0033, 0034, 0053, 0192, 図1-15	1-9															
A	WO 2020/109923 A1（株式会社半導体エネルギー研究所）04.06.2020（2020-06-04） 段落0243, 図1-13	1-9															
A	JP 2018-195814 A（株式会社半導体エネルギー研究所）06.12.2018（2018-12-06） 段落0410-0418, 図1-51	1-9															
<p>国際調査を完了した日</p> <p>07.12.2023</p>	<p>国際調査報告の発送日</p> <p>19.12.2023</p>																
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>小山 満 5F 9458</p> <p>電話番号 03-3581-1101 内線 3516</p>																

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/IB2023/059426

引用文献	公表日	パテントファミリー文献	公表日
JP 2018-206841 A	27.12.2018	(ファミリーなし)	
JP 2013-165260 A	22.08.2013	US 2013/0175530 A1 段落0049, 0050, 0068, 0206, 図1-15	
WO 2020/109923 A1	04.06.2020	US 2021/0408298 A1 段落0254, 図1-13	
JP 2018-195814 A	06.12.2018	WO 2018/207048 A1 段落0410-0418, 図1-51	