



[12] 发明专利说明书

专利号 ZL 99121537.0

[45] 授权公告日 2005 年 8 月 10 日

[11] 授权公告号 CN 1214531C

[22] 申请日 1999.10.15 [21] 申请号 99121537.0

[71] 专利权人 威盛电子股份有限公司

地址 台湾省新店市

[72] 发明人 黄金城 黄大修 廖元沧

审查员 杨蕊

[74] 专利代理机构 北京市柳沈律师事务所

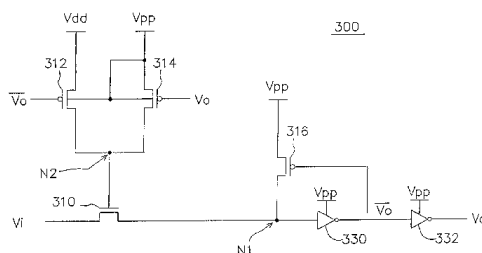
代理人 黄敏

权利要求书 3 页 说明书 8 页 附图 14 页

[54] 发明名称 使用栅极电压控制的单端输入电压电平转换器

[57] 摘要

一种使用栅极电压控制的单端输入的电压电平转换器，包括多个晶体管及反相器，用以将一输入信号转换成另一电压电平的输出信号，其中控制该输入信号的晶体管的栅极可在不同电压电平切换，以控制该输入信号的导通与否，如此可减少直流的消耗，而且此结构可以缩短切换时间，提升反应速度，并且减少耗电。



1. 一种使用栅极电压控制的单端输入电压电平转换器，用以将一第一信号转换为第二信号，该单端输入电压电平转换器包括：
- 5 一第一晶体管，其源极耦接至该第一信号；
- 一第一反相器，其输入端耦接至该第一晶体管的漏极，其输出端输出与该第二信号互补的第二互补信号；
- 一第二反相器，其输入端耦接至该第一反相器的输出端，其输出端输出该第二信号；
- 10 一第二晶体管，其源极耦接至一第一电源，其漏极耦接至该第一晶体管的栅极，其栅极接受该第二互补信号控制。
- 一第三晶体管，其源极耦接至一第二电源，其漏极耦接至该第一晶体管的栅极，其栅极接受该第二信号控制；以及
- 一第四晶体管，其源极耦接至该第一反相器的输入端，其漏极耦接至
- 15 该第二电源，其栅极耦接至该第一反相器的输出端。
2. 如权利要求 1 所述的使用栅极电压控制的单端输入电压电平转换器，其中该第一信号的振幅为 0V 至该第一电源之间。
3. 如权利要求 2 所述的使用栅极电压控制的单端输入电压电平转换器，其中该第二信号的振幅为 0V 至该第二电源之间。
- 20 4. 如权利要求 3 所述的使用栅极电压控制的单端输入电压电平转换器，其中该第一反相器及该第二反相器的电源是该第二电源。
5. 如权利要求 1 所述的使用栅极电压控制的单端输入电压电平转换器，其中该第一晶体管是一 NMOS FET。
6. 如权利要求 5 所述的使用栅极电压控制的单端输入电压电平转换器，
- 25 其中该第二晶体管、该第三晶体管、及该第四晶体管是一 PMOS FET。
7. 如权利要求 1 所述的使用栅极电压控制的单端输入电压电平转换器，其中该第四晶体管的驱动能力比电路中其他晶体管的驱动能力微弱。
8. 如权利要求 1 所述的使用栅极电压控制的单端输入电压电平转换器，其中还包括一第三反相器及一第四反相器，该第三反相器的输入端耦
- 30 接至该第一反相器的输入端，该第三反相器的输出端耦接至该第四反相器的输入端，该第三反相器的输出端输出与该第二互补信号相同的一信号，

该第四反相器的输出端输出与该第二信号相同的信号，用以驱动更多之负载。

9. 一种使用栅极电压控制的单端输入电压电平转换器，用以将一第一信号转换为第二信号，该单端输入电压电平转换器包括一第一电压电平转换器及一第二电压电平转换器，每一该电压电平转换器皆包括：

- 一第一晶体管；
- 一第一反相器，其输入端耦接至该第一晶体管的漏极；
- 一第二反相器，其输入端耦接至该第一反相器的输出端；
- 一第二晶体管，其漏极耦接至该第一晶体管的栅极，其栅极耦接至该第一反相器的输出端；
- 一第三晶体管，其漏极耦接至该第一晶体管的栅极，其栅极耦接至该第二反相器的输出端；以及
- 一第四晶体管，其漏极耦接至该第一反相器的输入端，其栅极耦接至该反相器的输出端，

15 其中，该第一电压电平转换器的该第一晶体管的源极耦接至该第一信号，该第一电压电平转换器的该第一反相器的输出端耦接至该第二电压电平转换器的该第一晶体管的源极，该第二电压电平转换器的该第一反相器的输出端输出该第二信号，该第一电压电平转换器的该第二晶体管的源极耦接至一第一电源，该第一电压电平转换器的该第三晶体管及该第四晶体管的源极耦接至一第二电源，该第二电压电平转换器的该第三晶体管及该第四晶体管的源极耦接至一第三电源，该第二电压电平转换器的该第二晶体管的源极耦接至该第二电源。

10. 如权利要求 9 所述的使用栅极电压控制的单端输入电压电平转换器，其中该第一信号的振幅为 0V 至该第一电源之间。

25 11. 如权利要求 10 所述的使用栅极电压控制的单端输入电压电平转换器，其中该第二信号的振幅为 0V 至该第二电源之间。

12. 如权利要求 11 所述的使用栅极电压控制的单端输入电压电平转换器，其中该第一电压电平转换器的该第一反相器及该第二反相器的电源是该第二电源。

30 13. 如权利要求 12 所述的使用栅极电压控制的单端输入电压电平转换器，其中该第二电压电平转换器的该第一反相器及该第二反相器的电源是

该第三电源。

14. 如权利要求 9 所述的使用栅极电压控制的单端输入电压电平转换器，其中该第一电压电平转换器及该第二电压电平转换器二者的该第一晶体管是一 NMOS FET。

- 5 15. 如权利要求 14 所述的使用栅极电压控制的单端输入电压电平转换器，其中该第一电压电平转换器的该第二电压电平转换器二者的该第二晶体管、该第三晶体管、及该第四晶体管是一 PMOS FET。

使用栅极电压控制的单端输入
电压电平转换器

5

本发明涉及一种集成电路(Integrated Circuit, 简称 IC)之间的信号电压电平转换器, 特别涉及一种使用栅极电压来控制的单端输入的电压电平转换器。

10 由于半导体制造工艺朝深次微米(deep sub-micron)技术进步以及市场上对于低功耗 IC 的需求益增, 使得 IC 内部的工作电压越来越低, 从以往的 5V 降至 3.3V 或 2.5V, 乃至最近已降至 1.8V。但是不同的 IC 之间的信号传递必须符合工业标准的汇流排规格, 所以输出/入缓冲器(input/output buffer)与 IC 外部连接的电压电平不能跟着 IC 内部的工作电压一起变小。

参照图 1, 其为两个 IC 间的信号传递的示意图。

15 如图所示, 假设 IC 110 与 IC 120 之间的数据传递的汇流排电压规格为 V_{pp} (例如 3.3V), 而 IC 110 中的核心电路(core)115 的工作电压为 V_{dd1} (例如 3.3V、2.5V、或更低之及 1.8V), IC 120 中之核心电路 125 之工作电压则为 V_{dd2} 。因为 IC 内部的工作电压与外部数据传递所用的电压电平不同, 因此在 IC 110 中的核心电路 115 与信号线 130 之间具有电压电平转换器 116 负责信号的电压电平转换, 将 IC 内部的低电压工作信号转换成高电压工作信号。同样的, 在 IC120 中的核心电路 125 与信号线 130 之间亦具有电压电平转换器 126 负责信号的电压电平转换。

参照图 2A, 其为一种公知的电压电平转换器。

25 如图所示, 公知的电压电平转换器 200 包括晶体管 211、212、221、与 222、及反相器 230。输入信号 V_i 及经反相器 230 输出的互补输入信号 $\overline{V_i}$ 分别耦接至晶体管 221 及 222 的栅极, 因此在同一时间内, 晶体管 221 及 222 之中只有一个会导通。另外晶体管 211 及 212 接成正回授的结构, 可使输出的高电压的输出信号 V_o 及互补输出信号 $\overline{V_o}$ 维持互补的状态。

30 参照图 2B, 其为公知的电压电平转换器 200 的输入信号 V_i 与互补输出信号 $\overline{V_o}$ 的波形。

首先，在时间 t_1 ，输入信号 V_i 为 V_{dd} (互补输入信号 V_i 为 $0V$)，此时将使晶体管 221 导通及晶体管 222 关闭。此电路在设计时，即将晶体管 221 及 222 的驱动能力设定为大于晶体管 211 及 212，所以当晶体管 221 在导通的稳态时，将使互补输出信号 V_o 维持在 $0V$ ，并使晶体管 212 导通。由于晶体管 222 关闭且晶体管 212 导通，所以使输出信号 V_o 维持在 V_{pp} ，并使晶体管 211 关闭。

当输入信号 V_i 由 V_{dd} 变为 $0V$ 时，互补输入信号 V_i 将变为 V_{dd} ，在刚开始切换时，晶体管 211 不导通，晶体管 221 由导通变为关闭，因此互补输出信号 V_o 维持在 $0V$ 。此时，晶体管 222 开始导通，因为互补输出信号 V_o 控制晶体管 212 的栅极，使晶体管 212 维持导通，因此在此瞬间，串联的晶体管 212 及 222 变成同时导通。但是因为晶体管 222 的驱动能力大于晶体管 212，并且此时晶体管 222 的漏极与源极之间的电压差比晶体管 212 的漏极与源极之间的电压差大，所以输出信号 V_o 的电位会由 V_{pp} 住下降，在此同时，也会使晶体管 211 逐渐导通，连带使互补输出信号 V_o 的电位往上升。互补输出信号 V_o 的电位上升亦将促使晶体管 212 关闭，使得输出信号 V_o 更容易下降。如此正向循环，最后使输出信号 V_o 稳定在 $0V$ 及互补输出信号 V_o 稳定在 V_{pp} ，如图中的时间 t_2 所示。

虽然公知的电压电平转换器可达到信号的电压电平转换的功能，但由以上的讨论可知道，在切换的过程中，串联的晶体管 211 与晶体管 221，或晶体管 212 与晶体管 222 会同时导通，并且在完全导通之后再依靠晶体管 221 的驱动能力大于晶体管 211，或晶体管 222 的驱动能力大于晶体管 212，把输出信号 V_o ，或互补输出信号 V_o 拉至最后的稳定电位，达到切换的目的。因为在切换的过程中，串联在电源与地线之间的两个晶体管会同时导通，使得切换时间变长，反应速度减慢，并且因为直流短路的效应而使耗电增加。

因此由以上之讨论，可知公知的电压电平转换器的切换过程由于串联的晶体管会同时导通，而使得切换时间变长，速度减慢，且较耗电。

因此本发明的主要目的就是在提供一种使用栅极电压来控制的单端输入的电压电平转换器，可缩短切换时间，提高反应速度，并且减少耗电。

为达到本发明的上述和其他目的，本发明提出一种使用栅极电压控制的单端输入电压电平转换器，用以将一第一信号转换为第二信号，该单

端输入电压电平转换器包括一第一晶体管、一第二晶体管、一第三晶体管、一第

四晶体管、一第一反相器、及一第二反相器。

其中该第一晶体管的源极耦接至该第一信号。

5 该第一反相器的输入端耦接至该第一晶体管的漏极，其输出端输出与该第二信号互补的第二互补信号，该第二互补信号并送至该第二反相器的输入端，该第二反相器的输出端输出该第二信号。

该第二晶体管的源极耦接至一第一电源，其漏极耦接至该第一晶体管的栅极，其栅极接受该第二互补信号控制。相对的，该第三晶体管的源极耦接至一第二电源，其漏极耦接至该第一晶体管的栅极，其栅极接受该第二信号控制。第二晶体管及第三晶体管的基极皆耦接至该第二电源。

10 该第四晶体管的漏极及源极分别耦接至该第一反相器的输入端及该第二电源，其栅极则耦接至该第一反相器的输出端。并且第四晶体管为驱动能力微弱的晶体管。

依照本发明的一较佳实施例，其中该第一信号的振幅为 0V 至该第一电源之间，而该第二信号的振幅为 0V 至该第二电源之间。因此该第一反相器及该第二反相器的电源是该第二电源。

15 其中该第一晶体管是一 NMOS FET，其他的第二晶体管、第三晶体管、及第四晶体管皆是一 PMOS FET。

为了提高驱动能力，还可包括一第三反相器及一第四反相器，该第三反相器的输入端耦接至该第一反相器的输入端，该第三反相器的输出端耦接至该第四反相器的输出，该第三反相器的输出端输出与该第二互补信号相同的一信号，该第四反相器的输出端输出与该第二信号相同的信号，用以驱动更多的负载。

也可将两极电压电平转换器串接起来，以提供电压差异较大的信号的转换。

25 为了让本发明的上述和其他目的、特征、和优点能更明显易懂，下文特举一较佳实施例，并配合附图，作详细说明如下。

图 1 是两个 IC 间的信号传递的示意图。

图 2A 是公知的电压电平转换器。

图 2B 是公知的电压电平转换器的输入信号与输出信号的波形。

30 图 3 是本发明的使用栅极电压控制的单端输入电压电平转换器的电路图。

图 4A ~ 图 4D 以及图 5A ~ 图 5D 是图 3 的电压电平转换器的输入信号、输出信号、及节点的电压波形。

图 6 是在图 3 的电压电平转换器加上额外的反相器来提供较大的驱动力。

5 图 7 是以两级图 3 的电压电平转换器串接成的双极电压电平转换器。

参照图 3，其为依照本发明一较佳实施例的一种使用栅极电压控制的单端输入电压电平转换器的电路图，此电压电平转换器可用来将输入信号 V_i 转换为输出信号 V_o ，其中输入信号 V_i 的振幅为 0V 至 V_{dd} 之间，而输出信号 V_o 的振幅为 0V 至 V_{pp} 之间。

10 如图所示，电压电平转换器 300 包括晶体管 310、312、314、与 316、以及反相器 330 与 332。其中晶体管 310 为 N 型金属氧化物半导体(N type Metal Oxide Semiconductor，简称 NMOS)场效晶体管(Field Effect Transistor，简称 FET)，而晶体管 312、314、及 316 都是 P 型金属氧化物半导体(P type Metal Oxide Semiconductor，简称 PMOS) FET。另外反相器 330 及 332 的电源皆为电源 V_{pp} 。

以下解释电压电平转换器 300 的运作原理。

使反相器 330 的输入端为节点 N1，而晶体管 310 的栅极为节点 N2。输出信号 V_o 变化会控制晶体管 312 及 314 而改变节点 N2 的电位，当输出信号 V_o 为 0V，互补输出信号 $\overline{V_o}$ 为 V_{pp} 时，将使晶体管 312 关闭，晶体管 314 20 导通，此时节点 N2 的电位为 V_{pp} ，相对的，当输出信号 V_o 为 V_{pp} ，互补输出信号 $\overline{V_o}$ 为 0V 时，将使晶体管 312 导通，晶体管 314 关闭，此时节点 N2 的电位为 V_{dd} 。

当输入信号 V_i 为 0V 时，不管节点 N2 的电位为 V_{pp} 或 V_{dd} ，都将使晶体管 310 导通，使节点 N1 的电位变成 0V，而反相器 330 输出的互补输出信号 $\overline{V_o}$ 则变为 V_{pp} ，反相器 332 输出的输出信号 V_o 变为 0V。由于互补输出信号 $\overline{V_o}$ 为 V_{pp} ，将使晶体管 316 关闭，因此节点 N1 的电位可维持在 0V，另外输出信号 V_o 及互补输出信号 $\overline{V_o}$ 的改变，亦将使晶体管 312 关闭，以及使晶体管 314 导通，使节点 N2 的电位为 V_{pp} 。

当输入信号 V_i 由 0V 上升至 V_{dd} 时，因为节点 N2 的电位为 V_{pp} ，而 V_{pp} 30 大于 V_{dd} ，所以节点 N1 的电位可以上升至接近 V_{dd} 的电位，使得反相器 330 输出端的互补输出信号 $\overline{V_o}$ 可以切换至 0V，而反相器 332 输出端的输出信

号 V_o 则切换为 V_{pp} 。由于输出信号 V_o 及互补输出信号 $\overline{V_o}$ 的变化, 使晶体管 312 导通, 以及晶体管 314 关闭, 而使节点 N2 的电位降至 V_{dd} 。此时晶体管 310 的栅极与源极的电位皆为 V_{dd} , 即栅极与源极间的电位差变为 $0V$, 而使晶体管 310 关闭。并且 $0V$ 的互补输出信号 $\overline{V_o}$ 会使晶体管 316 导通, 把节点 N1 的电位提升至 V_{pp} , 而晶体管 310 的源极与漏极间无直流电流的消耗。

反相器是 CMOS 数位电路中最基本的元件, 而且其时间延迟最小, 速度最快, 本发明的电压电平转换器由反相器的优点来实现高速的电压电平转换电路。并且此电路经由适当地安排反相器, 可以消除直流电流。因此设计出的电压电平转换器可达到低耗电高速度的目的, 并且不需如公知的电压电平转换器要仔细调整晶体管之间的驱动能力的比例才可达到最佳的功能。

另外, 在本发明的电压电平转换器亦不需经由额外的反相器来提供互补输入信号 $\overline{V_i}$, 并且在本发明的电压电平转换器的反相器输出的互补输出信号 $\overline{V_o}$ 可以直接当输出用。

再者, 公知的电压电平转换器的晶体管的栅极电压都是以固定电压控制, 而本发明的电压电平转换器中的控制输入信号的晶体管的栅极电压是采用可变化的方式, 可提升切换速度。

以下为本发明的电压电平转换器的运作时的波形变化。参照图 4A ~ 图 4D 以及图 5A ~ 图 5D, 其为电压电平转换器 300 的输入信号 V_i 、输出信号 V_o 、及节点的电压波形。

其中图 4A ~ 图 4D 的 V_{dd} 为 $3.0V$ 及 V_{pp} 为 $5.0V$ 。如图 4A 所示为输入信号 V_i 由低电位变为高电位时的波形, 当输入信号 V_i 由 $0V$ 上升至 $3.0V$ 后, 互补输出信号 $\overline{V_o}$ 先由 $5V$ 下降至 $0V$, 而输出信号 V_o 在稍延后一短暂时间, 亦由 $0V$ 上升至 $5V$ 。如图 4B 所示为输入信号 V_i 由高电位变为低电位时的波形, 当输入信号 V_i 由 $3.0V$ 下降至 $0V$ 后, 互补输出信号 $\overline{V_o}$ 先由 $0V$ 上升至 $5V$, 而输出信号 V_o 在稍延后一短暂时间, 亦由 $5V$ 下降至 $0V$ 。由图中的波形可知道输出信号不论是上升时间或下降时间都在 $0.5NS(10^{-9}$ 秒) 之内, 而公知的电压电平转换器的上升时间, 或下降时间则超过 $1NS$ 。图 4C 为输入信号 V_i 由 $0V$ 上升至 $3.0V$ 时, 节点 N1 的电位由 $0V$ 上升至 $5.0V$ 以及节点 N2 的电位由 $5.0V$ 下降至 $3.0V$ 的波形。相对的, 图 4D 为输入信号 V_i 由 $3.0V$ 下降至 $0V$ 时, 节点 N1 的电位由 $5.0V$ 下降至 $0V$ 以及节点 N2 的

电位由 3.0V 上升至 5.0V 的波形。

其中图 5A ~ 图 5D 的 V_{dd} 为 2.5V 及 V_{pp} 为 3.3V。如图 5A 所示，当输入信号 V_i 由 0V 上升至 2.5V 后，互补输出信号 $\overline{V_o}$ 先由 3.3V 下降至 0V，而输出信号 V_o 在稍延后一短暂时间，亦由 0V 上升至 3.3V。如图 5B 所示，当输入信号 V_i 由 2.5V 下降至 0V 后，互补输出信号 $\overline{V_o}$ 先由 0V 上升至 3.3V，而输出信号 V_o 在稍延后一短暂时间，亦由 3.3V 下降至 0V。由图中的波形可知道输出信号不论是上升时间或下降时间都在 0.3NS ($1\text{NS}=10^{-9}$ 秒) 之内。图 5C 为输入信号 V_i 由 0V 上升至 2.5V 时，节点 N1 的电位由 0V 上升至 3.3V 以及节点 N2 的电位由 3.3V 下降至 2.5V 的波形。相对的，图 5D 为输入信号 V_i 由 2.5V 下降至 0V 时，节点 N1 的电位由 3.3V 下降至 0V 以及节点 N2 的电位由 2.5V 上升至 3.3V 的波形。

由以上的波形可知本发明的电压电平转换器的输出信号的反应时间都可低于 0.5NS ，而公知的电压电平转换器的反应时间则会超过 1NS ，因此本发明的电压电平转换器比公知的电压电平转换器具有更快的反应速度。

参照图 6，其为加上额外的反相器以提供较大的驱动能力。

如图所示，为了提供较大的驱动能力以驱动更多或较大的负载，在原有的电压电平转换器 300 的电路中加入额外的反相器 630 及 632，其中反相器 630 输出端所输出的信号 V_{o1} 和互补输出信号 $\overline{V_o}$ 是相同的，可用来驱动负载 640，而反相器 632 输出端所输出的信号 V_{o1} 则和输出信号 V_o 相同，可用来驱动负载 642。经由此电路的额外加入的反相器 630 及 632，使其具有较大的驱动能力，但不会影响回授电路的速度，可以维持电压电平转换器 300 的反应速度。

当输入信号 V_i 与输出信号 V_o 的振幅相差太大时，即 $V_{dd} \ll V_{pp}$ ，可使用如图 7 所示的双级结构的双级电压电平转换器 700 来进行信号转换，以使延迟时间可以达到最佳化。

如图所示，双级电压电平转换器 700 是由第一级电压电平转换器 710 及第二级电压电平转换器 720 串接而成。其中输入信号 V_i 送至第一级电压电平转换器 710，第一级电压电平转换器 710 输出的互补输出信号 $\overline{V_{o1}}$ 则当成第二级电压电平转换器 720 的输入信号 V_{i2} ，最后由第二级电压电平转换器 720 输出所需电压电平的输出信号 V_{o2} 及 $\overline{V_{o2}}$ 。其中输入信号 V_i 的振幅为 0 至 V_{dd} ，输出信号 $V_{o1}(\overline{V_{o1}})$ 的振幅为 0 至 V_{dd2} ，最后输出的输出信号 $V_{o2}(\overline{V_{o2}})$

的振幅为 0 至 V_{pp} 。

- 从以上的讨论，可知本发明的使用栅极电压控制的单端输入电压电平转换器与公知作法比较，具有下列优点，可以缩短切换时间，提升反应速度，并且减少耗电。并且可以很容易地加上额外的反相器以驱动更多的负载，也
- 5 可以用串接的两极电压电平转换器来提供较大电压差异的信号的转换，使延迟时间可以达到最佳化。

虽然本发明已以一较佳实施例揭露如上，然其并非用以限定本发明，任何本领域的技术人员，在不脱离本发明的精神和范围内，当可作少许的更动与润饰，因此本发明的保护范围应当以权利要求书所界定范围为准。

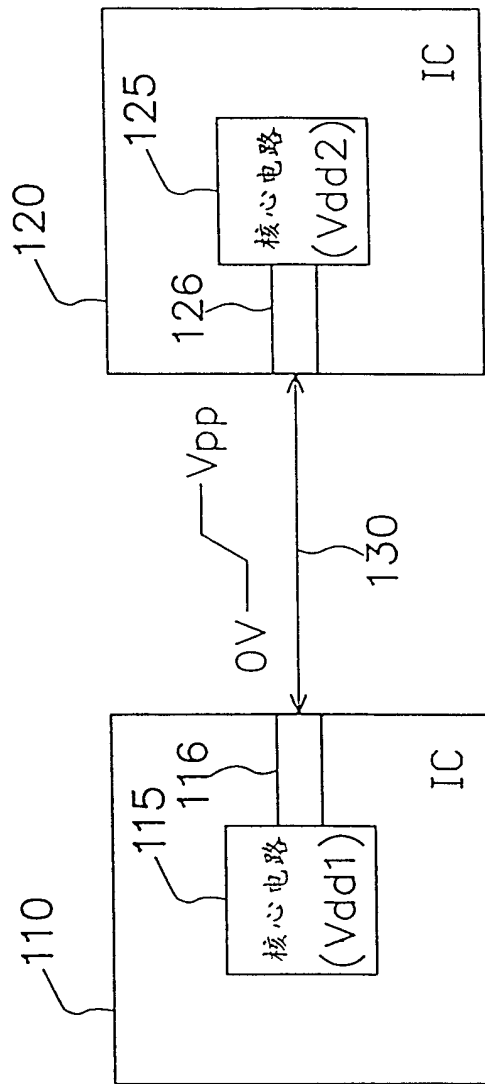


图 1

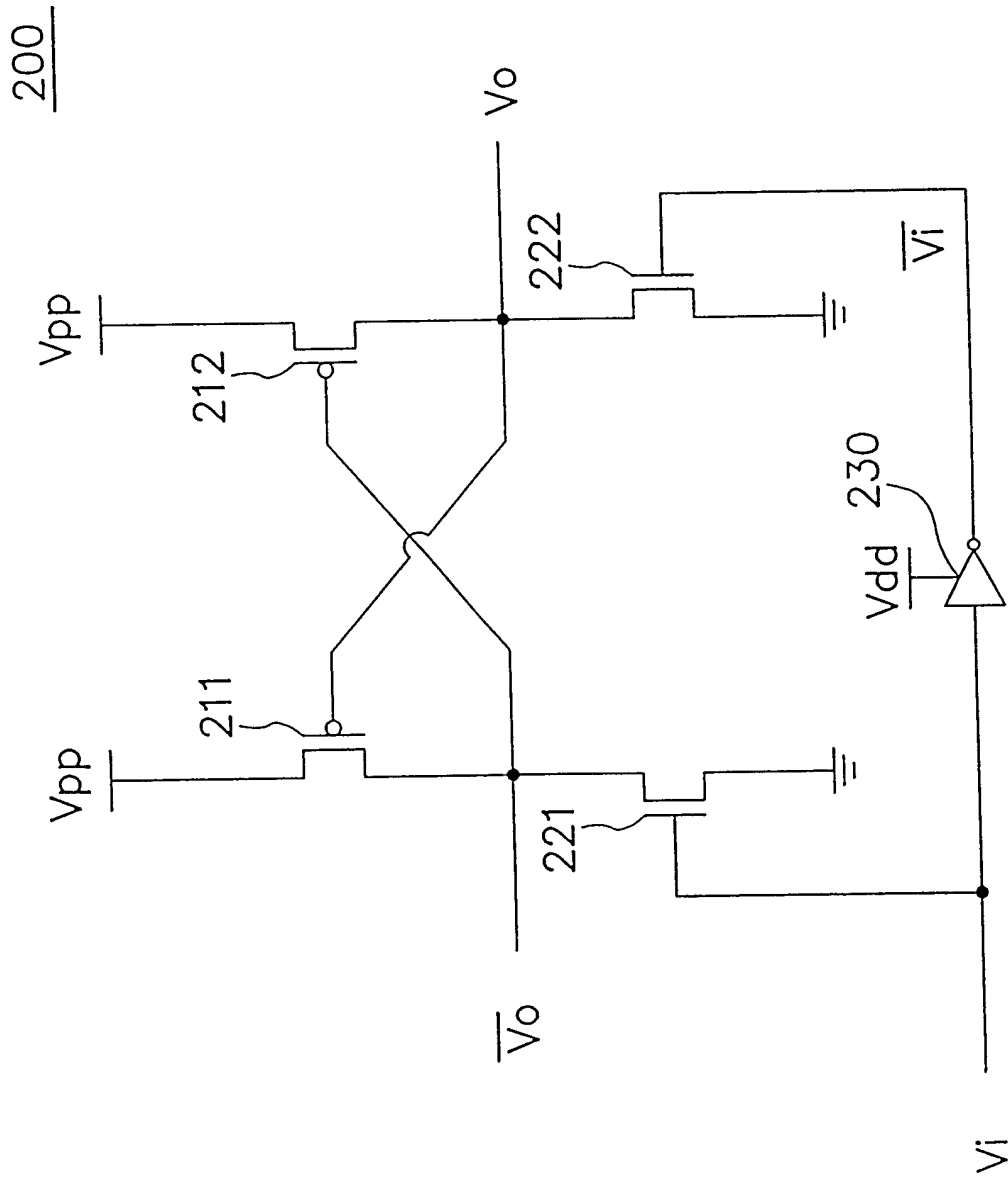


图 2A

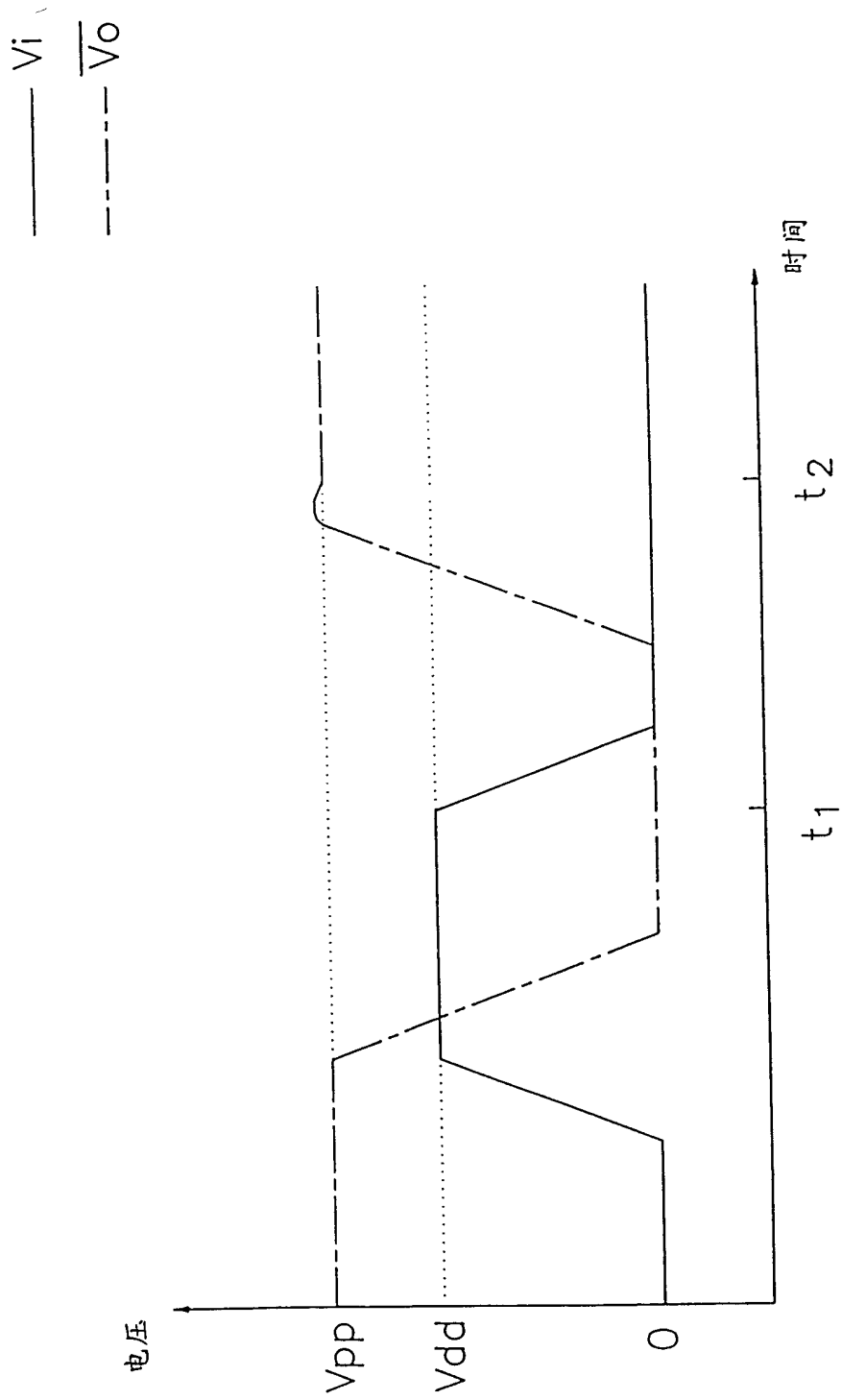


图 2B

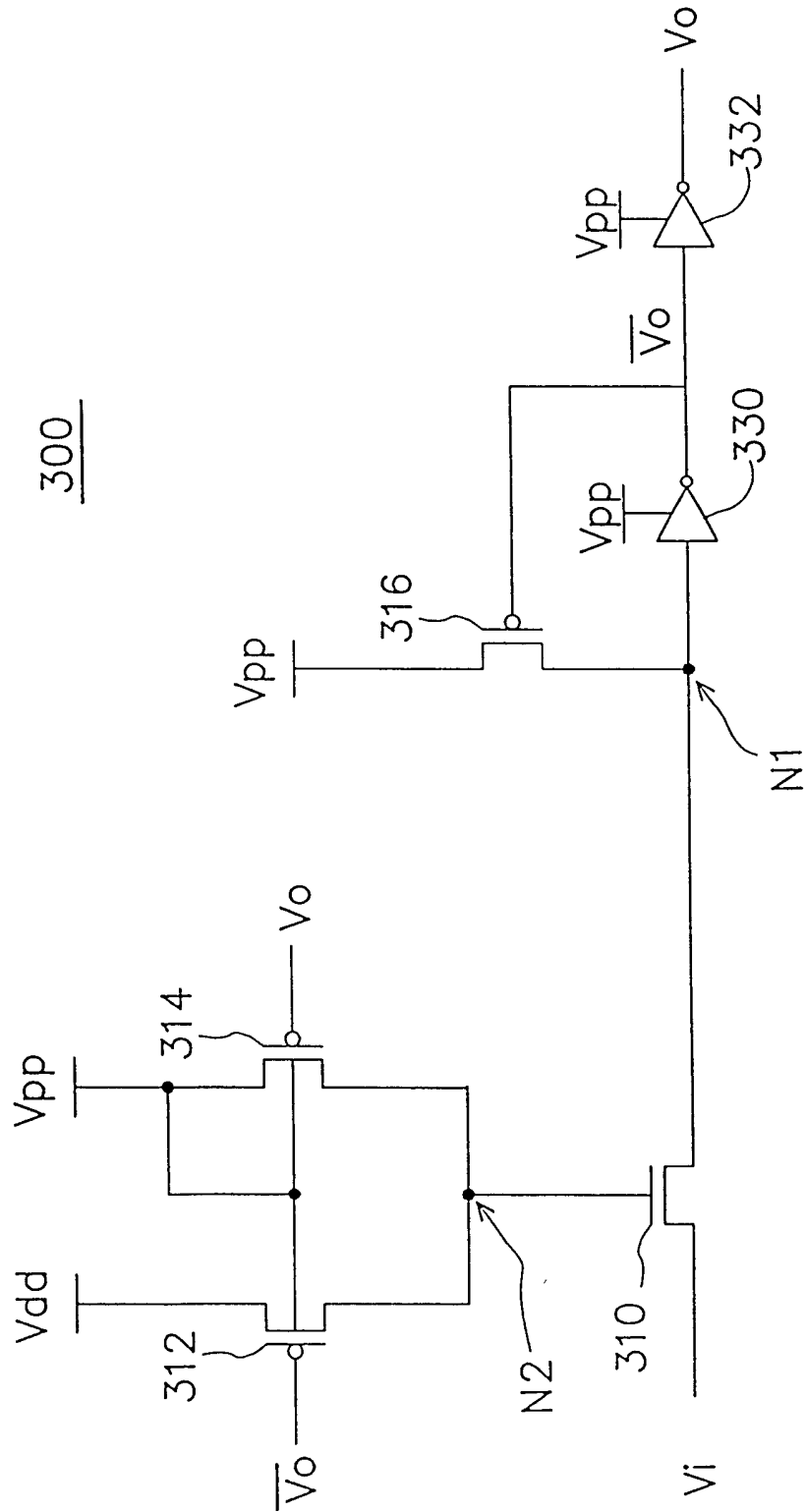


图 3

—— V_i
- - - V_o
- - - $\overline{V_o}$

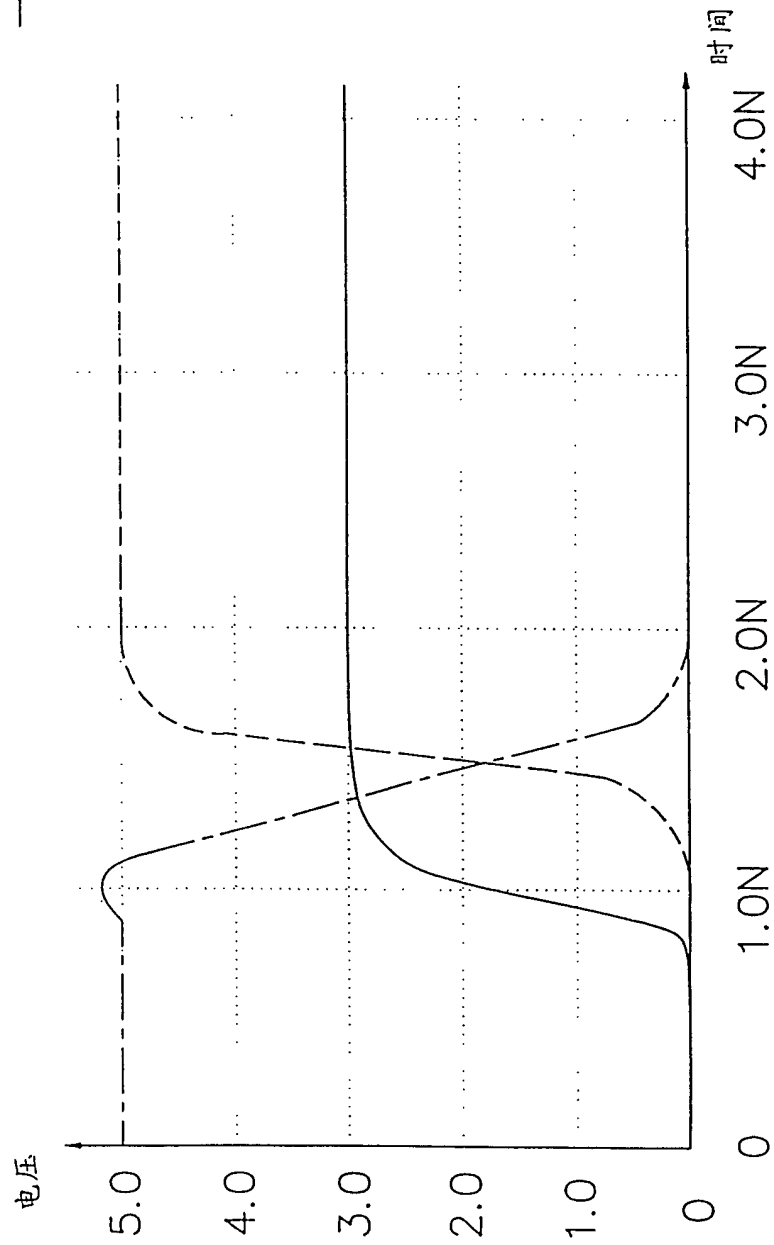


图 4A

—— V_i
- - - V_o
- - - $\overline{V_o}$

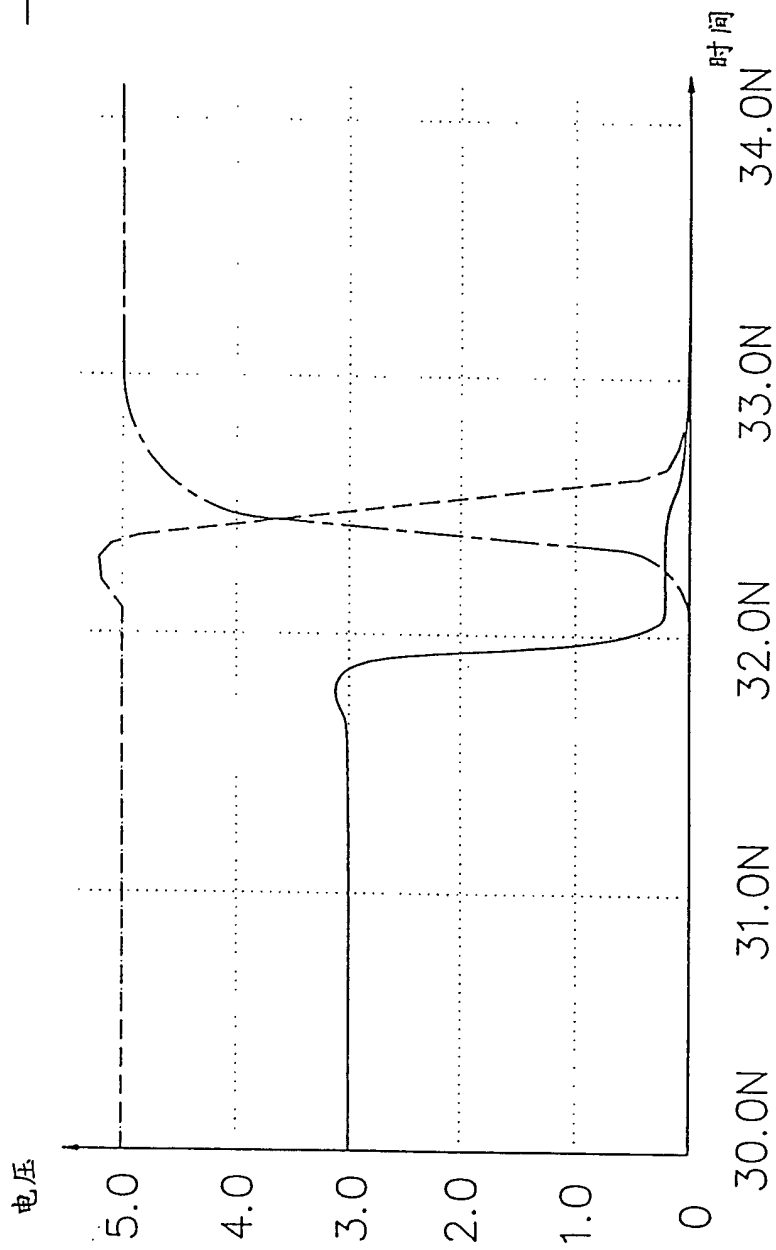


图 4B

—— V_i
- - - V_{N1}
- - - V_{N2}

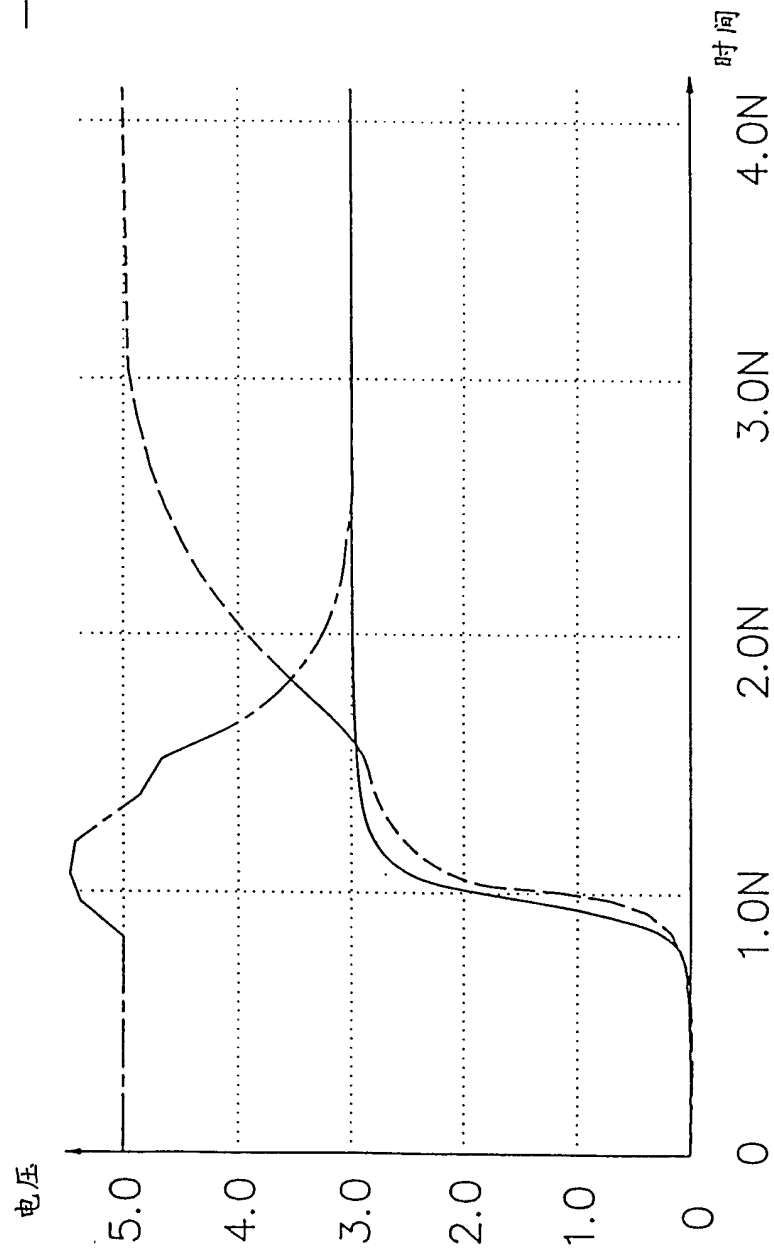


图 4C

— Vi
--- VN1
--- VN2

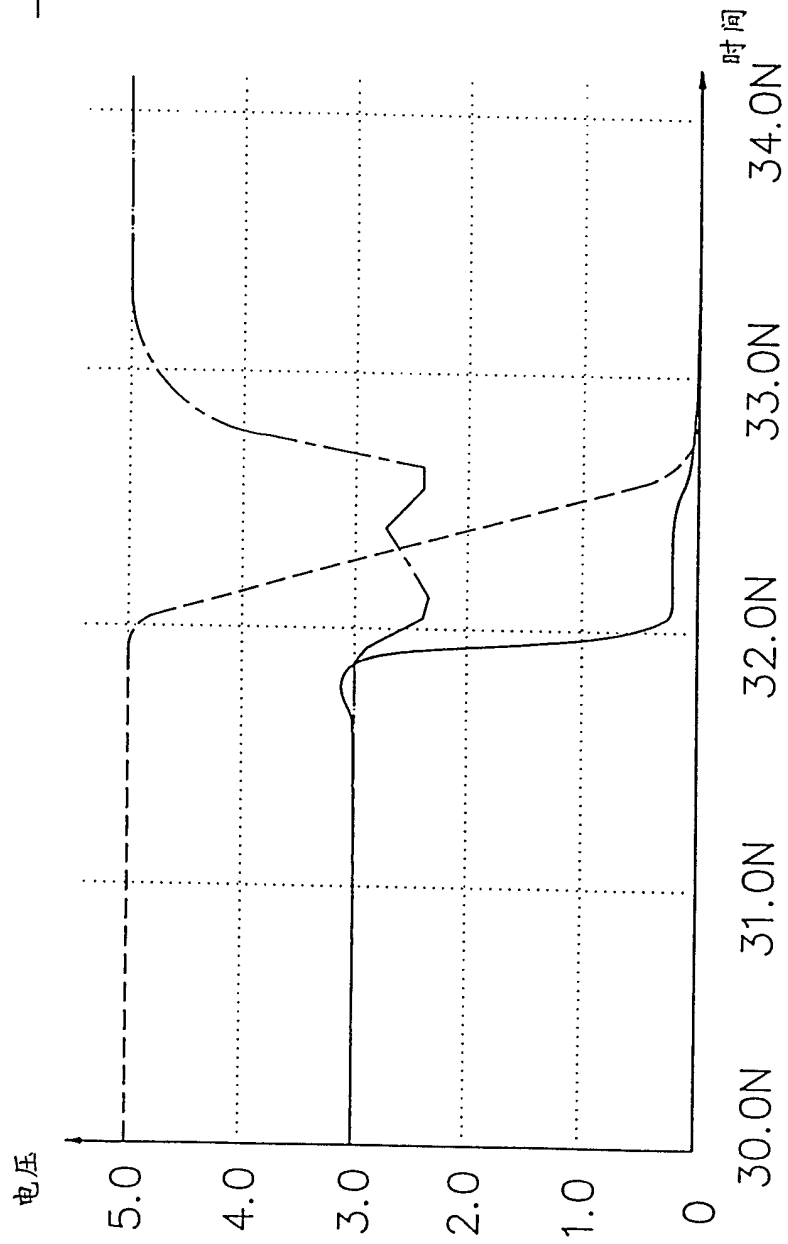


图 4D

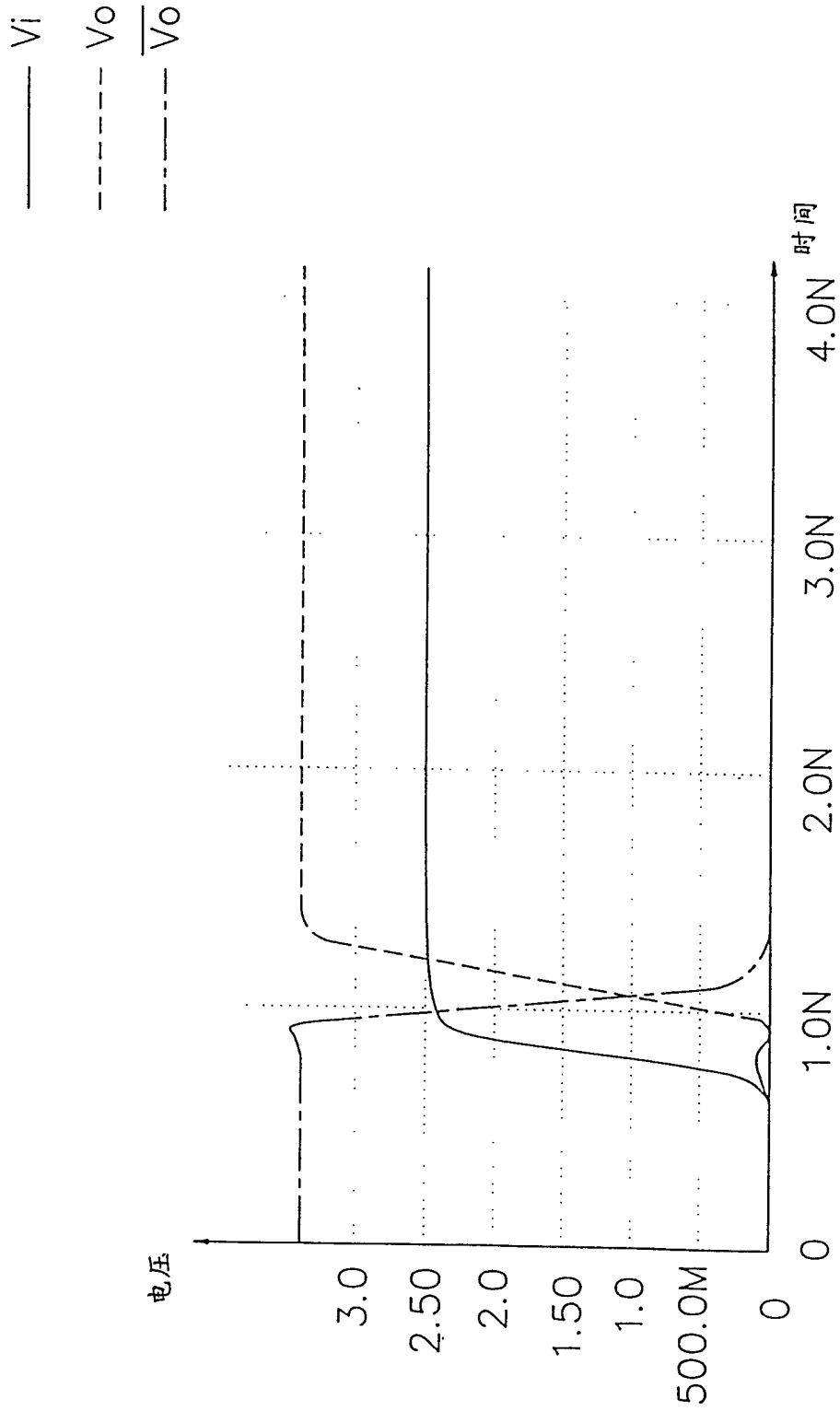


图 5A

—— V_i
- - - V_o
- · - $\overline{V_o}$

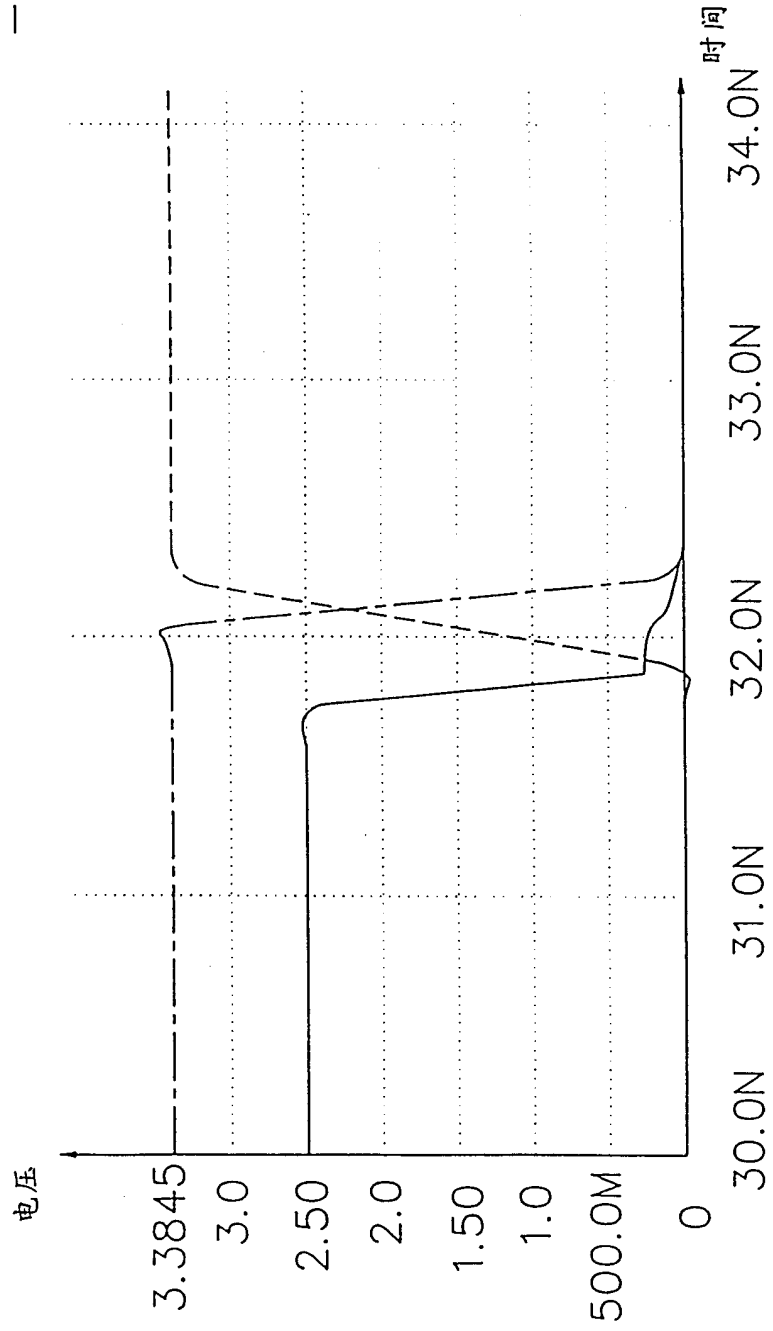


图 5B

—— Vi
- - - VN1
- - - VN2

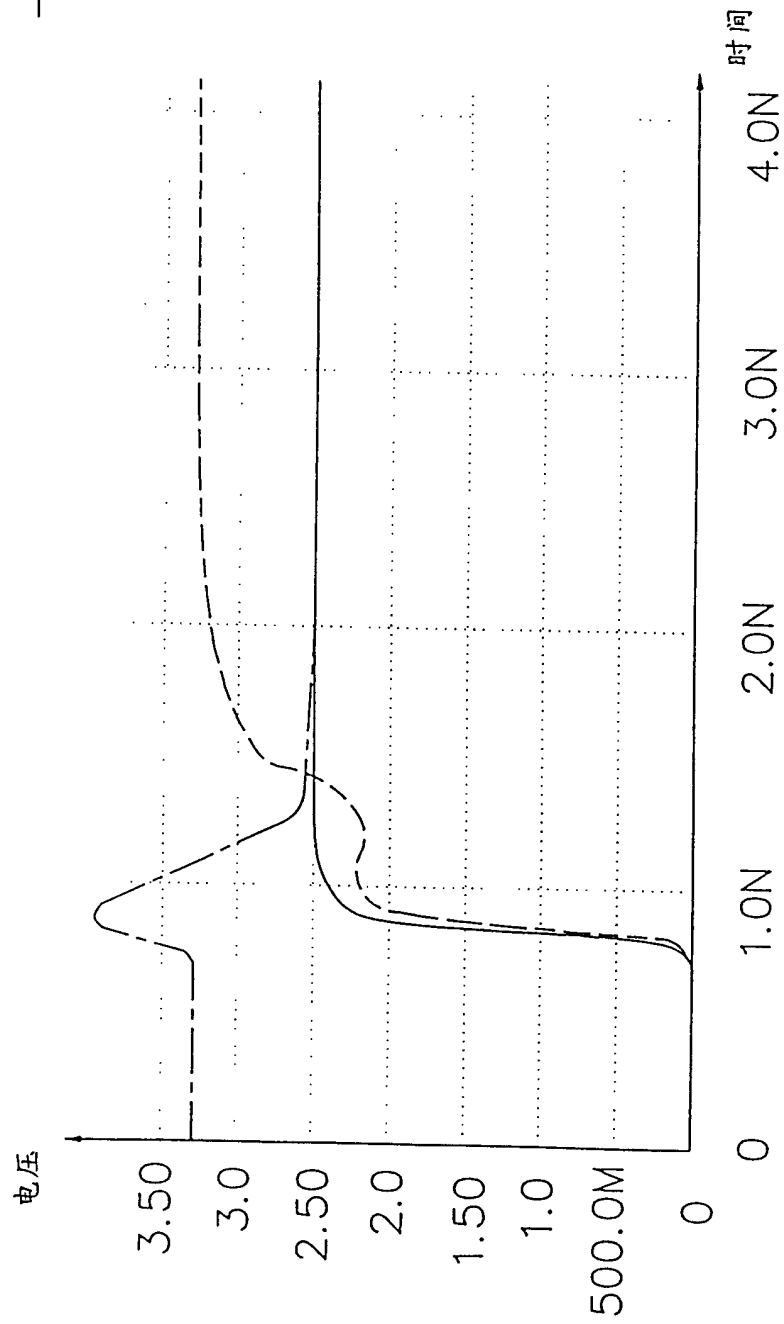


图 5C

— Vi
- - - VN1
- - - VN2

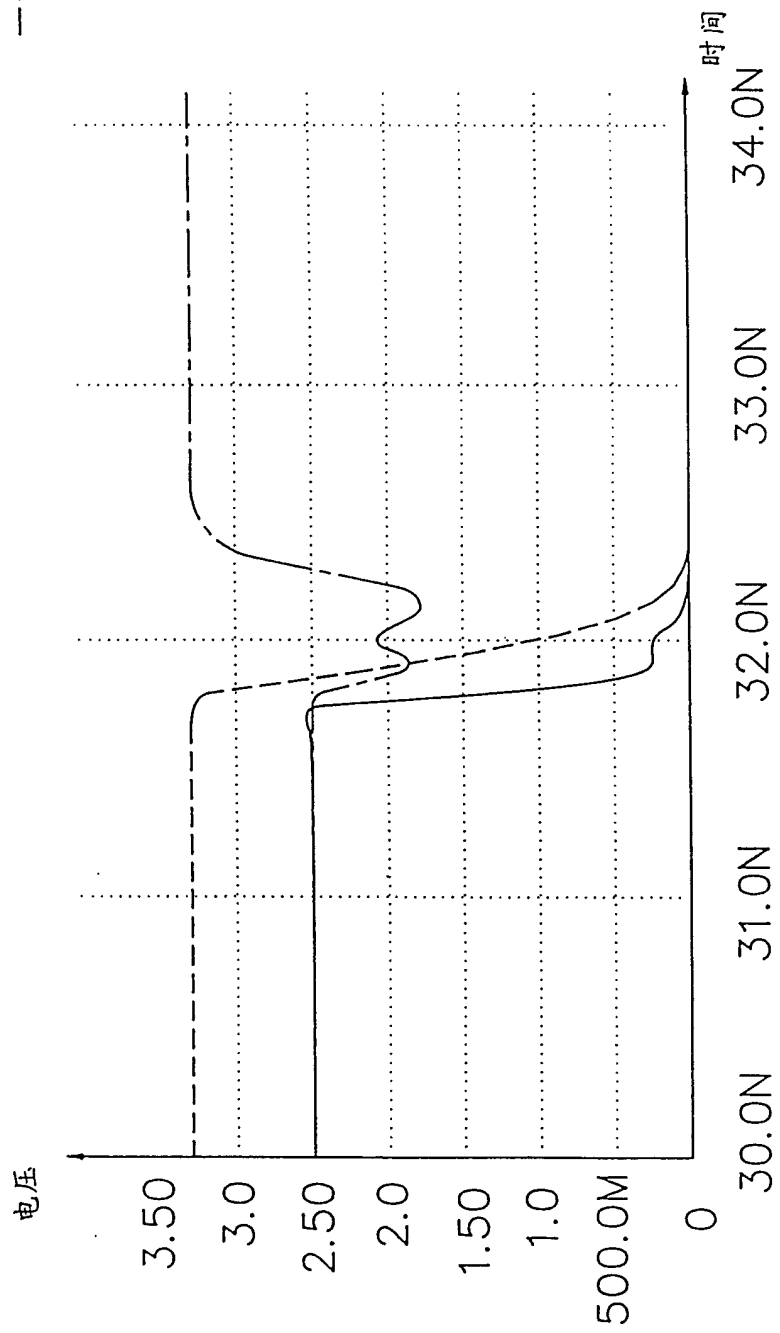


图 5D

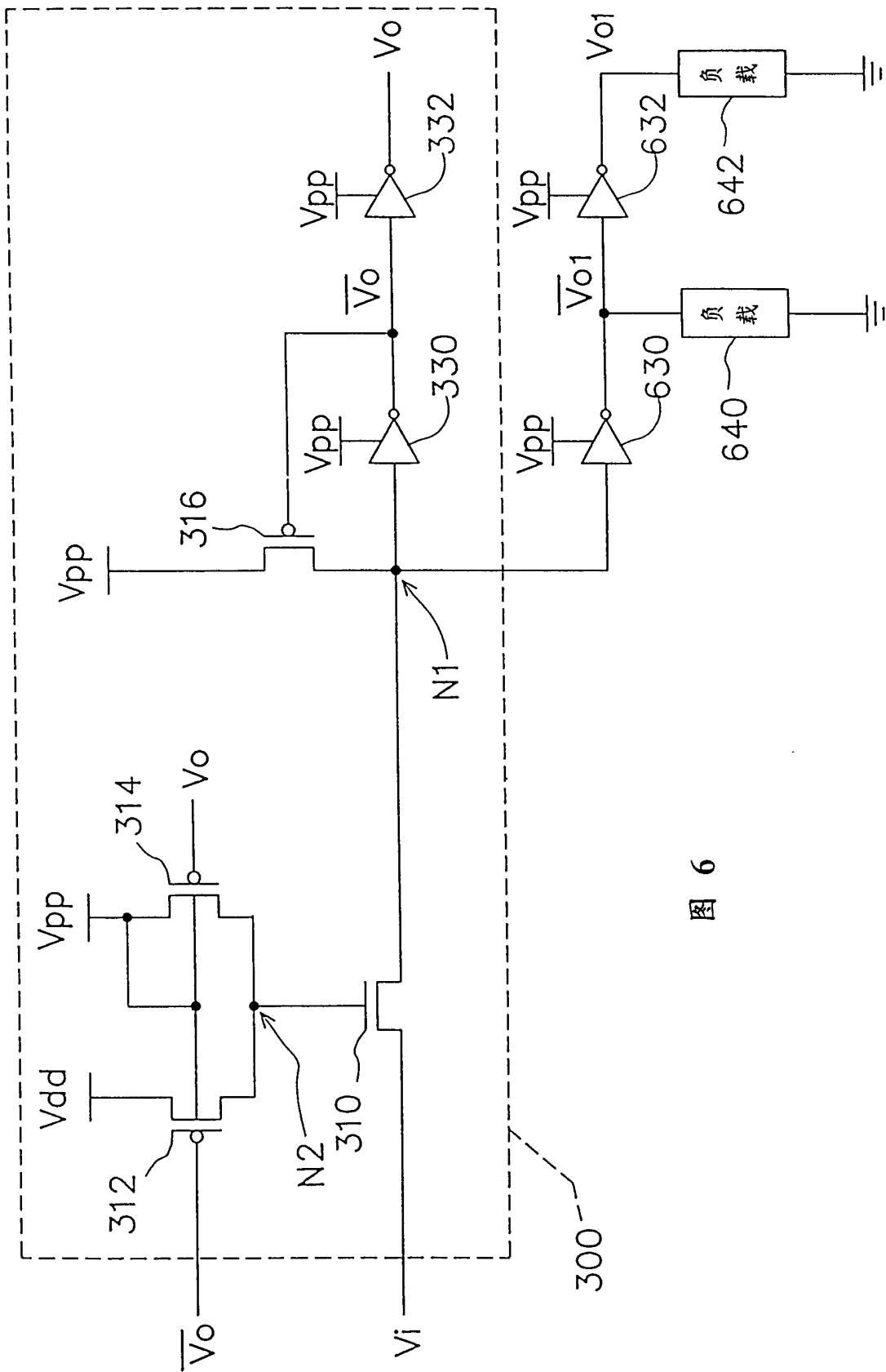


图 6

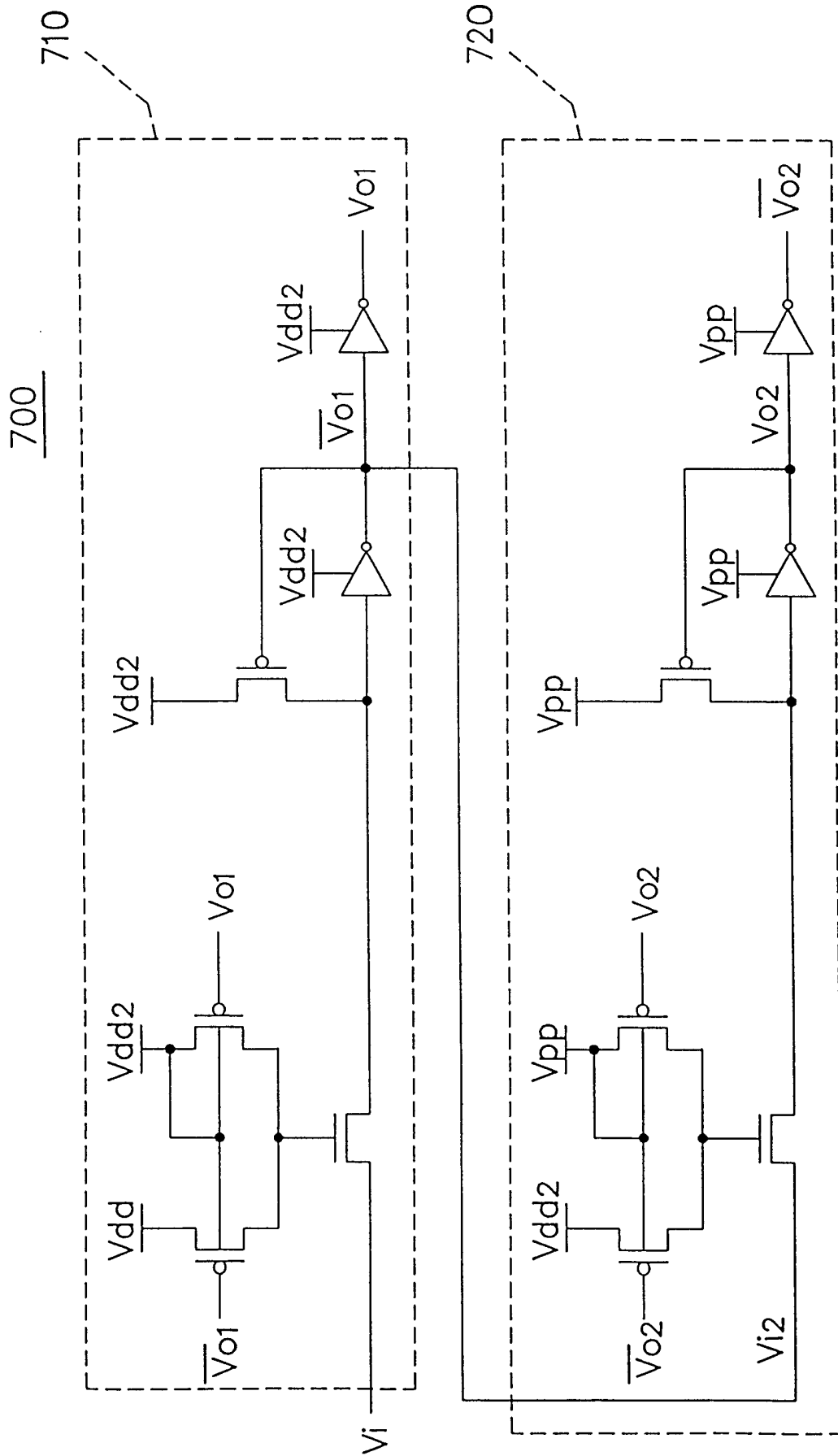


图 7