



(12)发明专利申请

(10)申请公布号 CN 108155145 A

(43)申请公布日 2018.06.12

(21)申请号 201611099583.3

(22)申请日 2016.12.02

(71)申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

申请人 中芯国际集成电路制造(北京)有限公司

(72)发明人 武咏琴 孙武

(74)专利代理机构 北京市磐华律师事务所
11336

代理人 董巍 高伟

(51) Int. Cl.

H01L 21/768(2006.01)

H01L 23/538(2006.01)

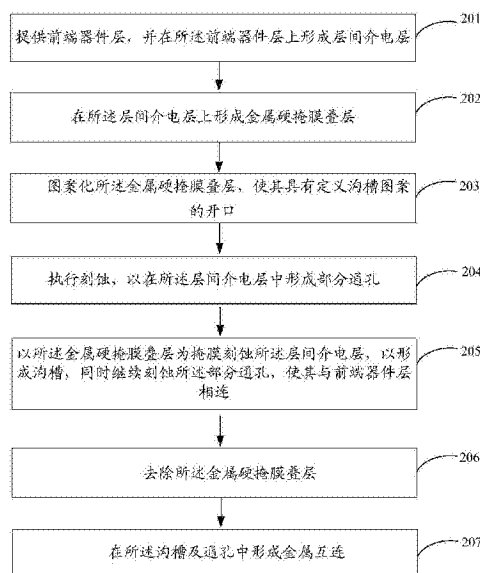
权利要求书1页 说明书7页 附图7页

(54)发明名称

一种半导体器件及其制造方法

(57)摘要

本发明提供一种半导体器件及其制造方法,所述制造方法包括:提供前端器件层,并在所述前端器件层上形成层间介电层;在所述层间介电层上形成金属硬掩膜叠层;图案化所述金属硬掩膜叠层,使其具有定义沟槽图案的开口;执行刻蚀,以在所述层间介电层中形成部分通孔;以所述金属硬掩膜叠层为掩膜刻蚀所述层间介电层,以形成沟槽,同时继续刻蚀所述部分通孔,使其与前端器件层相连;去除所述金属硬掩膜叠层;在所述沟槽及通孔中形成金属互连。与现有工艺相比,本发明提出的半导体器件的制造方法,降低了金属硬掩膜层中的应力,并且铜籽晶层不易在沟槽或通孔开口处形成突悬,因而在沟槽或通孔中填充铜的过程中不易形成空隙,提高了器件的性能。



1. 一种半导体器件的制造方法,其特征在于,包括:
提供前端器件层,并在所述前端器件层上形成层间介电层;
在所述层间介电层上形成金属硬掩膜叠层;
图案化所述金属硬掩膜叠层,使其具有定义沟槽图案的开口;
执行刻蚀,以在所述层间介电层中形成部分通孔;
以所述金属硬掩膜叠层为掩膜刻蚀所述层间介电层,以形成沟槽,同时继续刻蚀所述部分通孔,使其与前端器件层相连;
去除所述金属硬掩膜叠层;
在所述沟槽及通孔中形成金属互连。
2. 根据权利要求1所述的方法,其特征在于,所述金属硬掩膜叠层为双层结构。
3. 根据权利要求2所述的方法,其特征在于,所述金属硬掩膜叠层包括TiN层及形成于所述TiN层上的Ti层。
4. 根据权利要求3所述的方法,其特征在于,所述TiN层与所述Ti层的厚度比为0.5-2。
5. 根据权利要求1所述的方法,其特征在于,所述层间介电层为低K介电层或超低K介电层。
6. 根据权利要求3所述的方法,其特征在于,使用H₂O₂溶液移除所述硬掩膜叠层。
7. 根据权利要求6所述的方法,其特征在于,所述H₂O₂溶液的浓度为3%~15%。
8. 根据权利要求3所述的方法,其特征在于,使用HF或H₂SO₄溶液移除所述硬掩膜叠层。
9. 根据权利要求1所述的方法,其特征在于,图案化所述金属硬掩膜叠层的步骤包括:
在所述金属硬掩膜叠层上形成具有沟槽图案的第一掩膜层;
以所述第一掩膜层为掩膜刻蚀所述金属硬掩膜叠层;
移除所述第一掩膜层。
10. 根据权利要求9所述的方法,其特征在于,所述第一掩膜层包括依次形成的ODL层、Si抗反射层及具有沟槽图案的光刻胶层。
11. 根据权利要求1所述的方法,其特征在于,在所述层间介电层中形成部分通孔的步骤包括:
在所述金属硬掩膜叠层上形成具有通孔图案的第二掩膜层;
以所述第二掩膜层为掩膜,依次刻蚀所述金属硬掩膜叠层及所述层间介电层,以在所述层间介电层中形成部分通孔;
移除所述第二掩膜层。
12. 根据权利要求11所述的方法,其特征在于,所述第二掩膜层包括依次形成的ODL层、Si抗反射层及具有通孔图案的光刻胶层。
13. 一种半导体器件,其特征在于,其采用权利要求1-12之一所述的方法制造。

一种半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体制造工艺,具体而言涉及一种半导体器件及其制造方法。

背景技术

[0002] 半导体集成电路技术的发展对互连技术提出了新的需求,互连集成技术在近期和远期发展中将面临一系列技术和物理限制的挑战。随着半导体器件尺寸的不断收缩,互连结构也变得越来越窄,从而导致了越来越高的互连电阻。铜借助其优异的导电性,现已成为集成电路技术领域互连集成技术的解决方案之一,铜互连技术已广泛应用于90nm及65nm技术节点的工艺中。

[0003] 传统的集成电路的金属连线是以金属层的刻蚀方式来制造金属导线的,然后进行介电层的填充、介电层的化学机械抛光,重复上述工序,进而成功进行多层金属叠加。但是由于铜的干法刻蚀较为困难,刻蚀的残留物无法抽吸,所以必须采用新的镶嵌技术大马士革工艺完成铜线互连。大马士革工艺是首先在介电层上刻蚀金属导线槽,然后填充金属,再对金属进行机械抛光,重复上述工序,进而进行多层金属叠加。大马士革结构一般有两种,单大马士革结构和双大马士革结构。执行双大马士革工艺时通常采用一体化刻蚀(AIO, All-in-one Etch)工艺,将通孔以及金属导线结合在一起,如此只需要一步金属填充。双大马士革工艺的一种实现方法为先沟槽金属硬掩膜双大马士革工艺(Trench First Metal Hard Mask, TFMHM),其中通常使用低k材料和超低k材料作为隔离金属铜的中间介电层,从而降低金属连线之间可能会发生不利的相互作用或串扰,同时有效降低互连的电阻电容(RC)延迟。在20nm及以下技术节点中,广泛使用多孔材料以降低材料k值。然而,多孔性会导致材料的机械强度偏低。在AIO刻蚀过程中,金属硬掩膜中的残余应力很容易使下方的低k材料发生变形,并影响后续的金属填充。此外,金属硬掩膜层容易引起铜种子层在沟槽侧壁上产生悬突,使沟槽内填充的金属层中形成空隙。

[0004] 因此,为解决现有技术中的上述技术问题,有必要提出一种新的半导体器件的制造方法。

发明内容

[0005] 针对现有技术的不足,本发明提供一种新型的半导体器件,包括:

[0006] 提供前端器件层,并在所述前端器件层上形成层间介电层;

[0007] 在所述层间介电层上形成金属硬掩膜叠层;

[0008] 图案化所述金属硬掩膜叠层,使其具有定义沟槽图案的开口;

[0009] 执行刻蚀,以在所述层间介电层中形成部分通孔;

[0010] 以所述金属硬掩膜叠层为掩膜刻蚀所述层间介电层,以形成沟槽,同时继续刻蚀所述部分通孔,使其与前端器件层相连;

[0011] 去除所述金属硬掩膜叠层;

[0012] 在所述沟槽及通孔中形成金属互连。

- [0013] 示例性地,所述金属硬掩膜叠层为双层结构。
- [0014] 示例性地,所述金属硬掩膜叠层包括TiN层及形成于所述TiN层上的Ti层。
- [0015] 示例性地,所述TiN层与所述Ti层的厚度比为0.5-2。
- [0016] 示例性地,所述层间介电层为低K介电层或超低K介电层。
- [0017] 示例性地,使用H₂O₂溶液移除所述硬掩膜叠层。
- [0018] 示例性地,所述H₂O₂溶液的浓度为3%~15%。
- [0019] 示例性地,使用HF或H₂SO₄溶液移除所述硬掩膜叠层。
- [0020] 示例性地,图案化所述金属硬掩膜叠层的步骤包括:
- [0021] 在所述金属硬掩膜叠层上形成具有沟槽图案的第一掩膜层;
- [0022] 以所述第一掩膜层为掩膜刻蚀所述金属硬掩膜叠层;
- [0023] 移除所述第一掩膜层。
- [0024] 示例性地,所述第一掩膜层包括依次形成的ODL层、Si抗反射层及具有沟槽图案的光刻胶层。
- [0025] 示例性地,在所述层间介电层中形成部分通孔的步骤包括:
- [0026] 在所述金属硬掩膜叠层上形成具有通孔图案的第二掩膜层;
- [0027] 以所述第二掩膜层为掩膜,依次刻蚀所述金属硬掩膜叠层及所述层间介电层,以在所述层间介电层中形成部分通孔;
- [0028] 移除所述第二掩膜层。
- [0029] 示例性地,所述第二掩膜层包括依次形成的ODL层、Si抗反射层及具有通孔图案的光刻胶层。
- [0030] 本发明还提供一种半导体器件,其采用上述之一所述的方法制造。
- [0031] 与现有工艺相比,本发明提出的半导体器件的制造方法,降低了金属硬掩膜层中的应力,并且铜籽晶层不易在沟槽或通孔开口处形成突悬,因而在沟槽或通孔中填充铜的过程中不易形成空隙,提高了半导体器件的性能。

附图说明

- [0032] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。
- [0033] 附图中:
- [0034] 图1a-1g为根据现有技术中半导体器件的制造方法依次实施的步骤所分别获得的器件的示意性剖面图。
- [0035] 图2为根据本发明的方法依次实施的步骤的流程图。
- [0036] 图3a-3g为根据本发明的方法依次实施的步骤所分别获得的器件的示意性剖面图。

具体实施方式

[0037] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进

行描述。

[0038] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0039] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第三、第二等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第三元件、部件、区、层或部分。

[0040] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0041] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0042] 以晶片制造后段制程(Back-end of line, BEOL)中金属硬掩膜(Metal Hard mask, MHM)工艺集成方法所显示的整合流程为例,现有的一种双大马士革工艺如图1a-1g所示:

[0043] 首先,如图1a所示,提供前端器件层100,所述前端器件层上形成有刻蚀停止层101;在所述刻蚀停止层101上形成低K介电层102;接着,在所述低K介电层102上形成金属硬掩膜层103,所述金属硬掩膜层103为TiN层;在所述金属硬掩膜层103上形成具有沟槽图案的第一掩膜层,所述第一掩膜层包括依次形成的ODL层104、Si抗反射层105及具有沟槽图案的光刻胶层106;以所述第一掩膜层为掩膜刻蚀所述金属硬掩膜层,如图1b所示;移除所述第一掩膜层;如图1c所示,在所述金属硬掩膜叠层上形成具有通孔图案的第二掩膜层,所述第二掩膜层包括依次形成的ODL层107、Si抗反射层108及具有通孔图案的光刻胶层109;如图1d所示,以所述第二掩膜层为掩膜,依次刻蚀所述金属硬掩膜叠层及所述低K介电层,以在所述低K介电层中形成部分通孔;以所述金属硬掩膜叠层为掩膜刻蚀所述低K介电层,以形成沟槽110,同时继续刻蚀所述部分通孔,使其与前端器件层相连,从而形成通孔111,如图1e所示;最后,进行铜籽晶和铜的电镀沉积,如图1f所示,并用化学机械抛光将沉积的铜

112平坦化,以形成双大马士革结构,如图1g所示。

[0044] 在上述双大马士革工艺中,金属硬掩膜中的残余应力很容易使下方的低k材料发生变形,使沟槽上部开口尺寸过窄,影响后续的金属填充。此外,金属硬掩膜层容易引起铜种子层在沟槽侧壁上产生悬突,使沟槽内填充的金属层中形成空隙。上述原因引发的金属连线空洞问题会导致金属连线方块电阻升高,增加信号在金属连线中传输所受到的容阻延迟,阻碍信号传输,甚至直接导致金属连线断路,使信号无法传输。

[0045] 针对现有技术的不足,本发明提供一种新型的半导体器件,包括:

[0046] 提供前端器件层,并在所述前端器件层上形成层间介电层;

[0047] 在所述层间介电层上形成金属硬掩膜叠层;

[0048] 图案化所述金属硬掩膜叠层,使其具有定义沟槽图案的开口;

[0049] 执行刻蚀,以在所述层间介电层中形成部分通孔;

[0050] 以所述金属硬掩膜叠层为掩膜刻蚀所述层间介电层,以形成沟槽,同时继续刻蚀所述部分通孔,使其与前端器件层相连;

[0051] 去除所述金属硬掩膜叠层;

[0052] 在所述沟槽及通孔中形成金属互连。

[0053] 所述金属硬掩膜叠层为双层结构。

[0054] 所述金属硬掩膜叠层包括TiN层及形成于所述TiN层上的Ti层。

[0055] 所述TiN层与所述Ti层的厚度比为0.5-2。

[0056] 所述层间介电层为低K介电层或超低K介电层。

[0057] 使用H₂O₂溶液移除所述硬掩膜叠层。所述H₂O₂溶液的浓度为3%~15%。使用HF或H₂SO₄溶液移除所述硬掩膜叠层。

[0058] 图案化所述金属硬掩膜叠层的步骤包括:在所述金属硬掩膜叠层上形成具有沟槽图案的第一掩膜层;以所述第一掩膜层为掩膜刻蚀所述金属硬掩膜叠层;移除所述第一掩膜层。所述第一掩膜层包括依次形成的ODL层、Si抗反射层及具有沟槽图案的光刻胶层。

[0059] 在所述层间介电层中形成部分通孔的步骤包括:在所述金属硬掩膜叠层上形成具有通孔图案的第二掩膜层;以所述第二掩膜层为掩膜,依次刻蚀所述金属硬掩膜叠层及所述层间介电层,以在所述层间介电层中形成部分通孔;移除所述第二掩膜层。所述第二掩膜层包括依次形成的ODL层、Si抗反射层及具有通孔图案的光刻胶层。

[0060] 与现有工艺相比,本发明提出的半导体器件的制造方法,降低了金属硬掩膜层中的应力,并且铜籽晶层不易在沟槽或通孔开口处形成突悬,因而在沟槽或通孔中填充铜的过程中不易形成空隙,提高了半导体器件的性能。

[0061] 为了彻底理解本发明,将在下列的描述中提出详细的结构及/或步骤,以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0062] [示例性实施例一]

[0063] 下面将参照图2以及图3a~图3g,对本发明一实施方式的半导体器件的制造方法做详细描述。

[0064] 首先,执行步骤201,提供前端器件层300,并在所述前端器件层300上形成层间介电层302,如图3a所示。所述前端器件层300可以是其中形成有半导体器件的半导体衬底,或

内部形成有插塞等互连结构介质材料层。在所述前端器件层300上形成有刻蚀停止层301, 以在刻蚀过程中用于保护位于下方的各种有源器件以及衬底材料等, 还可以防止下层铜金属互连线中的铜扩散到上层的介电层中。所述刻蚀停止层301可以是SiN、SiC、NDC(氮掺杂碳化物)中的一种。

[0065] 接着, 在所述刻蚀停止层301上形成层间介电层302, 用作集成电路封装中多层金属布线间的层间绝缘。通常采用较低介电常数的低K介电层或超低K介电层, 从而有效降低后续形成于所述介电层内的导电插塞等互连结构间的寄生电容。示例性地, 以化学气相沉积法(CVD)在所述刻蚀停止层上形成低K介电层, 所述低K介电层材料可以选自本领域常见的具有低k值(介电常数小于4.0)的材料, 包括但不限于氟氧化硅(SiOF)、氢化的硅碳氧化物(SiCOH)、碳氧化硅(SiCO)、掺氮的碳化硅(BLON)等无机材料, 或者芳香族碳氢化合物、二甲苯塑料等有机化合物。形成具有厚度为1000-6000埃的低K介电层后, 可采用紫外辐照或者加热等方法使低k介电层多孔化。

[0066] 接着, 执行步骤202, 在所述层间介电层302上形成金属硬掩膜叠层303。所述金属硬掩膜叠层为双层结构, 具体包括形成于所述层间介电层上的TiN层303a及形成于所述TiN层303a上的Ti层303b。由于TiN层303a具有压应力, Ti层303b具有拉应力, 二者具有相反的应力状态, 因此可以通过控制二者的厚度之比来获得预期的总应力值。优选地, TiN层303a与Ti层303b的厚度比为0.5-2之间, 此时金属硬掩膜叠层的应力值为-400~200Mpa, 远低于同等厚度TiN硬掩膜层的应力(约-1200MPa)。示例性地, 可采用MOCVD(Metal Organic CVD)法、PVD法或ALD法来形成厚度为50-600埃金属硬掩膜叠层。

[0067] 接着, 执行步骤203, 图案化所述金属硬掩膜叠层, 使其具有定义沟槽图案的开口。

[0068] 首先, 在所述金属硬掩膜叠层303上形成具有沟槽图案的第一掩膜层。本实施例中, 所述第一掩膜层包括有机分布层(Organic Distribution Layer, ODL)304, 底部抗反射层305及图案化的光刻胶层306。首先采用旋涂的方法, 并高温加热固化形成有机薄膜材料层, 即ODL层304, 其主要作用在于进行一定的尺寸缩小。在刻蚀ODL层304时, 相比于底部抗反射层的底部开口尺寸会继续缩小尺寸, 达到尺寸缩小的目标。然后, 在ODL层304上涂覆Si-ARC层305作为底部抗反射层。ODL层304与Si-ARC层305一同作用, 用于增大光刻的曝光景深, 优化光刻效用。接着, 在Si-ARC层305上涂覆光刻胶层306, 并进行曝光、显影, 获得具有沟槽图案的光刻胶层。

[0069] 接着, 如图3b所示, 以所述图案化的光刻胶层为掩膜依次对Si-ARC层305和ODL层304执行干法刻蚀, 刻蚀停留在层间介电层303的上表面, 以将光刻胶层306的图案转移至金属硬掩膜叠层305, 使金属硬掩膜叠层具有沟槽图案的开口。接着, 通过常规的等离子体方法等灰化工艺去除光刻胶层306、Si-ARC层305和ODL层304。

[0070] 接着, 执行步骤204, 执行刻蚀, 以在所述层间介电层中形成部分通孔。

[0071] 首先, 如图3c所示, 在所述金属硬掩膜叠层303上形成具有通孔图案的第二掩膜层。在暴露出的层间介电层302以及金属硬掩膜叠层303之上依次沉积ODL层307、Si-ARC层308及光刻胶层309, 并对光刻胶层309进行曝光、显影, 获得具有通孔图案的光刻胶层。接着执行步骤205, 如图3d所示, 以所述具有通孔图案的光刻胶层309为掩膜, 依次刻蚀所述Si-ARC层、ODL层、金属硬掩膜叠层304以及层间介电层303, 随后继续刻蚀层间介电层302, 刻蚀到层间介电层302中部大概2000Å深度的位置停止刻蚀, 以在所述层间介电层302中形成

部分通孔。所述刻蚀方法为干法刻蚀,示例性地,所述干法刻蚀中选用 C_4F_8 或 C_5F_8 气体,所述气体的流量为30-100sccm,所述干法刻蚀选用Ar作为稀释气体。接着,通过常规的等离子体方法等灰化工艺去除ODL层307、Si-ARC层308及光刻胶层309。

[0072] 接着,执行步骤205,以所述金属硬掩膜叠层为掩膜刻蚀所述层间介电层,以形成沟槽310,同时继续刻蚀所述部分通孔,使其与前端器件层相连,如图3e所示。即对所述通孔的刻蚀直至打开所述刻蚀停止层301,形成与所述前端器件层300相连的通孔311为止。由于沟槽的图形已经转印在金属硬掩膜叠层上,可以直接进行沟槽的等离子刻蚀,而且由于已经完成了部分通孔刻蚀,可以同时将部分通孔继续刻蚀直至停止在前端器件层300上。最后通过湿法清洗将刻蚀反应残余的聚合物等清洗去除。此双大马士革一体化工艺已经完成,当层金属连线沟槽以及与下层金属连线或半导体器件连接的通孔已经成型。

[0073] 接着,执行步骤206,去除所述金属硬掩膜叠层,如图3f所示。去除金属硬掩膜叠层后,将减轻后续Cu籽晶层在沟槽开口处的TiN层上生长而引起的突悬(overhang)现象。去除所述金属硬掩膜叠层所使用的方法为湿法刻蚀方法,可使用 H_2O_2 溶液、HF或 H_2SO_4 溶液移除所述硬掩膜叠层。本实施例中使用浓度为3%~15%的 H_2O_2 溶液移除所述硬掩膜叠层。

[0074] 接着,执行步骤207,在所述沟槽及通孔中形成金属互连312。

[0075] 首先,在所述沟槽和通孔中进行阻挡层/籽晶层(未图示)的淀积,淀积完毕后,在所述沟槽和通孔中进行金属铜的填充,如图3f所示。可选的,所述阻挡层材料可以选用钽或氮化钽等,所述籽晶层材料可以选用铜、铜锰合金或铜铝合金等。最后,如图3g所示,对铜电镀层进行化学机械抛光工艺,完成整个双大马士革结构的制备过程。

[0076] 至此,完成了根据本发明示例性实施例一的方法实施的工艺步骤。可以理解的是,本实施例半导体器件制造方法不仅包括上述步骤,在上述步骤之前、之中或之后还可包括其他需要的步骤,其都包括在本实施制造方法的范围内。

[0077] 与现有工艺相比,本发明提出的半导体器件的制造方法,降低了金属硬掩膜层中的应力,并且铜籽晶层不易在沟槽或通孔开口处形成突悬,因而在沟槽或通孔中填充铜的过程中不易形成空隙,提高了半导体器件的性能。

[0078] [示例性实施例二]

[0079] 本发明还提供一种半导体器件。该半导体器件通过如实施例一的方法制备。如图3b所示,所述半导体器件主要包括前端器件层300、层间介电层302、以及形成于所述层间介电层上的金属硬掩膜叠层303构成。所述前端器件层300可以是其中形成有半导体器件的半导体衬底,或内部形成有插塞等互连结构介质材料层。所述层间介电层302可以是低K介电层或超低K介电层。所述金属硬掩膜叠层为双层结构,具体包括形成于所述低K介电层上的TiN层303a及形成于所述TiN层303a上的Ti层303b。优选地,TiN层303a与Ti层303b的厚度比在0.5-2之间。所述半导体器件的具体结构可以参照上文中相应部分的描述,这里不再赘述。

[0080] 与现有工艺相比,本发明提出的半导体器件的制造方法,降低了金属硬掩膜层中的应力,并且铜籽晶层不易在沟槽或通孔开口处形成突悬,因而在沟槽或通孔中填充铜的过程中不易形成空隙,提高了半导体器件的性能。

[0081] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人

员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

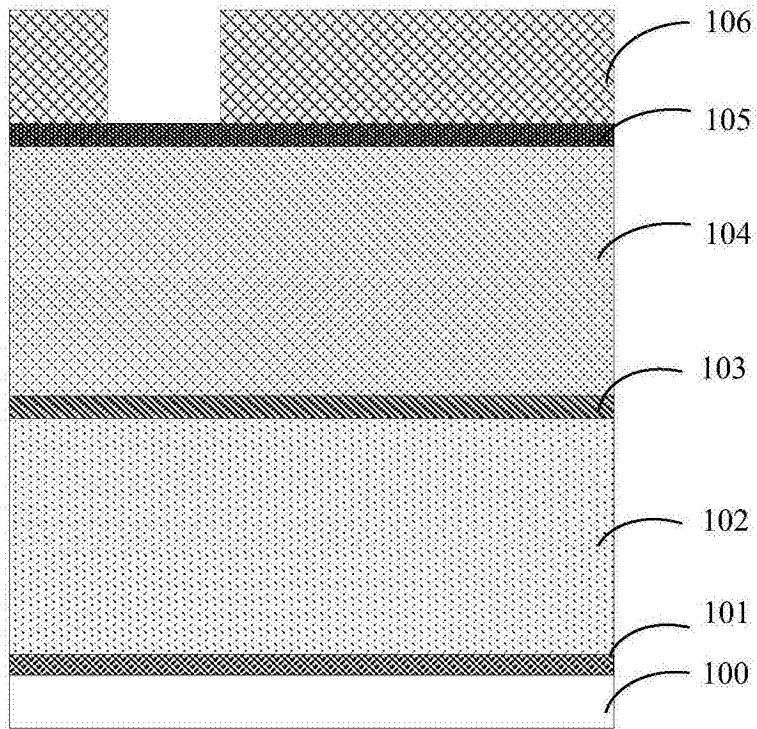


图1a

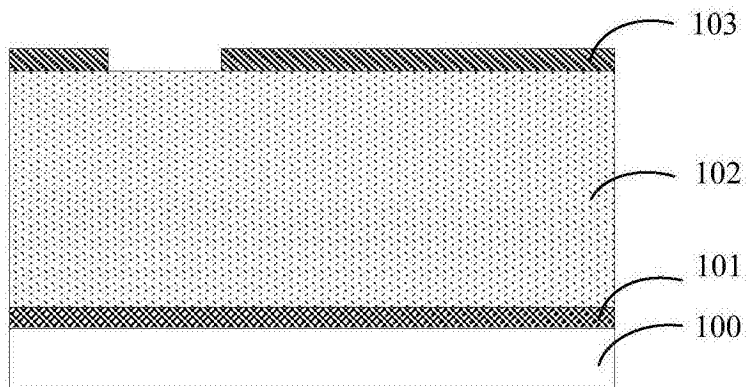


图1b

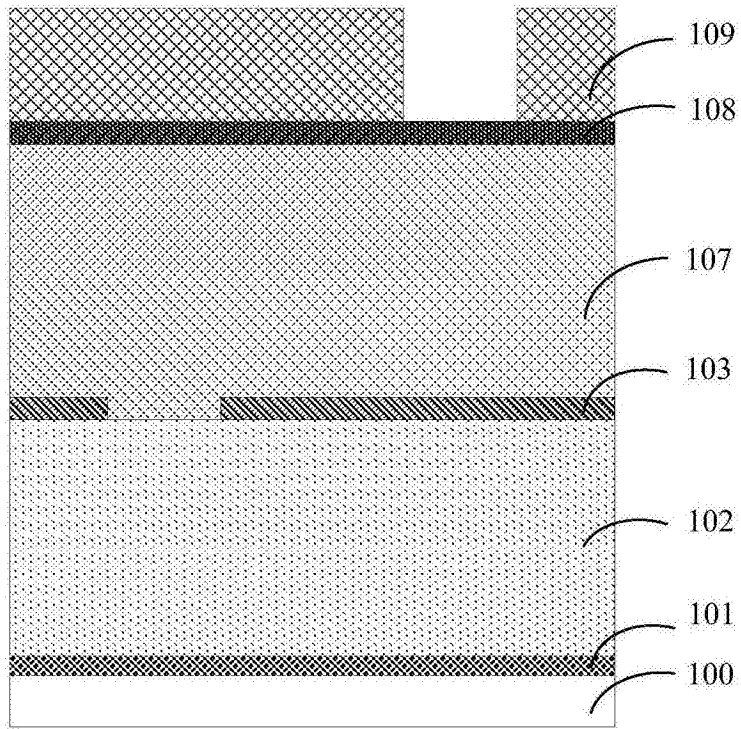


图1c

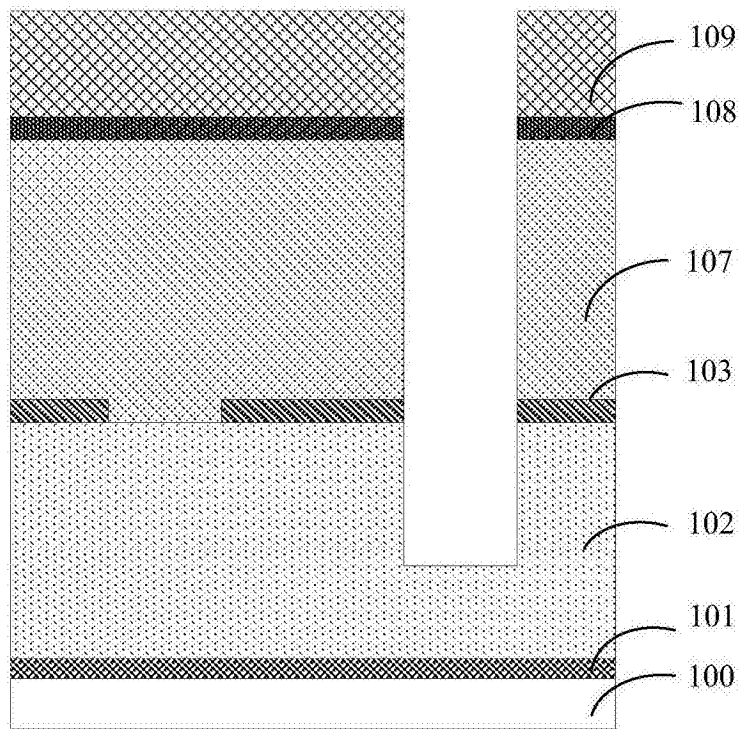


图1d

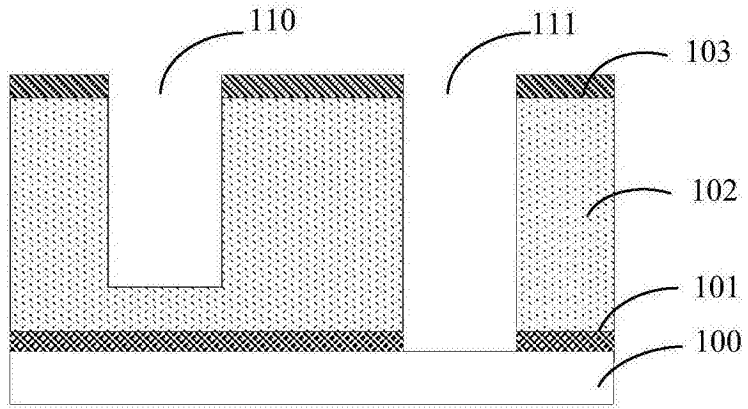


图1e

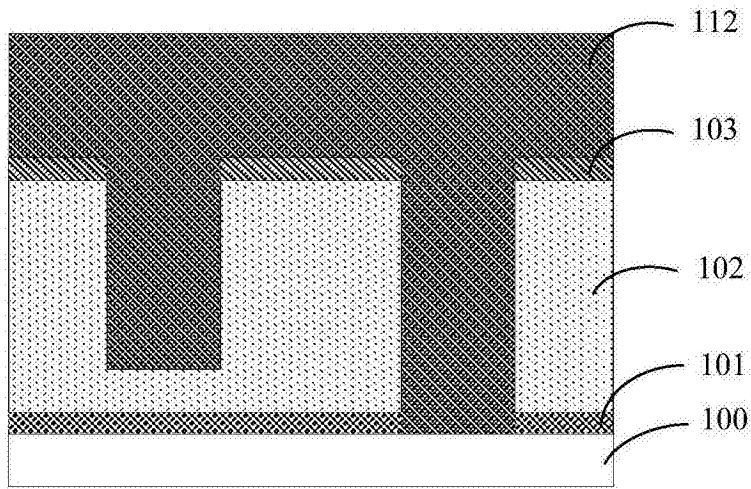


图1f

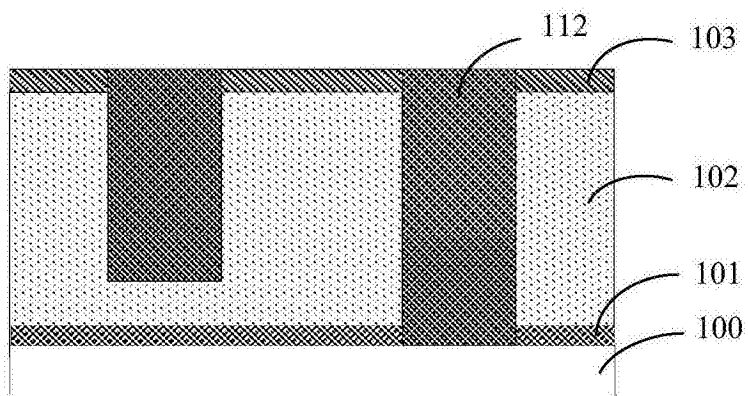


图1g

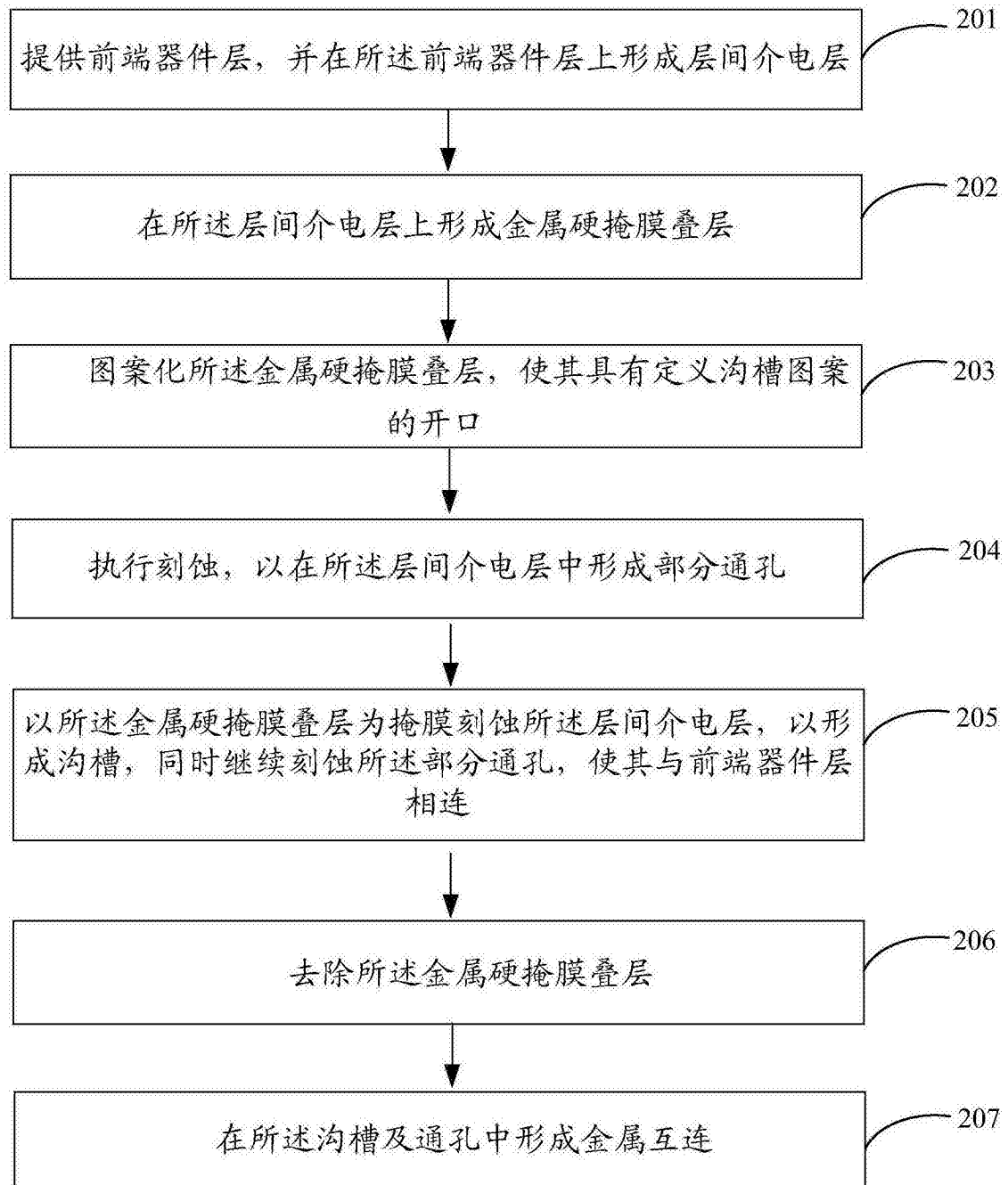


图2

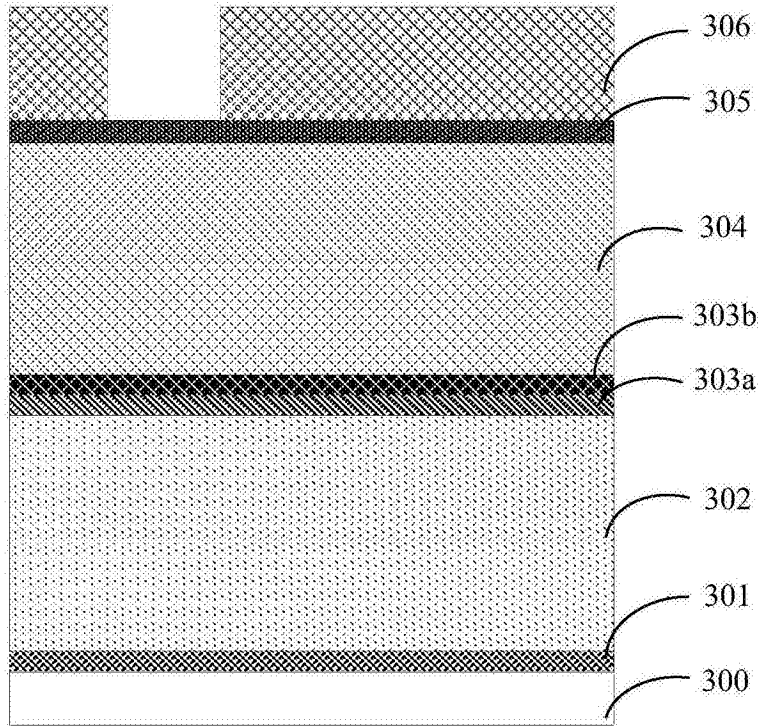


图3a

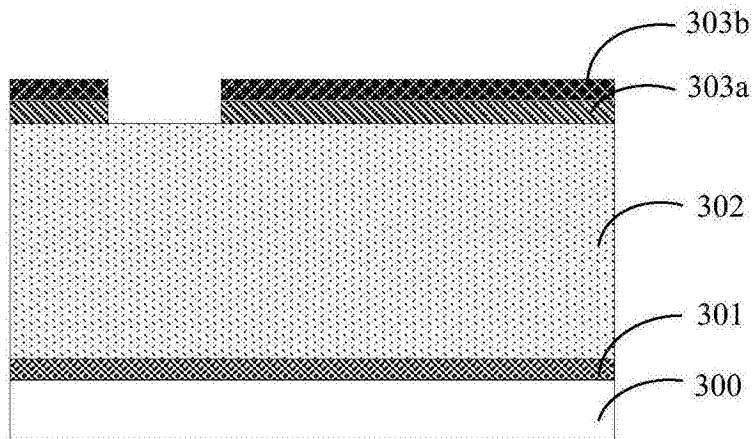


图3b

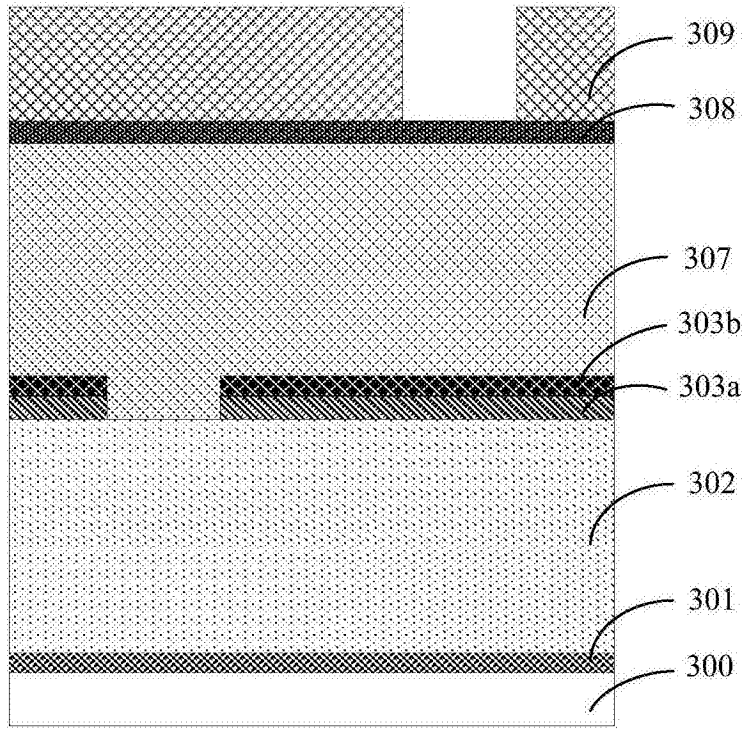


图3c

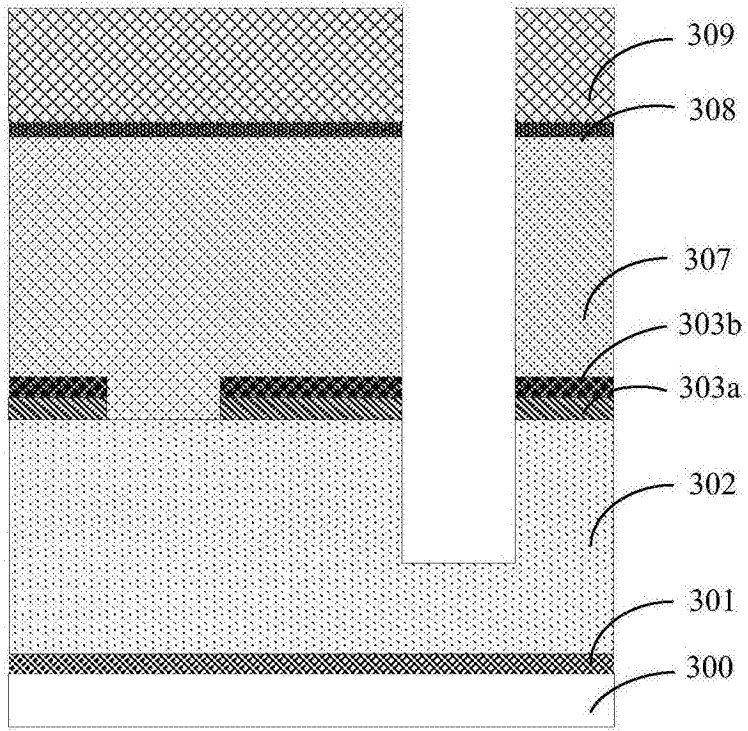


图3d

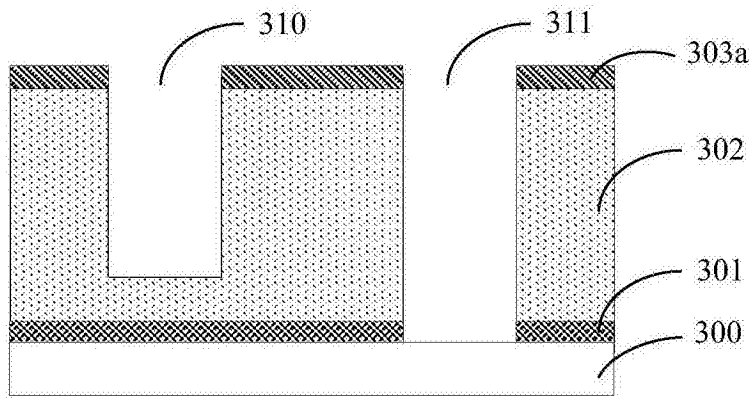


图3e

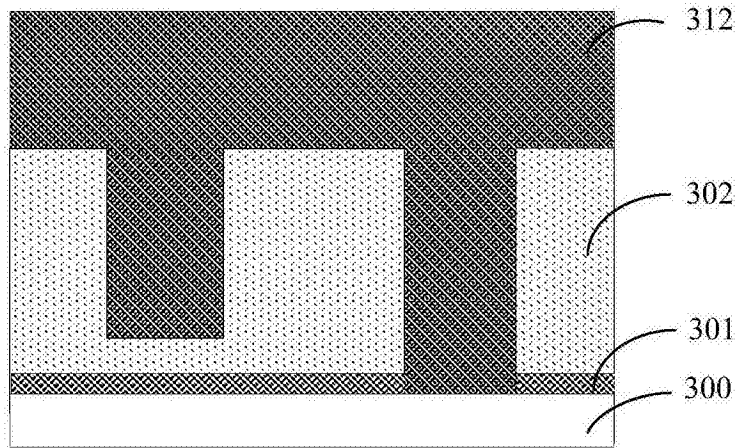


图3f

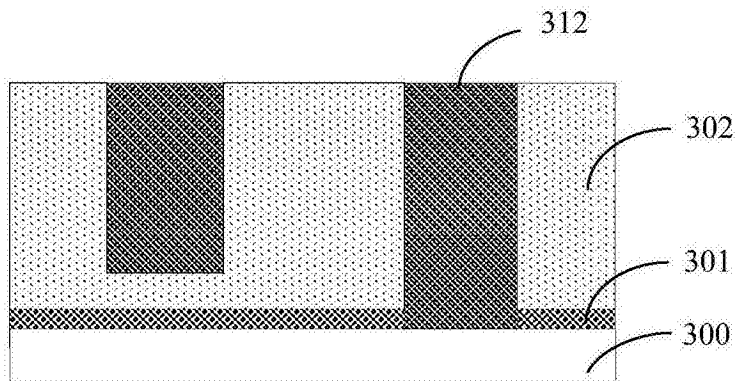


图3g