



(12)发明专利

(10)授权公告号 CN 105355767 B

(45)授权公告日 2017. 10. 31

(21)申请号 201510912074.7

H01L 33/52(2010.01)

(22)申请日 2015.12.11

审查员 丁光炜

(65)同一申请的已公布的文献号

申请公布号 CN 105355767 A

(43)申请公布日 2016.02.24

(73)专利权人 厦门乾照光电股份有限公司

地址 361000 福建省厦门市火炬(翔安)产业区翔岳路19号

(72)发明人 林志伟 陈凯轩 张永 卓祥景

姜伟 方天足 陈亮

(74)专利代理机构 扬州市锦江专利事务所

32106

代理人 江平

(51)Int.Cl.

H01L 33/64(2010.01)

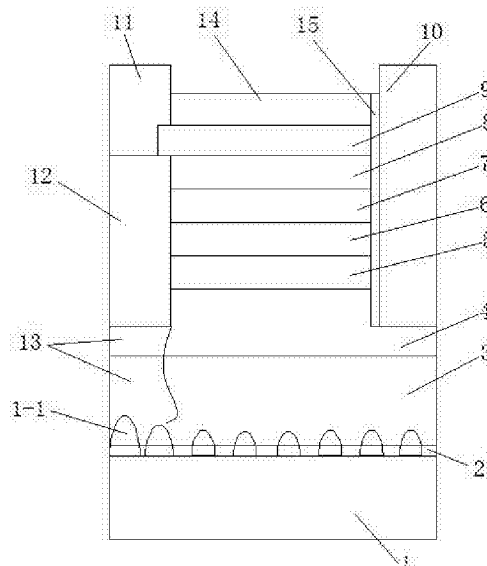
权利要求书1页 说明书3页 附图4页

(54)发明名称

一种具有高发光效率的发光二极管的制作方法

(57)摘要

一种具有高发光效率的发光二极管的制作方法,涉及发光二极管的生产技术领域。本发明采用位错线密集区设置于P型电极下面,一方面提高发光二极管的晶体质量,有效提高了发光二极管的内量子效率;另一方面通过后期位错阻挡层、P型电极的设计及制作,使得位错线密集区不会对发光二极管起到不利影响。采用同时在P型、N型设置电极制作区,且同时采用ICP蚀刻P型、N型电极制作区的工艺设计,有效简化了工艺流程及工艺复杂度。本发明采用在P型电极底下制作位错阻挡层,有效绝缘了P型电极底部P、N,提高了发光二极管的电流扩展效果和可靠性。



1. 一种发光二极管的制作方法,其特征在于包括以下步骤:

1) 采用ICP蚀刻法,在衬底表面形成形貌不同的PSS表面图形,在p电极设置区域的衬底上的PSS表面图形较其它区域大,且随着远离p电极设置区域,PSS表面图形呈现渐变减小的规律;

2) 采用MOCVD外延设备,在具有PSS表面图形的衬底上依次外延形成缓冲层、非故意掺杂层、n型导电层、有源区、电子阻挡层、p型导电层和p型欧姆接触层;

3) 采用衬底的PSS图形的表面形貌设计,在p电极设置区域内形成位错线密集区,所述位错线密集区由缓冲层贯穿至p型欧姆接触层;

4) 经过标准的掩膜、光刻过程,在欧姆接触层上同时定义出P电极台面、N电极台面、切割道;

5) 采用ICP,在定义的p电极台面区域内刻蚀去除p型欧姆接触层、p型导电层、电子阻挡层、有源区和部分n型导电层,形成p电极台面;

且同时在定义的n电极台面区域内刻蚀去除p型欧姆接触层、p型导电层、电子阻挡层、有源区和部分n型导电层,形成n电极台面;

6) 在p电极设置区域裸露的n型导电层上制作位错阻挡层;

7) 在部分位错阻挡层上表面和p型欧姆接触层上制作ITO透明导电层;

8) 在位错阻挡层上制作p电极,在n型导电层上制作n电极;

9) 在芯片侧面和表面同时蒸镀SiO<sub>2</sub>形成芯片保护层;在n电极和外延层之间蒸镀SiO<sub>2</sub>形成电极隔离层。

2. 根据权利要求1所述方法,其特征在于:所述位错线密集区的面积不超过p电极面积的80%。

3. 根据权利要求1所述方法,其特征在于:所述位错阻挡层上表面与p型欧姆接触层齐平。

4. 根据权利要求1所述方法,其特征在于:在ITO透明导电层上的p电极区域不超过p电极总面积的10%。

## 一种具有高发光效率的发光二极管的制作方法

### 技术领域

[0001] 本发明涉及发光二极管的生产技术领域。

### 背景技术

[0002] 近年来发光二极管得到发展迅猛,与半导体光电技术、新照明光源技术的发展紧密相关。随着LED应用领域的不断扩展,人们对LED芯片的性能也提出了越来越高的要求。需要不断地提高LED发光功率。

[0003] 随着大功率LED普遍应用,LED由于内在缺陷导致的发光效率降低和可靠性变弱。改善LED的外延晶体质量和设计新的芯片结构成为解决此问题的重要途径。目前主要通过改善外延晶体质量或采用更好的电流扩展材料来改善大电流下的内量子效率,采用更好的散热材料来提高LED的可靠性。

[0004] 但以上技术都是治标不治本,随着LED发光功率的应用需要再提高,采用更大工作电流下,以上技术会再次面临技术瓶颈。

### 发明内容

[0005] 为了解决上述问题,本发明旨在提供可靠性高、具有高发光效率的发光二极管的制作方法。

[0006] 本发明包括以下步骤:

[0007] 1)采用ICP蚀刻法,在衬底表面形成形貌不同的PSS表面图形,在p电极设置区域的衬底上的PSS表面图形较其它区域大,且随着远离p电极设置区域,PSS表面图形呈现渐变减小的规律;

[0008] 2)采用MOCVD外延设备,在具有PSS表面图形的衬底上依次外延形成缓冲层、非故意掺杂层、n型导电层、有源区、电子阻挡层、p型导电层和p型欧姆接触层;

[0009] 3)采用衬底的PSS图形的表面形貌设计,在p电极设置区域内形成位错线密集区,所述位错线密集区由缓冲层贯穿至p型欧姆接触层;

[0010] 4)经过标准的掩膜、光刻过程,在欧姆接触层上同时定义出P电极台面、N电极台面、切割道;

[0011] 5)采用ICP,在定义的p电极台面区域内刻蚀去除p型欧姆接触层、p型导电层、电子阻挡层、有源区和部分n型导电层,形成p电极台面;

[0012] 且同时在定义的n电极台面区域内刻蚀去除p型欧姆接触层、p型导电层、电子阻挡层、有源区和部分n型导电层,形成n电极台面;

[0013] 6)在p电极设置区域裸露的n型导电层上制作位错阻挡层;

[0014] 7)在部分位错阻挡层上表面和p型欧姆接触层上制作ITO透明导电层;

[0015] 8)在位错阻挡层上制作p电极,在n型导电层上制作n电极;

[0016] 9)在芯片侧面和表面同时蒸镀SiO<sub>2</sub>形成芯片保护层;在n电极和外延层之间蒸镀SiO<sub>2</sub>形成电极隔离层。

[0017] 本发明工艺的特点是：1、采用位错线密集区设置于P型电极下面，一方面提高发光二极管的晶体质量，有效提高了发光二极管的内量子效率；另一方面通过后期位错阻挡层、P型电极的设计及制作，使得位错线密集区不会对发光二极管起到不利影响。2、采用同时在P型、N型设置电极制作区，且同时采用ICP蚀刻P型、N型电极制作区的工艺设计，有效简化了工艺流程及工艺复杂度。3、采用在P型电极底下制作位错阻挡层，有效绝缘了P型电极底部P、N，提高了发光二极管的电流扩展效果和可靠性。

[0018] 进一步地，所述位错线密集区的面积不超过p电极面积的80%。所述位错线密集区面积过大，造成相应的P电极面积增加，导致有源区的面积减小，降低发光二极管的发光效率降低。相应的位错线密集区面积也较难做到很小，如果做太小了，无法达到外延层应力的有效释放，外延晶体质量也会变差。

[0019] 在制作位错阻挡层时，所述位错阻挡层上表面与p型欧姆接触层齐平。采用此设计及制作方法，避免错阻挡层过高或过低影响ITO的电流扩展效果。

[0020] 在ITO透明导电层上的p电极区域不超过p电极总面积的10%。采用小于10%的p电极与ITO透明导电层接触面积，有使得ITO透明导电层与p电极形成有效的连接，且避免接触面积过大导致的P型电极可靠性变差。

## 附图说明

[0021] 图1为本发明最终产品结构示意图。

[0022] 图2-7为本发明的工艺过程图。

## 具体实施方式

[0023] 采用如下制作方法，即可形成本发明相应的发光二极管：

[0024] 1、提供一外延衬底，经过标准的掩膜、光刻过程，采用ICP蚀刻在衬底表面形成不同的表面形貌，在p电极设置区域的衬底表面形貌的PSS形貌较其它区域大且呈现一定的渐变减小的规律。如图2所示。

[0025] 2、采用MOCVD外延设备在外延衬底上依次形成缓冲层、非故意掺杂层、n型导电层（由四层n型导电层和三层电流阻挡层间隔组成）、有源区、电子阻挡层、p型导电层、p型欧姆接触层。

[0026] 3、通过衬底的PSS表面形貌大小在p电极设置区域逐渐变大，在p电极设置区形成位错线密集区，位错线密集区由缓冲层贯穿至表面的p型欧姆接触层。同时，位错线密集区的面积不超过p电极面积的80%。如图3所示。

[0027] 4、经过标准的掩膜、光刻过程，在p型欧姆接触层上同时定义出p电极台面、n电极台面；

[0028] 在制作过程中通常是以多个芯片同时制作的，因此，还可在相邻的芯粒之间形成切割道。

[0029] 以上定义是光刻版的模板转移，就是把光刻版图像转移至表面，定义是在表面形成想要的图像及区域。

[0030] 5、采用ICP，在定义的p电极台面区域内刻蚀去除p型欧姆接触层、p型导电层、电子阻挡层、有源区和部分n型导电层，形成p电极台面。

[0031] 同时在定义的n电极台面区域内刻蚀去除p型欧姆接触层、p型导电层、电子阻挡层、有源区和部分n型导电层,形成n电极台面。

[0032] 如图4所示。

[0033] 6、在p电极设置区裸露的N型导电层上设置位错阻挡层(CB);位错阻挡层上表面与p型欧姆接触层齐平,位错阻挡层下表面至位错线密集区。如图5所示。

[0034] 7、经过标准的掩膜、光刻过程,在p型欧姆接触层上定义出透明导电层区域;且在此区域形成ITO透明导电层,并且,在ITO透明导电层上的p电极区域不超过p电极总面积的10%。如图6所示。

[0035] 8、经过标准的掩膜、光刻过程,同时在n型导电层上制作n电极,在位错阻挡层上制作p电极。如图7所示。

[0036] 9、在芯片侧面和ITO透明导电层上方蒸镀SiO<sub>2</sub>,形成芯片保护层14,在n电极和外延层之间蒸镀SiO<sub>2</sub>形成电极隔离层15。如图1所示。

[0037] 10、在制作过程中通常是以多个芯片同时制作的,最后采用隐形切割、劈裂将芯片分离成独立的发光二极管器件。

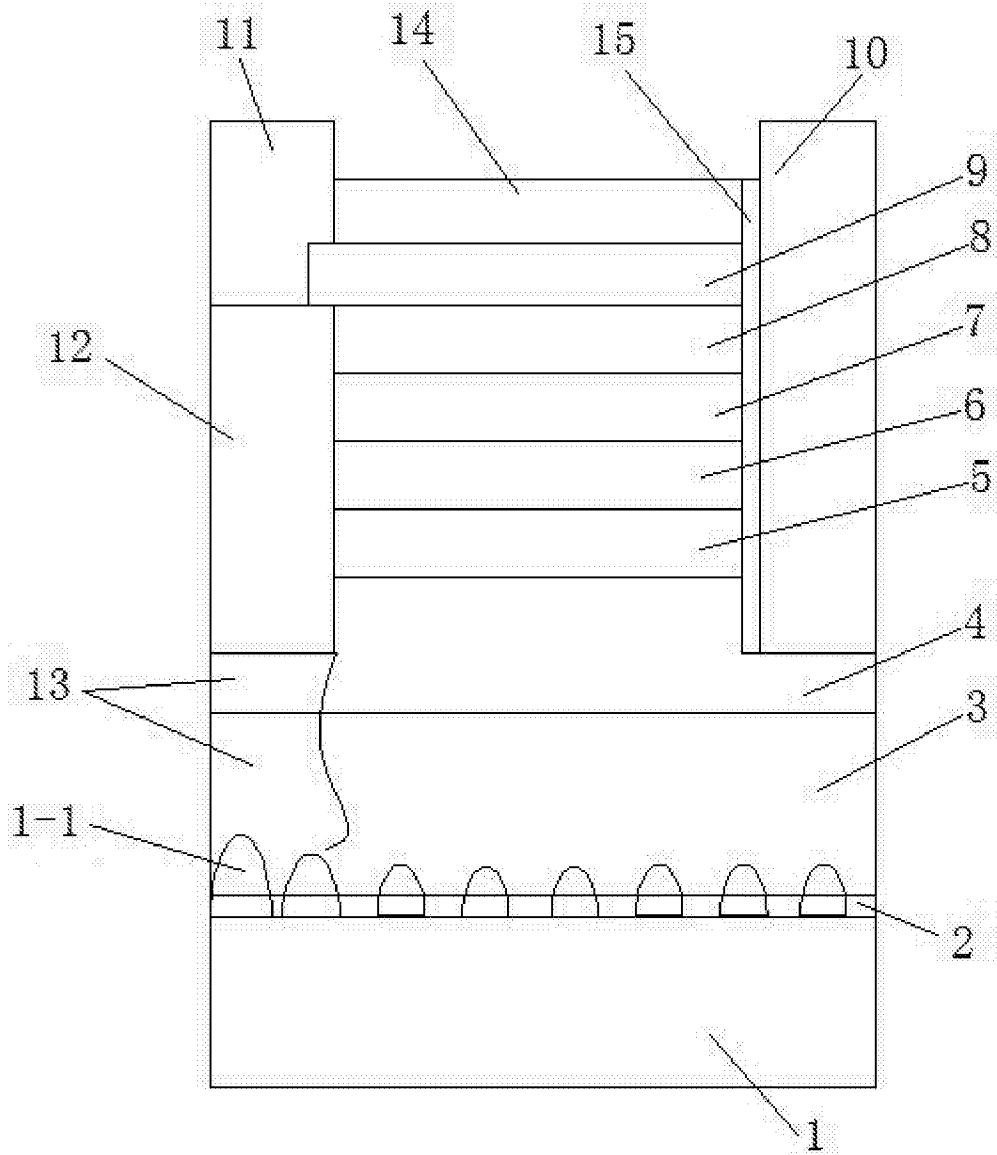


图1

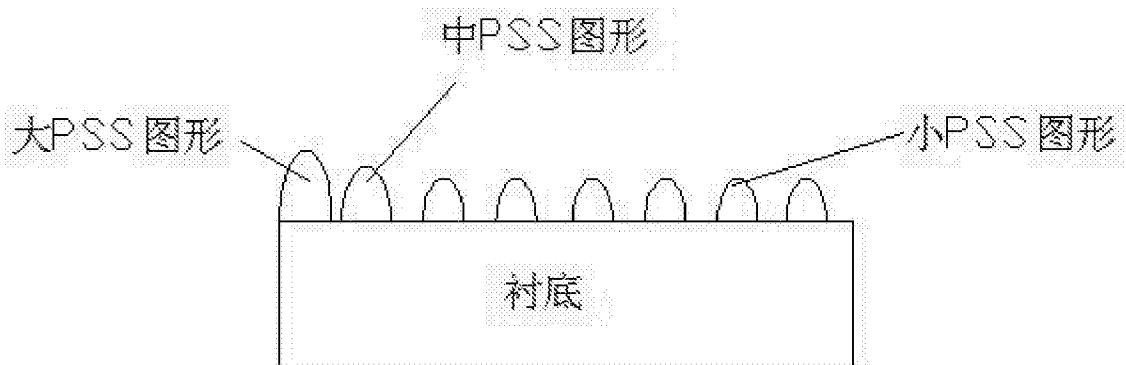


图2

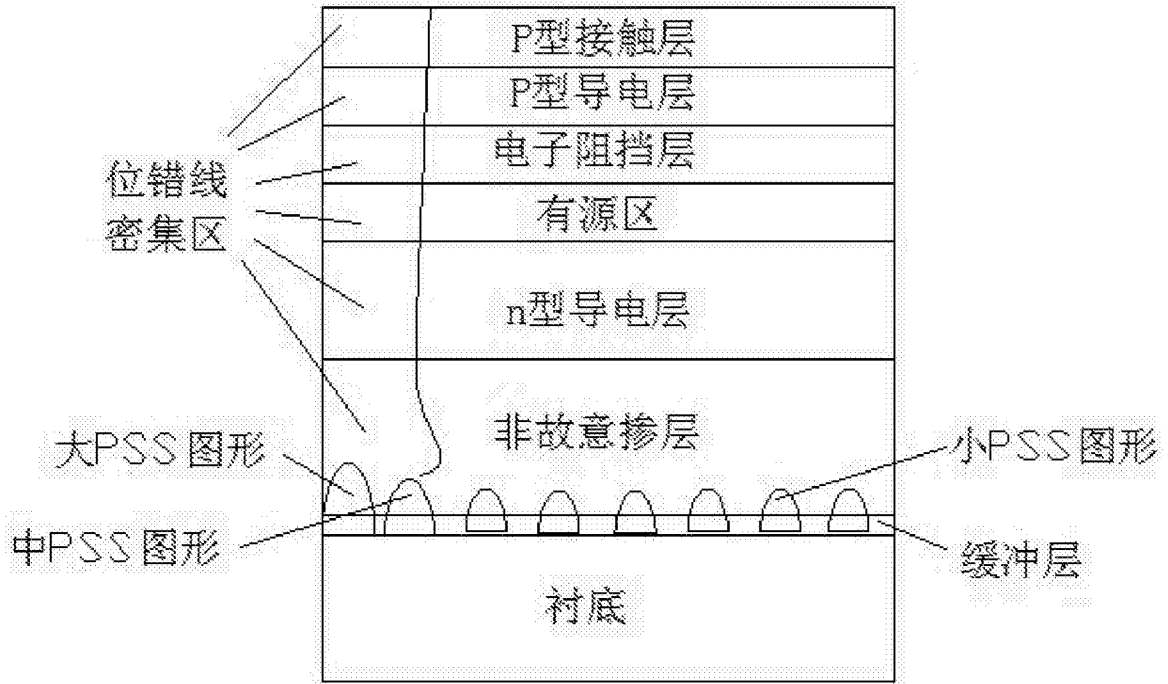


图3

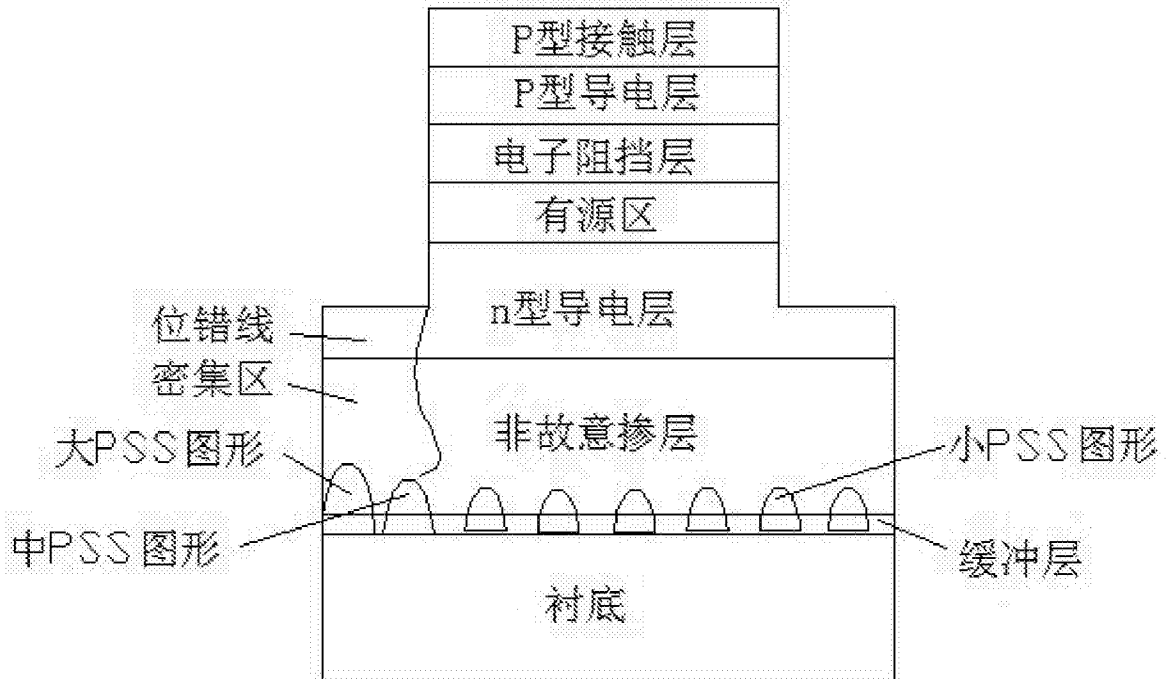


图4

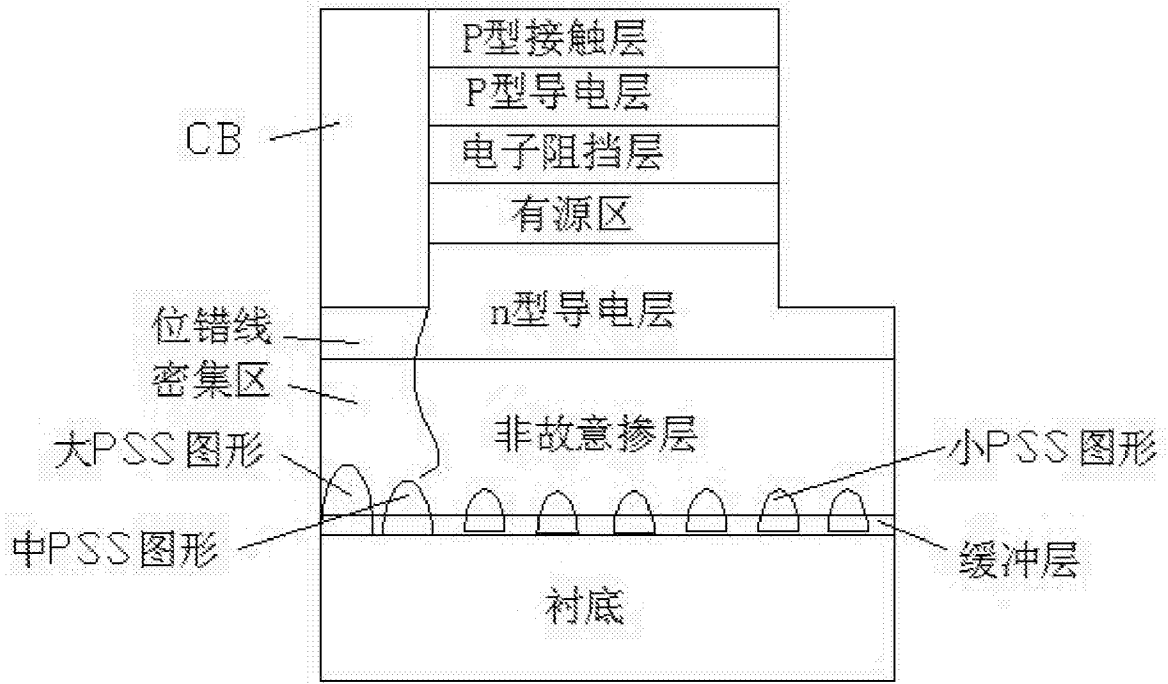


图5

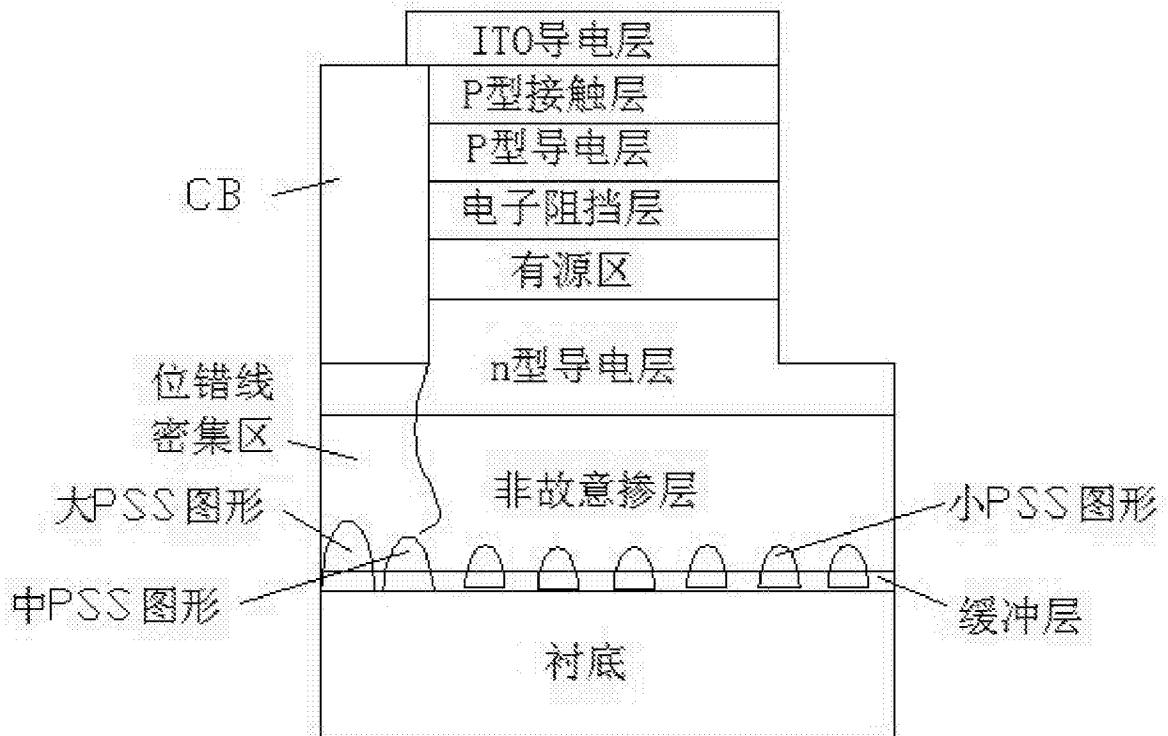


图6



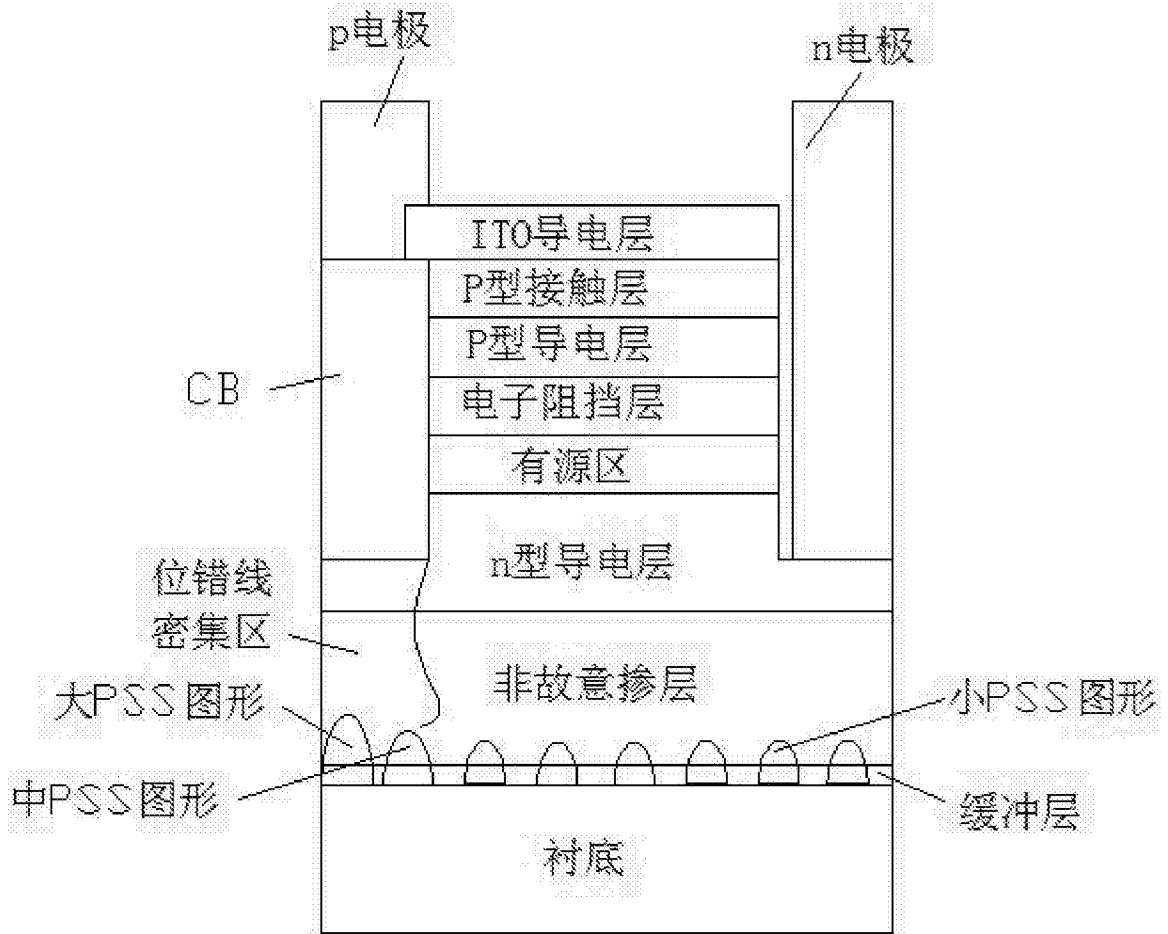


图7