



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년05월26일
 (11) 등록번호 10-1037524
 (24) 등록일자 2011년05월20일

(51) Int. Cl.

H01L 21/20 (2006.01)

- (21) 출원번호 10-2008-7025093
- (22) 출원일자(국제출원일자) 2007년03월15일
 심사청구일자 2008년10월14일
- (85) 번역문제출일자 2008년10월14일
- (65) 공개번호 10-2008-0112298
- (43) 공개일자 2008년12월24일
- (86) 국제출원번호 PCT/US2007/064038
- (87) 국제공개번호 WO 2007/109491
 국제공개일자 2007년09월27일

(30) 우선권주장
 11/378,101 2006년03월17일 미국(US)

(56) 선행기술조사문헌
 JP2000007337 A
 US20050079691 A1

전체 청구항 수 : 총 16 항

(73) 특허권자

어플라이드 머티어리얼스, 인코포레이티드
 미국 95054 캘리포니아 산타 클라라 바우어스 애
 브뉴 3050

(72) 발명자

칼슨, 데이비드 케이.
 미국 95132 캘리포니아 샌어제이 클레이터 웨이
 4054
 쿠푸라오, 사티쉬
 미국 95129 캘리포니아 샌어제이 파이프 드라이브
 4578
 (뒷면에 계속)

(74) 대리인

남상선

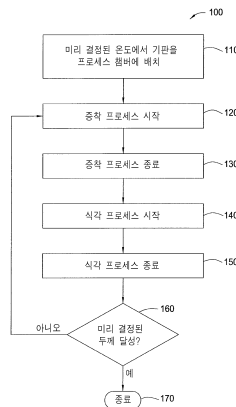
심사관 : 정성중

(54) 선택적 증착

(57) 요약

기판 표면 상에 실리콘-함유 물질을 에피택셜 형성하기 위한 방법은 프로세스 챔버 온도와 압력의 조절을 통해 캐리어 가스 뿐만 아니라 식각 가스로서 할로젠 함유 가스를 사용한다. 캐리어 가스로부터 식각 가스로 HCl을 변환하는 것은 챔버 압력을 조절함으로써 용이하게 수행될 수 있기 때문에, HCl을 할로젠 함유 가스로서 사용하는 것은 장점이 있다.

대표도 - 도1



(72) 발명자

산체즈, 에를 안토니오 씨.

미국 95377 캘리포니아 트레이시 질 드라이브 324

벡포드, 하워드

미국 95133 캘리포니아 샌어제이 맥클린 코트 762

김, 이환

미국 95035 캘리포니아 밀피타스 헤븐리 플레이스
825

특허청구의 범위

청구항 1

기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법으로서,

비정질 표면, 다결정 표면 및 이들의 조합물들로 이루어진 그룹에서 선택된 제 2 표면과 단결정 표면을 포함하는 기관을 프로세스 챔버에 배치하는 단계;

상기 기관을 증착 가스에 노출시켜서 상기 단결정 표면 상에 에피택셜층을 증착하고 상기 제 2 표면 상에 다결정층을 증착하는 단계 - 상기 증착 가스는 실리콘 소스, 및 할로겐 함유 화합물을 포함하는 캐리어 가스를 포함하고, 상기 할로겐 함유 화합물은 식각 임계값 아래에서 유지됨 -; 및

상기 기관을 식각 가스에 노출시켜서 상기 다결정층과 상기 에피택셜층을 식각하는 단계를 포함하는 기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 할로겐 함유 화합물은 HCl을 포함하는,

기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 식각 가스는 상기 할로겐 함유 화합물을 포함하는,

기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

제 1 항에 있어서,

상기 에피택셜층은 실리콘-게르마늄, 실리콘-탄소, 실리콘-게르마늄-탄소 및 이들의 조합물들로 이루어진 그룹에서 선택된 물질을 포함하는,

기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 12

삭제

청구항 13

기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법으로서,

비정질 표면, 다결정 표면 및 이들의 조합물들로 이루어진 그룹에서 선택된 제 2 표면과 단결정 표면을 포함하는 기관을 프로세스 챔버에 배치하는 단계;

상기 기관을 증착 가스에 노출시켜서 상기 단결정 표면 상에 에피택셜층을 증착하고 상기 제 2 표면 상에 다결정층을 증착하는 단계 - 상기 증착 가스는 실리콘 소스, 및 할로젠 함유 화합물을 포함하는 캐리어 가스를 포함하고, 상기 할로젠 함유 화합물은 식각 임계값 아래에서 유지됨 -; 및

약 650℃ 아래의 프로세스 챔버 온도에서 상기 기관을 염화 탄화수소 식각 가스에 노출시켜서 상기 다결정층과 상기 에피택셜층을 식각하는 단계

를 포함하는 기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

제 13 항에 있어서,

상기 할로젠 함유 화합물은 HCl을 포함하는,

기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 17

제 13 항에 있어서,

상기 염화 탄화수소는 메틸 클로라이드, 디클로로메탄, 클로로폼, 탄소 테트라클로라이드, 에틸 클로라이드, 클로로알켄, 또는 이들의 조합물들을 포함하는,

기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 18

제 13 항에 있어서,

상기 염화 탄화수소는 상기 증착 가스와 동시에 상기 챔버에 유동되는,

기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 19

제 13 항에 있어서,

상기 염화 탄화수소는 상기 증착 가스와 교대로 상기 챔버에 유동되는,

기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

제 13 항에 있어서,

상기 에피택셜층은 실리콘-게르마늄, 실리콘-탄소, 실리콘-게르마늄-탄소 및 이들의 조합물들로 이루어진 그룹에서 선택된 물질을 포함하는,

기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 24

기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법으로서,

상기 기관을 증착 가스에 노출시키는 단계 - 상기 증착 가스는 실리콘 소스, 및 캐리어 가스로서 HCl을 포함하고, 상기 HCl은 식각 임계값 아래에서 유지됨 -; 및

식각 가스로서 HCl을 이용하여 식각하는 단계

를 포함하는 기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 25

제 24 항에 있어서,

상기 증착 가스는 Cl₂, H₂, N₂, 불활성 가스, 또는 이들의 조합물들을 부가적으로 포함하는,

기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

프로세스 챔버에 배치된 기관 상에 실리콘-함유 물질을 에피택셜 형성하는 방법으로서,

상기 기관은 비정질 표면, 다결정 표면 및 이들의 조합물들로 이루어진 그룹에서 선택된 제 2 표면과 단결정 표면을 포함하고, 상기 방법은,

상기 단결정 표면 상에 에피택셜층을 증착하고 상기 제 2 표면 상에 다결정층을 증착하기 위해, 상기 프로세스 챔버로의 할로젠 함유 화합물을 포함하는 캐리어 가스를 포함하는 증착 가스의 유동을 제 1 유량(flow rate)으

로 제어하는 단계 - 상기 할로겐 함유 화합물은 식각 임계값 아래에서 유지됨 -; 및

상기 다결정층과 상기 에피택셜층을 식각하기 위해, 상기 프로세스 챔버로의 할로겐 함유 화합물을 포함하는 식각 가스의 유량을 제 2 유량으로 제어하는 단계

를 포함하는 기관 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 31

제 30 항에 있어서,

상기 제 1 유량의 상기 가스와 상기 제 2 유량의 상기 가스는 동일한,

기관 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 32

제 31 항에 있어서,

상기 할로겐 함유 화합물은 HCl을 포함하는,

기관 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

제 1 항에 있어서,

상기 할로겐 함유 화합물은 상기 기관을 증착 가스에 노출시키는 동안 1 Torr 내지 100 Torr의 총 챔버 압력에서 60 sccm 내지 600 sccm의 유량, 및 상기 기관을 식각 가스에 노출시키는 동안 30 Torr 내지 100 Torr의 증착된 총 챔버 압력에서 2,000 sccm 내지 20,000 sccm의 유량 사이에서 교대로 상기 챔버에 유동하는,

기관 표면 상에 실리콘-함유 물질을 에피택셜 형성하는 방법.

명세서

기술분야

[0001] 본 발명의 실시예들은 전자 제조 프로세스들과 장치들의 분야에 관한 것으로서, 보다 구체적으로는 전자 소자들을 형성하면서 실리콘-함유 막들을 증착하는 방법들에 관한 것이다.

배경기술

[0002] 트랜지스터가 보다 작게 제조됨에 따라, 극도로 얇은 소스/드레인 접합부의 제조가 보다 중요시되고 있다. 일반적으로, 서브-100nm CMOS(상보형 금속-산화물 반도체) 장치는 30nm 이하의 접합 깊이를 요구한다. 접합부 속에 실리콘-함유 물질(예를 들어, Si, SiGe 및 SiC)의 에피층을 형성하기 위해 때로는 선택적 에피택셜 증착이 이용된다. 일반적으로, 선택적 에피택셜 증착은 유전체 영역 상에서의 성장 없이 실리콘 모트(moat)상에서의 에피층 성장을 허용한다. 선택적 에피택셜은 융기된(elevated) 소스/드레인, 소스/드레인 확장부, 바이폴라 장

치의 콘택 플러그 또는 베이스층 증착과 같이 반도체 장치에서 이용된다.

[0003] 선택적 에피택셜 프로세스는 증착 반응 및 식각 반응을 수반한다. 증착 및 식각 반응은 에피택셜층 및 다결정층에 대해 비교적 상이한 반응 속도로 동시에 발생한다. 증착 프로세스 동안, 에피택셜층은 단결정 표면상에 형성되는 반면 다결정층은 기존의 다결정층 및/또는 비정질층과 같은, 적어도 제 2 층 상에 증착된다. 그러나 증착된 다결정층은 에피택셜층보다 빠른 속도로 식각된다. 따라서, 에천트 가스의 농도를 변화시킴으로써, 최종(net) 선택적 프로세스는 에피택셜 물질의 증착을 야기시키며, 다결정 물질의 제한된 증착을 야기하거나 또는 다결정 물질의 증착을 야기시키지 않는다. 예를 들어, 선택적 에피택셜 프로세스는 단결정 실리콘 표면상에는 실리콘-함유 물질의 에피층을 형성하면서 스페이서 상에는 증착이 유지되지 않게 할 수 있다.

[0004] 용기된 소스/드레인 및 소스/드레인 연장 피쳐(features)를 형성하는 동안, 예를 들어, 실리콘-함유 MOSFET(금속 산화물 반도체 전계효과 트랜지스터) 장치를 형성하는 동안, 실리콘-함유 물질의 선택적 에피택셜 증착은 유용한 기술이 되었다. 소스/드레인 연장 피쳐는 리세스형 소스/드레인 피쳐를 만들기 위해 실리콘 표면을 식각하고 순차적으로 식각된 표면을 실리콘 게르마늄(SiGe) 물질과 같이 선택적으로 성장된 에피층들로 채움으로써 제조된다. 선택적 에피택셜은 포스트(post) 어닐링 프로세스가 생략되도록, 인시튜(in-situ) 도핑으로 거의 완벽한 도핑 활성화를 허용한다. 따라서, 접합부 깊이는 실리콘 식각 및 선택적 에피택셜에 의해 정확히 형성될 수 있다. 한편, 극도로 얇은 소스/드레인 접합부는 불가피하게 증가된 직렬 저항을 야기할 수 있다. 또한, 실리콘사이드를 형성하는 동안 접합부 감소는 직렬 저항을 더욱 더 증가시킨다. 접합부 감소를 보상하기 위해, 용기된 소스/드레인이 접합부 상에 에피택셜방식으로 선택적으로 성장된다. 통상적으로, 용기된 소스/드레인층은 도핑되지 않은 실리콘이다.

[0005] 그러나 현재의 선택적 에피택셜 프로세스에는 몇 가지 단점이 있다. 제공되는 에피택셜 프로세스 동안 선택도를 유지하기 위해서, 프리커서들의 화학적 농도 및 반응 온도는 증착 프로세스 내내 제어 및 조절되어야 한다. 실리콘 프리커서가 충분히 제어되지 못할 경우, 식각 반응이 우세해져 전체 프로세스가 지체된다. 또한, 기관 피쳐의 바람직하지 못한 오버식각이 발생할 수 있다. 에천트 프리커서가 충분히 제어되지 못할 경우, 증착 반응이 우세해져 기관 표면 양단에 단결정 및 다결정 물질을 형성하는 데 있어 선택도가 감소될 수 있다. 또한, 현재의 선택적 에피택셜 프로세스는 통상적으로 약 800°C, 1000°C 또는 그 이상의 높은 반응 온도를 요구한다. 이러한 높은 온도는 열적 예산을 고려할 때 제조 프로세스 동안 바람직하지 못하며 기관 표면에 대한 제어되지 못한 질화 반응을 야기할 수 있다.

[0006] 따라서, 선택적 도펀트를 갖는 실리콘 및 실리콘-함유 화합물을 선택적으로 에피택셜방식으로 증착하기 위한 프로세스가 요구된다. 또한, 상기 프로세스는 빠른 증착률을 가지면서 다양한 원소 농도를 갖는 실리콘-함유 화합물을 형성하도록 융통적이어야 한다.

발명의 상세한 설명

[0007] 본 발명은 기관 상에 층을 에피택셜 증착하는 방법을 제공한다. 기관 표면 상에 실리콘-함유 재료를 에피택셜 형성하기 위한 방법은 프로세스 챔버 온도와 압력의 조절을 통해 캐리어 가스 뿐만 아니라 식각 가스로서 할로젠 함유 가스를 사용한다. 캐리어 가스로부터 식각 가스로 HCl을 변환시키는 것은 챔버 압력을 조절함으로써 용이하게 수행될 수 있기 때문에, 할로젠 함유 가스로서 HCl을 사용하는 것이 바람직하다.

[0008] 제 1 실시예에서, 기관 표면 상에 실리콘-함유 재료를 에피택셜 형성하는 방법이 개시된다. 방법은 단결정 표면과 적어도 제 2 표면을 갖는 기관을 프로세스 챔버에 배치하는 단계를 포함한다. 제 2 표면은 비정질 표면, 다결정 표면 또는 이들의 조합물들일 수 있다. 기관은 증착 가스에 노출되어, 단결정 표면 상에 에피택셜층을 증착하고 제 2 표면 상에 다결정층을 증착한다. 증착 가스는 실리콘 소스, 및 할로젠 함유 화합물을 포함하는 캐리어 가스를 포함한다. 순차적으로, 기관은 식각 가스에 노출되어 다결정층과 에피택셜층을 식각한다. 다결정층은 에피택셜층 보다 더 빠른 속도로 식각된다.

[0009] 제 1 실시예의 일 특징에 따라, 할로젠 함유 화합물은 HCl을 포함하고, HCl은 증착 동안에 캐리어 가스로서 사용되고, 식각 가스로도 사용된다.

[0010] 제 1 실시예의 다른 특징에 따라, 할로젠 함유 가스는 증착 동안에 캐리어 가스로서 사용되지만, 염화 탄화수소를 포함하는 식각 가스가 사용된다.

[0011] 제 2 실시예에서, 프로세스 챔버에 배치된 기관 상에 실리콘-함유 재료를 에피택셜 형성하는 방법이 개시된다. 기관은 비정질 표면, 다결정 표면 및 이들의 조합물로 이루어진 그룹에서 선택된 제 2 표면, 및 단결정 표면을

포함한다. 상기 방법은 단결정 표면 상에 에피택셜층을 증착하고 제 2 표면 상에 다결정층을 증착하기 위해, 프로세스 챔버로의 할로젠 함유 가스의 유동을 제 1 유량(flow rate)으로 제어하는 단계; 및 다결정층과 에피택셜층을 식각하기 위해 프로세스 챔버로의 할로젠 함유 가스의 유량을 제 2 유량으로 제어하는 단계를 포함한다.

실시예

- [0018] 본 발명의 실시예들은 전자 장치를 제조하는 동안 기판의 단결정 표면 상에 실리콘-함유 물질을 선택적으로 에피택셜 증착하기 위한 프로세스들을 제공한다. 단결정 표면(예를 들어, 실리콘 또는 실리콘 게르마늄) 및 비정질 표면 및/또는 다결정 표면(예를 들어, 산화물 또는 질화물)과 같은 적어도 하나의 제 2 표면을 포함하는 패터닝된 기판이 에피택셜 프로세스에 노출되어 제 2 표면 상에 다결정층의 형성을 제한하면서 또는 다결정층을 형성하지 않으면서 단결정 표면상에 에피택셜층을 형성할 수 있다. 또한 교대식 가스 공급(AGS) 프로세스라 불리는 에피택셜 프로세스는 목표된 두께의 에피택셜층이 성장될 때까지 증착 프로세스 및 식각 프로세스의 주기를 반복하는 단계를 포함한다.
- [0019] 증착 프로세스는 기판 표면을 적어도 실리콘 소스 및 캐리어 가스를 함유하는 증착 가스에 노출시키는 단계를 포함한다. 증착 가스는 게르마늄 소스 또는 탄소 소스 및 도펀트 소스를 포함할 수 있다. 증착 프로세스 동안, 기판의 단결정 표면상에 에피택셜층이 형성되며 다결정층은 비정질 및/또는 다결정 표면들과 같은 제 2 표면들에 형성된다. 순차적으로, 기판은 식각 가스에 노출된다. 식각 가스는 캐리어 가스 및 염소 가스 또는 염화 수소와 같은 에천트를 포함한다. 식각 가스는 증착 프로세스 동안 증착된 실리콘-함유 물질을 제거한다. 식각 프로세스 동안, 다결정층은 에피택셜층 보다 빠른 속도로 제거된다. 따라서, 증착 및 식각 프로세스의 최종 결과는 제 2차 표면상에서의 다결정 실리콘-함유 물질의 성장을 최소화시키면서 단결정 표면상에 에피택셜 성장된 실리콘-함유 물질을 형성한다. 증착 및 식각 프로세스의 주기는 원하는 두께의 실리콘-함유 물질을 얻는 것이 요구됨에 따라 반복될 수 있다. 본 발명의 실시예에 따라 증착될 수 있는 실리콘-함유 물질은 실리콘, 실리콘 게르마늄, 실리콘 탄소, 실리콘 게르마늄 탄소, 및 이들의 도펀트 변형물을 포함한다.
- [0020] 일반적으로, 증착 프로세스는 식각 반응 보다 낮은 온도에서 수행될 수 있으며, 이는 에천트가 활성화되기 위해서는 높은 온도를 요구하기 때문이다. 예를 들어, 실란은 약 500°C 이하에서 실리콘을 증착하기 위해 열적으로 분해될 수 있으며, 염화 수소는 효과적인 에천트로서 작용하기 위해 약 700°C 이상의 활성 온도를 요구한다. 따라서, 염화 수소가 AGS 프로세스 동안 사용될 경우, 전체 프로세스 온도는 에천트가 활성화되는데 필요한 보다 높은 온도에 따라 설정된다.
- [0021] AGS 프로세스의 일 예에서, 희가스 또는 질소와 같은 불활성 가스가 수소와 같은 통상적인 캐리어 가스 대신 증착 및 식각 프로세스 동안 캐리어 가스로 이용된다. 불활성 캐리어 가스의 사용은 AGS 프로세스 동안 몇 가지 특성을 갖는다. 예를 들어, 불활성 캐리어 가스는 실리콘-함유 물질의 증착률을 증가시킬 수 있다. 수소가 증착 프로세스 동안 캐리어 가스로 사용될 수 있지만, 수소는 수소-종료 표면을 형성하기 위해 표면에 흡수되거나 또는 표면과 반응하는 경향을 갖는다. 수소-종료 표면은 베어(bare) 실리콘 표면 보다 에피택셜 성장이 매우 느리다. 따라서, 불활성 캐리어 가스의 사용은 증착 반응에 악영향을 미치지 않아 증착률을 증가시킨다.
- [0022] 할로젠 함유 가스가 캐리어 가스로서 사용될 수 있다는 것이 발견되었다. 매우 특정한 조건들 하에서, 할로젠 함유 가스는 물질을 식각하지 않을 것이다. 할로젠 함유 가스는 불활성 가스로서 작용할 것이다. 캐리어 가스로서 할로젠 함유 가스를 사용하는 장점은 할로젠 함유 가스가 식각 단계 동안에 에천트로서 또는 증착 단계 동안에 불활성 캐리어 가스로서 사용하도록 조정될 수 있다는 점이다. 둘 중 한가지 사용을 위한 할로젠 함유 가스의 조정은 온도와 압력에 의해 제어된다. 식각 임계값 아래로 할로젠 함유 가스를 유지시킴으로써, 할로젠 함유 가스가 효과적인 캐리어 가스로서 기능할 것이다. 식각 임계값은 사용되는 특정 할로젠 함유 가스에 따라 가변된다.
- [0023] 이원자(diatomic) 할로젠들이 사용될 수 있지만, 이들은 낮은 프로세스 챔버 온도들(즉, 약 550°C 미만)과 매우 낮은 농도들에서 사용될 필요가 있다. 이원자 할로젠과 할로젠 함유 가스의 혼합물을 사용할 수 있다. 바람직하게는, 할로젠 함유 가스는 HCl, HBr, 및 HI로부터 선택되고, HCl이 가장 바람직하다. 미량의 Cl₂가 HCl에 첨가되어 식각 단계 동안 HCl의 반응성을 증가시킨다. Ar 또는 He와 같은 임의의 불활성 가스 또는 미량의 H₂ 또는 N₂가 증착 단계 동안 HCl의 반응성을 제어하기 위해 첨가될 수 있다. 특정 파라미터들은 약 500°C 내지 약 650°C의 프로세스 챔버 동작 온도, 및 약 1 Torr 내지 약 100 Torr의 프로세스 챔버 동작 압력을 포함한다. Cl₂ 대신에 HCl을 이용하는 장점들이 몇가지 있다. HCl은 Cl₂만큼 많이 성장 막을 공격하지 않는다. Cl₂와 대

조적으로 HCl을 이용한 최종 막에는 결함들이 보다 적다.

- [0024] 프로세스 챔버 증착 온도들(즉, 약 500°C 내지 약 650°C)에서, HCl 식각 효율은 일반적으로 현저하게 감소된다. 따라서, 500°C-650°C의 프로세스 챔버 증착 온도들에 대해, HCl은 불활성 가스로서 작용한다. 이러한 낮은 프로세스 챔버 온도들에서 동작할 때, HCl은 효율적으로 식각하지 않을 것이다. 이러한 낮은 프로세스 챔버 온도들에서 HCl을 이용하여 식각하기 위해, 압력을 증가시킬 필요가 있다.
- [0025] 낮은 유량(즉, 약 60 내지 약 600 sccm)과 높은 유량(즉, 약 2,000 내지 약 20,000 sccm) 간에 HCl 유동(flow)을 조절함으로써, 교대하는 증착/식각 사이클이 달성된다. 증착 단계는 비효율적인 식각 또는 성장 단계로서 HCl 유동이 낮다. 효율적인 식각 단계는 높은 HCl 유동에서 발생한다. 유동을 조절함으로써, 펌핑 속도의 변화 없이 낮은 압력 증착 단계들 사이에 높은 압력 식각이 수행된다. 압력 제어는 큰 비용 부담이 없다. 도 5A-5C는 시간에 따른 HCl 유동, 총 챔버 압력, 및 소스 가스 유동의 비교를 나타낸다. 소스 가스는 증착 단계 동안 챔버에 제공된다. HCl 가스는 일정하게 제공되지만, 증착 단계 동안, HCl은 보다 낮은 유량(즉, 약 60 내지 약 600 sccm)에서 제공된다. 증착 단계 동안의 총 챔버 압력은 약 1 내지 약 100 Torr이다. 작은 양의 식각이 증착 단계 동안 발생할 수 있지만, 최소가 될 것이다. 식각 단계 동안, 소스 가스는 차단되고, HCl 가스 유동은 증가된다(즉, 약 2,000 내지 약 20,000 sccm). 총 챔버 압력은 약 30 내지 약 100 Torr로 증가된다. 식각 단계 동안, 증착이 이루어지지 않을 것이다. 증착 단계 및 식각 단계는 대략적으로 동일한 길이를 갖는다. 증착 단계는 약 5초 내지 약 25초 동안 지속되고, 식각 단계는 약 10초 내지 약 30초 동안 지속된다. 소스 가스는 Si, Ge, C, 및 이들의 조합물들을 포함할 수 있다.
- [0026] 종종, 낮은 챔버 증착 온도들(즉, 약 500°C 내지 약 650°C), 및 낮은 챔버 압력들(즉, 약 50 Torr 미만)에서 동작할 수 있다. 그러나, 낮은 압력들에서, HCl은 효과적으로 식각하지 않을 것이다. 낮은 온도들과 압력들에서 Cl₂를 부가하는 것은 너무 공격적(aggressive)이기 때문에 옵션이 아니다. 염화 탄화수소들은 매력적인 대안이다.
- [0027] 염화 탄화수소에 의해, C-Cl 결합을 함유한 탄화수소를 포함하는 것으로 이해된다. 예시적인 염화 탄화수소들의 예들은 클로로알킬들(즉, 메틸 클로라이드, 디클로로메탄, 클로로폼, 탄소 테트라클로라이드, 에틸 클로라이드 등), 클로로알켄들, 염소 대용 페닐들, 및 클로로알킬들을 포함한다.
- [0028] 식각 실리콘 기질의 막들에서 염화 탄화수소가 효과적이기 위하여, 염소가 대체되고 침입형이지 않도록 C-Cl 결합 세기는 Si-Cl 결합 세기보다 더 약해야 한다. Cl이 결합되는 탄화수소의 특성은 이용가능한 염소의 결합 세기를 결정한다. 염화 탄화수소는 동시에(즉, 공동-유동됨) 또는 교대로(즉, 주기적 증착/식각 방법) 임의의 실리콘 및 탄소 소스 가스와 함께 사용될 수 있다. 염화 탄화수소는 임의의 프로세스 챔버 온도 또는 압력에서 사용될 수 있다. 염화 탄화수소는 기체, 액체, 또는 고체일 수 있지만, 높은 증기압을 갖는 것이 바람직하다. 또한, 염화 탄화수소는 고순도일 수 있다.
- [0029] 상기한 예에서, 염화 탄화수소는 프로세스의 에천트로서 사용되고, HCl은 증착 단계 동안 불활성 캐리어 가스로서 사용된다. 그러나, 염화 탄화수소는 증착 단계 동안 임의의 불활성 캐리어 또는 백그라운드 가스와 조합된 에천트로서 사용될 수 있다. 염화 탄화수소는 약 50 Torr 이하의 프로세스 챔버 압력들에서 식각 단계가 수행될 수 있도록 한다.
- [0030] 본 명세서 전반에서, '실리콘-함유' 물질, 화합물(compound), 막 또는 층이란 용어들은 적어도 실리콘을 함유하는 조성물을 포함하도록 구성되어야 하며 게르마늄, 탄소, 붕소, 비소, 포스포러스 갈륨 및/또는 알루미늄을 포함할 수 있다. 금속, 할로젠 또는 수소와 같은 다른 원소가 실리콘-함유 물질, 화합물, 막 또는 층에 ppm(part per million) 농도로 통합될 수 있다. 실리콘-함유 물질의 화합물 또는 합금은 실리콘에 대해 Si, 실리콘 게르마늄에 대해 SiGe, 실리콘 탄소에 대해 SiC, 그리고 실리콘 게르마늄 탄소에 대해 SiGeG와 같은 약어로 표현될 수 있다. 이러한 약어는 화학량론적인 관계를 갖는 화학 방정식 또는 실리콘-함유 물질의 임의의 특정한 환원/산화 상태를 나타내는 것은 아니다.
- [0031] 도 1은 실리콘-함유층을 증착하는데 이용되는 에피택셜 프로세스(100)의 예를 나타낸다. 프로세스(100)는 프로세스 챔버 속으로 패터닝된 기판을 장착하고 원하는 온도 및 압력으로 프로세스 챔버의 내부 조건을 조절하는 단계(110)를 포함한다. 단계(120)는 기판의 비정질 및/또는 다결정 표면 상에 다결정층을 형성하면서 기판의 다결정 표면상에 에피택셜층을 형성하는 증착 프로세스를 제공한다. 단계(130) 동안, 증착 프로세스는 종료된다. 단계(140)는 기판 표면을 식각하기 위한 식각 프로세스를 제공한다. 바람직하게, 다결정층은 에피택셜층보다 빠른 속도로 식각된다. 식각 단계는 에피택셜층의 가장자리 부분만을 남겨두면서 다결정층을 최소화시키

거나 또는 완전히 제거한다. 단계(150) 동안, 식각 프로세스가 종료된다. 에피택셜층 및 다결정층의 두께는 단계(160) 동안 결정된다. 에피택셜층 또는 다결정층의 예정된 두께가 달성되면, 에피택셜 프로세스(100)는 단계(170)에서 종료된다. 그러나 예정된 두께에 도달되지 않았다면, 단계(120-160)는 예정된 두께가 달성될 때까지 주기에 따라 반복된다.

[0032] 패터닝된 기판이 단계(110) 동안 프로세스 챔버에 장착된다. 패터닝된 기판은 기판 표면 속에 또는 기판 표면 상에 형성된 전기적 피쳐들을 포함하는 기판이다. 패터닝된 기판은 통상적으로 단결정 표면 및 다결정 또는 비정질 표면과 같이 비-단결정인 적어도 하나의 제 2 표면을 포함한다. 단결정 표면은 베어 결정성 기판 또는 통상적으로 실리콘, 실리콘 게르마늄 또는 실리콘 탄소와 같은 물질로 이루어진 증착된 단일 결정층을 포함한다. 다결정 또는 비정질 표면은 비정질 실리콘 표면과 마찬가지로 산화물 또는 질화물, 특히 실리콘 산화물 또는 실리콘 질화물과 같은 유전체 물질을 포함한다.

[0033] 에피택셜 프로세스(100)는 단계(110) 동안 패터닝된 기판을 포함하는 프로세스 챔버를 예정된 온도 및 압력으로 조절함으로써 시작된다. 기판은 특정하게 수행되는 프로세스에 따라 조절된다. 일반적으로 프로세스 챔버는 에피택셜 프로세스(100) 동안 일정한 온도로 유지된다. 그러나 일부 단계들은 가변 온도에서 수행될 수 있다. 프로세스 챔버는 약 250°C 내지 약 1000°C, 바람직하게는 약 500°C 내지 약 800°C, 보다 더 바람직하게는 약 550°C 내지 약 750°C 범위의 온도에서 유지된다. 에피택셜 프로세스(100)를 수행하기에 적합한 온도는 단계(120-140) 동안 실리콘-함유 물질을 증착 및/또는 식각하기 위해 사용되는 특정 프리커서에 따라 좌우될 수 있다. 캐리어 가스와 식각 가스로서 HCl을 이용할 때, 프로세스 챔버 압력은 식각 단계 동안 규정된 높은 압력과 증착 단계 동안 규정된 낮은 압력 간에 전환된다.

[0034] 증착 프로세스는 단계(120) 동안 수행된다. 패터닝된 기판은 제 2차 표면상에는 다결정성층을 형성하면서 단결정 표면상에는 에피택셜층을 형성하기 위해 증착 가스에 노출된다. 기판은 약 0.5초 내지 약 30초, 바람직하게는 약 5초 내지 약 25초의 시간 주기 동안 증착 가스에 노출된다. 증착 프로세스의 특정 노출 시간은 단계(140)에서의 식각 프로세스 동안 노출 시간, 및 프로세스에 이용되는 특정한 프리커서 및 온도와의 관계에서 결정된다. 기판은 후속 단계(140) 동안 쉽게 식각될 수 있는 최소 두께의 다결정층을 형성하면서 최대 두께의 에피택셜층을 형성하도록 충분히 오랫동안 증착 가스에 노출된다.

[0035] 증착 가스는 적어도 실리콘 소스 및 캐리어 가스를 포함하며, 게르마늄 소스 및/또는 탄소 소스와 같은 적어도 하나의 제 2 원소 소스를 포함할 수 있다. 또한, 증착 가스는 붕소, 비소, 인, 갈륨 및/또는 알루미늄과 같은 도펀트의 소스를 제공하기 위한 도펀트 화합물을 추가로 포함할 수 있다.

[0036] 실리콘 소스는 일반적으로 약 5sccm 내지 약 500sccm, 바람직하게는 약 10sccm 내지 약 300sccm, 보다 더 바람직하게는 약 50sccm 내지 약 200sccm, 예를 들어 약 100sccm 범위의 유량으로 프로세스 챔버에 제공된다. 실리콘-함유 화합물을 증착하기 위한 증착 가스에 유용한 실리콘 소스는 실란, 할로겐화 실란 및 유기실란을 포함한다. 실란은 실란(SiH₄) 및 디실란(Si₂H₆), 트리실란(Si₃H₈) 및 테트라실란(Si₄H₁₀)과 같이, 실험식 Si_xH_(2x+2)을 갖는 고차수(higher) 실란 등을 포함한다. 할로겐화 실란은 헥사클로로디실란(Si₂Cl₆), 테트라클로로실란(SiCl₄), 디클로로실란(Cl₂SiH₂) 및 트리클로로실란(Cl₃SiH)과 같이, 실험식 X'_ySi_xH_(2x+2-y)를 가지는 화합물을 포함하며, 여기서 X'=F, Cl, Br 또는 I이다. 유기실란은 메틸실란((CH₃)SiH₃), 디메틸실란((CH₃)₂SiH₂), 에틸실란((CH₃CH₂)SiH₃), 메틸디실란((CH₃)₂Si₂H₅), 디메틸디실란(CH₃)₂Si₂H₄) 및 헥사메틸디실란((CH₃)₆Si₂)와 같이, 실험식 R_ySi_xH_(2x+2-y)를 가지는 화합물을 포함하며, 여기서 R=메틸, 에틸, 프로필 또는 부틸이다. 유기실란 화합물은 증착된 실리콘-함유 화합물에 탄소가 통합되는 실시예에서 바람직한 실리콘 소스 및 탄소 소스인 것으로 밝혀졌다. 바람직한 실리콘 소스는 실란, 디클로로실란 및 디실란을 포함한다.

[0037] 일반적으로 캐리어 가스와 함께 실리콘 소스가 프로세스 챔버에 제공된다. 캐리어 가스는 약 60 sccm 내지 약 600 sccm의 유량을 갖는다. 캐리어 가스는 질소(N₂), 수소(H₂), 아르곤, 헬륨 및 이들의 조합물을 포함할 수 있다. HCl은 바람직한 캐리어 가스이다. 캐리어 가스는 사용되는 프리커서(들) 및/또는 에피택셜 프로세스(100) 동안 프로세스 온도에 기초하여 선택될 수 있다. 통상적으로 캐리어 가스는 각각의 단계(110-150)에 대해 동일하다. 그러나 일부 실시예는 특정 단계들에서 상이한 캐리어 가스들을 사용할 수 있다. 예를 들어, HCl은 단계(120)에서 실리콘 소스와 함께 그리고 단계(140)에서는 에천트와 함께 캐리어 가스로 이용될 수 있다.

[0038] 단계(120) 동안 사용되는 증착 가스는 게르마늄 소스 및/또는 탄소 소스와 같이, 적어도 하나의 제 2 원소 소스를 포함할 수도 있다. 실리콘 게르마늄 물질과 같은 실리콘-함유 화합물을 형성하기 위해, 실리콘 소스 및 캐

리어 가스와 함께 게르마늄 소스가 프로세스 챔버에 부가될 수 있다. 통상적으로 게르마늄 소스는 약 0.1sccm 내지 약 20sccm, 바람직하게 약 0.5sccm 내지 약 10sccm, 보다 더 바람직하게는 약 1sccm 내지 약 5sccm, 예를 들어 약 2sccm 범위의 유량으로 프로세스 챔버에 제공된다. 실리콘-함유 화합물을 증착하는데 유용한 게르마늄 소스는 게르만(GeH_4), 고차수 게르만(higher germanes) 및 유기게르만을 포함한다. 고급 게르만은 디게르만(Ge_2H_6), 트리게르만(Ge_3H_8) 및 테트라게르만(Ge_4H_{10}) 등과 같이, 실험식 $\text{G}_x\text{H}_{(2x+2)}$ 을 가지는 화합물을 포함한다. 유기게르만은 메틸게르만($(\text{CH}_3)\text{GeH}_3$), 디메틸게르만($(\text{CH}_3)_2\text{GeH}_2$), 에틸게르만($(\text{CH}_3\text{CH}_2)\text{GeH}_3$), 메틸디게르만($(\text{CH}_3)_2\text{Ge}_2\text{H}_5$), 디메틸디게르만($(\text{CH}_3)_2\text{Ge}_2\text{H}_4$) 및 헥사메틸디게르만($(\text{CH}_3)_6\text{Ge}_2$)과 같은 화합물을 포함한다. 게르마늄 및 유기게르마늄 화합물은 증착된 실리콘-함유 화합물, 즉 SiGe 및 SiGeC 화합물 속에 게르마늄 및 탄소가 통합되는 실시예에서 바람직한 게르마늄 소스 및 탄소 소스라는 것이 밝혀졌다. 에피택셜층에서 게르마늄 농도는 약 1at% 내지 약 30 at% 범위, 예를 들어 약 20at%이다. 게르마늄 농도는 에피택셜층 내에서 차등화될 수 있으며, 바람직하게는 에피택셜층의 상부 부분 보다는 에피택셜층의 하부 부분에서 게르마늄 농도가 더 높도록 차등화된다.

[0039] 대안적으로, 실리콘 탄소 물질과 같은 실리콘-함유 화합물을 형성하기 위해 단계(120) 동안 실리콘 소스 및 캐리어 가스와 함께 탄소 소스가 프로세스 챔버에 부가될 수 있다. 일반적으로 탄소 소스는 약 0.1sccm 내지 약 20sccm, 바람직하게 약 0.5sccm 내지 약 10sccm, 보다 더 바람직하게는 약 1sccm 내지 약 5sccm, 예를 들어 약 2sccm 범위의 유량으로 프로세스 챔버에 제공된다. 실리콘-함유 화합물을 증착하는데 유용한 탄소 소스는 유기실란, 알킬, 알켄 및 에틸, 프로필 및 부틸의 알킨을 포함한다. 이러한 탄소 소스는 메틸실란(CH_3SiH_3), 디메틸실란($(\text{CH}_3)_2\text{SiH}_2$), 에틸실란($\text{CH}_3\text{CH}_2\text{SiH}_3$), 메탄(CH_4), 에틸렌(C_2H_4), 에티닐(C_2H_2), 프로판(C_3H_8), 프로필렌(C_3H_6), 부틴(C_4H_6) 등을 포함한다. 에피택셜층의 탄소 농도는 약 200ppm 내지 약 5at%, 바람직하게는 약 1at% 내지 약 3at%, 예를 들어 약 1.5at% 범위이다. 일 실시예에서, 탄소 농도는 에피택셜층 내에서 차등화될 수 있으며, 바람직하게는 에피택셜층의 최종 부분에서 보다는 에피택셜층의 초기 부분에서 더 낮은 탄소 농도를 갖도록 차등화된다. 선택적으로, 실리콘 게르마늄 탄소 물질과 같은 실리콘-함유 화합물을 형성하기 위해 단계(120) 동안 실리콘 소스 및 캐리어 가스와 함께 게르마늄 소스 및 탄소 소스가 부가될 수 있다.

[0040] 단계(120) 동안 사용되는 증착 가스는 붕소, 비소, 인, 갈륨 또는 알루미늄과 같은, 원소 도펀트의 소스를 제공하기 위해 적어도 하나의 도펀트 화합물을 더 포함할 수 있다. 도펀트는 전자 장치에 의해 요구되는 제어 및 요구된 경로에서의 방향성 전자 흐름과 같이, 다양한 도전 특성을 가지게 증착된 실리콘-함유 화합물을 제공한다. 실리콘-함유 화합물의 막들은 원하는 도전 특성을 달성하기 위해 특정 도펀트로 도핑된다. 일 실시예에서, 실리콘-함유 화합물은 약 10^{15} atoms/cm³ 내지 약 10^{21} atoms/cm³ 범위의 농도로 붕소가 첨가되도록 디보란을 사용함으로써, p-형으로 도핑된다. 일 실시예에서, p-형 도펀트는 적어도 5×10^{19} atoms/cm³의 농도를 갖는다. 또 다른 예에서, p-형 도펀트는 약 1×10^{20} atoms/cm³ 내지 약 2.5×10^{21} atoms/cm³ 범위이다. 또 다른 예에서, 실리콘-함유 화합물은 약 10^{15} atoms/cm³ 내지 10^{21} atoms/cm³ 범위의 농도의 인 및/또는 비소로 n-형 도핑된다.

[0041] 일반적으로 도펀트 소스는 약 0.1sccm 내지 약 20sccm, 바람직하게는 약 0.5sccm 내지 약 10sccm, 보다 더 바람직하게는 약 1sccm 내지 약 5sccm, 예를 들어 약 2sccm의 범위에서 단계(120) 동안 프로세스 챔버에 제공된다. 도펀트 소스로서 유용한 붕소-함유 도펀트는 보란들 및 유기보란(organoboranes)을 포함한다. 보란들은 보란, 디보란(B_2H_6), 트리보란, 테트라보란 및 펜타보란을 포함하며, 알킬보란은 실험식 $\text{R}_x\text{BH}_{(3-x)}$ 를 갖는 화합물을 포함하며, 여기서 R=메틸, 에틸, 프로필 또는 부틸이며 x = 1, 2 또는 3이다. 알킬보란은 트리메틸보란($(\text{CH}_3)_3\text{B}$), 디메틸보란($(\text{CH}_3)_2\text{BH}$), 트리에틸보란($(\text{CH}_3\text{CH}_2)_3\text{B}$) 및 디에틸보란($(\text{CH}_3\text{CH}_2)_2\text{BH}$)를 포함한다. 도펀트는 비소(AsH_3), 포스핀(PH_3) 및 실험식 $\text{R}_x\text{PH}_{(3-x)}$ 을 가지는 알킬포스핀을 포함하며, 여기서 R=메틸, 에틸, 프로필 또는 부틸이며 x = 1, 2 또는 3이다. 알킬포스핀은 트리메틸포스핀($(\text{CH}_3)_3\text{P}$), 디메틸포스핀($(\text{CH}_3)_2\text{PH}$), 트리메틸포스핀($(\text{CH}_3\text{CH}_2)_3\text{P}$) 및 디에틸포스핀($(\text{CH}_3\text{CH}_2)_2\text{PH}$)를 포함한다. 알루미늄 및 갈륨 도펀트 소스들은 실험식 $\text{R}_x\text{MX}_{(3-x)}$ 으로 표시되는 알킬화 및/또는 할로젠화 유도체들을 포함하며, 여기서 M = Al 또는 Ga이며, R = 메틸, 에틸, 프로필 또는 부틸이며, X = Cl 또는 F이며 x = 0, 1, 2 또는 3이다. 알루미늄 및 갈륨 도펀트 소스의 예로는 트리메틸알루미늄(Me_3Al), 트리에틸알루미늄(Et_3Al), 디메틸알루미늄클로라이드(Me_2AlCl), 알루미늄클로라이드(AlCl_3),

트리메틸갈륨(MeGa), 트리에틸갈륨(Et₃Ga), 디메틸갈륨클로라이드(Me₂GaCl) 및 갈륨클로라이드(GaCl₃)를 포함한다.

- [0042] 단계(130) 동안, 증착 프로세스는 종료된다. 일 실시예에서, 프로세스 챔버는 정화(purge) 가스 또는 캐리어 가스로 세정될 수 있고/세정될 수 있거나 진공 펌프로 배기될 수 있다. 정화 및/또는 배기 프로세스는 과잉 증착 가스, 반응 부산물 및 다른 오염물들을 제거한다. 또 다른 예에서, 일단 증착 프로세스가 종료되면, 프로세스 챔버의 정화 및/또는 배기 없이 단계(140)에서 즉시 식각 프로세스가 개시된다.
- [0043] 단계(140)에서 식각 프로세스는 단계(120) 동안 기관 표면으로부터 증착된 실리콘-함유 물질을 제거한다. 식각 프로세스는 에피택셜 또는 다결정 물질 및 비정질 또는 다결정 물질 모두를 제거한다. 기관 표면상에 증착된 다결정층은 에피택셜층 보다 빠른 속도로 제거된다. 식각 프로세스의 시간 주기는 증착 프로세스의 시간 주기와 일치하여 기관의 원하는 영역 상에 선택적으로 형성된 에피택셜층의 최종(net) 증착이 야기된다. 따라서, 단계(120)에서의 증착 프로세스 및 단계(140)에서의 식각 프로세스의 최종 결과로 다결정 실리콘-함유 물질의 성장을 최소화하면서 선택적으로 에피택셜 성장된 실리콘-함유 물질이 형성된다.
- [0044] 단계(140) 동안, 기관은 약 10초 내지 약 30초 범위의 시간 주기 동안 식각 가스에 노출된다. 염화 탄소 예천트는 약 10sccm 내지 약 700sccm, 바람직하게는 약 50sccm 내지 약 500sccm, 보다 더 바람직하게는 약 100sccm 내지 약 400sccm, 예를 들어 약 200sccm 범위의 유량으로 프로세스 챔버에 제공될 수 있다. HCl은 약 2,000 sccm 내지 약 20,000 sccm으로 제공될 수 있다.
- [0045] 식각 프로세스는 단계(150) 동안 종료된다. 일 실시예에서, 프로세스 챔버는 정화 가스 또는 캐리어 가스로 세정 및/또는 진공 펌프로 배기될 수 있다. 정화 및/또는 배기 프로세스는 과잉 식각 가스, 반응 부산물 및 다른 오염물을 제거한다. 또 다른 예에서, 일단 식각 프로세스가 종료되면, 프로세스 챔버의 정화 및/또는 배기 없이 즉시 단계(160)가 시작된다.
- [0046] 에피택셜층 및 다결정층의 두께는 단계(160) 동안 결정될 수 있다. 예정된 두께가 달성되면, 에피택셜 프로세스(100)가 단계(170)에서 종료된다. 그러나 예정된 두께가 달성되지 않았다면, 원하는 두께가 달성될 때까지 주기에 따라 단계(120-160)가 반복된다. 통상적으로 에피택셜층은 약 10Å 내지 약 2,000Å, 바람직하게는 약 100Å 내지 약 1,500Å, 보다 더 바람직하게는 약 400Å 내지 약 1,200Å, 예를 들어 800Å 범위의 두께를 갖도록 성장된다. 통상적으로 다결정층은 원자층 내지 약 500Å 범위의 두께로 증착된다. 에피택셜 실리콘-함유층 또는 다결정 실리콘-함유층의 원하는 또는 예정된 두께는 특정 제조 프로세스에 따라 정해진다. 일 실시예에서, 에피택셜층은 예정된 두께에 도달할 수 있지만 다결정층은 너무 두껍다. 단계(120, 130)를 건너뛰면서 단계(140-160)를 반복함으로써 과잉의 다결정층이 추가로 식각될 수 있다.
- [0047] 도 2A-2E에 도시된 것처럼, 일 실시예에서, 소스/드레인 연장부가 MOSFET 장치 내에 형성되며, 실리콘 함유층들은 기관 표면 상에 에피택셜방식으로 선택적으로 증착된다. 도 2A는 기관(230)의 표면 속에 이온들을 주입함으로써 형성된 소스/드레인 영역(232)을 나타낸다. 소스/드레인 영역(232)의 세그먼트들은 게이트 산화물층(235) 및 스페이서(234) 상에 형성된 게이트(236)에 의해 교락된다(bridged). 소스/드레인 연장부를 형성하기 위해, 소스/드레인 영역(232)의 부분이 식각되고 도 2B에 도시된 것처럼 리세스(238)를 형성하도록 습식-세정된다. 게이트(236)의 식각은 소스/드레인 영역(232)의 부분을 식각하기 이전에 하드마스크를 증착함으로써 방지될 수 있다.
- [0048] 도 2C는 본 명세서에서 개시되는 에피택셜 프로세스의 일 실시예를 나타내며, 실리콘-함유 에피택셜층(240) 및 선택적 다결정층(242)은 스페이서(234) 상에 증착되지 않고 동시에 선택적으로 증착된다. 다결정층(242)은 에피택셜 프로세스(100)의 단계들(120, 140)에서 증착 및 식각 프로세스를 조절함으로써 게이트(236) 상에 선택적으로 형성된다. 선택적으로, 다결정층(242)은 에피택셜층(240)이 소스/드레인 영역(232) 상에 증착됨에 따라 게이트(236)로부터 지속적으로 식각된다.
- [0049] 또 다른 예에서, 실리콘-함유 에피택셜층(240) 및 다결정층(242)은 약 1at% 내지 약 50at%, 바람직하게는 약 24at% 이하 범위의 게르마늄 농도를 갖는 SiGe-함유층이다. 다양한 양의 실리콘 및 게르마늄을 포함하는 다수의 SiGe-함유층이 적층되어 차등화된 원소 농도를 가지는 실리콘-함유 에피택셜층(240)이 형성된다. 예를 들어, 제 1 SiGe-층은 약 15at% 내지 약 25at% 범위의 게르마늄 농도로 증착될 수 있으며, 제 2 SiGe-층은 약 25at% 내지 약 35at% 범위의 게르마늄 농도로 증착될 수 있다.
- [0050] 또 다른 예에서, 실리콘-함유 에피택셜층(240) 및 다결정층(242)은 약 200ppm 내지 약 5at%, 바람직하게는 약 3at% 이하, 보다 더 바람직하게는 약 1at% 내지 약 2at%, 예를 들어 약 1.5at% 범위의 탄소 농도를 갖는 SiC-함

유층이다. 또 다른 실시예에서, 실리콘-함유 에피택셜층(240) 및 다결정층(242)은 약 1at% 내지 약 50at%, 바람직하게는 약 24at% 이하 범위의 게르마늄 농도, 및 약 200ppm 내지 약 5at%, 바람직하게는 약 3at% 이하, 보다 바람직하게는 약 1at% 내지 약 2at%, 예를 들어 약 1.5at% 범위의 탄소 농도를 가지는 SiGeC-함유층들이다.

[0051] Si, SiGe, SiC 또는 SiGeC를 포함하는 다수의 층들은 실리콘-함유 에피택셜층(240)내에서 차등화된 원소 농도가 형성되도록 순서가 변하게 증착될 수 있다. 일반적으로 실리콘-함유층들은 약 1×10^{19} atoms/cm³ 내지 약 2.5×10^{21} atoms/cm³, 바람직하게는 약 5×10^{19} atoms/cm³ 내지 약 2×10^{20} atoms/cm³ 범위의 농도를 가지는 도펀트(예를 들어, 붕소, 비소, 인, 갈륨 또는 알루미늄)로 도핑된다. 실리콘-함유 물질의 개별 층들에 첨가되는 도펀트들은 차등화된 도펀트들이다. 예를 들어, 실리콘-함유 에피택셜층(240)은 약 5×10^{19} atoms/cm³ 내지 약 1×10^{20} atoms/cm³ 범위의 도펀트 농도(예를 들어 붕소)를 갖는 제 1 SiGe-함유층 및 약 1×10^{20} atoms/cm³ 내지 약 2×10^{20} atoms/cm³ 범위의 도펀트 농도(예를 들어, 붕소)를 갖는 제 2 SiGe-함유층을 증착함으로써 형성된다.

[0052] SiC-함유층들 및 SiGeC-함유층들에 통합된 탄소는 일반적으로 실리콘-함유층의 증착에 바로 이어서 결정 격자의 침입형(interstitial) 지점들에 위치된다. 침입형 탄소 함량은 약 10at% 이하, 바람직하게는 약 5at% 미만 및 보다 더 바람직하게는 약 1at% 내지 약 3at%, 예를 들어, 약 2at%이다. 침입형 탄소 모두가 결정 격자의 치환형 지점으로 통합되지 않는 경우, 실리콘-함유 에피택셜층(240)은 적어도 일부분에 통합되도록 어닐링될 수 있다. 어닐링 프로세스는, 급속 열 프로세스(RTP)와 같은 스파이크 어닐링, 레이저 어닐링 또는 산소, 질소, 수소, 아르곤, 헬륨 또는 이들의 조합과 같은 가스 분위기에서의 열 어닐링을 포함할 수 있다. 어닐링 프로세스는 약 800°C 내지 약 1200°C, 바람직하게는 약 1050°C 내지 약 1100°C 범위 이내의 온도에서 수행된다. 어닐링 프로세스는 실리콘-함유층이 증착된 직후 또는 기판이 건될 수 있는 다양한 다른 프로세스 단계들 이후 이루어진다.

[0053] 다음 단계 동안, 도 2D는 스페이서(244), 일반적으로는 스페이서(234) 상에 증착된 질화물 스페이서(예를 들어, Si₃N₄)를 나타낸다. 일반적으로 스페이서(244)는 CVD 또는 ALD 기술에 의해 상이한 챔버내에 증착된다. 따라서, 기판은 실리콘-함유 에피택셜층(240)을 증착하기 위해 이용되는 프로세스 챔버로부터 제거된다. 2개 챔버들 사이에서의 이송 동안, 기판은 온도, 압력 또는 물 및 산소를 함유하는 대기 공기(atmospheric air)와 같은, 대기 조건에 노출될 수 있다. 스페이서(244)를 증착할 때, 또는 다른 반도체 프로세스(예를 들어, 어닐링, 증착 또는 이온 주입)를 수행할 때, 기판은 용기층(elevated layer)(248)을 증착하기 이전의 제 2 시간 동안 대기 조건에 노출될 수 있다. 일 실시예에서, 게르마늄을 갖지 않거나 또는 최소 게르마늄(예를 들어, 약 5at% 미만)을 가지는 에피택셜층(비도시)은 대기 조건에 기판이 노출되기 이전에 에피택셜층(240) 상부에 증착되며, 이는 자연 산화물이 약 5at% 보다 큰 게르마늄 농도로 형성된 에피택셜층으로부터 보다는 최소 게르마늄 농도를 함유한 에피택셜층으로부터 더 쉽게 제거되기 때문이다.

[0054] 도 2E는 실리콘-함유 물질이 포함된 용기층(248)이 선택적으로 에피택셜하게 증착된 에피택셜층(240)(예를 들어, 도핑된 SiGe)인 또 다른 예를 나타낸다. 증착 프로세스 동안, 다결정층(242)은 게이트(236)상에 추가로 성장, 증착 또는 식각된다.

[0055] 바람직한 실시예에서, 용기층(248)은 게르마늄 또는 탄소를 약간 포함하거나 또는 포함하지 않게 에피택셜 증착된 실리콘이다. 그러나 대안적 실시예에서, 용기층(248)은 게르마늄 및/또는 탄소를 함유한다. 예를 들어, 용기층(248)은 약 5at% 이하의 게르마늄을 가질 수 있다. 또 다른 예에서, 용기층(248)은 약 2at% 이하의 탄소를 가질 수 있다. 용기층(248)에는 붕소, 비소, 인, 알루미늄 또는 갈륨과 같은 도펀트로 도핑될 수 있다.

[0056] 실리콘-함유 화합물은 바이폴라 장치 제조(예를 들어, 베이스, 이미터, 콜렉터, 이미터 콘택), BiCMOS 장치 제조(예를 들어, 베이스, 이미터, 콜렉터, 이미터 콘택) 및 CMOS 장치 제조(예를 들어, 채널, 소스/드레인, 소스/드레인 연장부, 용기된 소스/드레인, 기판, 변형된 실리콘, 실리콘 온 인슐레이터 및 콘택 플러그)를 위해 사용되는 실리콘-함유층을 증착하기 위해 프로세스의 실시예들에서 이용된다. 프로세스들의 또 다른 실시예들은 게이트, 베이스 콘택, 콜렉터 콘택, 이미터 콘택, 용기된 소스/드레인 및 다른 용도로 사용될 수 있는 실리콘-함유층들의 성장을 나타낸다.

[0057] 프로세스들은 도 3A-3C에 도시된 것처럼 MOSFET 및 바이폴라 트랜지스터에 선택적, 에피택셜 실리콘-함유층들을 증착하는데 있어 매우 유용하다. 도 3A-3B는 MOSFET 장치상에서의 실리콘-함유 화합물의 에피택셜 성장을 나타낸다. 실리콘-함유 화합물은 장치의 소스/드레인 피쳐 상에 증착된다. 실리콘-함유 화합물은 하부층의 결정 격자들과 부착되어 성장되며 실리콘-함유 화합물이 원하는 두께로 성장될 때까지 이러한 배열을 유지한다. 도

3A는 리세스형 소스/드레인 층으로 증착된 실리콘-함유 화합물을 나타내며, 도 3B는 리세스형 소스/드레인 층 및 용기된 소스/드레인 층으로 증착된 실리콘-함유 화합물을 나타낸다.

[0058] 소스/드레인 영역(312)은 이온 주입에 의해 형성된다. 기판(310)은 n-형으로 도핑되는 반면, 소스/드레인 영역(312)은 p-형으로 도핑된다. 실리콘-함유 에피택셜층(313)은 소스/드레인 영역(312) 상에 선택적으로 및/또는 기판(310) 상에 직접 성장된다. 실리콘-함유 에피택셜층(314)은 본 발명의 특징들에 따라 실리콘-함유층(313) 상에 선택적으로 성장된다. 게이트 산화물층(318)은 세그먼트 실리콘-함유층(313)을 연결시킨다. 게이트 산화물층(318)은 실리콘 이산화물, 실리콘 산질화물 또는 하프늄 산화물로 구성된다. 스페이서(316)는 게이트 산화물층(318)를 부분적으로 둘러싸며, 스페이서(316)는 일반적으로 질화물/산화물 스택(예를 들어, $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$)과 같은 절연 물질이다. 게이트층(322)(예를 들어, 폴리실리콘)은 도 3A에 도시된 것처럼, 수직 측면들을 따르는, 실리콘 이산화물과 같은 보호층(319)을 포함할 수 있다. 대안적으로, 게이트층(322)은 한쪽 측면 상에 배치되는 오프셋층들(320)(예를 들어, Si_3N_4) 및 스페이서(316)를 포함할 수 있다.

[0059] 또 다른 실시예에서, 도 3C는 바이폴라 트랜지스터의 베이스층으로 증착된 실리콘-함유 에피택셜층(334)을 나타낸다. 실리콘-함유 에피택셜층(334)은 본 발명의 다양한 실시예에 따라 선택적으로 성장된다. 실리콘-함유 에피택셜층(334)은 기판(330) 상에 미리 증착된 n-형 콜렉터층(332) 상에 증착된다. 또한 트랜지스터는 절연층(333)(예를 들어, SiO_2 또는 Si_3N_4), 콘택층(336)(예를 들어, 고농도로 도핑된 폴리-Si), 오프셋층(338)(예를 들어, Si_3N_4), 및 제 2 절연층(340)(예를 들어, SiO_2 또는 Si_3N_4)을 더 포함한다.

[0060] 대안적인 실시예에서, 도 4는 실리콘-함유 물질/층을 선택적으로 증착하는데 이용될 수 있는 에피택셜 프로세스(400)를 나타낸다. 에피택셜 프로세스(400)는 식각 프로세스가 이어지는 적어도 2개의 증착 프로세스를 포함한다. 제 1 증착 프로세스는 실리콘 소스를 함유하는 증착 가스를 포함하는 반면 제 2 증착 프로세스는 게르마늄, 탄소 또는 도펀트(예를 들어, 붕소, 비소, 인, 갈륨 또는 알루미늄)와 같은, 제 2 원소 소스를 함유하는 증착 가스를 포함한다. 온도, 압력, 유량, 캐리어 가스 및 프리커서와 같이, 에피택셜 프로세스(100)에 사용되는 것과 유사한 프로세스 파라미터들이 에피택셜 프로세스(400)에 사용된다.

[0061] 에피택셜 프로세스(400)는 프로세스 챔버에 패터닝된 기판을 장착하고 예정된 온도로 프로세스 챔버를 조절하는 단계(410)를 포함한다. 단계(420)는 비결정 및/또는 다결정 표면을 형성하면서 단결정 표면 상에 에피택셜층을 형성하기 위한 제 1 증착 프로세스를 제공한다. 에피택셜층 및 단결정층은 실리콘 소스를 함유하는 장착 가스로부터 형성된다. 단계(430) 동안, 제 1 증착 프로세스가 종료된다. 단계(440)는 단결정 표면 상에 에피택셜층 성장을 지속하고 제 2 표면 상에 다결정층 형성을 지속하기 위한 제 2 증착 프로세스를 제공한다. 에피택셜층 및 다결정층은 제 2 원소 소스를 포함하는 증착 가스에 기판 표면을 노출시킴으로써 추가로 성장된다. 단계(450)에서, 제 2 증착 프로세스가 종료된다. 단계(460)는 노출된 실리콘-함유층들을 식각하기 위한 식각 프로세스를 제공한다. 식각 프로세스는 각각의 물질이 제거되는 속도에 따라 에피택셜층의 가장자리 부분만을 제거하면서 다결정층을 완전히 제거하거나 최소화시킨다. 단계(470) 동안, 식각 프로세스가 종료된다. 에피택셜층과 다결정층의 두께는 단계(480) 동안 결정된다. 예정된 두께가 달성될 경우, 에피택셜 프로세스(400)는 단계(490)에서 종료된다. 그러나 어느 하나의 층이 예정된 두께에 도달하지 못했다면, 예정된 두께가 달성될 때까지 주기에 따라 단계들(420-480)이 반복된다.

[0062] 에피택셜 프로세스(400)는 패터닝된 기판을 포함하는 프로세스 챔버를 예정된 온도로 조절함으로써 단계(410)에서 시작된다. 온도 및 압력은 수행되는 특정 프로세스에 따라 조절된다. 프로세스 챔버는 에피택셜 프로세스(400) 동안 일정한 온도로 유지된다. 그러나 몇몇 단계들은 가변하는 온도들에서 수행될 수 있다. 프로세스 챔버는 약 500°C 내지 약 650°C 범위의 온도로 유지된다. 에피택셜 프로세스(400)를 수행하는데 적합한 온도는 단계들(420-480) 동안 실리콘-함유 물질들을 증착 및/또는 식각하는데 이용되는 특정 프리커서들에 좌우될 수 있다. 프로세스 챔버는 약 1 Torr 내지 약 100 Torr의 압력으로 유지된다.

[0063] 제 1 증착 프로세스는 단계(420) 동안 수행된다. 패터닝된 기판은 제 2 표면들 상에 다결정층을 형성하면서 단결정 표면 상에 에피택셜층을 형성하기 위해 제 1 증착 가스에 노출된다. 기판은 약 5초 내지 약 25초의 시간 주기 동안 제 1 증착 가스에 노출된다. 증착 프로세스의 특정한 노출 시간은 단계(460)에서의 식각 프로세스 동안의 노출 시간, 및 프로세스에 이용되는 특정 프리커서들 및 온도와 관련하여 결정된다. 기판은 후속 단계(460) 동안 용이하게 식각될 수 있는 다결정층의 최소 두께를 형성하면서 에피택셜층의 최대 두께를 형성하기에 충분하게 오랫동안 제 1 증착 가스에 노출된다.

[0064] 제 1 증착 가스는 적어도 실리콘 소스 및 캐리어 가스를 포함한다. 제 1 증착 가스는 제 2 원소 소스 및/또는

도펀트 화합물을 포함할 수도 있으나, 바람직하게 제 2 원소 소스 및 도펀트 소스는 제 2 증착 가스에 포함된다. 따라서, 일 특징에서, 제 1 증착 가스는 실리콘 소스, 제 2 원소 소스 및 도펀트 소스를 포함할 수 있다. 다른 특징에서, 제 1 증착 가스는 실리콘 소스 및 제 2 원소 소스를 포함한다. 또 다른 특징에서, 제 1 증착 가스는 실리콘 소스 및 도펀트 소스를 포함한다. 대안적 실시예에서, 제 1 증착 가스는 염화 수소 또는 염소와 같은, 적어도 하나의 에천트를 포함할 수도 있다.

[0065] 일반적으로 실리콘 소스는 약 5sccm 내지 약 500sccm, 바람직하게는 약 10sccm 내지 약 300sccm, 보다 더 바람직하게는 약 50sccm 내지 약 200sccm, 예를 들어 약 100sccm 범위의 유량으로 프로세스 챔버에 제공된다. 바람직한 실리콘 소스는 실란, 디클로로실란 및 디실란을 포함한다.

[0066] 일반적으로 실리콘 소스는 캐리어 가스로 프로세스 챔버에 제공된다. 캐리어 가스는 약 60 sccm 내지 약 600 sccm의 유량을 갖는다. 캐리어 가스는 질소(N₂), 수소(H₂), 아르곤, 헬륨, HCl 및 이들의 조합물들을 포함할 수 있다. HCl은 특정 조건들 하에서 에천트 또는 불활성으로서 기능하는 특성 때문에 바람직한 캐리어 가스이다.

[0067] 단계(430) 동안, 제 1 증착 프로세스가 종료된다. 일 예에서, 프로세스 챔버는 정화 가스 및/또는 캐리어 가스로 세정 및/또는 진공 펌프로 배기될 수 있다. 정화 및/또는 배기 프로세스는 과잉 증착 가스, 반응 부산물 및 다른 오염물을 제거한다. 또 다른 예에서, 일단 제 1 증착 프로세스가 종료되면, 프로세스 챔버의 정화 및/또는 배기 없이 즉시 단계(440)에서 제 2 증착 프로세스가 시작된다.

[0068] 단계(440) 동안 이용되는 증착 가스는 게르마늄 소스, 탄소 소스 및/또는 도펀트 화합물과 같은 적어도 하나의 제 2 원소 소스, 및 캐리어 가스를 포함한다. 선택적으로, 실리콘 소스는 제 2 증착 가스에 포함될 수 있다. 제 2 원소 소스는 단계(420) 동안 증착된 실리콘-함유 화합물의 성장이 지속되도록 캐리어 가스와 함께 프로세스 챔버에 첨가된다. 실리콘-함유 화합물은 특정 제 2 원소 소스 및 제 2 원소 소스의 농도에 의해 제어되는 가변 조성물들을 갖는다. 일반적으로 제 2 원소 소스는 약 0.1sccm 내지 약 20sccm, 바람직하게는 약 0.5sccm 내지 약 10sccm, 보다 더 바람직하게는 약 1sccm 내지 약 5sccm, 예를 들어 약 2sccm 범위의 유량으로 프로세스 챔버에 제공된다. 게르마늄 소스, 탄소 소스 및 도펀트 화합물은 앞서 개시된 전술한 프리커서들로부터 선택된다.

[0069] 단계(450) 동안, 제 2 증착 프로세스가 종료된다. 일 예에서, 프로세스 챔버는 퍼지 가스 또는 캐리어 가스로 세정되고 및/또는 진공 펌프로 배기될 수 있다. 퍼지 및/또는 배기 프로세스들은 과잉 증착 가스, 반응 부산물 및 다른 오염물을 제거한다. 또 다른 예에서, 제 2 증착 프로세스가 종료되면, 프로세스 챔버의 퍼지 및/또는 배기 없이 단계(460)에서 식각 프로세스가 즉시 시작된다.

[0070] 단계(460)에서 식각 프로세스는 기관 표면으로부터 단계(420-440) 동안 증착된 물질을 제거한다. 식각 프로세스는 에피택셜 또는 단결정 물질, 및 비정질 및/또는 다결정 물질 모두를 제거한다. 기관 표면 상에 증착된 다결정층들은 에피택셜층들보다 빠른 속도로 제거된다. 식각 프로세스의 시간 주기는 2개의 증착 프로세스들의 시간 주기와 일치한다. 따라서, 단계들(420 및 440)에서의 증착 프로세스들, 및 단계(460)에서의 식각 프로세스의 최종 결과는 다결정 실리콘-함유 물질의 성장을 최소화하면서 선택적으로 에피택셜 성장된 실리콘-함유 물질을 형성하는 것이다. 단계(460) 동안, 기관은 약 10초 내지 약 30초 범위의 시간 주기 동안 식각 가스에 노출된다.

[0071] 식각 프로세스는 단계(470) 동안 종료된다. 일 예에서, 프로세스 챔버는 퍼지 가스 또는 캐리어 가스로 세정되고 및/또는 진공 펌프로 배기될 수 있다. 퍼지 및/또는 배기 프로세스는 과잉 식각 가스, 반응 부산물 및 다른 오염물들을 제거한다. 또 다른 예에서, 식각 프로세스가 종료되면, 프로세스 챔버의 퍼지 및/또는 배기 없이 즉시 단계(480)가 시작된다.

[0072] 에피택셜층 및 다결정층의 두께는 단계(480) 동안 결정될 수 있다. 예정된 두께가 달성되면, 에피택셜 프로세스(400)가 단계(490)에서 종료된다. 그러나 예정된 두께가 달성되지 않았다면, 원하는 두께가 달성될 때까지 주기에 따라 단계들(420-480)이 반복된다. 통상적으로 에피택셜층은 약 10Å 내지 약 2,000Å, 바람직하게는 약 100Å 내지 약 1,500Å, 보다 더 바람직하게는 약 400Å 내지 약 1,200Å, 예를 들어 800Å 범위의 두께를 갖도록 성장된다. 통상적으로 다결정층은 원자층 내지 약 500Å 범위의 두께로 증착된다. 에피택셜 실리콘-함유층 또는 다결정 실리콘-함유층의 원하는 또는 예정된 두께는 특정 제조 프로세스에 따라 정해진다. 일 실시예에서, 에피택셜층은 예정된 두께에 도달할 수 있지만 다결정층은 너무 두껍다. 단계(460, 470)를 생략하면서 단계(420-480)를 반복함으로써 과잉의 다결정층이 추가로 식각될 수 있다. 마찬가지로, 다른 실시예에서, 에피택셜 프로세스(400)를 수행하는 동안 단계(420, 440, 460)는 개별적으로 생략될 수 있다. 단계(420, 440,

460)를 생략함으로써, 증착된 실리콘-함유 물질의 원소 농도 및 두께가 제어될 수 있다.

[0073] 본 발명의 실시예들은 다양한 기판 상에서 실리콘-함유 화합물을 증착하는 프로세스를 개시한다. 본 발명의 실시예에 이용될 수 있는 기판은 결정 실리콘(예를 들어, Si<100> 및 Si<111>), 실리콘 산화물, 실리콘 게르마늄, 도핑 또는 비도핑 웨이퍼, 및 패터닝 또는 패터닝되지 않은 웨이퍼와 같은 반도체 웨이퍼로 제한되지 않는다. 기판은 다양한 기하구조(예를 들어, 원형, 사각형 및 직사각형) 및 크기(예를 들어, 200mm OD, 300mm OD)를 가질 수 있다.

[0074] 일 실시예에서, 본 명세서에 개시된 프로세스에 의해 증착된 실리콘-함유 화합물은 약 0at% 내지 약 95at% 범위 내의 게르마늄 농도를 포함한다. 또 다른 실시예에서, 게르마늄 농도는 약 1at% 내지 약 30at%, 바람직하게는 약 15at% 내지 약 30at% 범위내에 있으며, 예를 들어 약 20at% 이다. 또한 실리콘-함유 화합물은 약 0at% 내지 약 5at% 범위 내의 탄소 농도를 포함한다. 또 다른 실시예에서, 탄소 농도는 약 200ppm 내지 약 3at% 범위내에 있고, 바람직하게는 약 1.5at% 이다.

[0075] 게르마늄 및/또는 탄소의 실리콘-함유 화합물 막들은 본 발명의 다양한 프로세스에 의해 형성되며 일정한, 산발적 또는 차등적인 원소 농도를 가질 수 있다. 차등적 실리콘 게르마늄막들은 미국 특허 번호 6,770,134호 및 미국 특허 공개 20020174827호로서 공개된 미국 특허출원 번호 10/014,466호에 개시되어 있으며, 상기 문헌들은 모두 어플라이드 머티리얼스 사에 의해 출원되었으며 차등 실리콘-함유 화합물막들을 증착하는 방법을 개시하기 위해 본 명세서에서 참조된다. 일 실시예에서, 실리콘 소스(예를 들어, SiH₄) 및 게르마늄 소스(예를 들어, GeH₄)는 실리콘 게르마늄 함유막들을 선택적으로 에피택셜 증착하는데 이용된다. 이러한 예에서, 실리콘 소스와 게르마늄 소스의 비율은 차등화 막들을 성장하는 동안, 실리콘 및 게르마늄과 같은 원소 농도를 제어하기 위해 가변될 수 있다. 또 다른 예에서, 실리콘 소스 및 탄소 소스(예를 들어, CH₃SiH₃)는 실리콘 탄소 함유 막들을 선택적으로 에피택셜 증착하기 위해 이용된다. 실리콘 소스와 탄소 소스의 비율은 균질한 또는 차등 막들을 성장시키면서 원소 농도를 제어하기 위해 가변될 수 있다. 또 다른 예에서, 실리콘 소스, 게르마늄 소스 및 탄소 소스는 실리콘 게르마늄 탄소-함유 막들을 선택적으로 에피택셜 증착하기 위해 사용된다. 실리콘, 게르마늄 및 탄소 소스의 비율은 균질한 또는 차등 막들을 성장시키면서 원소 농도의 제어를 위해 독립적으로 가변된다.

[0076] 본 명세서에 개시된 프로세스에 의해 형성된 MOSFET 장치는 PMOS 부품 또는 NMOS 부품을 포함할 수 있다. p-형 채널을 가지는 PMOS 부품은 채널 전도에 응답하는 홀들을 갖는 반면, n-형 채널을 가지는 NMOS 부품들은 채널 전도에 응답하는 전자들을 갖는다. 따라서, 예를 들어, SiGe와 같은 실리콘-함유 물질은 PMOS 부품을 형성하기 위해 리세스형 영역에 증착될 수 있다. 또 다른 예에서, SiC와 같은 실리콘-함유막은 NMOS 부품을 형성하도록 리세스형 영역에 증착될 수 있다. SiGe는 몇가지 이유에서 PMOS 분야에 이용된다. SiGe 물질은 실리콘 단독 보다는 붕소와 더 통합되어 접합부 저항률을 낮출 수 있다. 또한, 기판 표면에서 SiGe/실리사이드층 인터페이스는 Si/실리사이드 인터페이스 보다 낮은 쇼트키 배리어를 갖는다.

[0077] 또한, 실리콘 상부에 에피택셜 성장된 SiGe는 막 내부에서 압축 응력(compressive stress)을 가지며, 이는 SiGe의 격자 상수가 실리콘의 격자 상수보다 크기 때문이다. 압축 응력은 PMOS 채널에 압축 응력을 생성하고 홀의 이동도를 증가시키기 위해 측방 디멘션(dimension)으로 전달된다. NMOS 분야에 대해, SiC는 채널에 인장 응력(tensile stress)이 생성되도록 리세스형 영역에 사용될 수 있으며, 이는 SiC의 격자 상수가 실리콘의 격자 상수보다 작기 때문이다. 인장 응력은 채널로 전달되어 전자 이동도를 증가시킨다. 따라서, 일 실시예에서, 제 1 실리콘-함유층은 제 1 격자 변형(strain) 값으로 형성되며 제 2 실리콘-함유층은 제 2 격자 변형 값으로 형성된다. 예를 들어, 약 50Å 내지 약 200Å 두께를 갖는 SiC층이 기판 표면 상에 증착되고, 순차적으로 약 150Å 내지 약 1000Å 두께를 갖는 SiGe층이 SiC층 상에 증착된다. SiC층은 에피택셜 성장되며 SiC층에서 에피택셜 성장된 SiGe 층 보다 적은 변형률을 갖는다.

[0078] 본 명세서에서 개시되는 실시예에서, 실리콘-함유 화합물막들은 화학적 기상 증착(CVD) 프로세스에 의해 선택적으로 에피택셜 증착된다. 화학적 기상 증착 프로세스는 원자층 증착(ALD) 프로세스 및/또는 원자층 에피택셜(ALE) 프로세스를 포함한다. 화학적 기상 증착은 플라즈마 보조 CVD(PA-CVD), 원자층 CVD(ALCVD), 유기금속 또는 금속유기 CVD(OMCVD 또는 MOCVD), 레이저 보조 CVD(LA-CVD), 자외선 CVD(UV-CVD), 핫-와이어(HWCVD), 감압 CVD(RP-CVD), 초고진공 CVD(UHV-CVD) 등과 같은 다양한 기술의 사용을 포함한다. 일 실시예에서, 바람직한 프로세스는 실리콘-함유 화합물을 에피택셜 성장 또는 증착하는 열적 CVD를 이용하는 것이며, 실리콘-함유 화합물은 실리콘, SiGe, SiC, SiGeC, 이들의 도핑된 변형물 및 이들의 조합을 포함한다.

[0079] 본 발명의 프로세스는 ALE, CVD 및 ALD 기술에 공지된 장비에서 수행될 수 있다. 장치는 프로세스 챔버에 진입

하기 이전에 분리되는 증착 가스 및 식각 가스를 유지하기 위해 다수의 가스 라인을 포함할 수 있다. 이후, 가스는 실리콘-함유 화합물막들이 성장되는 가열된 기판과 접촉하게 된다. 실리콘-함유막들을 증착하기 위해 이용될 수 있는 하드웨어는 캘리포니아 산타 클라라에 위치한 어플라이드 머티리얼스사로부터 이용가능한 Epi Centura[®] 시스템 및 Poly Gen[®] 시스템을 포함한다. ALD 장치는 "Gas Delivery Apparatus and Methods for ALD"란 명칭으로, 어플라이드 머티리얼스사에 양도된 미국 특허 공개 번호 20030079686호로서 공개된, 2001년 12월 21일자로 출원된 미국 특허 출원 번호 10/032,284호에 개시되며, 상기 문헌은 상기 장치를 설명하기 위해 본 명세서에서 참조된다. 업계에 공지된 다른 장치로는 배치(batch), 고온 퍼니스(furnace)들이 포함된다.

[0080] 본 발명의 프로세스들은 전술한 방법들을 수행하도록 실행가능한 컴퓨터 판독가능한 프로그램에 의해 수행될 수 있다.

[0081] 전술한 상세한 설명은 본 발명의 실시예들에 관한 것이지만, 본 발명의 다른 추가적 실시예들이 하기의 특허청구범위에 의해 결정되는 본 발명의 기본 범주, 및 본 발명의 사상을 벗어남이 없이 안출될 수 있다.

도면의 간단한 설명

[0012] 본 발명의 상기 인용된 특징들이 상세히 이해될 수 있는 방식으로, 상기에서 간단히 요약된 본 발명의 보다 구체적인 설명은 실시예들을 참조로 이루어질 수 있으며, 실시예들의 일부는 첨부된 도면들에 도시된다. 그러나, 첨부된 도면들은 본 발명의 전형적인 실시예들만을 도시하므로, 그 범주를 제한하는 것으로 고려되어서는 안되며, 본 발명이 다른 동일한 효과적인 실시예들에 적용될 수 있다는 것을 유의한다.

[0013] 도 1은 본 발명에서 기술되는 제 1 실시예에서 실리콘-함유 재료들을 선택적으로 에피택셜 증착하기 위한 프로세스를 기술하는 흐름도이다.

[0014] 도 2A-2E는 MOSFET 내에서 소스/드레인 확장 소자를 위한 제조 기술들의 개념도들을 도시한다.

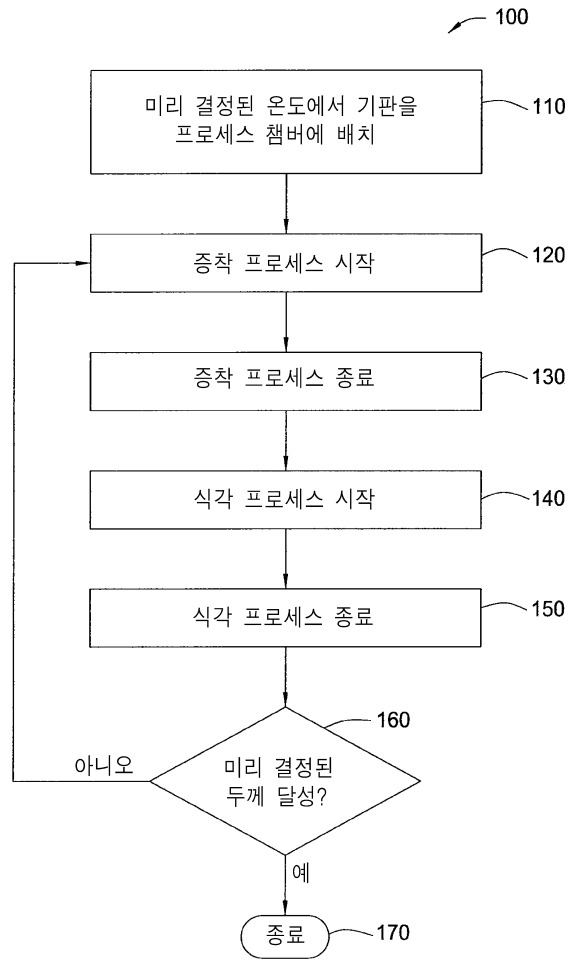
[0015] 도 3A-3C는 본 발명에서 기술된 실시예들을 적용함으로써 선택적으로 에피택셜 증착된 실리콘-함유 층들을 포함하는 몇몇 소자들을 도시한다.

[0016] 도 4는 본 발명에서 기술되는 다른 실시예에서 실리콘-함유 재료들을 선택적으로 에피택셜 증착하기 위한 프로세스를 기술하는 흐름도이다.

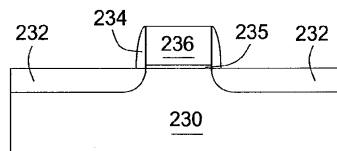
[0017] 도 5A-5C는 시간에 대한 HCl 유량들, 총 압력, 및 소스 가스 유량들을 나타내는 그래프들이다.

도면

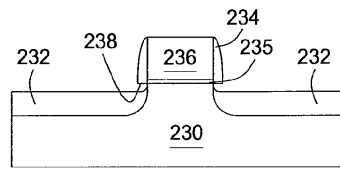
도면1



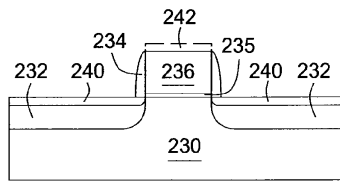
도면2A



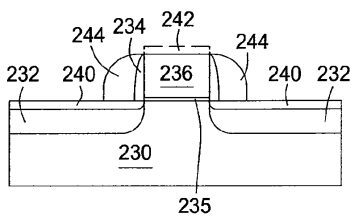
도면2B



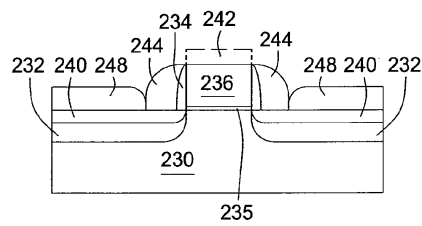
도면2C



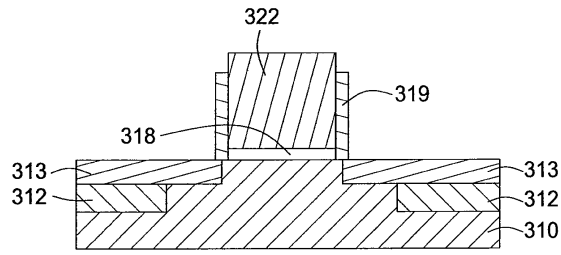
도면2D



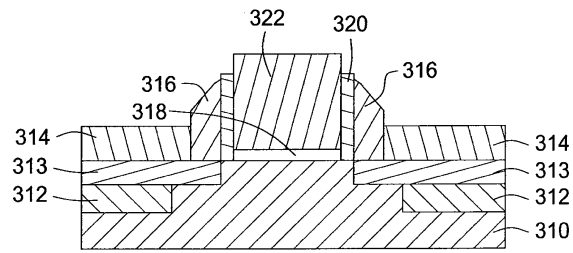
도면2E



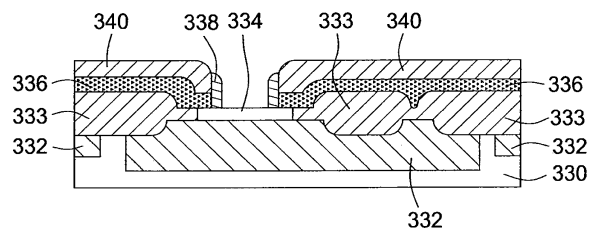
도면3A



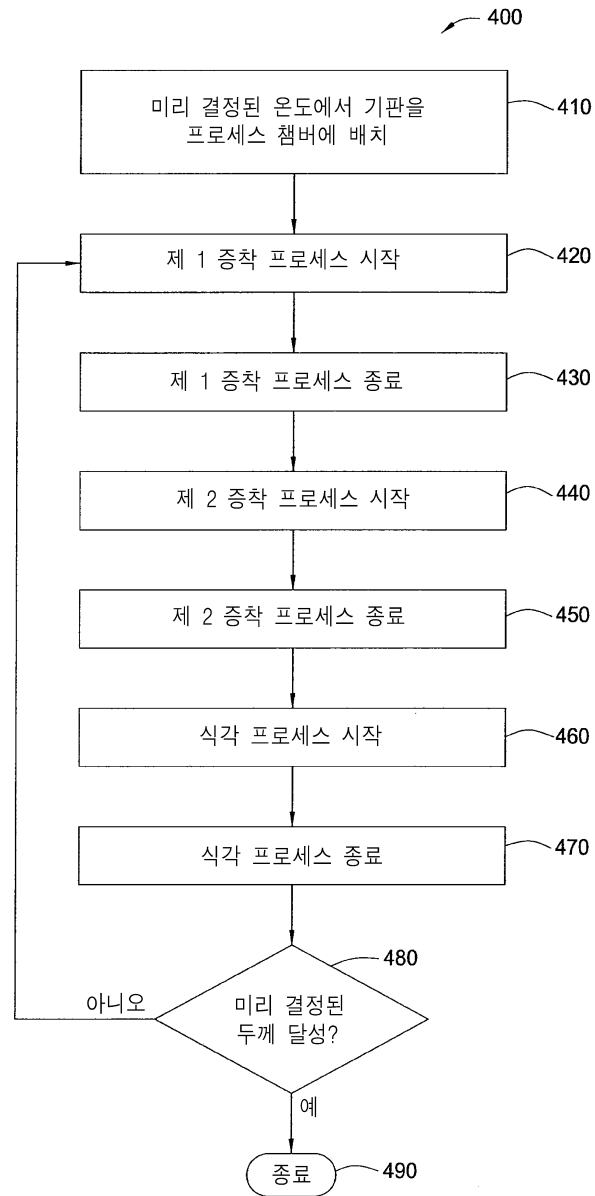
도면3B



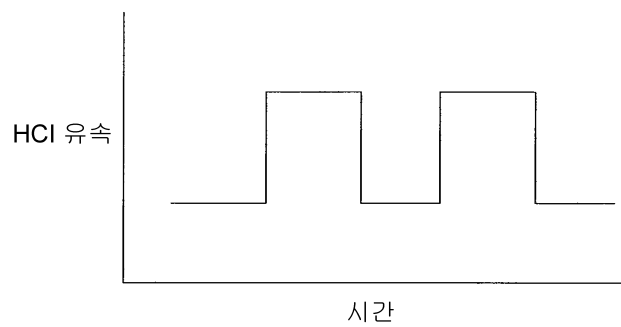
도면3C



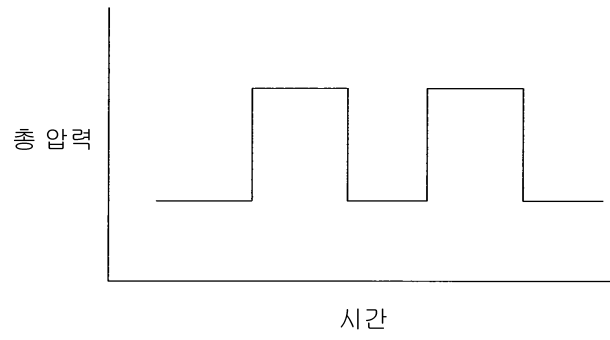
도면4



도면5A



도면5B



도면5C

