



(12) 发明专利

(10) 授权公告号 CN 111696854 B

(45) 授权公告日 2022. 09. 09

(21) 申请号 201910188627.7

H01L 21/8249 (2006.01)

(22) 申请日 2019.03.13

H01L 29/06 (2006.01)

H01L 29/10 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 111696854 A

(56) 对比文件

US 6352887 B1, 2002.03.05

CN 1050469 A, 1991.04.03

US 2005045948 A1, 2005.03.03

CN 104517837 A, 2015.04.15

(43) 申请公布日 2020.09.22

(73) 专利权人 无锡华润上华科技有限公司

地址 214028 江苏省无锡市国家高新技术
产业开发区新洲路8号

审查员 张志芳

(72) 发明人 胡金节

(74) 专利代理机构 华进联合专利商标代理有限

公司 44224

专利代理师 熊文杰 邓云鹏

(51) Int. Cl.

H01L 21/027 (2006.01)

H01L 21/266 (2006.01)

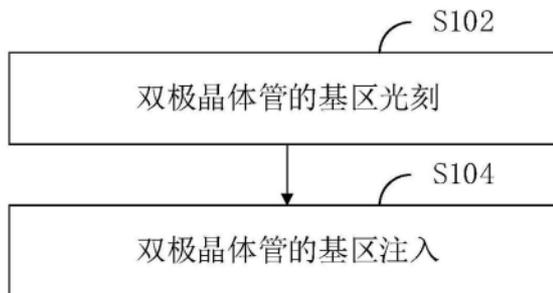
权利要求书1页 说明书6页 附图3页

(54) 发明名称

半导体器件的制造方法

(57) 摘要

本发明涉及一种半导体器件的制造方法。器件包括：双极晶体管和互补金属氧化物半导体，所述互补金属氧化物半导体包括衬底中的源极区、漏极区、源极区和漏极区间的隔离结构和隔离结构上的栅极。基区光刻步骤形成的注入窗口包括第一窗口和第二窗口，基区注入步骤注入的第二导电类型杂质穿过露出隔离结构的第一窗口增大隔离结构下方的第二导电类型杂质浓度，穿过第二窗口形成双极晶体管的基区。通过将原本用于形成第一窗口的光刻步骤和用于形成第二窗口的光刻步骤合并为一步，因此可以节省一道光刻工序，节约了整个工艺的成本，提高了产能。



1. 一种半导体器件的制造方法,所述半导体器件包括双极晶体管和互补金属氧化物半导体,所述双极晶体管为垂直型晶体管,所述互补金属氧化物半导体包括衬底中的源极区、衬底中的漏极区、所述源极区和漏极区之间的隔离结构、所述隔离结构上的栅极,所述制造方法包括基区光刻步骤和基区注入步骤,其特征在于,所述基区光刻步骤形成的注入窗口包括第一窗口和第二窗口,所述第一窗口露出所述隔离结构;所述基区注入步骤注入的第二导电类型杂质穿过所述第一窗口从而增大所述隔离结构下方的第二导电类型杂质浓度,并穿过所述第二窗口形成所述双极晶体管的基区;

所述基区光刻步骤之前还包括:

获得衬底,所述衬底中形成有第一导电类型阱区和第二导电类型阱区;所述第一导电类型和第二导电类型为相反的导电类型;

形成所述隔离结构;

所述基区注入步骤,是在所述第一导电类型阱区中形成所述基区,所述增大所述隔离结构下方的第二导电类型杂质浓度是增大所述第二导电类型阱区中相应位置的杂质浓度。

2. 根据权利要求1所述的制造方法,其特征在于,形成所述隔离结构之前,还包括对所述第一导电类型阱区和第二导电类型阱区进行加热推阱的步骤。

3. 根据权利要求1所述的制造方法,其特征在于,所述基区注入是分多步进行的杂质离子注入。

4. 根据权利要求1所述的制造方法,其特征在于,所述基区注入步骤之后,还包括:

在所述衬底表面生长栅氧化层;

在所述栅氧化层上淀积多晶硅层;

刻蚀所述多晶硅层形成栅极;

对所述衬底进行轻掺杂漏注入;

在所述栅极的两侧形成侧墙。

5. 根据权利要求4所述的制造方法,其特征在于,所述在所述栅极的两侧形成侧墙的步骤之后,还包括:

进行第一导电类型杂质注入,在所述基区内形成所述双极晶体管的发射极,在第二导电类型阱区内形成所述互补金属氧化物半导体的源极和漏极。

6. 根据权利要求1所述的制造方法,其特征在于,所述第一导电类型为N型,所述第二导电类型为P型。

7. 根据权利要求1所述的制造方法,其特征在于,所述隔离结构为场氧化层。

8. 根据权利要求7所述的制造方法,其特征在于,所述形成所述隔离结构的步骤包括:

在所述衬底上形成氮化硅层;

光刻并刻蚀所述氮化硅层;

在所述衬底被刻蚀掉氮化硅层的位置形成场氧层;

去除剩余的氮化硅层。

半导体器件的制造方法

技术领域

[0001] 本发明涉及半导体技术领域,特别是涉及一种半导体器件的制造方法。

背景技术

[0002] CMOS (Complementary Metal Oxide Semiconductor, 互补金属氧化物半导体) 器件具有集成度高、功耗低的特点,在现在的半导体制程中已经完全取代了原来的双极型器件。但是CMOS的速度和双极型器件比起来,相对较慢;某些客户还是会需要少量使用到双极型器件。常规的做法是在传统CMOS工艺制程的基础上,加上一个光刻/注入的层次,用来调节双极型器件的基区工艺,以VNP (垂直型NPN双极晶体管) 为例,额外增加的光刻/注入层次称为Pbase或BA,这种工艺我们称之为biCMOS工艺(双极晶体管和互补金属氧化物半导体 BiCMOS是将两种独立的半导体器件类型——双极性晶体管 (Bipolar Junction Transistor) 和互补式金属氧化物半导体 (CMOS),集成到单一集成电路上。当用小写的bi和大写的CMOS时,表示该工艺主要是CMOS为主,ipolar为辅)。

[0003] 在传统的CMOS工艺制程的基础上增加一次BA的光刻/注入层次,会导致整个工艺的成本增加,工业产能降低。

发明内容

[0004] 基于此,对于0.25um半导体器件的工艺制程,有必要针对上述问题,提供一种新的半导体器件的制造方法。

[0005] 一种半导体器件的制造方法,所述半导体器件包括双极晶体管和互补金属氧化物半导体,所述互补金属氧化物半导体包括衬底中的源极区、衬底中的漏极区、所述源极区和漏极区之间的隔离结构、所述隔离结构上的栅极。所述制造方法包括基区光刻步骤和基区注入步骤,所述基区光刻步骤形成的注入窗口包括第一窗口和第二窗口,所述第一窗口露出所述隔离结构;所述基区注入步骤注入的第二导电类型杂质穿过所述第一窗口从而增大所述隔离结构下方的第二导电类型杂质浓度,穿过所述第二窗口形成所述双极晶体管的基区。

[0006] 在其中一个实施例中,所述半导体器件为双极晶体管和互补金属氧化物半导体器件。

[0007] 在其中一个实施例中,所述基区光刻步骤之前还包括:

[0008] 获得衬底,所述衬底中形成有第一导电类型阱区和第二导电类型阱区;所述第一导电类型和第二导电类型为相反的导电类型。

[0009] 形成所述隔离结构;

[0010] 所述基区注入步骤,是在所述第一导电类型阱区中形成所述基区,所述增大所述隔离结构下方的第二导电类型杂质浓度是增大所述第二导电类型阱区中相应位置的杂质浓度。

[0011] 在其中一个实施例中,形成所述隔离结构之前,还包括对所述第一导电类型阱区

和第二导电类型阱区进行加热推阱的步骤。

[0012] 在其中一个实施例中,所述基区注入是分多步进行的杂质离子注入。

[0013] 在其中一个实施例中,所述基区注入步骤之后,还包括:

[0014] 在所述衬底表面生长栅氧化层。

[0015] 在栅氧化层上淀积多晶硅层。

[0016] 刻蚀所述多晶硅层形成栅极。

[0017] 对所述衬底进行轻掺杂漏注入。

[0018] 在所述栅极的两侧形成侧墙。

[0019] 在其中一个实施例中,在所述栅极的两侧形成侧墙的步骤之后,还包括:进行第一导电类型杂质注入,在所述基区内形成所述双极晶体管的发射极,在第二导电类型阱区内形成所述互补金属氧化物半导体的源极区和漏极区。

[0020] 在其中一个实施例中,第一导电类型为N型,第二导电类型为P型。

[0021] 在其中一个实施例中,所述双极晶体管为垂直型晶体管。

[0022] 在其中一个实施例中,所述隔离结构为场氧化层。

[0023] 在其中一个实施例中,形成所述隔离结构的步骤包括:

[0024] 在所述衬底上形成氮化硅层。

[0025] 光刻并刻蚀所述氮化硅层。

[0026] 在所述衬底被刻蚀掉氮化硅层的位置形成场氧层。

[0027] 去除剩余的氮化硅层。

[0028] 上述半导体器件的制造方法,基区光刻步骤形成的注入窗口包括第一窗口和第二窗口,也就是将原本用于形成第一窗口的光刻步骤和用于形成第二窗口的光刻步骤合并为一步,在制作双极晶体管基区的同时,增大隔离结构下方的第二导电类型杂质浓度从而提高相应MOS管的开启电压,并且也能够满足双极晶体管的电参数需求。因此,可以节省一道光刻工序(节省一块光刻版),节约了整个工艺的成本,提高了产能。

附图说明

[0029] 图1为一实施例中半导体器件制造方法的工艺流程图;

[0030] 图2为一实施例中双极晶体管的基区光刻步骤之前的工艺流程图;

[0031] 图3为一实施例中双极晶体管的基区注入步骤之后的工艺流程图;

[0032] 图4为一实施例中形成互补金属氧化物半导体的隔离结构的工艺流程图;

[0033] 图5a为一种示例性的biCMOS工艺制造的器件的局部图;

[0034] 图5b为一实施例中本发明biCMOS工艺制造的器件的局部图。

具体实施方式

[0035] 为了便于理解本发明,下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的首选实施例。但是,本发明可以以许多不同的形式来实现,并不限于本文所描述的实施例。相反地,提供这些实施例的目的是使对本发明的公开内容更加透彻全面。

[0036] 除非另有定义,本文所使用的所有的技术和科学术语与属于本发明的技术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具

体的实施例的目的,不是旨在于限制本发明。本文所使用的术语“及/或”包括一个或多个相关的所列项目的任意的和所有的组合。

[0037] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0038] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0039] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0040] 这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例。这样,可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此,本发明的实施例不应当局限于在此所示的区的特定形状,而是包括由于例如制造导致的形状偏差。例如,显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度,而不是从注入区到非注入区的二元改变。同样,通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此,图中显示的区实质上是示意性的,它们的形状并不意图显示器件的区的实际形状且并不意图限定本发明的范围。

[0041] 本文所使用的半导体领域词汇为本领域技术人员常用的技术词汇,例如对于P型和N型杂质,为区分掺杂浓度,简易的将P+型代表重掺杂浓度的P型,P型代表中掺杂浓度的P型,P-型代表轻掺杂浓度的P型,N+型代表重掺杂浓度的N型,N型代表中掺杂浓度的N型,N-型代表轻掺杂浓度的N型。

[0042] 本申请涉及的半导体器件包括双极晶体管(Bipolar Junction Transistor,BJT)和互补金属氧化物半导体(CMOS),其中CMOS包括衬底中的源极区、衬底中的漏极区、源极区和漏极区之间的隔离结构、隔离结构上的栅极;BJT包括集电极、发射极及基极。基区通过基区光刻和基区注入形成。基区光刻步骤形成的注入窗口包括第一窗口和第二窗口。在一个实施例中,基区光刻是在衬底表面涂覆光刻胶后,采用形成有第一窗口图形和第二窗口图

形的光刻版对涂覆的光刻胶进行曝光,然后显影,相应位置处的光刻胶被去除,露出第一窗口和第二窗口。其中,第二窗口用于离子注入形成BJT的基区,因此位于预定形成基区的位置上方;第一窗口用于离子注入形成NF区(NF区是一个比周围区域的第二导电类型杂质的浓度更高的区域,通过增设NF区,可以提高MOS管的开启电压),因此位于预定形成NF区的位置上方。在一个实施例中,第一导电类型为N型,第二导电类型为P型。光刻形成第一窗口和第二窗口后,通过注入第二导电类型杂质分别形成NF区和基区。由于NF区形成于隔离结构下方,因此第一窗口需要露出该隔离结构。

[0043] 上述半导体器件的制造方法,基区光刻步骤形成的注入窗口包括第一窗口和第二窗口,也就是将原本用于形成第一窗口的光刻步骤和用于形成第二窗口的光刻步骤合并为一步,在制作双极晶体管基区的同时,增大隔离结构下方的第二导电类型杂质浓度从而提高相应MOS管的开启电压,并且也能够满足双极晶体管的电参数需求。因此,可以节省一道光刻工序(节省一块光刻版),节约了整个工艺的成本,提高了产能。

[0044] 在其中一个实施例中,所述半导体器件为双极晶体管和互补金属氧化物半导体器件。

[0045] 图1为一实施例中半导体器件制造方法的工艺流程图,所述方法包括步骤:

[0046] S102,双极晶体管的基区光刻。

[0047] 其中基区光刻步骤形成的注入窗口包括第一窗口和第二窗口,第一窗口露出互补金属氧化物半导体的隔离结构,第二窗口露出双极晶体管的基极区域。

[0048] S104,双极晶体管的基区注入。

[0049] 进行基区注入时,注入的第二导电类型杂质离子穿过第一窗口从而增大互补金属氧化物半导体隔离结构下方的第二导电类型杂质浓度,穿过第二窗口形成双极晶体管的基区。

[0050] 在一个实施例中,由于注入的离子需要穿透隔离结构,因此可以适当增加注入能量和注入剂量。

[0051] 在一个实施例中,双极晶体管的基区注入是分多步进行的杂质离子注入。其中,每一步杂质离子注入的剂量、注入角度、和注入能量都可以根据实际的工艺需求进行设置,例如第一类型杂质离子注入分两步进行。

[0052] 如图2,在一个实施例中,双极晶体管的基区光刻步骤之前,还包括:

[0053] S202,获得衬底。

[0054] 分别对所述衬底进行光刻/注入,形成第一导电类型阱区和第二导电类型阱区;所述第一导电类型和第二导电类型为相反的导电类型。

[0055] 在一个实施例中,步骤S202包括用N阱的光刻版,做N阱注入;用P阱的光刻版,做P阱注入;分别形成PMOS和NMOS的体区。

[0056] 在一个实施例中,注入完成后去除衬底表面的光刻胶,将产品放入炉管内,在一定的氛围下进行高温推阱工艺。推阱工艺的热过程时间较长,一般是在1050~1150摄氏度的工艺温度下进行3~4小时的工艺,在一个实施例中是在1100摄氏度的工艺温度下进行3个小时左右的工艺。加热推阱工艺可以使注入的杂质离子扩散到工艺需求的结深,满足对注入工艺的需求,推阱工艺的工艺温度和工艺时间可以根据实际的工艺需求进行调整。

[0057] S204,形成所述隔离结构。

- [0058] 如图3,在一个实施例中,双极晶体管的基区注入步骤之后,还包括:
- [0059] S302,在隔离结构上形成栅极。
- [0060] 在衬底表面生长栅氧层,然后在栅氧层上淀积多晶硅层,使用栅极对应的光刻版进行曝光、显影,然后刻蚀多晶硅层形成栅极。
- [0061] S304,轻掺杂漏注入。
- [0062] 对衬底进行轻掺杂漏注入,轻掺杂漏注入一般是使用砷和二氧化硼 BF_2 等质量较大的掺杂材料进行的低能量的浅注入,在进行轻掺杂漏注入工艺过程中需要用到对应的光刻版。
- [0063] S306,在栅极的两侧形成侧墙。
- [0064] 在一个实施例中,在所述栅极的两侧形成侧墙的步骤之后,还包括:进行第一导电类型杂质注入,在基区内形成双极晶体管的发射极,在第二导电类型阱区内形成互补金属氧化物半导体的源极区和漏极区,在源极区、漏极区和发射极形成过程中需要使用到对应的光刻版。
- [0065] 在半导体器件的制造过程中还包括形成层间电介质、金属电介质、通孔、金属连线以及钝化层的步骤。
- [0066] 基区注入步骤,是在所述第一导电类型阱区中形成所述基区,所述增大所述隔离结构下方的第二导电类型杂质浓度是增大所述第二导电类型阱区中相应位置的杂质浓度。
- [0067] 在一个实施例中,双极晶体管为垂直型晶体管,例如VNP晶体管的。
- [0068] 在一个实施例中,所述隔离结构为场氧化层。
- [0069] 在一个实施例中,形成所述隔离结构的步骤包括:
- [0070] S402,在衬底上形成氮化硅层。
- [0071] 形成PMOS和NMOS的体区后,在衬底表面生长一层氧化层和氮化硅,可以使用热生长、化学气相淀积等方式生长氧化层,氧化层的厚度一般为几百埃;然后在氧化层上生长一层薄的氮化硅层。
- [0072] S404,光刻并刻蚀所述氮化硅层。
- [0073] 使用有源区的光刻版对衬底进行曝光、显影后,刻蚀去除光刻胶保护的有源区位置以外区域的氮化硅。
- [0074] S406,在所述衬底被刻蚀掉氮化硅层的位置形成场氧层。
- [0075] 将衬底表面的光刻胶去除干净之后在表面生长场氧层,优选的生长方式为湿氧氧化。
- [0076] S408,去除剩余的氮化硅层。
- [0077] 场氧层生长完成后,将剩余的氮化硅层全部刻蚀去掉。
- [0078] 一种传统工艺在步骤S202与步骤S204之间有一次光刻层次,进行第一导电类型场管的光刻和杂质离子注入工艺,该杂质离子注入工艺只是将杂质离子注入到后续要形成场氧层部分的下方,有源区的区域有氮化硅阻挡,注入不到。该次光刻和杂质离子注入工艺的主要目的是增大后续要形成场氧层部分下方的第二导电类型杂质浓度,以提高相应MOS管(对于第一导电类型为N型,第二导电类型为P型实施例是NMOS管)的开启电压。
- [0079] 图5a是一种示例性的biCMOS工艺制造的器件的局部图,包括衬底502,衬底502上的P阱506和N阱504,场氧层508,位于场氧层508上的栅极510,N型场效应管注入区域516和

BA注入区域518。首先,进行N型场效应管的光刻和杂质离子注入工艺,在生长场氧层508之前将P型杂质离子注入到后续要形成场氧化层部分的下方514,增大了后续要形成场氧层部分下方的P型杂质离子浓度。其次,生长场氧层508,去除表面剩余的氮化硅。然后,使用BA的光刻版进行双极晶体管的基区512光刻和杂质离子注入工艺。N型场效应管的光刻和杂质离子注入工艺与双极晶体管的基区512光刻和杂质离子注入工艺是在两个不同的光刻层次进行的,它们的注入步数、注入剂量、注入角度和注入能量等均是单独设置的。

[0080] 图5b是一实施例中本发明biCMOS工艺制造的器件的局部图,包括衬底502,衬底502上的P阱506和N阱504,场氧层508,位于场氧层508上的栅极510,BA注入区域602,基区注入位置604和606。修改了传统工艺制程中BA的光刻版,将N型场效应管的光刻版和场氧区508交叠的区域包含在修改后的BA的光刻版内。N型场效应管的杂质离子注入和双极晶体管的基区杂质离子注入是在场氧层生长之后,使用优化后的新的BA的光刻版和新的注入工艺菜单同时进行的,省略了传统工艺制程中场氧层生长之前单独做N型场效应管的光刻和杂质离子注入的工艺步骤,与传统工艺相比减少了一次光刻层次。

[0081] 上述半导体器件的制造方法,基区光刻步骤形成的注入窗口包括第一窗口和第二窗口,也就是将原本用于形成第一窗口的光刻步骤和用于形成第二窗口的光刻步骤合并为一步,在制作双极晶体管基区的同时,增大隔离结构下方的第二导电类型杂质浓度,使其与传统工艺中隔离结构下方的杂质浓度相近,从而提高相应MOS管的开启电压,并且也能够满足双极晶体管的电参数需求。因此,可以节省一道光刻工序(节省一块光刻版),节约了整个工艺的成本,提高了产能。

[0082] 以上所述实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0083] 以上所述实施例仅表达了本发明的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,这些都属于本发明的保护范围。因此,本发明的保护范围应以所附权利要求为准。

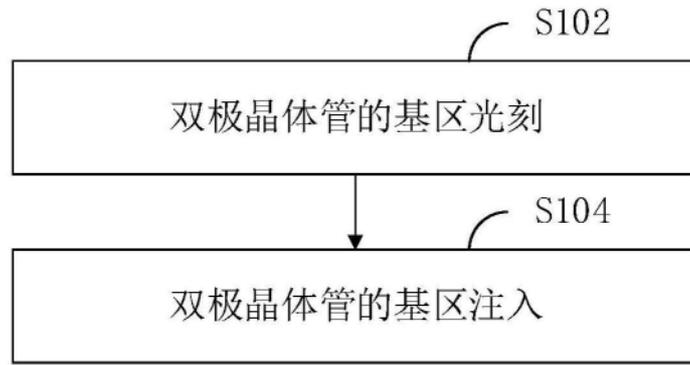


图1

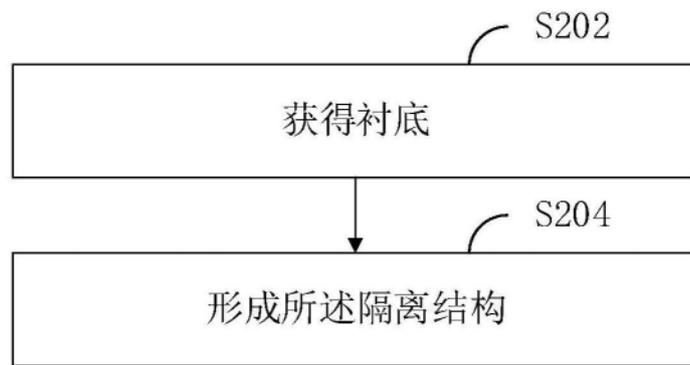


图2

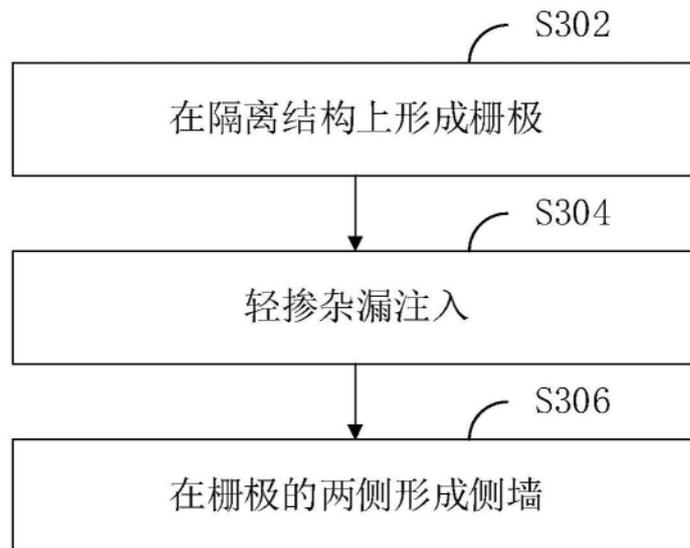


图3

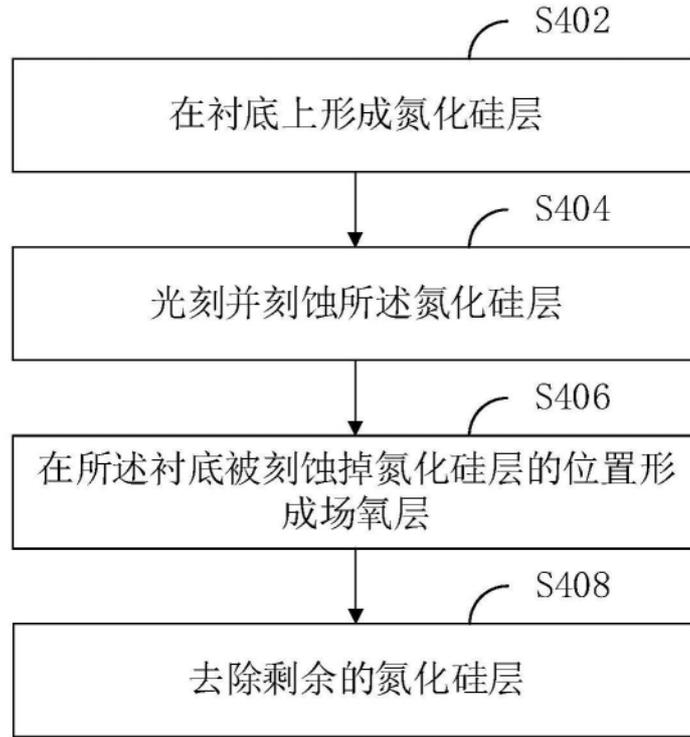


图4

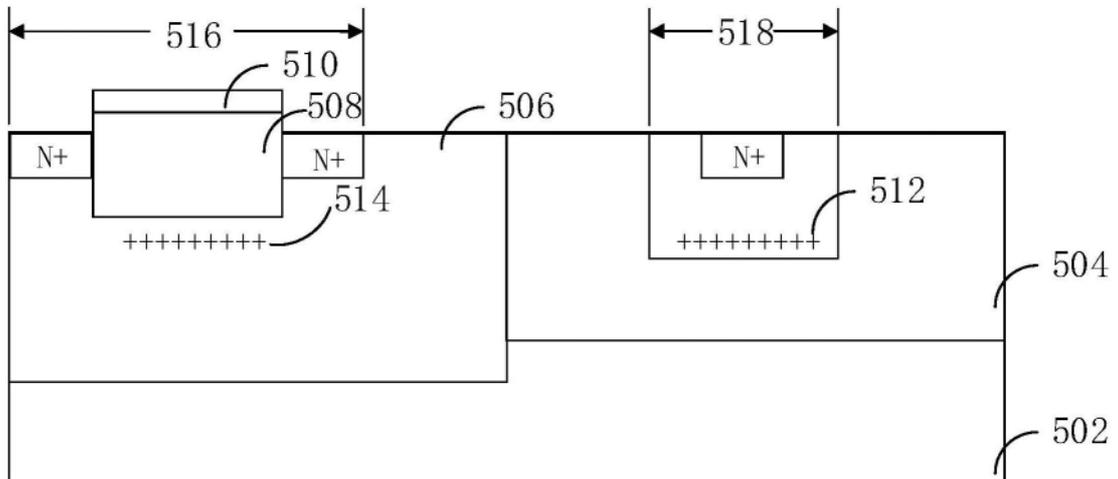


图5a

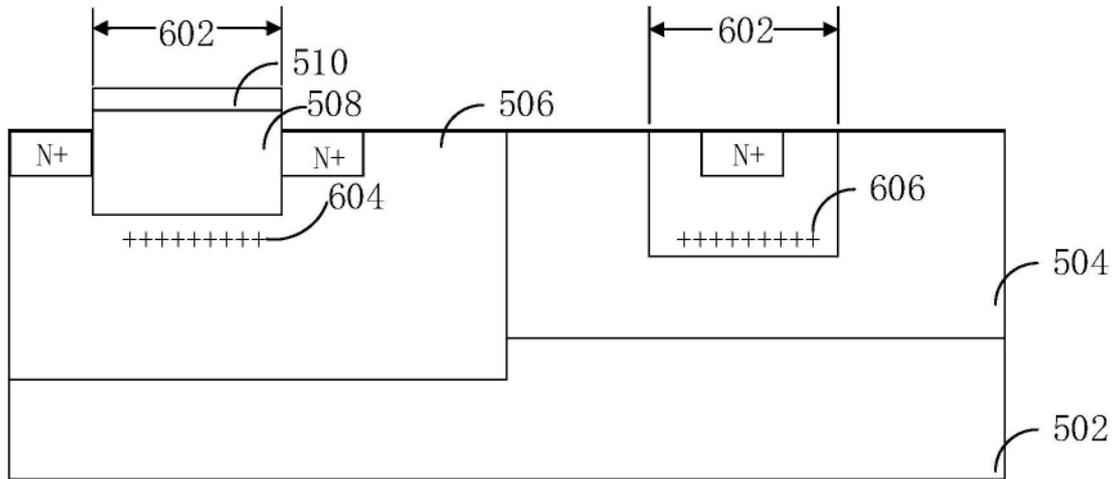


图5b