

반도체 기관의 소자 분리막으로 한정된 활성 영역;

상기 활성 영역의 상기 반도체 기관의 상면으로부터 상기 반도체 기관의 하부를 향해서 소정 깊이로 연장한 채널부 홀을 포함하되,

상기 소자 분리막은 상기 활성 영역의 길이 방향에서 상기 채널부 홀을 둘러싸는 상기 활성 영역의 상기 반도체 기관을 고립시키도록 배치되며 그리고 상기 활성 영역의 폭 방향에서 상기 채널부 홀 내 상기 활성 영역의 상기 반도체 기관의 측면들 중 적어도 하나를 노출시키도록 배치되고, 그리고 상기 측면의 길이는 상기 측면과 이어져서 상기 소자 분리막에 접촉되는 다른 측면의 길이와 다른 것이 특징인 리세스드 트랜지스터.

청구항 2.

제 1 항에 있어서,

상기 활성 영역의 상기 반도체 기관의 상기 측면의 상기 길이는 상기 측면과 이어져서 상기 소자 분리막에 접촉되는 상기 다른 측면의 상기 길이보다 작은 것이 특징인 리세스드 트랜지스터.

청구항 3.

제 1 항에 있어서,

상기 활성 영역의 상기 반도체 기관의 상기 측면의 상기 길이는 상기 측면과 이어져서 상기 소자 분리막에 접촉되는 상기 다른 측면의 상기 길이보다 큰 것이 특징인 리세스드 트랜지스터.

청구항 4.

제 1 항에 있어서,

상기 채널부 홀의 밑면의 길이는 상기 활성 영역의 상기 폭 방향에서 상기 활성 영역의 상기 반도체 기관의 상기 측면의 상기 길이보다 큰 것이 특징인 리세스드 트랜지스터.

청구항 5.

제 1 항에 있어서,

상기 채널부 홀의 밑면의 길이는 상기 활성 영역의 상기 폭 방향에서 상기 활성 영역의 상기 반도체 기관의 상기 측면의 상기 길이와 동일한 것이 특징인 리세스드 트랜지스터.

청구항 6.

제 1 항에 있어서,

상기 채널부 홀의 밑면의 길이는 상기 활성 영역의 상기 폭 방향에서 상기 활성 영역의 상기 반도체 기관의 상기 측면의 상기 길이보다 작은 것이 특징인 리세스드 트랜지스터.

청구항 7.

제 1 항에 있어서,

상기 반도체 기판 상에 배치되어서 상기 채널부 홀을 채우는 게이트 패턴;

상기 게이트 패턴의 양 측벽들에 각각 인접하는 패드 전기 노드들을 더 포함하되,

상기 패드 전기 노드들은 상기 활성 영역의 상기 반도체 기판과 전기적으로 접속하는 것이 특징인 리세스드 트랜지스터.

청구항 8.

반도체 기판의 소자 분리막으로 한정된 활성 영역;

상기 활성 영역의 상기 반도체 기판의 상면으로부터 상기 반도체 기판의 하부를 향해서 소정 깊이로 연장한 채널부 홀을 포함하되,

상기 소자 분리막은 상기 활성 영역의 길이 방향에서 상기 채널부 홀을 둘러싸는 상기 활성 영역의 상기 반도체 기판을 고립시키도록 배치되며 그리고 상기 활성 영역의 폭 방향에서 상기 채널부 홀 내 상기 활성 영역의 상기 반도체 기판의 측면들 중 적어도 하나를 노출시키도록 배치되고, 그리고 상기 측면의 길이는 상기 측면과 이어져서 상기 소자 분리막에 접촉되는 다른 측면의 길이와 동일한 것이 특징인 리세스드 트랜지스터.

청구항 9.

제 8 항에 있어서,

상기 반도체 기판 상에 배치되어서 상기 채널부 홀을 채우는 게이트 패턴;

상기 게이트 패턴의 양 측벽들에 각각 인접하는 패드 전기 노드들을 더 포함하되,

상기 패드 전기 노드들은 상기 활성 영역의 상기 반도체 기판과 전기적으로 접속하는 것이 특징인 리세스드 트랜지스터.

청구항 10.

반도체 기판에 소자 분리막을 형성하되, 상기 소자 분리막은 활성 영역을 고립시키도록 형성하고,

상기 활성 영역의 상기 반도체 기판에 채널 영역을 형성하고,

상기 활성 영역 및 상기 소자 분리막을 동시에 노출시키도록 개구부를 갖는 포토레지스트 막을 형성하고,

상기 개구부를 갖는 포토레지스트 막 및 상기 반도체 기판을 식각 마스크 및 식각 버퍼막으로 사용해서 상기 소자 분리막 상에 식각 공정을 수행하고,

상기 개구부를 갖는 포토레지스트 막 및 상기 소자 분리막을 식각 마스크로 사용해서 상기 활성 영역의 상기 반도체 기판 상에 식각 공정을 연이어 수행하되, 상기 활성 영역의 상기 반도체 기판 상에 수행된 상기 식각 공정은 상기 활성 영역의 상기 반도체 기판에 채널부 홀을 형성하고,

상기 개구부를 갖는 포토레지스트 막을 상기 반도체 기판으로부터 제거하는 것을 포함하되,

상기 활성화 영역의 폭 방향의 상기 채널부 홀의 측벽 높이는 상기 활성화 영역의 길이 방향의 상기 채널부 홀의 측벽 높이보다 크게 형성하고, 상기 채널부 홀은 상기 활성화 영역의 상기 폭 방향으로 상기 활성화 영역의 상기 반도체 기판의 측면들 중 적어도 하나를 노출시키도록 형성하는 것이 특징인 리세스드 트랜지스터의 형성방법.

청구항 11.

제 10 항에 있어서,

상기 개구부를 갖는 포토레지스트 막을 제거한 후에,

상기 채널부 홀을 채우도록 상기 활성화 영역 및 상기 소자 분리막을 덮는 게이트 막 및 게이트 캐핑막을 차례로 형성하고,

상기 게이트 캐핑막 상에 포토레지스트 패턴을 형성하되, 상기 포토레지스트 패턴은 상기 채널부 홀과 중첩하도록 형성하고,

상기 포토레지스트 패턴을 식각 마스크로 사용해서 상기 게이트 캐핑막 및 상기 게이트 막 상에 식각 공정을 차례로 수행하는 것을 더 포함하되,

상기 식각 공정은 상기 채널부 홀을 채우도록 상기 활성화 영역의 상기 반도체 기판 상에 게이트 패턴을 형성하고, 상기 게이트 패턴은 상기 활성화 영역의 상기 폭 방향으로 상기 채널부 홀의 밀면 및 상기 활성화 영역의 상기 반도체 기판의 상기 측면을 사용해서 상기 채널 영역을 바라보도록 형성하는 것이 특징인 리세스드 트랜지스터의 형성방법.

청구항 12.

제 11 항에 있어서,

상기 게이트 패턴은 차례로 적층된 게이트 전극 및 게이트 캐핑 패턴을 사용해서 형성하는 것이 특징인 리세스드 트랜지스터의 형성방법.

청구항 13.

제 10 항에 있어서,

상기 소자 분리막 상에 수행된 상기 식각 공정은 상기 활성화 영역의 상기 반도체 기판에 인접한 상기 소자 분리막이 부분적으로 제거되도록 수행하는 것이 특징인 리세스드 트랜지스터의 형성방법.

청구항 14.

제 10 항에 있어서,

상기 소자 분리막 상에 수행된 상기 식각 공정은 이방성을 갖는 식각 기술을 사용해서 수행하는 것이 특징인 리세스드 트랜지스터의 형성방법.

청구항 15.

제 10 항에 있어서,

상기 소자 분리막 상에 수행된 상기 식각 공정은 등방성을 갖는 식각 기술을 사용해서 수행하는 것이 특징인 리세스드 트랜지스터의 형성방법.

청구항 16.

제 10 항에 있어서,

상기 활성 영역의 상기 반도체 기판 상에 수행된 상기 식각 공정은 상기 활성 영역의 상기 반도체 기판에 인접한 상기 소자 분리막이 부분적으로 제거되도록 수행하는 것이 특징인 리세스드 트랜지스터의 형성방법.

청구항 17.

제 11 항에 있어서,

상기 게이트 패턴을 형성한 후에,

상기 게이트 패턴과 중첩하도록 상기 채널 영역에 소오스 및 드레인 영역들을 형성하고,

상기 게이트 패턴을 덮도록 상기 반도체 기판 상에 층간절연막을 형성하고,

상기 층간절연막을 관통해서 상기 게이트 패턴의 양 측벽들에 각각 인접하는 노드 홀들을 형성하고,

상기 노드 홀들을 각각 채우도록 패드 전기 노드들을 형성하는 것을 더 포함하는 것이 특징인 트랜지스터의 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 리세스드 트랜지스터들 및 그 형성방법들에 관한 것으로서, 상세하게는, 소자 분리막의 측벽 상에 펜스를 제거시킨 리세스드 트랜지스터들 및 그 형성방법들에 관한 것이다.

최근에, 반도체 장치는 계속적으로 축소되는 디자인 룰의 극복 및 고집적화의 추구를 위해서 리세스드 트랜지스터를 채택하여 제조되고 있다. 상기 리세스드 트랜지스터는 소자 분리막 사이의 반도체 기판에 배치된 채널부 홀(Channel-Portion Hole) 및 그 홀을 채우는 게이트 패턴을 가지고 형성된다. 이때에, 상기 채널부 홀을 채우는 게이트 패턴의 채널 영역의 디멘전(dimension)은 반도체 기판 상에 배치된 플래너 타입의 게이트 패턴의 채널 영역의 디멘전보다 크게 형성된다.

그러나, 상기 리세스드 트랜지스터는 채널부 홀을 한정하는 반도체 기판을 사용해서 플래너 타입의 게이트 패턴보다 채널 영역의 디멘전을 크게 할 수 있으나 소자 분리막의 측벽 상에 반도체 기판으로 이루어진 펜스(fence)를 갖는다. 상기 반도체 기판의 펜스는 채널부 홀 내 소자 분리막의 측벽을 따라서 리세스드 트랜지스터의 구동 동안 기생 트랜지스터를 형성한다. 상기 소자 분리막 사이의 채널부 홀을 한정하는 반도체 기판의 주 채널 영역이 반전되기 전에, 상기 기생 트랜지스터는 소자 분리막 측벽 상의 반도체 기판의 펜스 내 기생 채널 영역을 먼저 반전시켜서 리세스드 트랜지스터의 전류 구동 능력을 저하시킨다.

한편, "메모리 어레이에서 구동 전류를 증가시키기 위한 구조 및 관련된 방법" 이 미국특허공보 제 6,825,526 호(U.S PATENT No. 6,825,526)에 유송해(Yue-Song He) 등에 의해 개시된 바 있다.

상기 미국특허공보 제 6,825,526 호에 따르면, 이 구조 및 관련된 방법은 반도체 기판에 배치된 절연 영역들을 포함한다. 상기 절연 영역들 사이에 트렌치 및 그 트렌치를 덮는 터널 옥사이드 막을 차례로 형성한다. 그리고, 상기 터널 옥사이드 막 아래에 채널 영역이 배치된다.

그러나, 상기 구조 및 관련된 방법은 계속적으로 축소되는 디자인 룰을 가지고 채널 영역의 디멘전을 더욱 증가시킬 수 있는 방안을 제시해 주지 못한다. 왜냐하면, 상기 트렌치는 절연 영역들 사이의 디자인 룰을 극복해서 메모리 어레이에서 구동 전류를 증가시키기 위한 구조를 제공하지 않기 때문이다. 즉, 상기 채널 영역은 절연 영역들 사이의 디자인 룰에 구속되어서 트렌치 주변의 반도체 기판에 형성된다. 따라서, 상기 구조 및 관련된 방법은 축소되는 디자인 룰을 가지고 메모리 어레이에서 구동 전류를 계속적으로 증가시킬 수 없다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 활성 영역의 폭 방향으로 소자 분리막의 측벽 상에 반도체 기판의 펜스를 제거시킨 리세스드 트랜지스터들을 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 기생 트랜지스터를 제거할 수 있도록 소자 분리막의 측벽 상에 반도체 기판의 펜스를 제거시킨 리세스드 트랜지스터들의 형성방법들을 제공하는데 있다.

발명의 구성

상기 기술적 과제들을 구현하기 위해서, 본 발명은 소자 분리막의 측벽 상에 반도체 기판의 펜스를 제거시킨 리세스드 트랜지스터 및 그 형성방법을 제공한다.

이 리세스드 트랜지스터는 활성 영역을 포함한다. 상기 활성 영역은 반도체 기판의 소자 분리막으로 한정된다. 상기 활성 영역의 반도체 기판의 상면으로부터 반도체 기판의 하부를 향해서 소정 깊이로 연장한 채널부 홀이 배치된다. 상기 소자 분리막은 활성 영역의 길이 방향에서 채널부 홀을 둘러싸는 활성 영역의 반도체 기판을 고립시키도록 배치된다. 상기 소자 분리막은 활성 영역의 폭 방향에서 채널부 홀 내 활성 영역의 반도체 기판의 측면들 중 적어도 하나 노출시키도록 배치된다. 그리고, 상기 활성 영역의 반도체 기판의 측면의 길이는 그 측면과 이어져서 소자 분리막에 접촉되는 다른 측면의 길이와 다르다.

상기 형성방법은 반도체 기판에 소자 분리막을 형성한다. 상기 소자 분리막은 활성 영역을 고립시키도록 형성한다. 상기 활성 영역의 반도체 기판에 채널 영역을 형성한다. 상기 활성 영역 및 소자 분리막을 동시에 노출시키도록 개구부를 갖는 포토레지스트 막을 형성한다. 상기 개구부를 갖는 포토레지스트 막 및 반도체 기판을 식각 마스크 및 식각 버퍼막으로 사용해서 소자 분리막 상에 식각 공정을 수행한다. 상기 개구부를 갖는 포토레지스트 막 및 소자 분리막을 식각 마스크로 사용해서 활성 영역의 반도체 기판 상에 식각 공정을 연이어 수행한다. 이때에, 상기 활성 영역의 반도체 기판 상에 수행된 식각 공정은 활성 영역의 반도체 기판에 채널부 홀을 형성한다. 상기 개구부를 갖는 포토레지스트 막을 반도체 기판으로부터 제거한다. 상기 활성 영역의 폭 방향의 채널부 홀의 측벽 높이는 활성 영역의 길이 방향의 채널부 홀의 측벽 높이보다 크게 형성한다. 상기 채널부 홀은 활성 영역의 폭 방향으로 활성 영역의 반도체 기판의 측면들 중 적어도 하나 노출시키도록 형성한다.

본 발명의 소자 분리막의 측벽 상에 반도체 기판의 펜스를 제거시킨 리세스드 트랜지스터들 및 그 형성방법들은 첨부한 참조 도면들을 참조해서 보다 상세하게 설명하기로 한다.

도 1 은 본 발명에 따른 트랜지스터를 보여주는 배치도이고, 그리고 도 2 및 도 3 은 각각이 도 1 의 절단선 I-I' 및 II-II' 를 따라 취해서 트랜지스터를 보여주는 단면도들이다.

도 1 내지 도 3 을 참조하면, 반도체 기판(10)에 채널부 홀(46)들이 배치된다. 상기 채널부 홀(46)들은 활성 영역(24)의 반도체 기판(10)의 상면으로부터 반도체 기판(10)의 하면을 향해서 소정 깊이로 연장하도록 배치된다. 상기 소자 분리막(20)은 활성 영역(24)을 한정하도록 반도체 기판(10)에 배치된다. 이때에, 상기 소자 분리막(20)은 활성 영역(24)의 길이 (Length) 방향에서 채널부 홀(46)들을 둘러싸는 활성 영역(24)의 반도체 기판(10)을 고립시키도록 배치된다. 그리고, 상기 소자 분리막(20)은 활성 영역(24)의 폭(Width) 방향에서 채널부 홀(46)들 내 활성 영역(24)의 반도체 기판(10)의 측면(S1)들을 노출시키도록 배치된다. 상기 소자 분리막(20)은 활성 영역(24)의 폭(Width) 방향에서 채널부 홀(46)들 내 활성 영역(24)의 반도체 기판(10)의 측면(S1)들 중 하나를 노출시키도록 배치될 수 있다.

상기 소자 분리막(20) 및 상기 채널부 홀(46)들 사이의 위치 관계를 좀 더 상세하게 설명하면, 상기 채널부 홀(46)들의 각각은 활성 영역(24)의 폭 방향에서 소자 분리막(20) 사이에 위치해서 활성 영역(24)의 반도체 기판(10)의 측면(S1)들을 노출시킨다. 상기 채널부 홀(46)들의 각각은 활성 영역(24)의 폭 방향에서 소자 분리막(20) 사이에 위치해서 활성 영역(24)의 반도체 기판(10)의 측면(S1)들 중 적어도 하나를 노출시키도록 배치될 수 있다. 그리고, 상기 채널부 홀(46)들의 각각은 활성 영역(24)의 길이 방향에서 활성 영역(24)의 반도체 기판(10)으로 한정되어서 소자 분리막(20)으로 둘러싸이도록 배치된다. 상기 반도체 기판(10)은 P 형의 불순물 이온들을 갖는다.

한편, 상기 활성 영역(24)의 반도체 기판(10)의 측면(S1)의 길이(A)는 그 측면(S1)과 이어져서 소자 분리막(20)에 접촉되는 다른 측면(S2)의 길이(B)와 다르게 한다. 이를 위해서, 상기 활성 영역(24)의 반도체 기판(10)의 측면(S1)의 길이(A)는 그 측면(S1)과 이어져서 소자 분리막(20)에 접촉되는 다른 측면(S2)의 길이(B)보다 작은 것이 바람직하다. 상기 활성 영역(24)의 반도체 기판(10)의 측면(S1)의 길이(A)는 그 측면(S1)과 이어져서 소자 분리막(20)에 접촉되는 다른 측면(S2)의 길이(B)보다 크게 될 수 있다. 이와는 반대로, 상기 활성 영역(24)의 반도체 기판(10)의 측면(S1)의 길이(A)는 그 측면(S1)과 이어져서 소자 분리막(20)에 접촉되는 다른 측면(S2)의 길이(B)와 동일하게 될 수도 있다.

더불어서, 상기 채널부 홀(46)의 밑면의 길이는 활성 영역(24)의 폭 방향에서 그 홀(46) 내 노출된 활성 영역(24)의 반도체 기판(10)의 측면(S1)의 길이(A)와 다르게 한다. 이를 위해서, 상기 채널부 홀(46)의 밑면의 길이는 활성 영역(24)의 폭 방향에서 그 홀(46) 내 노출된 활성 영역(24)의 반도체 기판(10)의 측면(S1)의 길이(A)보다 큰 것이 바람직하다. 상기 채널부 홀(46)의 밑면의 길이는 활성 영역(24)의 폭 방향에서 그 홀(46) 내 노출된 활성 영역(24)의 반도체 기판(10)의 측면(S1)의 길이(A)보다 작을 수 있다. 이와는 반대로, 상기 채널부 홀(46)의 밑면의 길이는 활성 영역(24)의 폭 방향에서 그 홀(46) 내 노출된 활성 영역(24)의 반도체 기판(10)의 측면(S1)의 길이(A)와 동일될 수도 있다.

상기 채널부 홀(46)들을 둘러싸도록 반도체 기판(10)에 채널 영역(28)이 배치될 수 있다. 상기 채널 영역(28)은 반도체 기판(10)과 동일한 도전형을 갖는다. 상기 채널 영역(28)에 소오스 및 드레인 영역(88)들이 배치될 수 있다. 상기 소오스 및 드레인 영역(88)들은 채널부 홀(46)들 사이에 배치될 수 있다. 상기 소오스 및 드레인 영역(88)들은 채널 영역(28)과 다른 도전형을 갖는다.

상기 반도체 기판(10) 상에 배치되어서 채널부 홀(46)들을 각각 채우는 게이트 패턴(68)들이 배치될 수 있다. 이때에, 상기 소오스 및 드레인 영역(88)들은 게이트 패턴(68)들과 각각 중첩한다. 상기 게이트 패턴(68)들 및 반도체 기판(10) 사이에 게이트 절연 패턴(51)들이 각각 배치될 수 있다. 그리고, 상기 게이트 패턴(68)들에 각각 인접하는 패드 전기 노드(98)들이 배치될 수 있다. 상기 패드 전기 노드(98)들은 활성 영역(24)의 반도체 기판(10)을 통해서 소오스 및 드레인 영역(88)들과 각각 접촉한다.

상기 패드 전기 노드(98)들 및 게이트 패턴(68)들 사이에 게이트 스페이서(70)들이 배치될 수 있다. 상기 게이트 패턴(68)들 및 게이트 스페이서(70)들을 덮어서 패드 전기 노드(98)들을 고립시키는 층간절연막(90)이 반도체 기판(10) 상에 배치될 수 있다. 이를 통해서, 상기 패드 전기 노드(98)들, 게이트 패턴(68)들 및 채널부 홀(46)들을 포함하는 리세스드 트랜지스터(100)들이 형성된다.

상기 리세스드 트랜지스터(100)들의 각각은 활성 영역(24)의 폭 방향에서 채널 영역(28)으로 채널부 홀(46)의 밑면 및 채널부 홀(46) 내 활성 영역(24)의 반도체 기판(10)의 측면(S1)들을 갖는다. 따라서, 상기 리세스드 트랜지스터(100)들의 각각은 채널 영역(28)으로 채널부 홀(46)의 밑면만을 가지는 경우에 비해서 채널 영역(28)의 디멘전(Dimension)이 증가되는 구조를 가질 수 있다.

도 4, 도 6, 도 8, 도 10, 도 12, 도 14 및 도 16 은 각각이 도 1 의 절단선 I-I' 를 따라 취해서 반도체 장치의 형성방법을 설명해주는 단면도들이고, 그리고 도 5, 도 7, 도 9, 도 11, 도 13, 도 15 및 도 17 은 각각이 도 1 의 절단선 II-II' 를 따라 취해서 반도체 장치의 형성방법을 설명해주는 단면도들이다.

도 1, 도 4 및 도 5 를 참조하면, 반도체 기판(10)에 소자 분리막(20)을 형성한다. 상기 소자 분리막(20)은 활성 영역(24)을 한정한다. 상기 소자 분리막(20)은 반도체 기판(10)과 다른 식각률을 갖도록 형성하는 것이 바람직하다. 상기 활성 영역(24)의 반도체 기판(10)에 채널 영역(28)을 형성한다. 상기 채널 영역(28)은 소자 분리막(20) 사이에 위치하도록 형성하는 것이 바람직하다. 상기 채널 영역(28)은 반도체 기판(10)과 동일한 도전형을 갖도록 형성한다. 상기 반도체 기판(10)은 P 형의 불순물 이온들을 갖도록 형성하는 것이 바람직하다.

도 1, 도 6 및 도 7 을 참조하면, 활성 영역(24) 및 소자 분리막(20)을 덮는 포토레지스트 막(30)을 형성한다. 상기 포토레지스트 막(30)은 활성 영역(24)의 폭 방향으로 활성 영역(24) 및 소자 분리막(20)의 소정 영역들을 동시에 각각 노출시키는 개구부(36)들을 갖도록 형성한다. 상기 개구부(36)들을 갖는 포토레지스트 막 및 반도체 기판(10)을 식각 마스크 및 식각 버퍼막으로 사용해서 소자 분리막(20) 상에 식각 공정(33)을 수행한다.

상기 식각 공정(33)은 소자 분리막(20)의 상면으로부터 소자 분리막(20)의 하면을 향해서 소정 깊이(D1)로 소자 분리막(20)을 제거한다. 이를 통해서, 상기 식각 공정(33)은 소자 분리막(20)의 일부분(39)을 제거해서 활성 영역(24)의 반도체 기판(10)의 측면(S0)들을 노출시킨다. 상기 식각 공정(33)은 이방성을 갖는 식각 기술을 사용해서 수행하는 것이 바람직하다. 상기 식각 공정(33)은 등방성을 갖는 식각 기술을 사용해서 수행할 수 있다.

도 1, 도 8 및 도 9 를 참조하면, 상기 개구부(36)들을 갖는 포토레지스트 막 및 소자 분리막(20)을 식각 마스크로 사용해서 활성 영역(24)의 반도체 기판(10) 상에 식각 공정(43)을 수행한다. 이때에, 상기 식각 공정(43)은 소자 분리막(20)의 일부분(47)을 소정 깊이(D2)만큼 연이어 제거할 수 있다. 상기 활성 영역(24)의 도 6 의 반도체 기판(10)의 측면(S0)들은 소자 분리막(20)의 하면을 향해서 더 노출된다. 또한, 상기 식각 공정(43)은 활성 영역(24)의 반도체 기판(10)의 상면으로부터 반도체 기판(10)의 하부를 향해서 반도체 기판(10)을 소정 깊이(D3)만큼 제거한다. 이를 통해서, 상기 식각 공정(43)은 활성 영역(24)의 반도체 기판(10)에 채널부 홀(46)들을 형성한다. 상기 채널부 홀(46)들의 밑면은 활성 영역(24)의 폭 및 길이 방향들에서 소자 분리막(20)의 상면 및 하면 사이에 위치하도록 형성하는 것이 바람직하다. 상기 식각 공정(43) 후, 상기 개구부(36)들을 갖는 포토레지스트 막을 반도체 기판(10)으로부터 제거한다.

한편, 상기 채널부 홀(46)들을 형성한 후, 상기 식각 공정(43)은 활성 영역의 폭 방향으로 채널부 홀(46)들 내 도 6 의 반도체 기판(10)의 측면(S0)들과 다른 디멘전(dimension)의 측면(S1)들을 형성한다. 즉, 상기 채널부 홀(46)들은 활성 영역(24)의 폭 방향으로 활성 영역(24)의 반도체 기판(10)의 측면(S1)들을 노출시킨다. 이때에, 상기 활성 영역(24)의 반도체 기판(10)의 측면(S1)들의 각각은 소정 길이(A)를 갖도록 형성한다. 좀 더 구체적으로 설명하면, 상기 활성 영역(24)의 반도체 기판(10)의 측면(S1)의 길이(A)는 그 측면(S1)과 이어져서 소자 분리막(20)에 접촉되는 다른 측면(S2)의 길이(B)와 다르게 형성한다. 이를 위해서, 상기 활성 영역(24)의 반도체 기판(10)의 측면(S1)의 길이(A)는 그 측면(S1)과 이어져서 소자 분리막(20)에 접촉되는 다른 측면(S2)의 길이(B)보다 작게 형성하는 것이 바람직하다. 상기 활성 영역(24)의 반도체 기판(10)의 측면(S1)의 길이(A)는 그 측면(S1)과 이어져서 소자 분리막(20)에 접촉되는 다른 측면(S2)의 길이(B)보다 크게 형성할 수 있다. 또한, 상기 채널부 홀(46)들은 활성 영역(24)의 폭 방향으로 활성 영역(24)의 반도체 기판(10)의 측면(S1)들 중 적어도 하나를 노출시킬 수 있다.

이와는 반대로, 상기 활성 영역(24)의 반도체 기판(10)의 측면(S1)의 길이(A)는 그 측면(S1)과 이어져서 소자 분리막(20)에 접촉되는 다른 측면(S2)의 길이(B)와 동일하게 형성할 수도 있다. 또한, 상기 활성 영역(24)의 폭 방향의 채널부 홀(46)의 측면 높이는 활성 영역(24)의 길이 방향의 채널부 홀(46)의 측면 높이보다 크게 형성하는 것이 바람직하다.

상기 식각 공정(43)은 도 6 의 식각 공정(33)이 소자 분리막(20)의 일부분(39)을 제거했기 때문에 소자 분리막(20)의 측면 상에 반도체 기판의 펜스들을 채널부 홀(46)들 내 형성하지 않는다. 만약, 도 6 의 식각 공정(33)이 소자 분리막(20)의 일부분(39)을 제거하지 않았다면, 상기 식각 공정(43)은 활성 영역(24)의 폭 방향으로 채널부 홀(46)들 내 반도체 기판(10) 및 소자 분리막(20) 사이의 기하학적인 구조때문에 소자 분리막(20)의 측면 상에 펜스들을 형성해야만 한다. 이를 통해서, 상기 식각 공정(43) 및 도 6 의 식각 공정(33)은 활성 영역(24)의 폭 방향으로 채널부 홀(46)들 내 반도체 기판(10)의 측면(S1)들을 사용해서 채널 영역(28)의 폭을 증가시킬 수 있다.

도 1, 도 10 및 도 11 을 참조하면, 상기 채널부 홀(46)들을 채우도록 활성 영역(24) 및 소자 분리막(20)을 덮는 게이트 절연막(50)을 형성한다. 상기 게이트 절연막(50) 및 소자 분리막(20) 상에 게이트 막(52) 및 게이트 캐핑막(56)을 차례로 형성한다. 상기 게이트 캐핑막(56)은 게이트 절연막(50)과 다른 식각률을 갖는 절연막을 사용해서 형성하는 것이 바람직하다. 상기 게이트 캐핑막(56)은 실리콘 나이트라이드(Si_3N_4) 막을 사용해서 형성할 수 있다. 이와는 반대로, 상기 게이트 캐핑막(56)은 실리콘 옥사이드(SiO_2) 막으로 형성할 수도 있다. 상기 게이트 막(52)은 도핑된 폴리실리콘 막 및 금속 실리사이드 막을 차례로 적층해서 형성하는 것이 바람직하다. 상기 게이트 막(52)은 N^+ 폴리실리콘 막 및 텅스텐 실리사이드(WSi) 막을 차례로 적층해서 형성할 수 있다. 상기 게이트 막(52)은 단독으로 N^+ 폴리실리콘 막을 사용해서 형성할 수도 있다. 상기 게이트 절연막(50)은 실리콘 옥사이드 막을 사용해서 형성하는 것이 바람직하다. 상기 게이트 절연막(50)은 채널부 홀(46)들을 컨포멀하게 덮어서 반도체 기판(10) 상에 형성되는 것이 바람직하다.

도 1, 도 12 및 도 13 을 참조하면, 상기 게이트 캐핑막(56) 상에 포토레지스트 패턴(64)들을 형성한다. 상기 포토레지스트 패턴(64)들 중 일부는 활성 영역(24)의 길이 방향으로 활성 영역(24)들 상에 차례로 위치해서 채널부 홀(46)들과 각각 중첩하도록 형성한다. 그리고, 상기 포토레지스트 패턴(64)들 중 나머지는 활성 영역(24)의 길이 방향으로 그 패턴(64)들 중 일부에 인접해서 소자 분리막(20)의 상부에 각각 위치하도록 형성하는 것이 바람직하다.

상기 포토레지스트 패턴(64)들 및 게이트 절연막(50)을 식각 마스크 및 식각 버퍼막으로 사용해서 게이트 캐핑막(56) 및 게이트 막(52) 상에 식각 공정(60)을 차례로 수행한다. 상기 식각 공정(60)은 게이트 절연막(50) 상에 게이트 패턴(68)들을 형성한다. 상기 게이트 패턴(68)들의 각각은 차례로 적층된 게이트 전극(54) 및 게이트 캐핑 패턴(58)을 사용해서 형성하는 것이 바람직하다. 이때에, 상기 게이트 패턴(68)들 중 일부는 채널부 홀(46)들을 각각 채워서 활성 영역(24)의 반도체 기판(10)의 상부를 향해서 돌출하도록 형성된다. 그리고, 상기 게이트 패턴(68)들 중 나머지는 그 패턴(64)들 중 일부에 인접해서 소자 분리막(20) 상에 각각 위치하도록 형성된다.

한편, 상기 게이트 패턴(68)들의 일부는 도 6 및 도 7 의 식각 공정(33)들의 수행으로 인해서 활성 영역(24)의 폭 방향으로 채널부 홀(46)들 내 활성 영역(24)의 반도체 기판(10)의 측면(S1)들을 사용해서 채널 영역(28)을 바라볼 수 있다. 즉, 상기 게이트 패턴(68)들의 일부의 각각은 채널부 홀(46)의 밑면 및 채널부 홀(46) 내 활성 영역(24)의 반도체 기판(10)의 측면(S1)을 채널 영역(28)으로 사용할 수 있다.

도 1, 도 14 및 도 15 를 참조하면, 상기 게이트 패턴(68)들의 측벽들에 게이트 스페이서(70)들을 각각 형성할 수 있다. 상기 게이트 스페이서(70)들은 게이트 캐핑 패턴(58)들과 동일한 식각률을 갖는 절연막을 사용해서 형성하는 것이 바람직하다. 이때에, 상기 게이트 스페이서(70)들은 활성 영역(24)의 반도체 기판(10)을 노출시켜서 게이트 절연 패턴(51)들을 형성한다. 상기 게이트 스페이서(70)들은 게이트 절연 패턴(51) 상에 위치하는 것이 바람직하다. 이를 통해서, 상기 게이트 패턴(68)들 중 일부 및 활성 영역(24)의 반도체 기판(10) 사이, 상기 게이트 패턴(68)들 중 나머지 및 소자 분리막(20) 사이에 게이트 절연 패턴(51)들이 각각 형성될 수 있다.

상기 게이트 패턴(68)들, 게이트 스페이서(70)들 및 소자 분리막(20)을 마스크로 사용해서 활성 영역(24)의 반도체 기판(10)에 이온 주입 공정(84)을 수행할 수 있다. 상기 이온 주입 공정(84)은 반도체 기판(10)에 소오스 및 드레인 영역(88)들을 형성한다. 상기 소오스 및 드레인 영역(88)들은 채널부 홀(46)들 사이에 위치해서 게이트 패턴(68)들과 각각 중첩하도록 형성한다. 상기 소오스 및 드레인 영역(88)들은 채널 영역(28)과 다른 도전성을 갖도록 형성하는 것이 바람직하다.

도 1, 도 16 및 도 17 을 참조하면, 상기 게이트 패턴(68)들 및 게이트 스페이서(70)들을 덮도록 반도체 기판(10) 상에 층간절연막(90)을 형성할 수 있다. 상기 층간절연막(90)은 게이트 캐핑 패턴(58)들과 다른 식각률을 갖는 절연막을 사용해서 형성하는 것이 바람직하다. 상기 층간절연막(90)은 실리콘 옥사이드 막을 사용해서 형성하는 것이 바람직하다.

상기 층간절연막(90)을 관통해서 게이트 패턴(68)들 사이의 소정 영역들에 각각 위치하는 노드 홀(94)들을 형성할 수 있다. 상기 노드 홀(94)들은 층간절연막(90)으로 둘러싸여서 서로 고립되도록 형성하는 것이 바람직하다. 상기 노드 홀(94)들을 각각 채우는 패드 전기 노드(98)들을 형성할 수 있다. 상기 패드 전기 노드(98)들은 도전막을 사용해서 형성하는 것이 바람직하다. 상기 패드 전기 노드(98)들은 각각이 소오스 및 드레인 영역(88)들과 접촉한다. 이를 통해서, 상기 패드 전기 노드(98)들, 소오스 및 드레인 영역(88)들, 게이트 패턴(68)들 및 채널부 홀(46)들을 포함하는 리세스드 트랜지스터(100)들이 형성될 수 있다.

발명의 효과

상술한 바와 같이, 본 발명은 소자 분리막의 측벽 상에 반도체 기판의 펜스를 제거시킨 리세스드 트랜지스터들 및 그 형성 방법들을 제공한다. 이 리세스드 트랜지스터들 및 그 형성방법들은 채널부 홀 내 반도체 기판의 펜스를 제거해서 활성 영역의 폭 방향으로 기생 트랜지스터를 제공하지 않고 전류 구동 능력을 극대화시킬 수 있다.

도면의 간단한 설명

도 1 은 본 발명에 따른 트랜지스터를 보여주는 배치도이다.

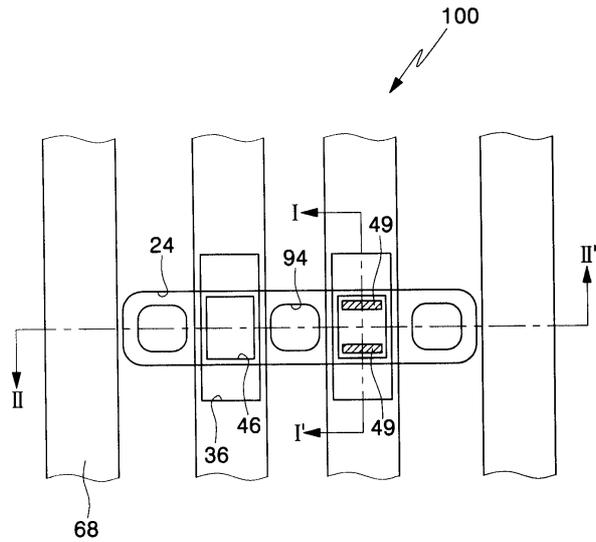
도 2 및 도 3 은 각각이 도 1 의 절단선 I-I' 및 II-II' 를 따라 취해서 트랜지스터를 보여주는 단면도들이다.

도 4, 도 6, 도 8, 도 10, 도 12, 도 14 및 도 16 은 각각이 도 1 의 절단선 I-I' 를 따라 취해서 트랜지스터의 형성방법을 설명해주는 단면도들이다.

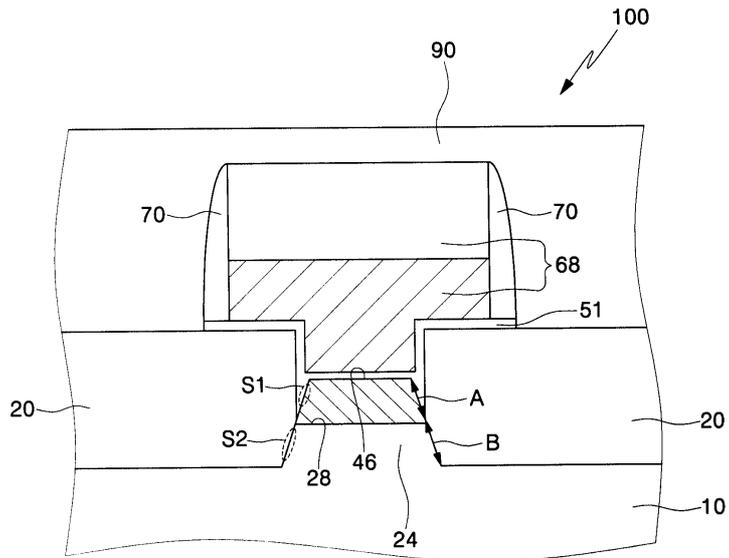
도 5, 도 7, 도 9, 도 11, 도 13, 도 15 및 도 17 은 각각이 도 1 의 절단선 II-II' 를 따라 취해서 트랜지스터의 형성방법을 설명해주는 단면도들이다.

도면

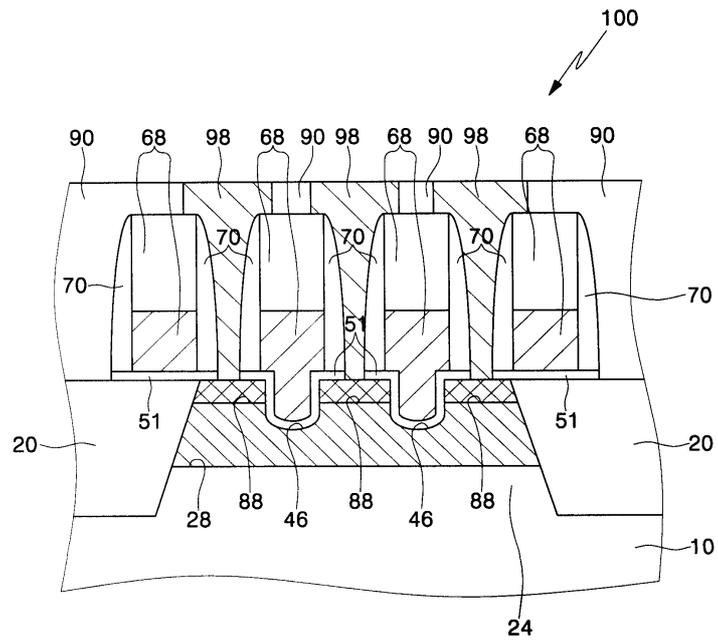
도면1



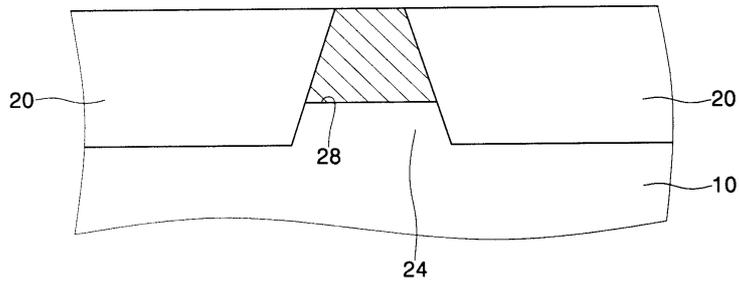
도면2



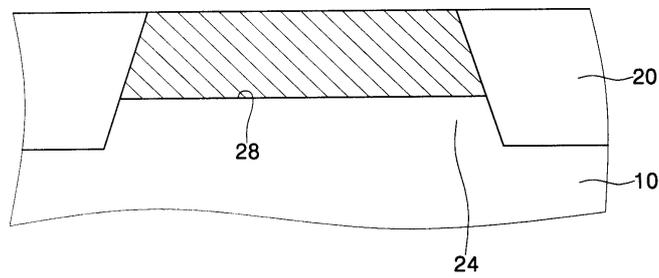
도면3



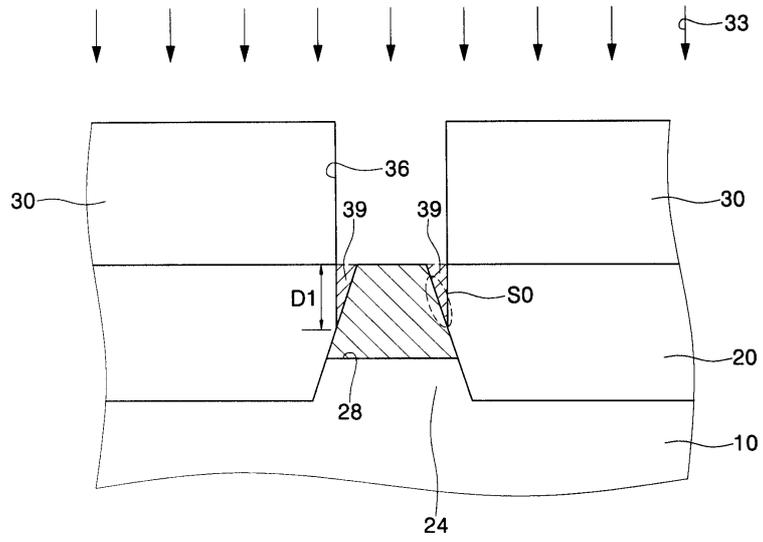
도면4



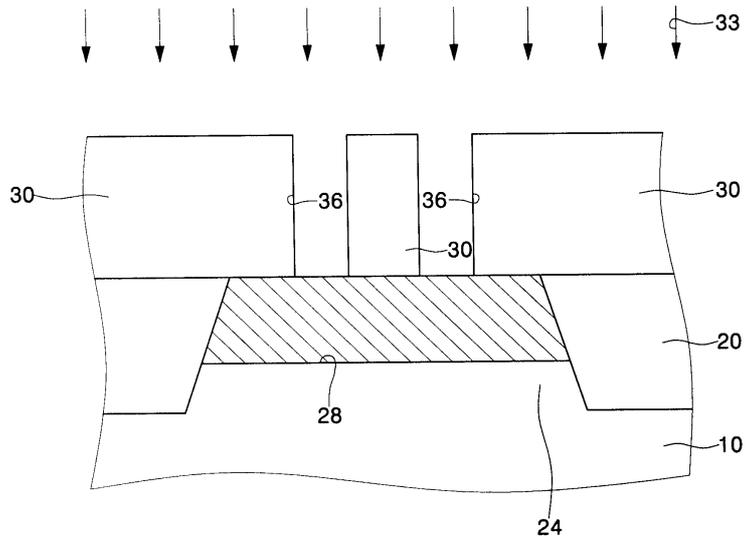
도면5



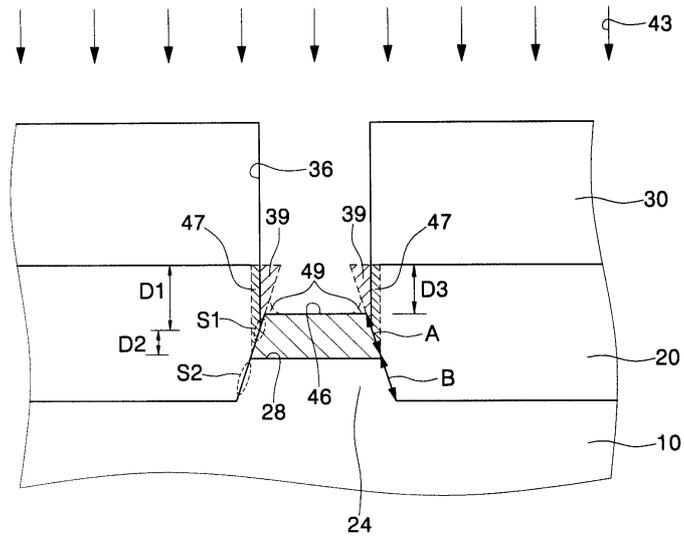
도면6



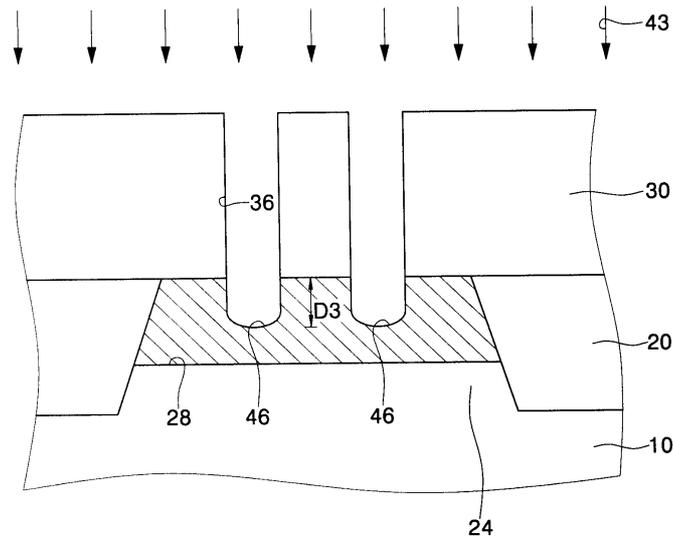
도면7



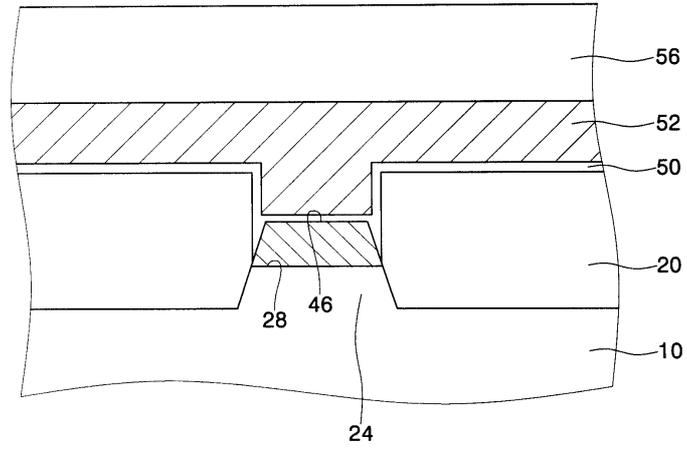
도면8



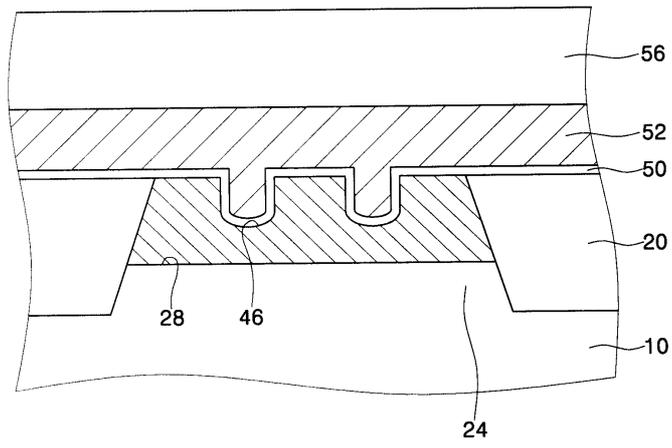
도면9



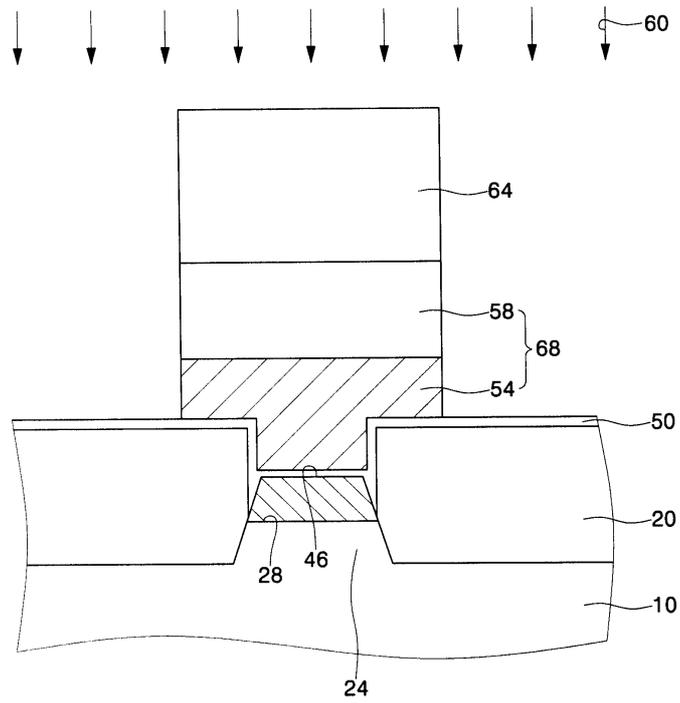
도면10



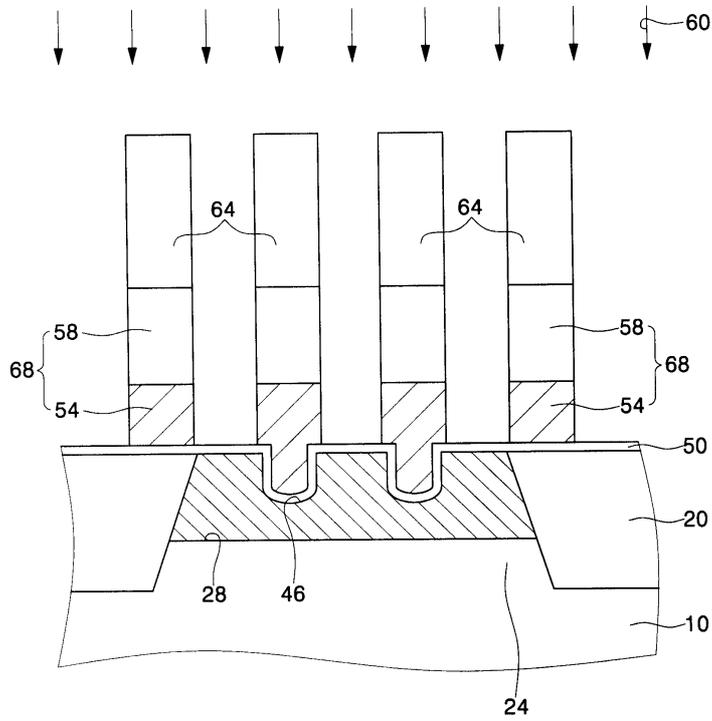
도면11



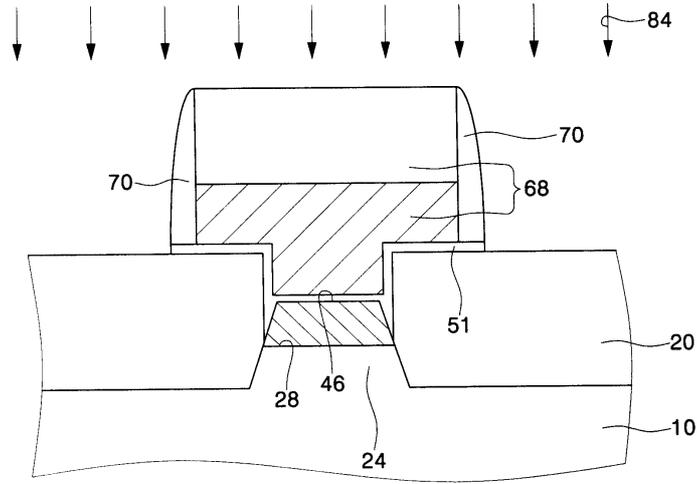
도면12



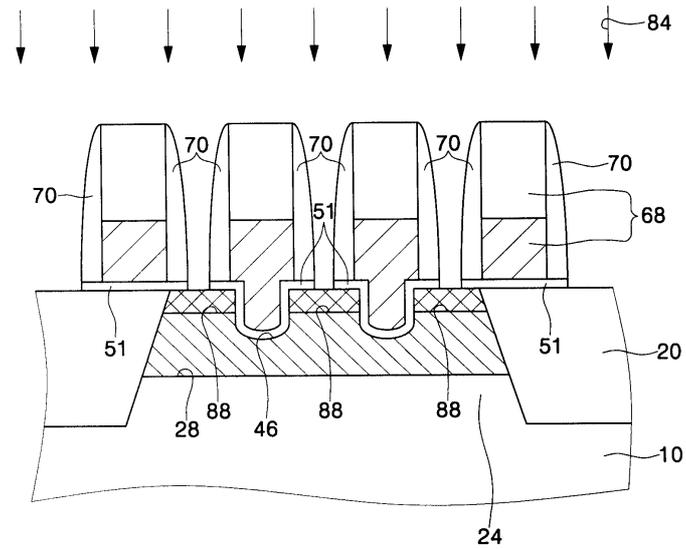
도면13



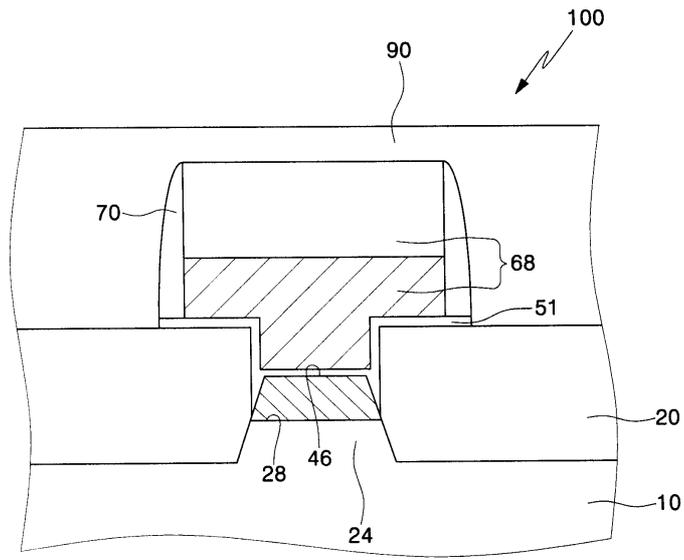
도면14



도면15



도면16



도면17

