



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 199 62 509 B4 2007.10.18**

(12)

Patentschrift

(21) Aktenzeichen: **199 62 509.3**
 (22) Anmeldetag: **23.12.1999**
 (43) Offenlegungstag: **20.07.2000**
 (45) Veröffentlichungstag
 der Patenterteilung: **18.10.2007**

(51) Int Cl.⁸: **G11C 7/06 (2006.01)**
G11C 7/12 (2006.01)
G11C 7/22 (2006.01)
G11C 11/4091 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:
98-58644 24.12.1998 KR

(73) Patentinhaber:
Hyundai Electronics Industries Co., Ltd., Ichon, Kyonggi, KR

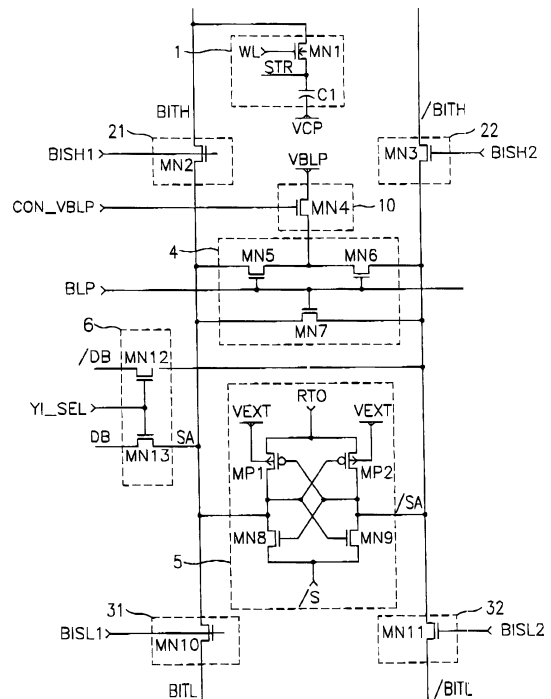
(74) Vertreter:
PAe Reinhard, Skuhra, Weise & Partner GbR, 80801 München

(72) Erfinder:
Ryu, Douk Hyoun, Seoul, KR; Seol, Yong Ho, Ichon, Kyoungki, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
US 56 42 314 A
US 54 99 211 A
US 54 77 496 A
US 53 15 555
US 52 80 452
JP 60-0 00 694 A
JP 08-0 63 959 A
JP 07-2 11 071 A
JP 05-1 89 969 A
Yamazaki, Akira, et.al.: Large Scale Embedded DRAM Technology. In: IEICE Trans. Electron., Vol. E81-C, No. 5, May 1998, S. 750-758;

(54) Bezeichnung: **Bitleitungsleseverstärker für eine Halbleiterspeicher-Vorrichtung**

(57) Hauptanspruch: Bitleitungsleseverstärker für eine Halbleiterspeichervorrichtung, der aufweist
 einen ersten Abschnitt eines Paares von Bitleitungen zur Übertragung von Daten zu oder von einer Speicherzelle (1), einen zweiten Abschnitt des Paares von Bitleitungen zur Übertragung von Daten zu oder von einer weiteren Speicherzelle,
 einen dritten Abschnitt des Paares von Bitleitungen zur Übertragung von Daten von dem ersten Abschnitt oder dem zweiten Abschnitt des Paares von Bitleitungen in einen Leseverstärker (5),
 eine erste Schalteinrichtung (21) zum selektiven Verbinden einer Bitleitung des Bitleitungspaares des dritten Abschnitts mit einer Bitleitung des Paares von Bitleitungen des ersten Abschnitts abhängig von einem ersten Steuersignal,
 eine zweite Schalteinrichtung (22) zum selektiven Verbinden einer anderen Bitleitung des Bitleitungspaares des dritten Abschnitts mit einer anderen Bitleitung des Paares von Bitleitungen des ersten Abschnitts abhängig von einem zweiten Steuersignal,
 eine dritte Schalteinrichtung (31) zum selektiven Verbinden einer Bitleitung des Bitleitungspaares des dritten Abschnitts mit einer Bitleitung des...



Beschreibung

[0001] Die vorliegende Erfindung betrifft einen Bitleitungsleseverstärker für eine Halbleiterspeichervorrichtung.

[0002] In der Veröffentlichung „Large Scale Embedded DRAM Technology“ von YAMAZAKI Akira et al., IEICE TRANS. ELECTRON., Bd. E81-C, Nr. 5 Mai 1998 Seiten 750 bis 758 ist ein Bitleitungsleseverstärker für eine Halbleiterspeichervorrichtung offenbart, mit ersten und zweiten Bitleitungen, die jeweils zwei Bitleitungen aufweisen, um gespeicherte Daten zu einer Speicherzelle zu übertragen, einer Leseverstärkerleitung zum Übertragen von Daten die auf die erste Leitung geladen sind, zu einem Leseverstärker, ersten und zweiten Schalteinrichtungen, die durch erste und zweite Steuersignale gesteuert werden und zwei Bitleitungen der ersten Bitleitung selektiv mit den Leseverstärkerleitungen verbinden, dritten und vierten Schalteinrichtungen, die durch dritte und vierte Steuersignale gesteuert werden und zwei Bitleitungen der zweiten Bitleitung selektiv mit den Leseverstärkerleitungen verbinden, sowie einer fünften Schalteinrichtung, die durch ein fünftes Schaltsignal gesteuert wird und einer Bitleitungsvorladespannung selektiv an die Leseverstärkerleitungen anlegt.

[0003] Das US Patent Nr. 5,280,452 offenbart einen stromsparenden Leseleitungsverstärker für einen dynamischen RAM-Speicher. Die US-Patentschrift 5,477,496 offenbart einen Halbleiterspeichervorrichtung mit Schaltkreisen zum Vorladen und Equalisieren. Die US-Patentschrift US 5,499,211 offenbart einen Bitleitungsvorladungsstrombegrenzer für dynamische CMOS-Speicher.

[0004] Das US Patent Nr. 5,642,314 offenbart eine verbesserte Stromversorgung für das Vorladen von Datenleitungen.

[0005] Nachfolgend wird der Stand der Technik anhand von [Fig. 1](#) bis [Fig. 3](#) näher erläutert.

[0006] [Fig. 1](#) zeigt ein Schaltungsdiagramm eines herkömmlichen Bitleitungsleseverstärkers.

[0007] Wie in [Fig. 1](#) gezeigt, umfaßt der herkömmliche Bitleitungsleseverstärker mit gefalteter Bitleitungsstruktur folgende Bestandteile: eine Einheitszelle **1**, die mit einer ersten Bitleitung BITH und einem Zellenplattenspannungsanschluß VCP verbunden ist, und aus einem ersten NMOS-Transistor MN1 und einer Zellenkapazität C1 besteht; einen ersten Leitungsverbinder **2**, der aus zweiten und dritten NMOS-Transistoren MN2, MN3 besteht und eine Verbindung oder eine Unterbrechung zwischen ersten Bitleitungen BITH, /BITH und Leseverstärkerleitungen SA, /SA unter Verwendung eines ersten Bitleitungsabschaltsignals BISH durchführt; einen zweiten

Leitungsverbinder **3**, der aus 10. und 11. NMOS-Transistoren MN10, MN11 besteht, und eine Verbindung oder eine Unterbrechung zwischen zwei Bitleitungen BITL, /BITL und Leseverstärkerleitungen SA, /SA unter Verwendung eines zweiten Bitleitungsabschaltsignals BISL durchführt; einen Leseverstärker **5**, der aus ersten und zweiten PMOS-Transistoren MP1, MP2 und 8. und 9. NMOS-Transistoren MN8, MN9 besteht, mit Leseverstärkerleitungen SA, /SA verbunden ist, durch Leseverstärkersteuersignale RTO, /S getrieben ist und einen Bitleitungslesevorgang durchführt; und einen Datenbusleitungsverbinder **6**, der aus 12. und 13. NMOS-Transistoren MN12, MN13 besteht, durch ein Spaltenwahlsignal YI_SEL betätigt wird und eine Verbindung oder eine Unterbrechung zwischen Leseverstärkerleitungen SA, /SA und Datenbusleitungen DB, /DB durchführt.

[0008] Ein Bitleitungslesevorgang des herkömmlichen Bitleitungsleseverstärkers, der in [Fig. 1](#) gezeigt ist, wird nunmehr unter Bezugnahme auf [Fig. 2](#) und [Fig. 3](#) erläutert.

[0009] [Fig. 2](#) zeigt ein Schaltungsdiagramm eines Verfahrens zum Treiben des herkömmlichen Bitleitungsleseverstärkers, der in [Fig. 1](#) gezeigt ist, und [Fig. 3](#) zeigt ein Takt- bzw. Zeitlaufdiagramm des in [Fig. 1](#) gezeigten herkömmlichen Bitleitungsleseverstärkers.

[0010] Da bei einem Bitleitungsleseverstärker im anfänglichen Zustand, wie in [Fig. 2\(a\)](#) gezeigt, die ersten und zweiten Bitleitungsabschaltsignale BISH, BISL sich auf Hochniveaustand befinden, wie in [Fig. 3\(a\)](#) und [3\(b\)](#) gezeigt, sind die ersten und zweiten Bitleitungen BITH, /BITH, BITL, /BITL mit den Leseverstärkerleitungen SA, /SA verbunden. Außerdem ist eine Bitleitungsvorladespannung VBLP, bei der es sich um die Hälfte von Vcc eines Energiegenerators handelt, an die vorstehend genannten Leitungen angelegt, wie in [Fig. 3\(c\)](#), [3\(h\)](#) und [3\(i\)](#) gezeigt.

[0011] Wie in [Fig. 2\(b\)](#) gezeigt, werden daraufhin die zweiten Bitleitungen BITL, /BITL von den Leseverstärkerleitungen SA, /SA durch das zweite Bitleitungsabschaltsignal BISL isoliert.

[0012] Das heißt, wenn, wie in [Fig. 3\(b\)](#) und [3\(c\)](#) gezeigt, das zweite Bitleitungsabschaltsignal BISL und ein Bitleitungs-Equalisierungssignal BLP geändert werden, ausgehend von einem Hochniveaustand auf einen Niedrigniveaustand, werden die fünften, sechsten und siebten NMOS-Transistoren MN5, MN6, MN7, umfassend eine Bitleitungs-Equalisierungseinheit **4** und die 10. und 11. NMOS-Transistoren MN10, MN11, umfassend den zweiten Leitungsverbinder **3** (ein- bzw. ausgeschaltet), wodurch die zweiten Bitleitungen BITL, /BITL von den Leseverstärkerleitungen SA, /SA getrennt werden.

[0013] Daraufhin wird eine Wortleitung WL ausgewählt, wie in **Fig. 3(d)** gezeigt, eine Spannungsteilung, bzw. -aufteilung, bzw. -unterteilung tritt in der ersten Bitleitung BITH, in **Fig. 2(c)** gezeigt, und der Leseverstärkerleitung SA auf, wie in **Fig. 3(h)** und **3(i)** gezeigt.

[0014] Daraufhin werden ein Lesevorgang und ein Rückschreibvorgang in einen Speicherknoten STR innerhalb der Einheitszelle **1** in dem Leseverstärker **5** durchgeführt.

[0015] Das heißt, Leseverstärkersteuersignale RTO, /S werden, wie in **Fig. 3(f)** und **3(g)** gezeigt, derart angelegt, daß ein verstärktes Signal an die Leseverstärkerleitungen SA, /SA angelegt wird. Wie in **Fig. 2(d)** gezeigt, wird das verstärkte Signal in einen Speicherknoten in der Einheitszelle **1** rückgeschrieben.

[0016] In diesem Ablauf werden die Leseverstärkerleitungen SA, /SA und die ersten Bitleitungen BITH, /BITH derart miteinander verbunden, daß ein Energieverbrauch in Übereinstimmung mit einem Laden bzw. Belasten der ersten Bitleitungen BITH, /BITH auftritt. Die zweiten und dritten NMOS-Transistoren, umfassend den ersten Leitungsverbinder **2**, werden eingeschaltet, weil das erste Bitleitungsabschaltsignal BISH sich in einem Hochniveaustand derart befindet, daß die obere Bitleitung mit den Leseverstärkerleitungen verbunden wird.

[0017] Daraufhin werden ein Equalisierungsvorgang und ein Vorladungsvorgang bzw. Vorbelastungsvorgang der bzw. für die ersten und zweiten Bitleitungen BITH, /BITH, BITL, /BITL die Leseverstärkerleitungen SA, /SA gleichzeitig durchgeführt.

[0018] Wie in **Fig. 3(d)**, **3(f)** und **3(g)** gezeigt, wird insbesondere eine Wortleitung WL ausgehend von einem Hochniveaustand auf einen Niedrigniveaustand geändert, und die Leseverstärkersteuersignale RTO, /S werden mit halbem Vcc-Pegel gesperrt. Wie in **Fig. 3(b)** und **3(c)** gezeigt, werden das zweite Bitleitungsabschaltsignal BISL und ein Bitleitungs-Equalisierungssignal BLP ausgehend von einem Niedrigniveaustand auf einen Hochniveaustand derart geändert, daß die Signale BISL und BLP freigegeben werden. Wie in **Fig. 2(e)** gezeigt, werden die ersten und zweiten Bitleitungen BITH, /BITH, BITL, /BITL und die Leseverstärkerleitungen SA, /SA equalisiert und vorgeladen bzw. vorbelastet.

[0019] Da in diesem Ablauf der Equalisierungsvorgang und der Vorladungs- bzw. Vorbelastungsvorgang zum selben Zeitpunkt durchgeführt werden, wird eine Leseverstärkerleitung SA zwischen zwei Leseverstärkerleitungen SA, /SA als erste Vcc-Spannung verstärkt, wie in **Fig. 3(h)** gezeigt, und zwar durch einen Lesevorgang, und eine Spannung der

anderen Leseverstärkerleitung /SA fällt auf eine Massenniveauspannung Vss ab, wodurch beim Vorladungs- bzw. Vorbelastungsprozeß ein Energieverbrauch auftritt.

[0020] Es besteht deshalb ein Bedarf, den unnötigen Energieverbrauch zu vermeiden, der bei dem herkömmlichen Lese- und Vorlade- bzw. Vorbelastungsprozeß auftritt, und eine erhöhte Lesegeschwindigkeit bereitzustellen, die wiederum zu einer Minimierung des Stromverbrauchs bei einem Chip-Betrieb führt.

[0021] Eine Aufgabe der vorliegenden Erfindung besteht deshalb darin, einen Bitleitungsleseverstärker für eine Halbleiterspeichervorrichtung zu schaffen, der einen Energieverbrauch (beim Lese- und Vorladungsprozeß) unterbindet, indem ein Vorladungsvorgang nach einem Equalisierungsvorgang in einem Vorladungsvorgang durchgeführt wird.

[0022] Gelöst wird diese Aufgabe durch einen Bitleitungsleseverstärker für eine Halbleiterspeichervorrichtung gemäß Anspruch **1**.

[0023] Nachfolgend wird die Erfindung anhand der Zeichnungen beispielhaft näher erläutert; es zeigen:

[0024] **Fig. 1** ein Schaltungsdiagramm eines herkömmlichen Bitleitungsleseverstärkers,

[0025] **Fig. 2** ein Schaltungsdiagramm eines Treiberverfahrens für den in **Fig. 1** gezeigten herkömmlichen Bitleitungsleseverstärker,

[0026] **Fig. 3** ein Takt- bzw. Zeitlaufdiagramm des in **Fig. 1** gezeigten herkömmlichen Bitleitungsleseverstärkers,

[0027] **Fig. 4** ein Schaltungsdiagramm eines Bitleitungsleseverstärkers in Übereinstimmung mit der vorliegenden Erfindung,

[0028] **Fig. 5** ein Schaltungsdiagramm eines Treiberverfahrens für den in **Fig. 4** gezeigten Bitleitungsleseverstärker in Übereinstimmung mit einem ersten Verfahren,

[0029] **Fig. 6** ein Takt- bzw. Zeitlaufdiagramm des in **Fig. 4** gezeigten Bitleitungsleseverstärkers in Übereinstimmung mit einem ersten Verfahren,

[0030] **Fig. 7** ein Schaltungsdiagramm eines Treiberverfahrens für den in **Fig. 4** gezeigten Bitleitungsleseverstärker in Übereinstimmung mit einem zweiten Verfahren,

[0031] **Fig. 8** ein Takt- bzw. Zeitlaufdiagramm des in **Fig. 4** gezeigten Bitleitungsleseverstärkers in Übereinstimmung mit einem zweiten Verfahren,

[0032] [Fig. 9](#) ein Schaltungsdiagramm eines Treiberverfahrens für den in [Fig. 4](#) gezeigten Bitleitungsleseverstärker in Übereinstimmung mit einem dritten Verfahren,

[0033] [Fig. 10](#) ein Takt- bzw. Zeitlaufdiagramm des in [Fig. 4](#) gezeigten Bitleitungsleseverstärkers in Übereinstimmung mit einem dritten Verfahren,

[0034] [Fig. 11](#) die Höhe eines Stroms, gemessen an einem Masseanschluß in dem Bitleitungsleseverstärker gemäß dem ersten Verfahren,

[0035] [Fig. 12](#) die Höhe eines Stroms, gemessen an einem Masseanschluß in dem Bitleitungsleseverstärker gemäß dem zweiten Verfahren,

[0036] [Fig. 13](#) die Höhe eines Stroms, gemessen an einem Masseanschluß in dem Bitleitungsleseverstärker gemäß dem dritten Verfahren, und

[0037] [Fig. 14](#) die Höhe eines Stroms, gemessen an einem Masseanschluß in dem Bitleitungsleseverstärker gemäß dem Stand der Technik.

[0038] [Fig. 1](#) bis [Fig. 3](#) sind einleitend zum Stand der Technik erläutert worden. Die Erfindung wird nunmehr zunächst anhand einer ersten bevorzugten Ausführungsform in bezug auf [Fig. 4](#) erläutert.

[0039] [Fig. 4](#) zeigt ein Schaltungsdiagramm eines Bitleitungsleseverstärkers in Übereinstimmung mit der vorliegenden Erfindung.

[0040] Der grundsätzliche Schaltungsaufbau des in [Fig. 4](#) gezeigten Bitleitungsleseverstärkers ist derselbe wie bei dem herkömmlichen Bitleitungsleseverstärker. Ein zusätzlicher Abschnitt, der dem Schaltungsaufbau gemäß dem herkömmlichen Bitleitungsleseverstärker hinzugefügt ist, wird nunmehr erläutert.

[0041] Eine Bitleitungsvorlade- bzw. -vorbelastungseinheit 10 mit einem NMOS-Transistor MN4 wird durch ein Bitleitungsvorlade- bzw. -vorbelastungssignal CON_VBLP zwischen dem herkömmlichen Bitleitungsvorlade- bzw. -vorbelastungsspannungsanschluß VBLP und der herkömmlichen Bitleitungs-Equalisierungseinheit 4 derart hinzugefügt, daß ein Bitleitungs-Equalisierungsvorgang und ein Bitleitungsvorlade- bzw. -vorbelastungsvorgang getrennt durchgeführt werden können. Im folgenden sind zusammengesetzte Begriffe mit "vorlade" bzw. "Vorbelastung" gemeinsam bezeichnet durch zusammengesetzte Begriffe mit "vorlade".

[0042] Der herkömmliche Bitleitungsleseverstärker verbindet gleichzeitig die ersten Bitleitungen BITH, /BITH und die zweiten Bitleitungen BITL, /BITL mit den Leseverstärkerleitungen SA, /SA durch Bereit-

stellen eines ersten Leitungsverbinders 2 und eines zweiten Leitungsverbinders 3. Die vorliegende Erfindung umfaßt jedoch vier Leitungsverbinder 21, 22, 31, 32 und sieht eine entsprechende Steuerung von NMOS-Transistoren MN2, MN3, MN10, MN11 vor.

[0043] Das heißt, durch einen ersten Leitungsverbinder 21 wird die erste Bitleitung BITH mit einer Leseverstärkerleitung SA verbunden oder getrennt von der Leseverstärkerleitung SA. Durch den zweiten Leitungsverbinder 22 wird eine weitere erste Bitleitung /BITH mit einer weiteren Leseverstärkerleitung /SA verbunden oder getrennt von einer weiteren Leseverstärkerleitung /SA.

[0044] Durch einen dritten Leitungsverbinder 31 wird außerdem die zweite Bitleitung BITL mit der Leseverstärkerleitung SA verbunden oder sie wird getrennt von der Leseverstärkerleitung SA. Durch den vierten Leitungsverbinder 32 wird eine zweite Bitleitung /BITL mit einer weiteren Leseverstärkerleitung /SA verbunden oder sie wird von einer weiteren Leseverstärkerleitung /SA getrennt.

[0045] Ein Prozeß ausgehend von einem Lesevorgang zu einem Vorladevorgang in Übereinstimmung mit drei Verfahrensarten (d.h. einem ersten Verfahren, einem zweiten Verfahren und einem dritten Verfahren) wird nunmehr unter bezug auf die anliegenden Zeichnungen erläutert.

[0046] Zunächst wird das erste Verfahren unter bezug auf [Fig. 4](#) bis [Fig. 6](#) erläutert.

[0047] [Fig. 5](#) zeigt ein Schaltungsdiagramm eines Treiberverfahrens für den in [Fig. 4](#) gezeigten Bitleitungsleseverstärker in Übereinstimmung mit einem ersten Verfahren, und [Fig. 6](#) zeigt ein Zeitlaufdiagramm des in [Fig. 4](#) gezeigten Bitleitungsleseverstärkers in Übereinstimmung mit einem ersten Verfahren.

[0048] Das erste Verfahren führt getrennt einen Bitleitungs-Equalisierungsvorgang und einen Vorladevorgang nach einem Lesevorgang derart durch, daß ein Vorladevorgang nach dem Equalisierungsvorgang durchgeführt wird, wodurch verhindert wird, daß es bei dem Vorladevorgang zu einem Energieverbrauch kommt.

[0049] Bei einem in [Fig. 5\(a\)](#) gezeigten Anfangszustand befinden sich die ersten und zweiten Bitleitungsabschaltsignale BISH1, BISH2, BISL1, BISL2 auf einem in [Fig. 6\(a\)](#) und [Fig. 6\(b\)](#) gezeigten Hochniveaustand, so daß die ersten und zweiten Bitleitungen BITH, /BITH, BITL, /BITL mit den Leseverstärkerleitungen SA, /SA verbunden werden. Da, wie in [Fig. 6\(c\)](#) und [Fig. 6\(d\)](#) gezeigt, ein Bitleitungs-Equalisierungssignal BLP und das Bitleitungsvorladesignal CON_VBLP sich auf einem Hochniveaustand be-

finden, werden die fünften, sechsten und siebten NMOS-Transistoren MN5, MN6, MN7, aufweisend eine Bitleitungs-Equalisierungseinheit 4, und ein vierter NMOS-Transistor MN4, aufweisend eine Bitleitungsvorladeeinheit 10, eingeschaltet, eine Bitleitungsvorladespannung VBLP, bei der es sich um die halbe Spannung Vcc von einem Energiegenerator handelt, wird an die ersten und zweiten Bitleitungen BITH, /BITH, BITL, /BITL und die Leseverstärkerleitungen SA, /SA angelegt, wie in Fig. 6(i) und 6(j) gezeigt.

[0050] Daraufhin werden, wie in Fig. 5(b) gezeigt, die zweiten Bitleitungen BITL, /BITL von den Leseverstärkerleitungen SA, /SA durch die zweiten Bitleitungsabschaltsignale BISL1, BISL2 isoliert bzw. getrennt.

[0051] Wenn, wie in Fig. 6(b) und 6(c) gezeigt, die zweiten Bitleitungsabschaltsignale BISL1, BISL2 und das Bitleitungs-Equalisierungssignal BLP von einem Hochniveaustand auf einen Niedrigniveaustand geändert werden, werden die fünften, sechsten und siebten NMOS-Transistoren MN5, MN6, MN7, aufweisend die Bitleitungs-Equalisierungseinheit 4, ausgeschaltet, der 10. NMOS-Transistor MN10, aufweisend den dritten Leitungsverbinder 31, und der 11. NMOS-Transistor MN11, aufweisend den vierten Leitungsverbinder 32, werden ausgeschaltet, und dadurch werden die zweiten Bitleitungen BITL, /BITL von den Leseverstärkerleitungen SA, /SA getrennt bzw. isoliert.

[0052] Da, wie in Fig. 6(d) gezeigt, das Bitleitungsvorladesignal CON_VBLP von einem Hochniveaustand auf einen Niedrigniveaustand geändert wird, wird der vierte NMOS-Transistor MN4, aufweisend die Bitleitungsvorladeeinheit 10, ausgeschaltet, wodurch die Bitleitungsvorladespannung VBLP nicht an die Leseverstärkerleitungen SA, /SA angelegt wird.

[0053] Daraufhin wird eine Wortleitung WL ausgewählt, wie in Fig. 6(e) gezeigt, und eine Spannungsunterteilung tritt in der ersten Bitleitung BITH und der Leseverstärkerleitung SA auf, wie in Fig. 6(i) und 6(j) gezeigt.

[0054] Wie in Fig. 5(d) gezeigt, werden ein Lesevorgang des Leseverstärkers und ein Rückschreibvorgang in die Einheitszelle 1 durchgeführt.

[0055] Insbesondere werden Leseverstärkersteuersignale RTO, /S angelegt, wie in Fig. 6(g) und 6(h) gezeigt, ein verstärktes Signal wird daraufhin an die Leseverstärkerleitungen SA, /SA angelegt, und das verstärkte Signal wird an die bzw. zu der Einheitszelle 1 rückschreibverarbeitet.

[0056] Wie in Fig. 5(e) gezeigt, wird daraufhin ein Equalisierungsvorgang um bzw. auf den Leseverstär-

kerleitungen SA, /SA und den ersten Bitleitungen BITH, /BITH durch ein Bitleitungs-Equalisierungssignal BLP durchgeführt.

[0057] Unter der Bedingungen, daß die Wortleitung WL gesperrt ist, wie in Fig. 6(e) gezeigt, werden insbesondere dann, wenn das Bitleitungs-Equalisierungssignal BLP freigegeben ist, wie in Fig. 6(c) gezeigt, die fünften, sechsten und siebten NMOS-Transistoren MN5, MN6, MN7, aufweisend die Bitleitungs-Equalisierungseinheit 4, eingeschaltet, wodurch ein Equalisierungsvorgang durchgeführt wird.

[0058] Wie in Fig. 6(i) und 6(j) gezeigt, weisen die ersten Bitleitungen BITH, /BITH und die Leseverstärkerleitungen SA, /SA die halbe Vcc-Spannung entsprechend einer Spannungsunterteilung auf.

[0059] Daraufhin wird, wie in Fig. 5(f) gezeigt, ein Vorladungsvorgang durchgeführt.

[0060] Insbesondere werden der 10. NMOS-Transistor MN10, aufweisend den dritten Leitungsverbinder 31, und der 11. NMOS-Transistor MN11, aufweisend den vierten Leitungsverbinder 21, eingeschaltet, indem die zweiten Bitleitungsabschaltsignale BISL1, BISL2 freigegeben werden, wie in Fig. 6(b) gezeigt, wodurch die zweiten Bitleitungen BITL, /BITL mit den Leseverstärkerleitungen SA, /SA verbunden werden. Wie in Fig. 6(d) gezeigt, führt das Freigeben des Bitleitungsvorladesignals CON_VBLP zu einem Vorladevorgang.

[0061] Eine Bitleitungsvorladespannung VBLP wird deshalb unter der Bedingung angelegt, daß die Leseverstärkerleitungen SA, /SA und die ersten Bitleitungen BITH, /BITH sich auf halbem Vcc-Pegel befinden, so daß ein Energieverbrauch während eines Vorladeprozesses nicht erfolgt.

[0062] Wie vorstehend erläutert, führt damit das erste Verfahren einen Vorladevorgang nach Durchführen eines Equalisierungsvorgangs durch und löst dadurch das Energieverbrauchsproblem, das auftritt, wenn der Equalisierungsvorgang und der Vorladevorgang gleichzeitig ausgeführt werden.

[0063] Als nächstes wird ein zweites Verfahren unter Bezug auf Fig. 4, Fig. 7 und Fig. 8 erläutert. Ein Lesevorgang und ein Vorladevorgang werden unter Bezug auf Fig. 4, Fig. 7 und Fig. 8 erläutert.

[0064] Fig. 7 zeigt ein Schaltungsdiagramm eines Treiberverfahrens für den in Fig. 4 gezeigten Bitleitungsleseverstärker in Übereinstimmung mit einem zweiten Verfahren, und Fig. 8 zeigt ein Zeitlaufdiagramm des in Fig. 4 gezeigten Bitleitungsverstärkers in Übereinstimmung mit einem zweiten Verfahren.

[0065] Nach Beendigung eines Wortleitungsfreiga-

beprozesses trennt das zweite Verfahren den ersten Leitungsverbinder **21** und den zweiten Leitungsverbinder **22**, die die ersten Bitleitungen BITH, /BITH mit den Leseverstärkerleitungen SA, /SA verbinden, von den Leseverstärkerleitungen SA, /SA durch die ersten Bitleitungsabschaltsignale BISH1, BISH2 und führt daraufhin einen Lesevorgang durch.

[0066] Ein Prozeß, ausgehend vom Anfangszustand, bis zu einem Wortleitungsfreigabeschritt in dem zweiten Verfahren ist derselbe wie bei dem ersten Verfahren.

[0067] In einem in **Fig. 7(a)** anfänglichen Zustand befinden sich die ersten und zweiten Bitleitungsabschaltsignale BISH1, BISH2, BISL1, BISL2 auf einem Hochniveaustand, wie in **Fig. 8(a), 8(b), 8(c)** und **8(d)** gezeigt, so daß die ersten und zweiten Bitleitungen BITH, /BITH, BITL, /BITL mit den Leseverstärkerleitungen SA, /SR verbunden werden.

[0068] Da, wie in **Fig. 8(e)** und **8(f)** gezeigt, ein Bitleitungs-Equalisierungssignal BLP und das Bitleitungsvorladesignal CON_VBLP sich auf einem Hochniveaustand befinden, werden die fünften, sechsten und siebten NMOS-Transistoren MN5, MN6, MN7, aufweisend eine Bitleitungs-Equalisierungseinheit **4**, und ein vierter NMOS-Transistor MN4, aufweisend eine Bitleitungsvorladeeinheit **10** eingeschaltet, eine Bitleitungsvorladespannung VBLP, die halb so groß ist wie die Spannung Vcc von einem Energiegenerator, wird an die ersten und zweiten Bitleitungen BITH, /BITH, BITL, /BITL und die Leseverstärkerleitungen SA, /SA angelegt, wie in **Fig. 8(k)** und **8(l)** gezeigt.

[0069] Wie in **Fig. 7(b)** gezeigt, werden daraufhin die zweiten Bitleitungen BITL, /BITL von den Leseverstärkerleitungen SA, /SA durch die zweiten Bitleitungsabschaltsignale BISH1, BISH2 getrennt.

[0070] Wenn, wie in **Fig. 8(c), 8(d)** und **8(e)** gezeigt, die zweiten Bitleitungsabschaltsignale BISH1, BISH2 und das Bitleitungs-Equalisierungssignal BLP geändert werden, ausgehend von einem Hochniveaustand auf einen Niedrigniveaustand, werden die fünften, sechsten und siebten NMOS-Transistoren MN5, MN6, MN7, aufweisend die Bitleitungs-Equalisierungseinheit **4**, ausgeschaltet, der 10. NMOS-Transistor MN10, aufweisend den dritten Leitungsverbinder **31** und der 11. NMOS-Transistor MN11, aufweisend den vierten Leitungsverbinder **32**, werden ausgeschaltet, und dadurch werden die zweiten Bitleitungen BITL, /BITL von den Leseverstärkerleitungen SA, /SA isoliert bzw. getrennt.

[0071] Da das Bitleitungsvorladesignal CON_VBLP, wie in **Fig. 8(f)** gezeigt, ausgehend von einem Hochniveaustand auf einen Niedrigniveaustand geändert wird, wird der vierte NMOS-Transistor MN4,

aufweisend die Bitleitungsvorladeeinheit **10**, ausgeschaltet, wodurch eine Bitleitungsvorladespannung VBLP an die Leseverstärkerleitungen SA, /SA nicht angelegt wird, wie in **Fig. 7(b)** gezeigt.

[0072] Wie in **Fig. 7(c)** gezeigt, wird daraufhin eine Wortleitung WL ausgewählt, wie in **Fig. 8(g)** gezeigt, und eine Spannungsunterteilung wird auf bzw. an der ersten Bitleitung BITH und der Leseverstärkerleitung SA durchgeführt, wie in **Fig. 8(k)** und **8(l)** gezeigt.

[0073] Da, wie in **Fig. 7(d)** gezeigt, eine Spannungsdifferenz zwischen den zwei Leseverstärkerleitungen SA, /SA, wie in **Fig. 8(k)** und **8(l)** gezeigt, aufgrund der Ladeunterteilung vorliegt, werden die ersten Bitleitungsabschaltsignale BISH1, BISH2 gesperrt, wie in **Fig. 8(a)** und **8(b)** gezeigt, und der zweite NMOS-Transistor MN2, aufweisend den ersten Leitungsverbinder **21**, und der dritte NMOS-Transistor MN3, aufweisend den zweiten Leitungsverbinder **22**, werden ausgeschaltet, wodurch die ersten Bitleitungen BITH, /BITH von den Leseverstärkerleitungen SA, /SA getrennt werden.

[0074] Wie in **Fig. 7(e)** gezeigt, werden Leseverstärkersteuersignale RTO, /S gesperrt, wie in **Fig. 8(i)** und **8(j)** gezeigt, so daß ein verstärktes Signal an die Leseverstärkerleitungen SA, /SA angelegt wird.

[0075] Das Laden bzw. die Belastung wird abgesenkt, weil die ersten Bitleitungen BITH, /BITH von den Leseverstärkerleitungen SA, /SA derart isoliert werden, daß ein Lesevorgang rasch stattfindet und ein Übergangs- bzw. Transientenstrom verringert wird. Außerdem wird ein Energieleitungs-Spannungssprung durch eine Spitzenwertverringering des Transientenstroms verringert.

[0076] Bei der herkömmlichen Bitleitungsleseverstärkerstruktur wird eine erste Bitleitung /BITH von einem Hoch- auf einen Niedrigniveaustand geändert bzw. bewegt, und zwar in Übereinstimmung mit einem Leseverstärkerbetrieb und daraufhin auf den halben Vcc-Pegel bewegt bzw. geändert. Die vorliegende Erfindung erfordert diesen herkömmlichen Vorgang durch Isolieren der ersten Bitleitung /BISH von der Leseverstärkerleitung /SA nicht.

[0077] Der zweite NMOS-Transistor MN2, aufweisend den ersten Leitungsverbinder **21** wird daraufhin durch Freigeben des ersten Bitleitungsabschaltsignals BISH1 eingeschaltet, wie in **Fig. 8(a)** gezeigt, so daß die erste Bitleitung BITH mit der Leseverstärkerleitung SA verbunden ist. Zu diesem Zeitpunkt wird der Rückschreibvorgang in die Einheitszelle **1** durchgeführt, wie in **Fig. 7(f)** gezeigt, und ein Potentialniveau der Leseverstärkerleitung SA kann geringfügig abgesenkt werden, wie in **Fig. 8(k)** gezeigt.

[0078] In einer gefalteten Bitleitungsstruktur wird eine weitere erste Bitleitung /BITH, mit welcher eine Zelle nicht verbunden ist, auf ein halbes Vcc-Niveau bzw. einen -Pegel nicht geändert, wenn eine Spannungsteilung durch eine freigegebene Wortleitung stattfindet. Da die Zelle nicht mit einer weiteren ersten Bitleitung /BITH verbunden ist, besteht keine Notwendigkeit, einen Rückschreibvorgang durchzuführen. Unter der Bedingung, daß die erste Bitleitung BITH ausschließlich mit der Leseverstärkerleitung **5A** verbunden ist, wie in **Fig. 7(g)** gezeigt, werden die Leseverstärkerleitungen SA, /SA gemeinsam bzw. gegenseitig equalisiert.

[0079] Das Bitleitungs-Equalisierungssignal BLP, das in **Fig. 8(e)** gezeigt ist, wird freigegeben und dadurch werden die fünften, sechsten und siebten NMOS-Transistoren MN5, MN6, MN7, aufweisend die Bitleitungs-Equalisierungseinheit **4**, eingeschaltet, wodurch die Leseverstärkerleitungen SA, /SA miteinander verbunden werden.

[0080] In diesem Fall sind die Leseverstärker für die 1K-Spalte mit weiteren Leseverstärkern durch den NMOS-Transistor MN5 verbunden, bei dem es sich um einen Equalisierungstransistor in einer Bank handelt. Die Wahrscheinlichkeit, daß eine Zelle sich auf einem Hoch- oder Niedrigniveaustand befindet, beträgt 50%. Der Prozentsatz eines Hoch- oder Niedrigniveaustands von Zellen in einer Bank folgt einer Gauss-Verteilung mit einer Zentrierung um etwa 50%. Unter der Annahme, daß ein Hochniveaustand mit 50% und ein Niedrigniveaustand mit 50% exakt vorliegen, werden die Leseverstärkerleitungen SA, /SA und die erste Bitleitung BITH mit kalter Vcc-Spannung equalisiert.

[0081] Unter der Annahme, daß der Hochniveaustand mit 50% und der Niedrigniveaustand mit 50% nicht vorliegen, können die Leseverstärkerleitungen SA, /SA und die erste Bitleitung BITH mit einer Spannung equalisiert werden, die geringfügig abweicht von der halben Vcc-Spannung.

[0082] Wie in **Fig. 7(h)** gezeigt, wird daraufhin ein Vorladevorgang durchgeführt.

[0083] Das heißt, die Bitleitungsabschaltsignale BISH2, BISL1, BISL2 werden freigegeben, wie in **Fig. 8(b)**, **8(c)** und **8(d)** gezeigt, der dritte NMOS-Transistor MN3, aufweisend den zweiten Leitungsverbinder **22**, der 10. NMOS-Transistor MN10, aufweisend den dritten Leitungsverbinder **23**, und der 11. NMOS-Transistor MN11, aufweisend den vierten Leitungsverbinder **32** werden derart eingeschaltet, daß die erste Bitleitung /BITH mit der Leseverstärkerleitung /SA verbunden ist, und die zweiten Bitleitungen BITL, /BITL mit den Leseverstärkerleitungen SA, /SA verbunden sind.

[0084] Wie in **Fig. 8(f)** gezeigt, wird ein Bitleitungsvorladesignal CON_VBLP freigegeben, der vierte NMOS-Transistor MN4, aufweisend die Bitleitungsvorladeeinheit **10**, wird eingeschaltet, so daß eine Bitleitungsvorladespannung VBLP an die Bitleitungen BITH, /BITH, BITL, /BITL und die Leseverstärkerleitungen SA, /SR angelegt wird.

[0085] Wenn ein Equalisierungsvorgang mit einer Spannung durchgeführt wird, die geringfügig von einer halben Vcc-Spannung in einem Equalisierungsprozeß abweicht, wird eine Einheit, in welcher dieser Equalisierungsvorgang stattfindet, mit einer halben Vcc-Spannung durch die Bitleitungsvorladespannung VBLP voraufgeladen, wodurch Energieverbrauch verhindert wird.

[0086] Wie vorstehend erläutert, verbindet das zweite Verfahren lediglich bzw. ausschließlich eine Bitleitung, die mit einer Zelle verbunden ist, die in einem Rückschreibprozeß zu bzw. mit den Leseverstärkerleitungen gewählt ist, wodurch ein halber Rückschreibvorgang durchgeführt wird.

[0087] Als nächstes wird das dritte Verfahren unter bezug auf **Fig. 4**, **Fig. 9** und **Fig. 10** erläutert. Ein Prozeß, ausgehend von einem anfänglichen Zustand bis zu einem Lesevorgang eines Leseverstärkers in dem dritten Verfahren, ist dasselbe wie beim zweiten Verfahren. Das dritte Verfahren führt jedoch einen vollständigen Rückschreibvorgang durch.

[0088] In **Fig. 9** ist ein Schaltdiagramm zur Erläuterung eines Treiberverfahrens für den in **Fig. 4** gezeigten Bitleitungsleseverstärker in Übereinstimmung mit einem dritten Verfahren gezeigt, und **Fig. 10** zeigt ein Zeitlaufdiagramm des in **Fig. 4** gezeigten Bitleitungsleseverstärkers in Übereinstimmung mit einem dritten Verfahren.

[0089] In einem in **Fig. 9(a)** gezeigten anfänglichen Zustand befinden sich die zweiten Bitleitungsabschaltsignale BISH1, BISH2, BISL1, BISL2 in einem in **Fig. 10(a)**, **10(b)**, **10(c)** und **10(d)** gezeigten Hochniveaustand derart, daß die ersten und zweiten Bitleitungen BITH, /BITH, BITL, /BITL mit den Leseverstärkerleitungen SA, /SA verbunden sind.

[0090] Da, wie in **Fig. 10(e)** und **10(f)** gezeigt, ein Bitleitungs-Equalisierungssignal BLP und das Bitleitungsvorladesignal CON_VBLP sich auf einem Hochniveaustand befinden, werden die fünften, sechsten und siebten NMOS-Transistoren MN5, MN6, MN7, aufweisend eine Bitleitungs-Equalisierungseinheit **4**, und ein vierter NMOS-Transistor MN4, aufweisend eine Bitleitungsvorladeeinheit **10** eingeschaltet, eine Bitleitungsvorladespannung VBLP mit halber Spannung Vcc vom Energiegenerator wird an die ersten und zweiten Bitleitungen BITH, /BITH, BITL, /BITL und die Leseverstärkerleitungen

SA, /SA angelegt, wie in **Fig. 10(k)** und **10(l)** gezeigt.

[0091] Daraufhin werden, wie in **Fig. 9(b)** gezeigt, die zweiten Bitleitungen BITL, /BITL von den Leseverstärkerleitungen SA, /SA durch die Bitleitungsabschaltsignale BISL1, BISL2 isoliert bzw. getrennt.

[0092] Wenn, wie in **Fig. 10(c)**, **10(d)** und **10(e)** gezeigt, die Bitleitungsabschaltsignale BISL1, BISL2 und das Bitleitungs-Equalisierungssignal BLP ausgehend von einem Hochniveaustand auf einen Niedrigniveaustand geändert werden, werden die fünften, sechsten und siebten NMOS-Transistoren MN5, MN6, MN7, aufweisend die Bitleitungs-Equalisierungseinheit **4**, ausgeschaltet, der 10. NMOS-Transistor MN10, aufweisend den dritten Leitungsverbinder **31**, und der 11. NMOS-Transistor MN11, aufweisend den vierten Leitungsverbinder **32**, werden ausgeschaltet, und dadurch werden die zweiten Bitleitungen BITL, /BITL von den Leseverstärkerleitungen SA, /SA isoliert bzw. getrennt.

[0093] Da, wie in **Fig. 10(f)** gezeigt, das Bitleitungsvorladesignal CON_VBLP geändert wird, ausgehend von einem Hochniveaustand auf einen Niedrigniveaustand, wird der vierte NMOS-Transistor MN4, aufweisend die Bitleitungsvorladeeinheit **10**, ausgeschaltet, wodurch eine Bitleitungsvorladespannung VBLP an die Leseverstärkerleitungen SA, /SA nicht angelegt wird.

[0094] Das heißt, wie in **Fig. 9(c)** gezeigt, wird eine Wortleitung WL ausgewählt, wie in **Fig. 10(g)** gezeigt, und eine Spannungsteilung bzw. -aufteilung wird durchgeführt zu der ersten Bitleitung BITH und der Leseverstärkerleitung SA, wie in **Fig. 10(k)** und **10(l)** gezeigt.

[0095] Da, wie in **Fig. 9(d)** gezeigt, eine Spannungsdifferenz zwischen den zwei Leseverstärkerleitungen SA, /SA, wie in **Fig. 10(k)** und **10(l)** gezeigt, herrührend von einer Spannungsaufteilung bzw. -unterteilung vorliegt, werden die Bitleitungsabschaltsignale BISH1, BISH2 gesperrt, wie in **Fig. 10(a)** und **10(b)** gezeigt, und der zweite NMOS-Transistor MN2, aufweisend den ersten Leitungsverbinder **21**, und der dritte NMOS-Transistor MN3, aufweisend den zweiten Leitungsverbinder **22** werden ausgeschaltet, wodurch die ersten Bitleitungen BITH, /BITH von den Leseverstärkerleitungen SA, /SA getrennt werden.

[0096] Wie in **Fig. 9(e)** gezeigt, werden daraufhin Leseverstärkersteuersignale RTO, /S freigegeben, wie in **Fig. 10(i)** und **10(j)** gezeigt, so daß ein verstärktes Signal an die Leseverstärkerleitungen SA, /SA angelegt wird.

[0097] Zu diesem Zeitpunkt wird ein Lade- bzw. Belastungsvorgang verringert, weil die ersten Bitleitungen BITH, /BITH von den Leseverstärkerleitungen

SA, /SA derart isoliert bzw. getrennt sind, daß ein Lesevorgang rasch stattfindet und ein Transientenstrom verringert wird. Außerdem wird ein Energieleitungs-Spannungssprung durch eine Spitzenwertverringering des Transientenstroms reduziert.

[0098] Bei dem Aufbau des herkömmlichen Bitleitungsleseverstärkers wird die erste Bitleitung /BITH auf einen Hoch- oder Niedrigniveaustand in Übereinstimmung mit einem Leseverstärkerbetrieb bewegt bzw. geändert, und daraufhin wird sie auf einen halben Vcc-Pegel geändert bzw. bewegt. Die vorliegende Erfindung erfordert diesen herkömmlichen Vorgang durch Isolieren der ersten Bitleitung /BISH von der Leseverstärkerleitung nicht, wodurch ein unnötiger Stromverbrauch unterbunden wird.

[0099] Der zweite NMOS-Transistor MN2, aufweisend den ersten Leitungsverbinder **21**, und der dritte NMOS-Transistor MN3, aufweisend den zweiten Leitungsverbinder **22**, werden daraufhin eingeschaltet, und zwar durch Freigeben der ersten Bitleitungsabschaltsignale BISH1, BISH2, wie in **Fig. 10(a)** und **10(b)** gezeigt, so daß die ersten Bitleitungen BITH, /BITH mit den Leseverstärkerleitungen SA, /SA verbunden sind. Zu diesem Zeitpunkt wird ein Rückschreibvorgang in die Einheitszelle **1** durchgeführt, wie in **Fig. 10(k)** gezeigt, und ein Potentialniveau der Leseverstärkerleitung SA kann geringfügig abgesenkt bzw. geringer gemacht werden, wie in **Fig. 10(k)** gezeigt.

[0100] Wie in **Fig. 9(f)** gezeigt, wird ein vollständiger Rückschreibvorgang demnach durchgeführt.

[0101] Was den Unterschied zwischen dem dritten Verfahren und dem zweiten Verfahren betrifft, steuert das zweite Verfahren die ersten Bitleitungen BISH1, BISH2 getrennt, wodurch zwei Leitungen, auf welchen die Bitleitungsabschaltsignale BISH1, BISH2 angelegt sind, zusätzlich erforderlich sind. Das dritte Verfahren steuert hingegen die Bitleitungsabschaltsignale BISH1, BISH2 mit einer einzigen Leitung und es führt gleichzeitig einen vollständigen Rückschreibvorgang durch.

[0102] Daraufhin werden die fünften, sechsten und siebten NMOS-Transistoren MN5, MN6, MN7, aufweisend die Bitleitungs-Equalisierungseinheit **4**, eingeschaltet, indem das Bitleitungs-Equalisierungssignal BLP freigegeben wird, wie in **Fig. 10(e)** gezeigt, wodurch die Leseverstärkerleitungen SA, /SA, wie in **Fig. 9(g)** gezeigt, miteinander verbunden werden. Zu diesem Zeitpunkt weisen diese Leitungen SA, /SA eine halbe Vcc-Spannung in Übereinstimmung bzw. durch die Spannungsteilung bzw. -aufteilung auf. Wie in **Fig. 9(h)** gezeigt, wird daraufhin ein Vorladevorgang durchgeführt.

[0103] Das heißt, wie in **Fig. 10(c)** und **10(d)** ge-

zeigt, werden der 10. NMOS-Transistor MN10, aufweisend den dritten Leitungsverbinder **31**, und der 11. MNOS-Transistor MN11, aufweisend den vierten Leitungsverbinder **32**, eingeschaltet, und zwar durch Freigeben der Bitleitungsabschaltsignale BISL1, BISL2, wodurch die zweiten Bitleitungen BITL, /BITL mit den Leseverstärkerleitungen SA, /SA verbunden werden. Wie in **Fig. 10(f)** gezeigt, wird der vierte NMOS-Transistor MN4, aufweisend die Bitleitungsvorladeeinheit **10**, einschaltet durch Freigeben des Bitleitungsvorladesignals CON_VBLP, wodurch eine Bitleitungsvorladespannung VBLP an die ersten und zweiten Bitleitungen BITH, /BITH, BITL, /BITL und die Leseverstärkerleitungen SA, /SA angelegt wird.

[0104] Da zu diesem Zeitpunkt die Leseverstärkerleitungen SA, /SA und die ersten Bitleitungen BITH, /BITH sich auf halbem Vcc-Pegel befinden, tritt kein Energieverbrauch auf, wenn die Bitleitungsvorladespannung VBLP an die Leitungen BITH, /BITH, BITL, /BITL, SA, /SA angelegt ist.

[0105] **Fig. 11** zeigt die Höhe eines Stroms, gemessen an einem Masseanschluß Vss in einem Bitleitungsleseverstärker gemäß dem ersten Verfahren. **Fig. 12** zeigt die Höhe eines Stroms, gemessen an einem Masseanschluß Vss in einem Bitleitungsleseverstärker gemäß dem zweiten Verfahren; **Fig. 13** zeigt die Höhe eines Stroms, gemessen an einem Masseanschluß Vss in einem Bitleitungsleseverstärker gemäß dem dritten Verfahren, und **Fig. 14** zeigt die Höhe eines Stroms, gemessen an einem Masseanschluß Vss in einem Bitleitungsleseverstärker gemäß dem Stand der Technik.

[0106] Was die mittlere Stromhöhe der ersten bis dritten Verfahren und des Verfahrens gemäß dem Stand der Technik betrifft, beträgt, wie in **Fig. 11** bis **Fig. 14** gezeigt, die mittlere Stromhöhe gemäß dem Stand der Technik 0,43648 mA, die mittlere Stromhöhe gemäß dem ersten Verfahren beträgt 0,43528 mA, die mittlere Stromhöhe gemäß dem zweiten Verfahren beträgt 0,30721 mA und die mittlere Stromhöhe gemäß dem dritten Verfahren beträgt 0,39230 mA. Demnach ist das zweite Verfahren das effektivste Verfahren im Hinblick auf den Energieverbrauch.

[0107] Da jedes von vier Bitleitungsabschaltsignalen in der Bitleitungsleseverstärkerschaltung gemäß der vorliegenden Erfindung getrennt aufgebaut bzw. bereitgestellt wird, wird jedes der vier Bitleitungsabschaltsignale in dem ersten Verfahren und dem dritten Verfahren getrennt aufgebaut bzw. bereitgestellt. Tatsächlich erzielt die vorliegende Erfindung eine gleichzeitige Steuerung unter Verwendung von lediglich zwei Leitungen, auf welchen ein Bitleitungsabschaltsignal bereitgestellt wird bzw. angelegt ist.

[0108] In den Leseverstärkersteuersignalen RTO, /S führt die vorliegende Erfindung einen Vorladungs-

vorgang durch, nachdem eine Equalisierung auf eine Vorladespannung beendet ist, wodurch der Energieverbrauch über eine Vorladung bzw. Vorbelastung einer Leseverstärkerleitung verringert wird.

[0109] Wie vorstehend erläutert, verringert die vorliegende Erfindung den Energieverbrauch durch Durchführen eines Vorladevorgangs nach Beendigung des Equalisierungsvorgangs, vergrößert die Lesegeschwindigkeit durch Trennen der Bitleitungen ausgehend von den Leseverstärkerleitungen in einem Lesevorgang und sie verringert einen Spannungssprung einer Energieleitung durch Beschränken eines Transientenstroms.

Patentansprüche

1. Bitleitungsleseverstärker für eine Halbleiterspeichervorrichtung, der aufweist einen ersten Abschnitt eines Paares von Bitleitungen zur Übertragung von Daten zu oder von einer Speicherzelle (**1**), einen zweiten Abschnitt des Paares von Bitleitungen zur Übertragung von Daten zu oder von einer weiteren Speicherzelle, einen dritten Abschnitt des Paares von Bitleitungen zur Übertragung von Daten von dem ersten Abschnitt oder dem zweiten Abschnitt des Paares von Bitleitungen in einen Leseverstärker (**5**), eine erste Schalteinrichtung (**21**) zum selektiven Verbinden einer Bitleitung des Bitleitungspaares des dritten Abschnitts mit einer Bitleitung des Paares von Bitleitungen des ersten Abschnitts abhängig von einem ersten Steuersignal, eine zweite Schalteinrichtung (**22**) zum selektiven Verbinden einer anderen Bitleitung des Bitleitungspaares des dritten Abschnitts mit einer anderen Bitleitung des Paares von Bitleitungen des ersten Abschnitts abhängig von einem zweiten Steuersignal, eine dritte Schalteinrichtung (**31**) zum selektiven Verbinden einer Bitleitung des Bitleitungspaares des dritten Abschnitts mit einer Bitleitung des Paares von Bitleitungen des zweiten Abschnitts abhängig von einem dritten Steuersignal, eine vierte Schalteinrichtung (**32**) zum selektiven Verbinden einer anderen Bitleitung des Bitleitungspaares des dritten Abschnitts mit einer anderen Bitleitung des Paares von Bitleitungen des zweiten Abschnitts abhängig von einem vierten Steuersignal, eine Equalisierungseinheit (**4**) zum Equalisieren des dritten Abschnitts des Paares von Bitleitungen abhängig zu einem Equalisierungs-Steuersignal, wobei die Equalisierungseinheit (**4**) die Equalisierung durch Verbinden der Bitleitungen des Bitleitungspaares des dritten Abschnitts miteinander durchführt, und eine fünfte Schalteinrichtung (**10**) zum selektiven Anlegen einer Bitleitungs-Vorladespannung an die Equalisierungseinheit (**4**) abhängig von einem fünften Steuersignal, wobei die fünfte Schalteinrichtung (**10**) die Bitleitungs-Vorladespannung an die Equalisierungseinheit (**4**) anlegt, nachdem die Equalisie-

rungseinheit (4) die Equalisierung durchgeführt hat, wobei die erste bis fünfte Schalteinrichtung (21; 22; 31; 32; 10) aus NMOS-Transistoren (MN2; MN3; MN10; MN11; MN4) mit jeweils einem Gate besteht, und die Gates der ersten bis fünften Schalteinrichtung (21; 22; 31; 32; 10) jeweils das erste bis fünfte Steuersignal empfangen.

2. Bitleitungsleseverstärker nach Anspruch 1, wobei der Bitleitungsleseverstärker eingerichtet ist, folgende Schritte auszuführen:

- a) Verbinden des ersten, zweiten und dritten Abschnitts des Paares von Bitleitungen miteinander und Anlegen einer Bitleitungs-Vorladespannung an den dritten Abschnitt des Paares von Bitleitungen,
- b) Trennen des zweiten Abschnitts des Paares von Bitleitungen von dem dritten Abschnitt des Paares von Bitleitungen und Trennen des dritten Abschnitts des Paares von Bitleitungen von der Bitleitungs-Vorladespannung,
- c) Auswählen einer gewünschten Speicherzelle (1) und Anlegen von Daten der ausgewählten Speicherzelle (1) vom ersten Abschnitt des Paares von Bitleitungen an den dritten Abschnitt des Paares von Bitleitungen,
- d) Lesen der zu dem dritten Abschnitt des Paares von Bitleitungen in dem Leseverstärker (5) übertragenen Daten und Vornehmen einer Rückschreibeoperation zu der ausgewählten Speicherzelle (1),
- e) Durchführen einer Equalisierung durch Verbinden der beiden Bitleitungen des dritten Abschnittes des Paares von Bitleitungen miteinander, und
- f) Verbinden des zweiten Abschnitts von Bitleitungen mit dem dritten Abschnitt des Paares von Bitleitungen und Anlegen der Bitleitungs-Vorladespannung an den dritten Abschnitt des Paares von Bitleitungen.

3. Bitleitungsleseverstärker nach Anspruch 1, wobei der Bitleitungsleseverstärker eingerichtet ist, folgende Schritte auszuführen:

- g) Verbinden des ersten, zweiten und dritten Abschnitts des Bitleitungspaares miteinander und Anlegen einer Bitleitungs-Vorladespannung an den dritten Abschnitt des Paares von Bitleitungen,
- h) Trennen des zweiten Abschnitts des Paares von Bitleitungen von dem dritten Abschnitt des Paares von Bitleitungen und Trennen des dritten Abschnitts des Bitleitungspaares von der Bitleitungs-Vorladespannung,
- i) Auswählen einer gewünschten Speicherzelle (1) und Übertragen von Daten von der ausgewählten Speicherzelle (1) vom ersten Abschnitt des Bitleitungspaares zum dritten Abschnitt des Bitleitungspaares,
- j) Trennen des ersten Abschnitts des Bitleitungspaares von dem dritten Abschnitt des Bitleitungspaares,
- k) Lesen der an den dritten Abschnitt des Bitleitungspaares übertragenen Daten in einem Leseverstärker (5),
- l) Verbinden einer Bitleitung des ersten Abschnitts

des Bitleitungspaares und einer Bitleitung des dritten Abschnitts des Bitleitungspaares miteinander und Durchführen einer Rückschreibeoperation, m) verbinden der Bitleitungen des dritten Abschnitts des Bitleitungspaares miteinander zum Vornehmen einer Equalisierung, und n) Verbinden der anderen Bitleitung des ersten Abschnitts des Bitleitungspaares und der anderen Bitleitung des dritten Abschnitts des Bitleitungspaares miteinander, und verbinden des zweiten Abschnitts des Bitleitungspaares und des dritten Abschnitts des Bitleitungspaares und Anlegen der Bitleitungs-Vorladespannung an den dritten Abschnitt des Bitleitungspaares.

4. Bitleitungsleseverstärker nach Anspruch 1, wobei der Bitleitungsleseverstärker eingerichtet ist, folgende Schritte auszuführen:

- o) Verbinden des ersten, zweiten und dritten Abschnitts des Bitleitungspaares miteinander und Anlegen einer Bitleitungs-Vorladespannung an den dritten Abschnitt des Bitleitungspaares,
- p) Trennen des zweiten Abschnitts des Bitleitungspaares vom dritten Abschnitt des Bitleitungspaares und Trennen des dritten Abschnitts des Bitleitungspaares von der Bitleitungs-Vorladespannung,
- q) Auswählen einer gewünschten Speicherzelle (1) und Übertragen von Daten von der selektierten Speicherzelle (1) aus dem ersten Abschnitt des Paares von Bitleitungen zu dem dritten Abschnitt des Bitleitungspaares,
- r) Trennen des ersten Abschnitts des Bitleitungspaares von dem dritten Abschnitt des Bitleitungspaares,
- s) Lesen der zum dritten Abschnitt des Bitleitungspaares übertragenen Daten in einen Leseverstärker (5),
- t) Verbinden einer Bitleitung des ersten Abschnittes des Bitleitungspaares und einer Bitleitung des dritten Abschnittes des Bitleitungspaares miteinander und Vornehmen einer Rückschreibeoperation,
- u) Verbinden der Bitleitungen des dritten Abschnitts des Paares von Bitleitungen miteinander zum Durchführen einer Equalisierung, und
- v) Verbinden des zweiten Abschnitts des Bitleitungspaares und des dritten Abschnitts des Bitleitungspaares miteinander und Anlegen einer Bitleitungs-Vorladespannung an den dritten Abschnitt des Bitleitungspaares.

Es folgen 14 Blatt Zeichnungen

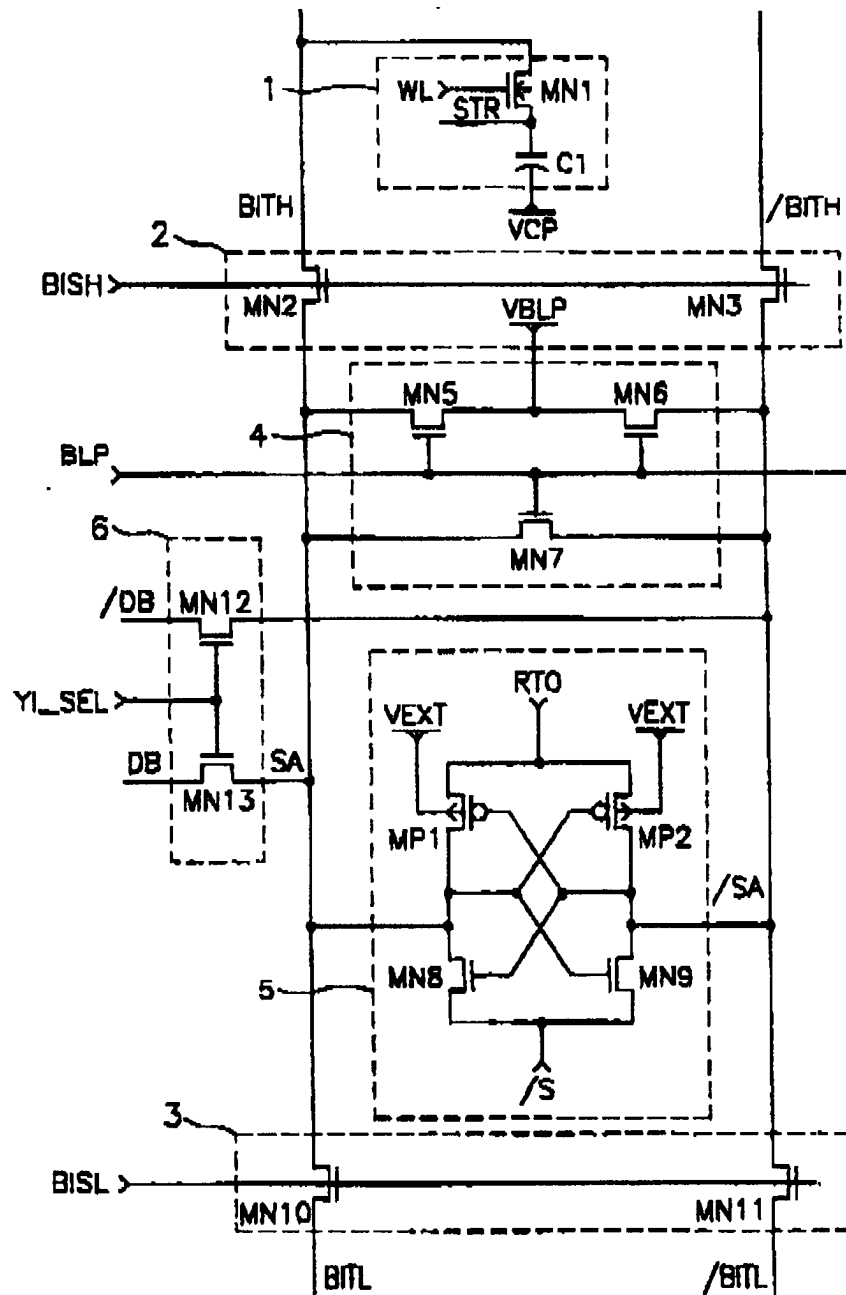


Fig.1

(Stand der Technik)

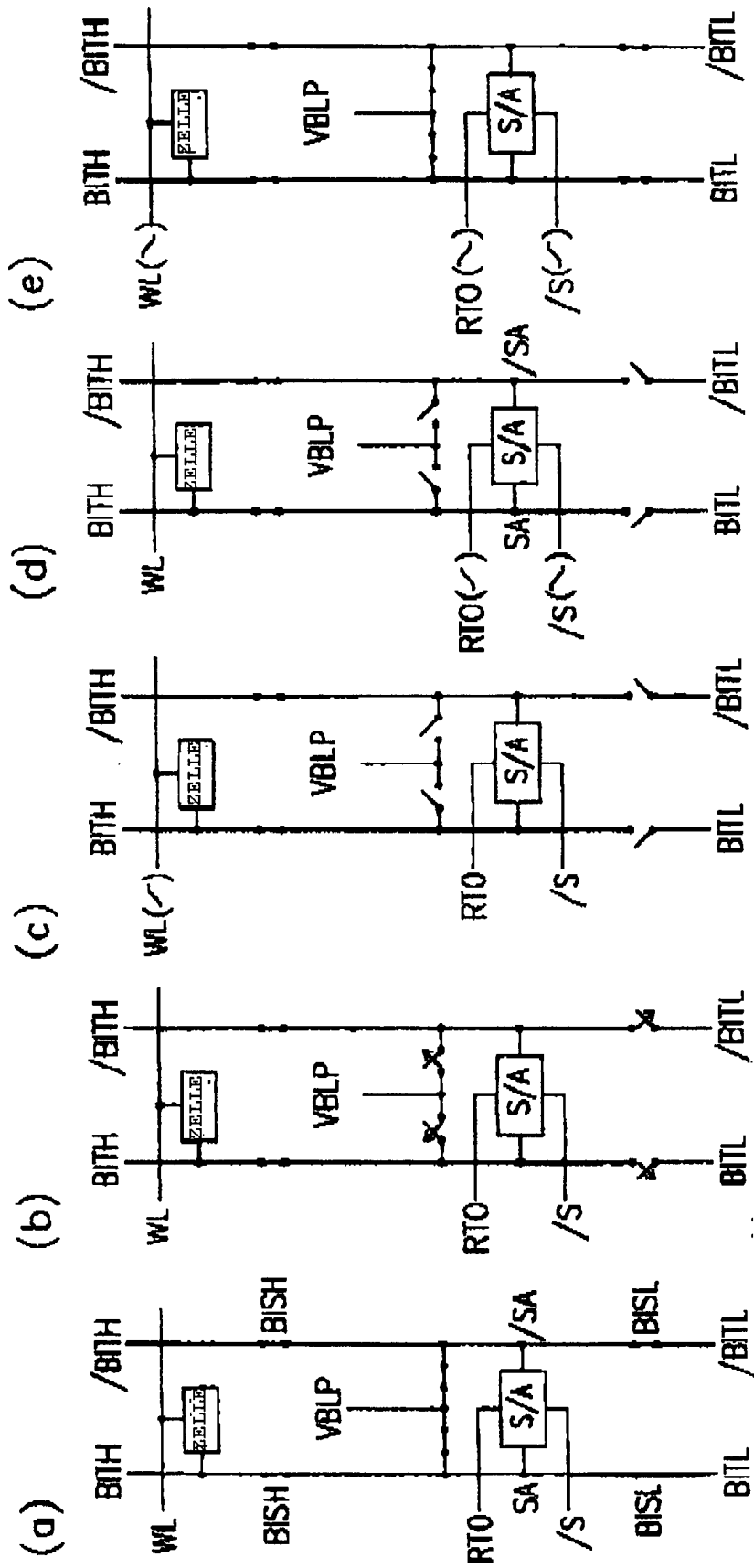


Fig.2

(Stand der Technik)

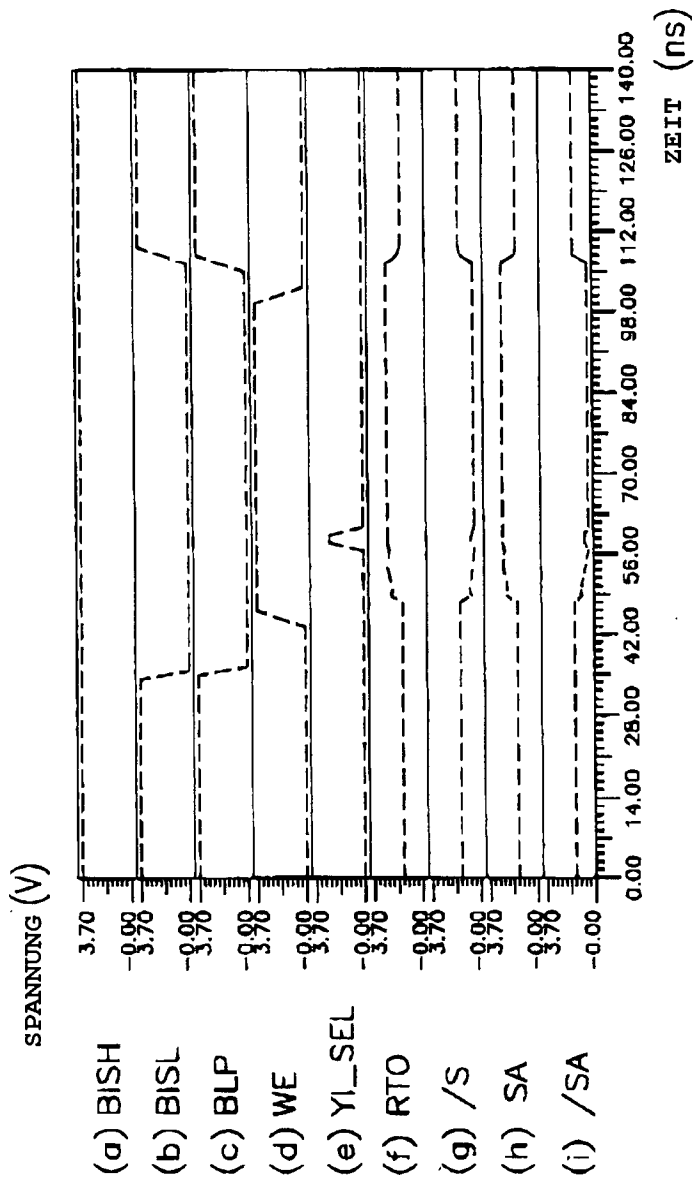


Fig.3

(Stand der Technik)

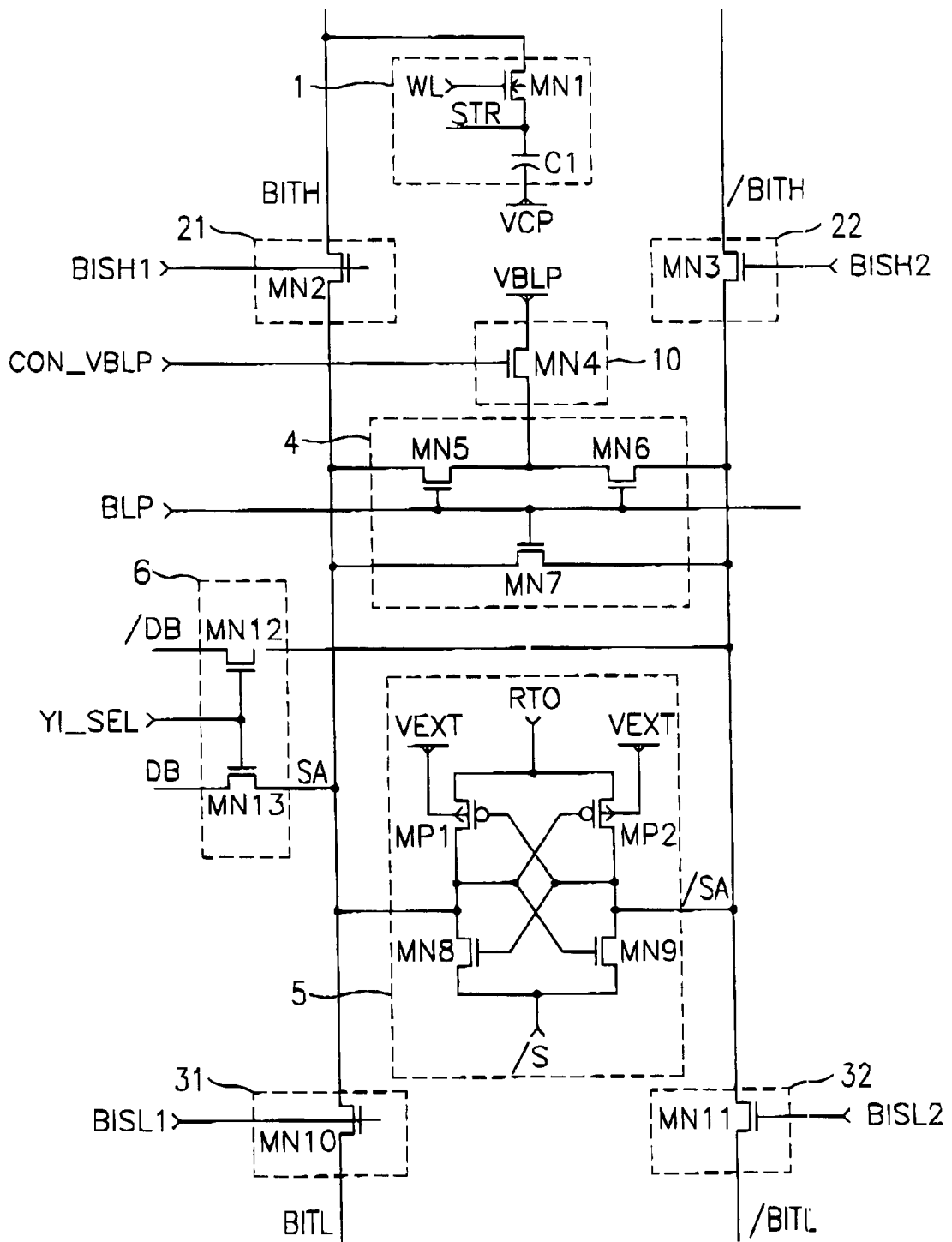


Fig.4

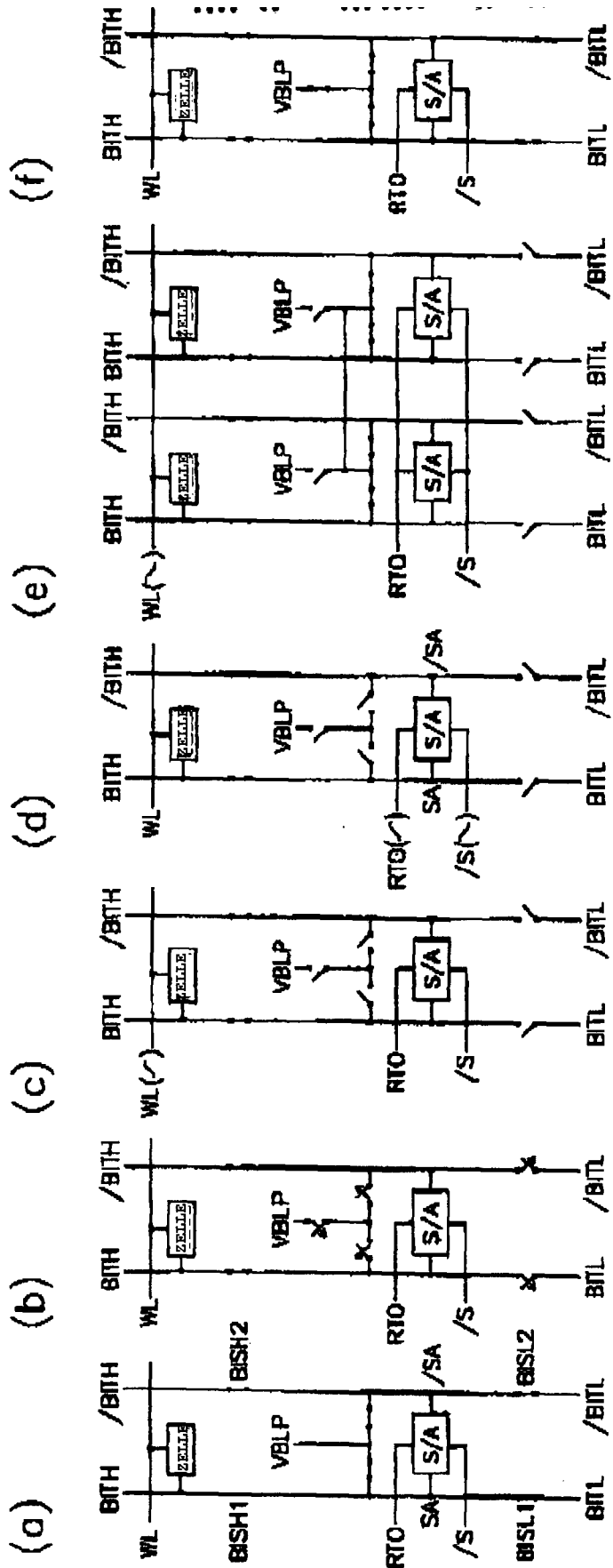


Fig.5

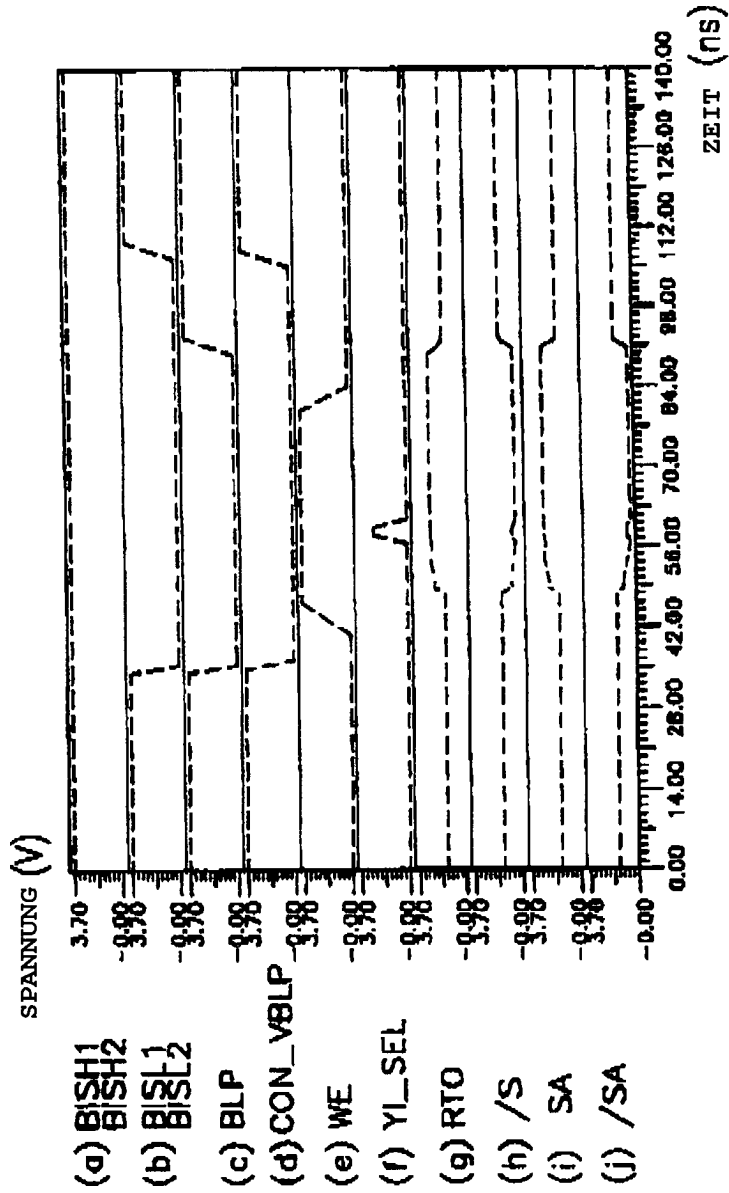


Fig.6

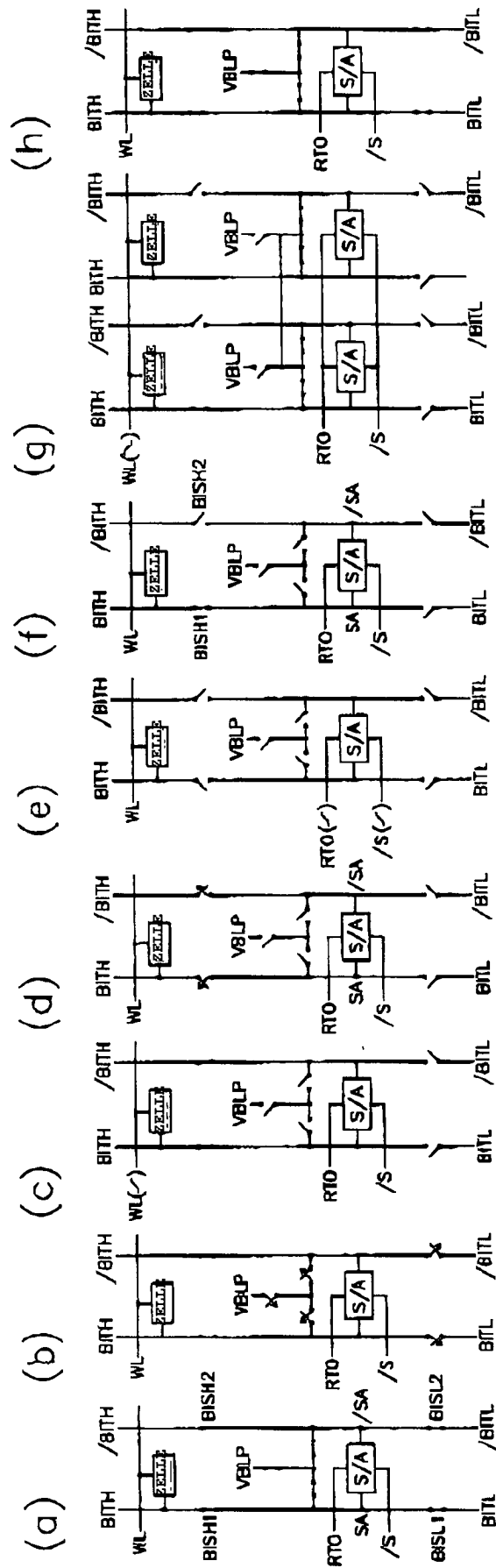


Fig.7

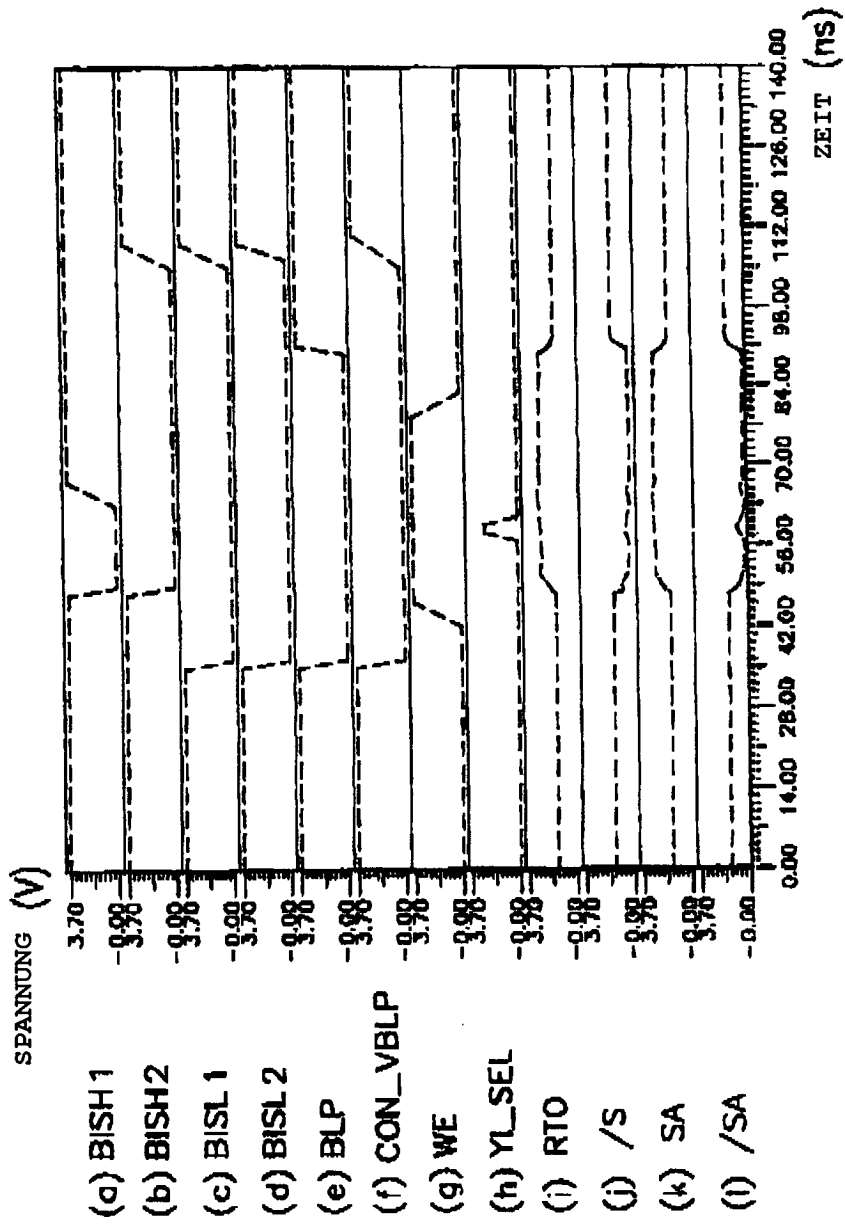


Fig.8

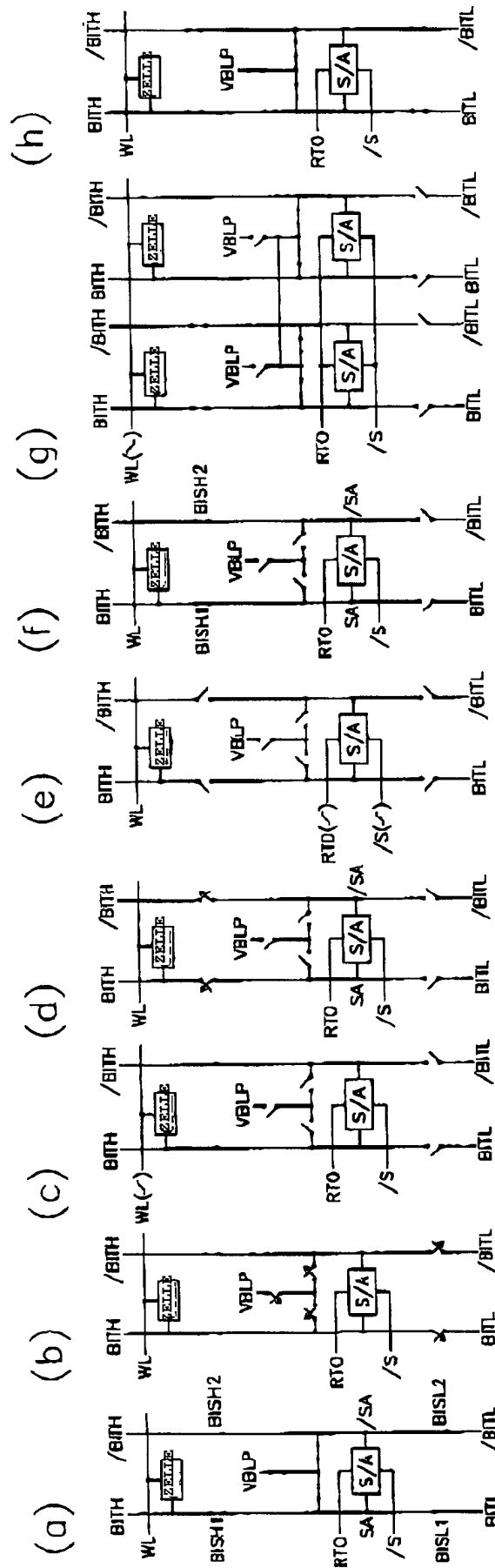


Fig.9

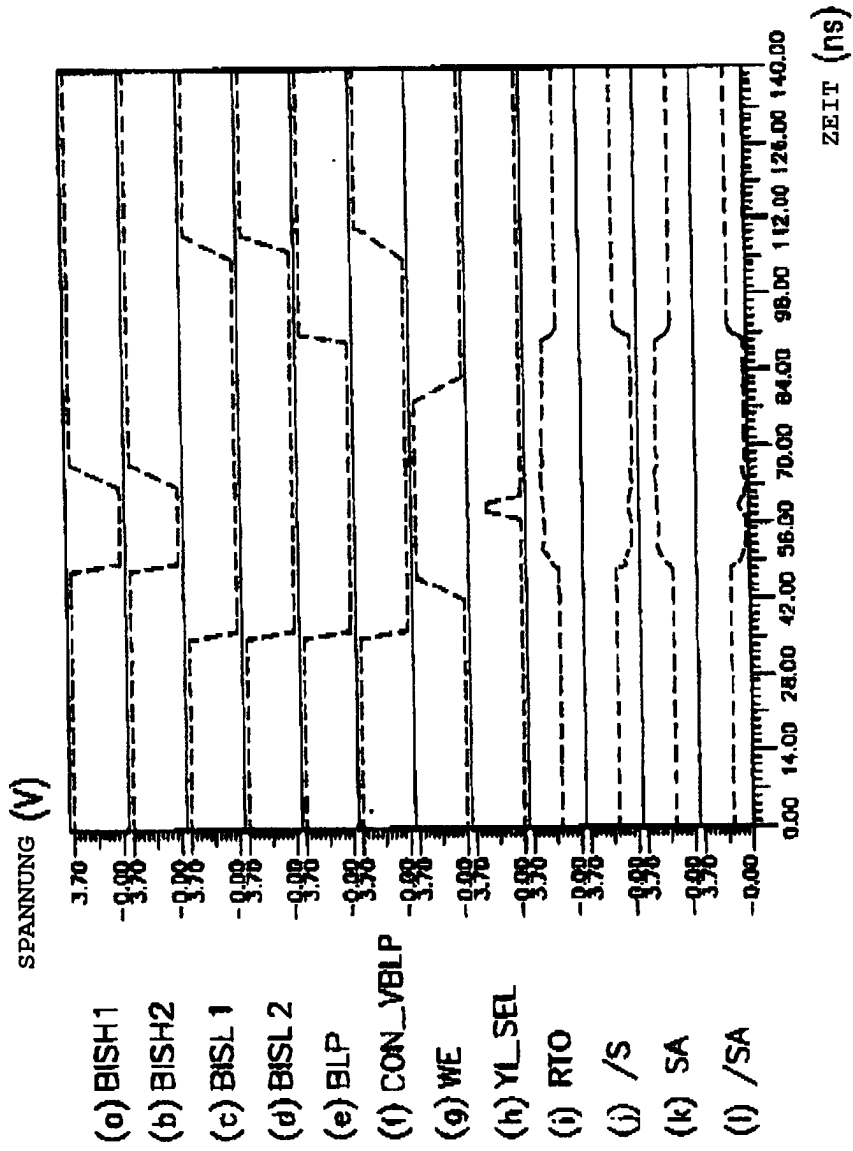


Fig.10

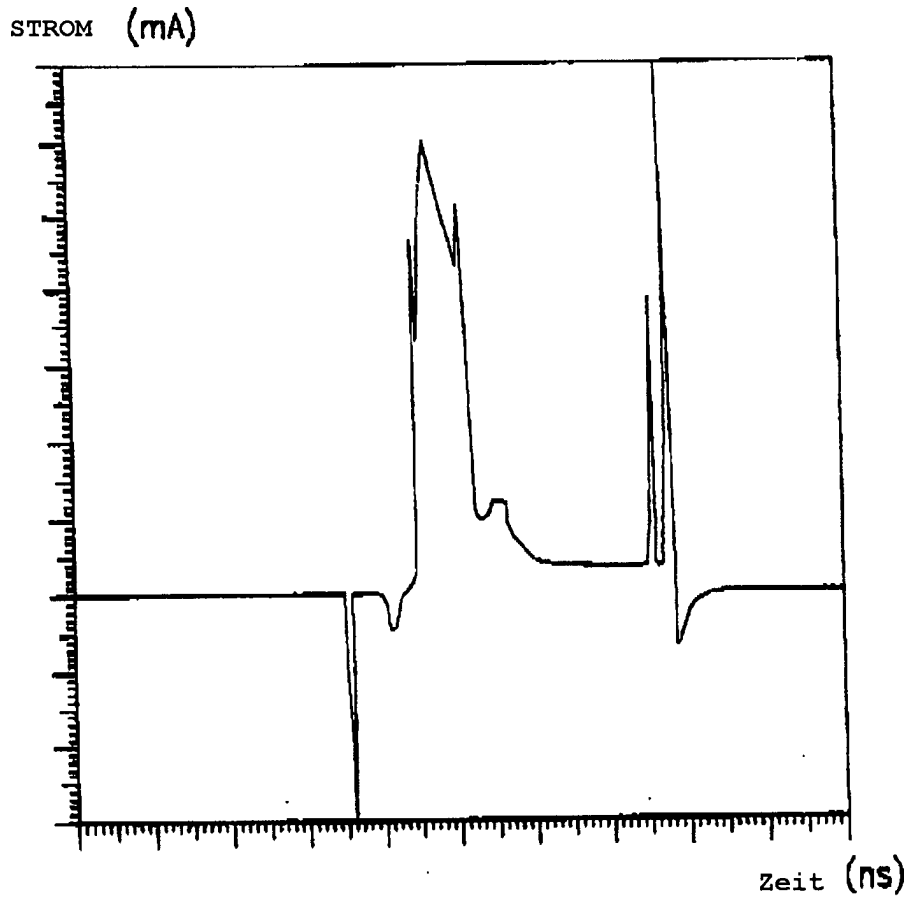


Fig.11

(Stand der Technik)

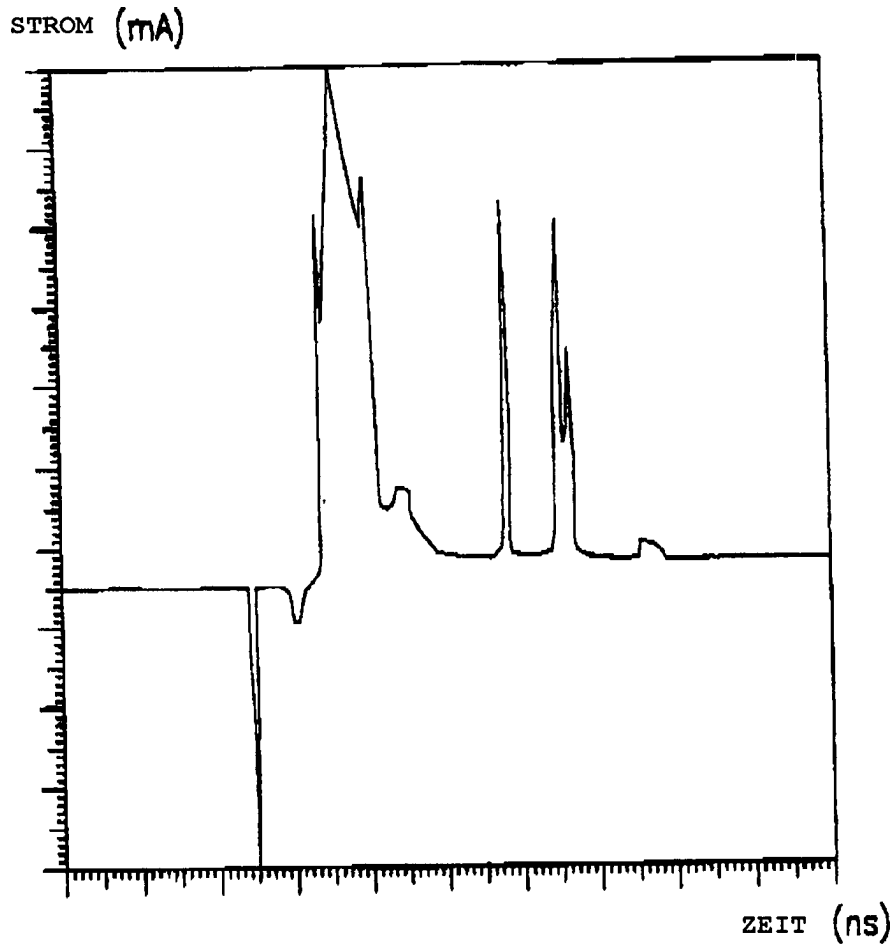


Fig.12

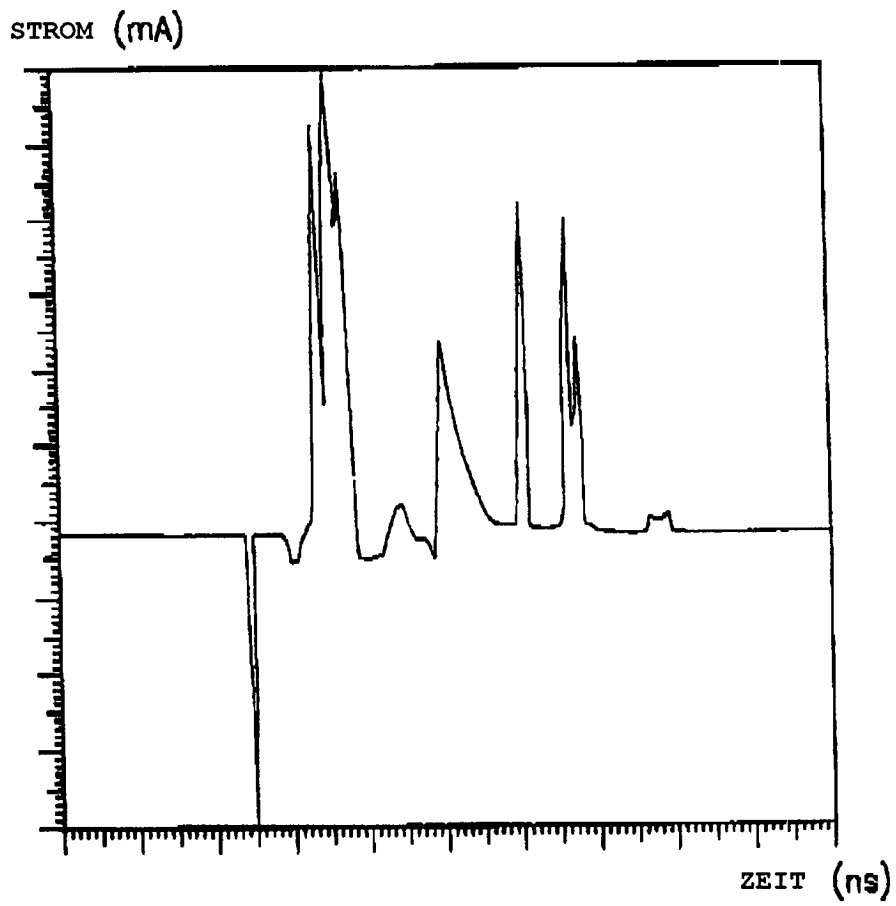


Fig.13

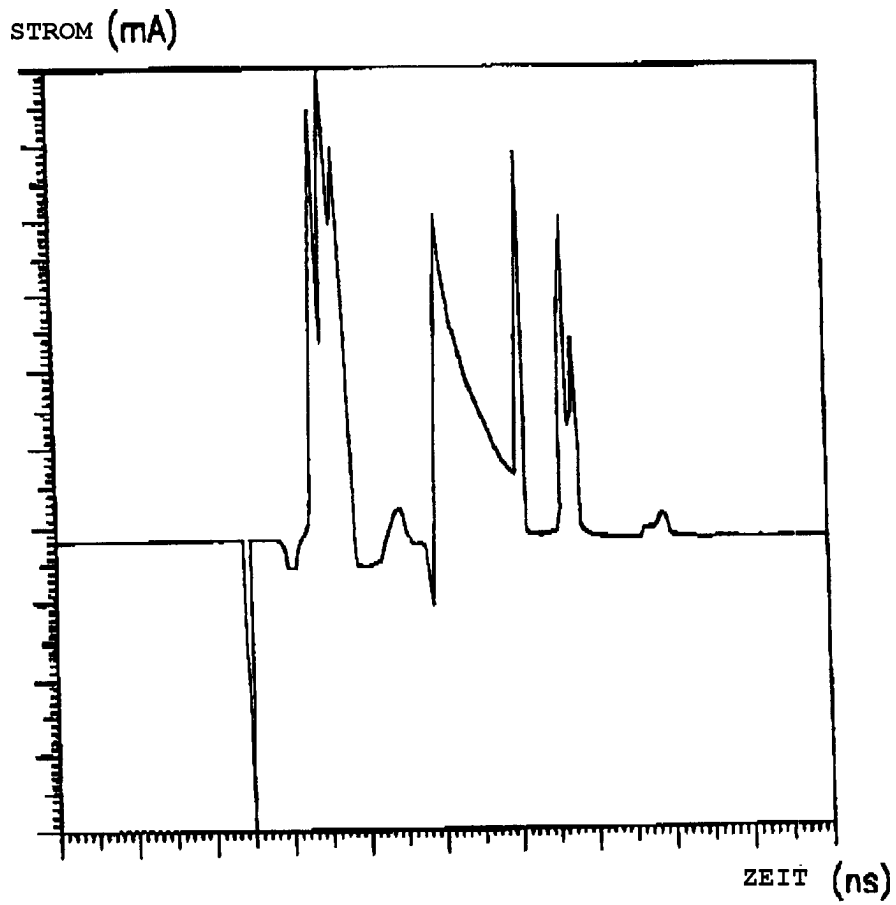


Fig.14