



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0091646
(43) 공개일자 2021년07월22일

- (51) 국제특허분류(Int. Cl.)
G09G 3/3208 (2016.01)
- (52) CPC특허분류
G09G 3/3208 (2013.01)
G09G 2300/0828 (2013.01)
- (21) 출원번호 10-2020-0092354
- (22) 출원일자 2020년07월24일
심사청구일자 없음
- (30) 우선권주장
62/960,447 2020년01월13일 미국(US)
16/869,546 2020년05월07일 미국(US)

- (71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
- (72) 발명자
송영훈
미국 95051 캘리포니아 산타 클라라 리치 피엘.
509
아미르 아미르해니
미국 캘리포니아 94087 씨니베일 씨전트 디알.
1207
앤지 라닉
미국 94566 캘리포니아 플레전턴 게이트 웨이
1587 이
- (74) 대리인
팬코리아특허법인

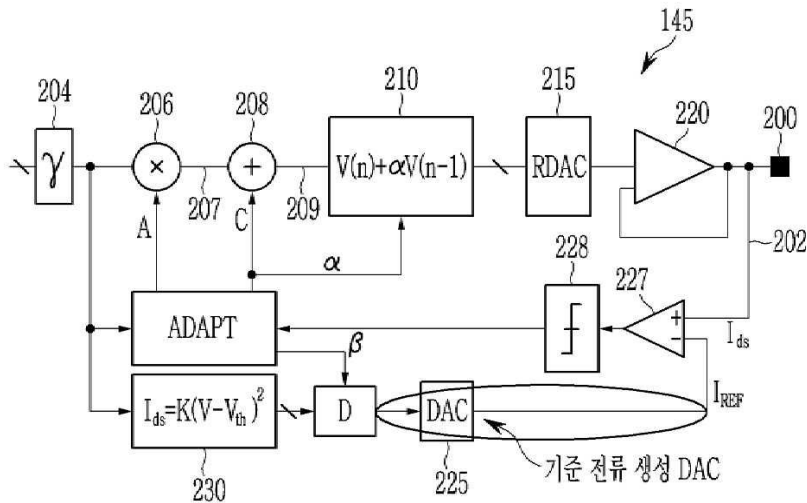
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 표시 장치의 보상 장치

(57) 요약

본 발명의 한 실시예에 따른 표시 장치의 보상 장치는, 디지털-아날로그 변환기(DAC)를 포함하며 표시 패널의 화소를 구동하는 구동 회로, 그리고 전류 모드 감지 회로 및 기준 전류 생성 회로를 포함하며, 상기 표시 패널의 화소 변화를 보상하는 값을 결정하는 보상 회로를 포함하며, 상기 기준 전류 생성 회로는 상기 구동 회로의 상기 디지털-아날로그 변환기를 사용하여 기준 전류를 생성한다.

대표도 - 도2



(52) CPC특허분류

G09G 2310/0243 (2013.01)

G09G 2320/0204 (2013.01)

명세서

청구범위

청구항 1

디지털-아날로그 변환기(DAC)를 포함하며 표시 패널의 화소를 구동하는 구동 회로, 그리고 전류 모드 감지 회로 및 기준 전류 생성 회로를 포함하며, 상기 표시 패널의 화소 변화를 보상하는 값을 결정하는 보상 회로를 포함하며, 상기 기준 전류 생성 회로는 상기 구동 회로의 상기 디지털-아날로그 변환기를 사용하여 기준 전류를 생성하는 표시 장치의 보상 장치.

청구항 2

제1항에서, 상기 디지털-아날로그 변환기는 상기 표시 패널의 데이터선에 연결되어 있고, 상기 구동 회로는 멀티플렉서, 디지털 논리 회로 및 전압 버퍼를 더 포함하고, 상기 멀티플렉서의 입력 단자는 상기 디지털-아날로그 변환기 및 상기 디지털 논리 회로와 연결되어 있고, 상기 전압 버퍼의 입력 단자는 상기 멀티플렉서의 출력 단자와 연결되어 있고, 상기 구동 회로는 상기 전압 버퍼의 출력 단자에서 전압 계단을 생성하고, 상기 기준 전류 생성 회로는 축전기 뱅크(capacitor bank)를 포함하고, 상기 기준 전류 생성 회로의 입력 단자는 상기 전압 버퍼의 출력 단자와 연결되어 있으며, 상기 기준 전류 생성 회로는 상기 축전기 뱅크의 정전 용량 값 및 상기 구동 회로의 상기 전압 버퍼로부터 수신한 상기 전압 계단의 전압 계단 값에 기초하여 상기 기준 전류를 생성하는 보상 장치.

청구항 3

제2항에서, 상기 멀티플렉서는 상기 표시 패널의 데이터선을 통하여 상기 디지털-아날로그 변환기와 연결되고, 상기 전압 계단은 상기 디지털-아날로그 변환기, 상기 멀티플렉서 및 상기 구동 회로의 상기 디지털 논리 회로에 의하여 생성되고, 상기 표시 패널의 데이터선은 10-비트 데이터선이고, 상기 화소 변화는 상기 표시 패널 화소의 구동 트랜지스터의 문턱 전압 및 이동도 변화를 포함하며, 상기 보상 장치는 상기 표시 패널의 바깥에 있는 보상 장치.

청구항 4

제2항에서,

상기 전압 버퍼의 입력 단자는 양(positive) 입력 단자와 음(negative) 입력 단자를 포함하고,

상기 전압 버퍼의 양 입력 단자는 상기 멀티플렉서의 출력 단자와 연결되어 있고, 상기 전압 버퍼의 음 입력 단자는 상기 전압 버퍼의 출력 단자와 연결되어 있는

보상 장치.

청구항 5

제2항에서,

상기 기준 전류 생성 회로의 상기 축전기 더미의 입력 단자는 트랜지스터 스위치를 통하여 상기 구동 회로의 상기 전압 버퍼의 출력 단자와 연결되어 있는 보상 장치.

청구항 6

제2항에서,

상기 기준 전류는 $C \cdot dV/dt$ 이고, (여기에서 C 는 상기 축전기 더미의 정전 용량 값, dV/dt 상기 전압 계단 값, dV 는 상기 전압 버퍼의 출력 단자에서 시간 dt 동안의 전압 변화),

상기 축전기 더미는 가변 축전기이고,

상기 기준 전류 생성 회로는 상기 가변 축전기의 서로 다른 정전 용량 값에 기초하여 복수의 기준 전류 값을 생성하는

보상 장치.

청구항 7

제1항에서,

상기 전류 모드 감지 회로는 트랜지스터 스위치를 통하여 상기 기준 전류 생성 회로의 출력 단자와 연결되어 있는 보상 장치.

청구항 8

제7항에서,

상기 전류 모드 감지 회로는,

차동 입력과 차동 출력을 가지는 차동 저역 필터,

차동 입력과 차동 출력을 가지는 차동 적분기, 그리고

상기 차동 저역 필터의 차동 출력을 상기 차동 적분기의 차동 입력에 연결하는 2개의 미러링 축전기를 포함하며,

상기 차동 저역 필터의 차동 입력의 제1 도체는 화소 전류와 기준 전류의 차이를 수신하는

보상 장치.

청구항 9

제8항에서,

상기 차동 저역 필터는,

차동 증폭기,

상기 차동 저역 필터의 차동 출력의 도체와 상기 차동 저역 필터의 차동 입력의 대응 도체 사이에 각각 연결되어 있는 2개의 궤환 축전기, 그리고

상기 2개의 궤환 축전기 중 해당 궤환 축전기의 양단에 각각 연결되어 상기 해당 궤환 축전기를 선택적으로 방전시키는 2개의 재설정 스위치

를 포함하는

보상 장치.

청구항 10

제8항에서,

상기 차동 적분기는,

전차동 증폭기(fully differential amplifier),

상기 차동 적분기의 차동 출력의 도체와 상기 차동 적분기의 차동 입력의 대응 도체 사이에 각각 연결되어 있는 2개의 궤환 축전기, 그리고

상기 2개의 궤환 축전기 중 해당 궤환 축전기의 양단에 각각 연결되어 상기 해당 궤환 축전기를 선택적으로 방전시키는 2개의 재설정 스위치

를 포함하는

보상 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치의 보상 장치에 관한 것으로서, 특히 기준 전류를 사용하여 표시 장치의 특성을 보상하는 장치에 관한 것이다.

[0002] 본 출원은 2020년 1월 13일에 미국 특허청에 출원한 미국 특허출원번호 제62/960,447호를 우선권 주장하며, 여기에 인용함으로써 이 출원의 전체 내용을 본원에 포함한다.

배경 기술

[0004] 전자 장치의 표시 장치, 예를 들면 컴퓨터, 모바일 기기 등의 영상 표시 장치는 복수의 화소를 포함하며, 각 화소는 발광 다이오드(LED: light emitting diode)[보기: 유기 발광 다이오드(OLED)] 등 표시 소자에 흐르는 구동 전류를 제어하는 구동 트랜지스터[보기: 박막 트랜지스터(thin film transistor: TFT)]를 포함하는 복수의 트랜지스터를 포함한다. 표시 장치의 구동 트랜지스터 간 특성 차이 또는 구동 트랜지스터의 시간에 따른 특성 변화를 보상하지 않으면, 표시 영상 또는 비디오의 화질이 나빠질 수 있다. 이러한 차이 또는 변화를 보상하기 위해서 구동 트랜지스터의 특성을 측정할 수 있다.

[0005] 앞의 배경 기술에 대한 정보는 본 발명의 배경에 대한 이해를 돕기 위한 것일 뿐이며 종래 기술이 아닌 정보를 포함할 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 해결하고자 하는 과제는 표시 장치의 특성 저하를 보상하는 장치를 제시하는 것이다.

과제의 해결 수단

[0009] 본 발명의 한 실시예에 따른 표시 장치의 보상 장치는, 디지털-아날로그 변환기(DAC)를 포함하며 표시 패널의 화소를 구동하는 구동 회로, 그리고 전류 모드 감지 회로 및 기준 전류 생성 회로를 포함하며, 상기 표시 패널의 화소 변화를 보상하는 값을 결정하는 보상 회로를 포함하며, 상기 기준 전류 생성 회로는 상기 구동 회로의 상기 디지털-아날로그 변환기를 사용하여 기준 전류를 생성한다.

[0010] 본 발명의 한 실시예에 따르면, 상기 디지털-아날로그 변환기는 상기 표시 패널의 데이터선에 연결되어 있고, 상기 구동 회로는 멀티플렉서, 디지털 논리 회로 및 전압 버퍼를 더 포함하고, 상기 멀티플렉서의 입력 단자는 상기 디지털-아날로그 변환기 및 상기 디지털 논리 회로와 연결되어 있고, 상기 전압 버퍼의 입력 단자는 상기 멀티플렉서의 출력 단자와 연결되어 있고, 상기 구동 회로는 상기 전압 버퍼의 출력 단자에서 전압 계단을 생성하고, 상기 기준 전류 생성 회로는 축전기 더미(capacitor bank)를 포함하고, 상기 기준 전류 생성 회로의 입력 단자는 상기 전압 버퍼의 출력 단자와 연결되어 있으며, 상기 기준 전류 생성 회로는 상기 축전기 더미의 정전 용량 값 및 상기 구동 회로의 상기 전압 버퍼로부터 수신한 상기 전압 계단의 전압 계단 값에 기초하여 상기 기준 전류를 생성할 수 있다.

[0011] 본 발명의 한 실시예에 따르면, 상기 멀티플렉서는 상기 표시 패널의 데이터선을 통하여 상기 디지털-아날로그 변환기와 연결되고, 상기 전압 계단은 상기 디지털-아날로그 변환기, 상기 멀티플렉서 및 상기 구동 회로의 상기 디지털 논리 회로에 의하여 생성되고, 상기 표시 패널의 데이터선은 10-비트 데이터선이고, 상기 화소 변화는 상기 표시 패널 화소의 구동 트랜지스터의 문턱 전압 및 이동도 변화를 포함하며, 상기 보상 장치는 상기 표시 패널의 바깥에 있을 수 있다.

[0012] 본 발명의 한 실시예에 따르면, 상기 전압 버퍼의 입력 단자는 양(positive) 입력 단자와 음(negative) 입력 단자를 포함하고, 상기 전압 버퍼의 양 입력 단자는 상기 멀티플렉서의 출력 단자와 연결되어 있고, 상기 전압 버퍼의 음 입력 단자는 상기 전압 버퍼의 출력 단자와 연결되어 있을 수 있다.

[0013] 본 발명의 한 실시예에 따르면, 상기 기준 전류 생성 회로의 상기 축전기 더미의 입력 단자는 트랜지스터 스위치를 통하여 상기 구동 회로의 상기 전압 버퍼의 출력 단자와 연결되어 있을 수 있다. 본 발명의 한 실시예에 따르면, 상기 기준 전류는 $C \cdot dV/dt$ 이고, (여기에서 C 는 상기 축전기 더미의 정전 용량 값, dV/dt 상기 전압 계단 값, dV 는 상기 전압 버퍼의 출력 단자에서 시간 dt 동안의 전압 변화), 상기 축전기 더미는 가변 축전기이고, 상기 기준 전류 생성 회로는 상기 가변 축전기의 서로 다른 정전 용량 값에 기초하여 복수의 기준 전류 값을 생성할 수 있다.

[0014] 본 발명의 한 실시예에 따르면, 상기 전류 모드 감지 회로는 트랜지스터 스위치를 통하여 상기 기준 전류 생성 회로의 출력 단자와 연결되어 있을 수 있다. 본 발명의 한 실시예에 따르면, 상기 전류 모드 감지 회로는, 차동 입력과 차동 출력을 가지는 차동 저역 필터, 차동 입력과 차동 출력을 가지는 차동 적분기, 그리고 상기 차동 저역 필터의 차동 출력을 상기 차동 적분기의 차동 입력에 연결하는 2개의 미러링 축전기를 포함하며, 상기 차동 저역 필터의 차동 입력의 제1 도체는 화소 전류와 기준 전류의 차이를 수신할 수 있다.

[0015] 본 발명의 한 실시예에 따르면, 상기 차동 저역 필터는, 차동 증폭기, 상기 차동 저역 필터의 차동 출력의 도체와 상기 차동 저역 필터의 차동 입력의 대응 도체 사이에 각각 연결되어 있는 2개의 케환 축전기, 그리고 상기 2개의 케환 축전기 중 해당 케환 축전기의 양단에 각각 연결되어 상기 해당 케환 축전기를 선택적으로 방전시키는 2개의 재설정 스위치를 포함할 수 있다.

[0016] 본 발명의 한 실시예에 따르면, 상기 차동 증폭기는 전차동 증폭기(fully differential amplifier)일 수 있다. 본 발명의 한 실시예에 따르면, 상기 차동 증폭기는 의사 차동 증폭기(pseudo differential amplifier)일 수 있다. 본 발명의 한 실시예에 따르면, 상기 차동 적분기는, 전차동 증폭기(fully differential amplifier), 상기 차동 적분기의 차동 출력의 도체와 상기 차동 적분기의 차동 입력의 대응 도체 사이에 각각 연결되어 있는 2개의 케환 축전기, 그리고 상기 2개의 케환 축전기 중 해당 케환 축전기의 양단에 각각 연결되어 상기 해당 케

환 축전기를 선택적으로 방전시키는 2개의 재설정 스위치를 포함할 수 있다.

- [0017] 본 발명의 한 실시예에 따른 기준 전류 생성 시스템은, 복수의 화소를 가지는 표시 장치, 그리고 상기 표시 장치의 복수의 화소를 구동하는 표시 구동부를 포함하며, 상기 표시 구동부는, 화소 구동기, 그리고 축전기 더미를 포함하고, 상기 화소 구동기는 멀티플렉서, 디지털 논리 회로 및 전압 버퍼를 더 포함하고, 상기 멀티플렉서의 입력 단자는 상기 디지털-아날로그 변환기 및 상기 디지털 논리 회로와 연결되어 있고, 상기 전압 버퍼의 입력 단자는 상기 멀티플렉서의 출력 단자와 연결되어 있고, 상기 축전기 더미의 입력 단자는 상기 전압 버퍼의 출력 단자와 연결되어 있고, 상기 축전기 더미는 상기 축전기 더미의 정전 용량 값 및 상기 전압 버퍼의 출력 단자에서의 전압 계단의 전압 계단 값에 기초하여 상기 표시 장치의 화소의 특성을 보상하기 위한 상기 기준 전류를 생성한다.
- [0018] 본 발명의 한 실시예에 따르면, 상기 표시 구동부는 상기 표시 장치의 데이터선에 연결되어 있는 디지털-아날로그 변환기(DAC)를 더 포함할 수 있으며, 상기 멀티플렉서의 입력 단자는 상기 디지털-아날로그 변환기와 연결되어 있을 수 있다.
- [0019] 본 발명의 한 실시예에 따르면, 상기 전압 버퍼는 출력 단자에서 상기 전압 계단을 생성할 수 있다. 본 발명의 한 실시예에 따르면, 상기 기준 전류는 $C \cdot dV/dt$ 일 수 있다(여기에서 C는 상기 축전기 더미의 정전 용량 값, dV/dt 는 상기 전압 버퍼의 출력 단자에서 시간 dt 동안의 전압 변화).
- [0020] 본 발명의 한 실시예에 따르면, 상기 전압 버퍼의 입력 단자는 양(positive) 입력 단자와 음(negative) 입력 단자를 포함하고, 상기 전압 버퍼의 양 입력 단자는 상기 멀티플렉서의 출력 단자와 연결되어 있고, 상기 전압 버퍼의 음 입력 단자는 상기 전압 버퍼의 출력 단자와 연결되어 있을 수 있다. 본 발명의 한 실시예에 따르면, 상기 축전기 더미는 가변 축전기이고, 상기 시스템은 상기 가변 축전기의 서로 다른 정전 용량 값에 기초하여 복수의 기준 전류 값을 생성할 수 있다.
- [0021] 본 발명의 한 실시예에 따른 표시 장치 화소의 특성 보상용 기준 전류 생성 방법은, 화소 구동부의 구동 증폭기의 출력 단자에서 전압 계단을 생성하는 단계, 상기 구동 증폭기의 출력 단자에 연결되어 있는 축전기 더미의 정전 용량 값과 상기 전압 계단의 값을 곱하는 단계, 그리고 상기 축전기 더미의 출력 단자에서 기준 전류를 생성하여 표시 장치 화소의 이동도 및 문턱 전압 특성을 보상하는 단계를 포함하며, 상기 구동 증폭기는 멀티플렉서와 상기 화소 구동부의 디지털 논리 회로로부터 입력을 수신하고 상기 멀티플렉서와 상기 디지털 논리 회로로부터 수신한 입력에 기초하여 상기 전압 계단을 수신한다.

발명의 효과

- [0023] 이와 같이 함으로써, 표시 장치 화소의 구동 트랜지스터의 특성을 보상할 수 있다.

도면의 간단한 설명

- [0025] 도 1a는 본 발명의 한 실시예에 따른 전자 기기의 표시 장치의 서로 다른 부분을 나타낸다.
- 도 1b는 본 발명의 한 실시예에 따른 표시 패널과 구동 및 감지 회로의 개략도이다.
- 도 1c는 본 발명의 한 실시예에 따른 표시 패널과 구동 및 감지 회로의 개략도이다.
- 도 1d는 본 발명의 한 실시예에 따른 표시 패널과 구동 및 감지 회로의 개략도이다.
- 도 2는 본 발명의 한 실시예에 따른 화소 구동 및 감지 회로를 도시한다.
- 도 3은 본 발명의 다른 실시예에 따른 화소 구동 및 감지 회로를 도시한다.
- 도 4는 도 3의 화소 구동 및 감지 회로의 감지 모드 또는 기준 전류 생성 모드 동안의 서로 다른 전압과 전류 파형을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이제 첨부한 도면을 참고하여 뒤에서 설명할 상세한 설명은 구동 회로를 다시 사용함으로써 기준 신호를 생성하는 시스템 및 방법의 실시예에 관한 것으로서, 본 발명의 실시예에 의하여 구현 또는 이용될 형태를 모두 표현

한 것은 아니다. 이제 첨부한 도면을 참고하여 본 발명의 실시예에 대하여 상세하게 설명한다. 그러나 서로 다른 실시예에서 구현되는 것과 동일한 또는 균등한 기능과 구조도 본 발명의 범위 내에 포함된다. 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 도면 부호를 붙였다.

[0027] 도 1a는 본 발명의 한 실시예에 따른 전자 기기의 표시 장치의 서로 다른 부분을 나타낸다. 도 1a를 참고하면, 본 발명의 한 실시예에 따른 표시 장치(보기: 모바일 표시 장치)(102)는 행렬로 배열된 복수의 화소(104)를 포함할 수 있다. 표시 장치(102)의 각 화소(104)는 구동 회로를 포함할 수 있는데, 구동 회로의 예로는 7T1C (7-transistor 1-capacitor) 구동 회로(106) 또는 4T1C (4-transistor 1-capacitor) 구동 회로(108)가 있다. 본 발명의 한 실시예에 따르면, 7T1C 구동 회로(106) 구조는 보상 트랜지스터를 포함한다. 예를 들어 본 발명의 한 실시예에 따르면, 7T1C 화소 구조는 자기 구동 트랜지스터 문턱 전압 또는 TFT V_{th} 눈금(calibration)을 포함한다. 그러나 이러한 화소 구조(보기: 7T1C)는 느리고 면적을 많이 차지할 수 있다[이에 따라 구조의 종횡비(aspect ratio)가 줄어들 수 있다]. 많은 표시 장치 구조에서 바라는 높은 화소 밀도(보기: 4K - 8K 등)를 얻기 위해서, 7T1C 구조[보기: 7T1C 구동 회로(106) 구조]에 병합된 보상 트랜지스터를 제거하여 외부 보상을 필요로 하는 4T1C 구조[보기: 4T1C 구동 회로(108) 구조]에 이를 수 있다. 도 1a에서, 4T1C 구조에 대한 외부 보상은 회로(145)다.

[0028] 본 발명의 한 실시예에 따르면, 4T1C 구동 회로(108)에서는, 화소[보기: 화소(104)]가 발광할 때, 구동 트랜지스터(drive transistor)가 발광 다이오드(light emitting diode)에 흐르는 전류를 제어한다. 구동 트랜지스터의 게이트-소스 전압(V_{gs})은 축전기(capacitor)에 의하여 제어된다. 예를 들어, 라인 시간 동안, 구동 전압이 축전기에 저장될 수 있으며, 이 전압은 화소 전류를 제어하는 데 사용될 수 있다. 상부 패스-게이트 트랜지스터(pass-gate transistor)를 사용하여 구동 트랜지스터의 게이트[및 축전기의 한 단자]를 전원 전압(power supply voltage)에 선택적으로 연결할 수 있다. 하부 패스-게이트 트랜지스터를 사용하여 구동 감지 도체(drive sense conductor)를 소스 노드(source node)에 선택적으로 연결할 수 있다. 소스 노드는 구동 트랜지스터의 소스, 발광 다이오드의 애노드 및 축전기의 다른 단자와 연결되어 있다. 화소 전류의 감지 및 보상에 대하여 도 1b 내지 도 1d를 참고하여 상세하게 설명한다.

[0029] 도 1b를 참고하면, 본 발명의 한 실시예에서는, 정확도 향상을 위해서 화소의 전류를 서로 다른 방식으로 감지할 수 있다. 예를 들면, 도 1b의 왼쪽에 있는 화소[앞으로 "홀수 번째(odd)" 화소라 함]의 구동 트랜지스터가 구동하는 전류를 감지하는 경우, 홀수 번째 화소의 구동 트랜지스터를 켜고 [홀수 번째 화소의 축전기를 충전함으로써 홀수 번째 화소의 구동 트랜지스터를 켜고], 도 1b의 오른쪽에 있는 화소[앞으로 "짝수 번째(even)" 화소라 함]의 구동 트랜지스터를 끄며 [짝수 번째 화소의 축전기를 방전함으로써 짝수 번째 화소의 구동 트랜지스터를 끄며], 해당하는 두 개의 도체[앞으로 "열 도체(column conductors)"(150)라 함]에서 흘러 나오는 두 개의 대응 전류의 차이를 측정할 수 있다. 각 열 도체(150)는 표시 장치의 한 열에 있는 모든 화소와 연결될 수 있으며, 이에 따라 특성화할 홀수 번째 화소를 제외한 모든 화소가 꺼지더라도 다른 화소의 총 누설 전류가 중요해진다. 예를 들어 본 발명의 한 실시예에 따르면, 각각의 열 도체(150)가 여러 화소 열에 연결되고, 감지 동작을 하는 동안에는 하나의 화소 열만 동작한다.

[0030] 홀수 번째 감지를 위해서는, (n-1) 개의 홀수 열을 끄고 n 개의 짝수 열을 켜다. (짝수 번째 화소를 포함하는) 인접 열의 누설 전류가 동일한 한, 두 개의 열 도체(150)에 흐르는 전류의 차이를 감지하면, 홀수 번째 화소에 연결된 열 도체(150)에 흐르는 전류에 대한 누설 전류의 기여분을 없앨 수 있다.

[0031] SCAN1, SCAN2, EMIT 제어선은 행 별로 구비될 수 있으며, 행 별로 서로 다른 타이밍이 다를 수 있다. 본 발명의 한 실시예에 따르면, 차동 감지를 사용하여 한 동작에 한 행에 있는 화소의 절반을 감지할 수 있다. 홀수 번째 화소와 짝수 번째 화소의 구분이 없도록 홀수 번째 및 짝수 번째 화소에 동일한 게이트 제어 신호 집합을 인가할 수 있다. 각각의 디지털-아날로그 변환기(DAC) 및 이에 연결된 구동 증폭기(155)를 사용하여 구동 트랜지스터가 구동하는 전류를 감지할 때 기준 전류를 생성하는 한편 열 도체(150)를 구동하여 화소의 축전기를 충전할 수 있으며, 이는 도시한 바와 같이 멀티플렉서를 사용하여 수행할 수 있다. 도 1b에 도시한 실시예에서는 $V_{REF} = ELVSS = -1.5V$ 이다.

[0032] 도 1c를 참고하면, 본 발명의 한 실시예에서는, 회로가 구동 모드에 있을 때, 각 화소의 구동 트랜지스터의 게이트는 ELVSS에 연결되고, 각 화소의 구동 트랜지스터의 소스는 VDATA로 구동된다. [다른 실시예에 따르면, 각 화소의 구동 트랜지스터의 소스는 (ELVSS - VDRIVE)으로 구동된다.] 즉, 게이트-소스 전압(VGS)는

[0033] $-VGS = V_{REF} - VDATA$ [또는 $ELVSS - (ELVSS - VDRIVE) = VDRIVE$].

- [0034] 각 화소의 발광 트랜지스터(emit transistor)는 꺼진 채로 남아 있을 수 있다. 이러한 과정에서, 각각의 VDRIVE는 각 화소의 화소 축전기에 저장된다.
- [0035] 본 발명의 한 실시예에 따르면, 홀수 번째 화소를 감지할 때, 짝수 번째 화소의 구동 트랜지스터에 대한 VGS는 다음과 같을 수 있다.
- [0036] $VGS = (VDRIVE - VDATA) < 0$
- [0037] 따라서 홀수 번째 화소를 감지할 때, 짝수 번째 화소의 구동 트랜지스터는 꺼질 수 있다. [또는 다른 실시예에 따르면, 홀수 번째 화소를 감지할 때, 짝수 번째 화소의 구동 트랜지스터의 VDRIVE는 ELVSS일 수 있으며, 이에 따라 짝수 번째 화소의 구동 트랜지스터는 꺼진다.]
- [0038] 도 1d를 참고하면, 본 발명의 한 실시예에서는, 회로가 감지 모드에 있을 때, 상부 패스-게이트 트랜지스터가 꺼져서 구동 트랜지스터의 게이트가 고립되고(float), 각 화소의 축전기의 전하가 일정해지는데, 이는 각 화소의 축전기가 방전을 할 수 없기 때문이다. 각 화소의 구동 트랜지스터의 소스가 VREF로 구동되어 각각의 발광 다이오드가 역바이어스되고, 발광 다이오드에 전류가 흐르지 않는다. 각 화소의 발광 트랜지스터가 켜지고, 발광 다이오드가 역바이어스됨으로 인하여, 화소의 구동 트랜지스터가 구동하는 전류가 각각의 열 도체(150)를 통하여 감지 회로로 흐른다. 이 모드에서, 디지털-아날로그 변환기 및 이에 연결된 구동 증폭기(155)는 기준 전류(I_{REF})를 생성할 수 있다. 본 발명의 한 실시예에 따르면, 기준 전류는 디지털-아날로그 변환기 및 구동 증폭기(155)를 제어하여 전압 램프(voltage ramp)를 생성함으로써 생성되며, 전압 램프는 축전기에 인가되어 다음 방식에 따른 전류를 공급한다.
- [0039] $I_{REF} = C \, dV/dt$.
- [0040] 여기에서 C는 축전기의 용량이다.
- [0041] 동작 시에는, 감지 동작 전에 전단(front-end) 적분기를 재설정한다. 각각의 감지 동작은 구동 동작에 선행할 수 있으며, 구동 동작 동안에 구동 증폭기(155)는 열 도체(150)를 설정 전압(set voltage)으로 구동한다. 감지 동작을 시작하기 전에, 열 도체(150)의 전압을 VREF로 복구할 수 있다. 본 발명의 한 실시예에 따르면, 도 1d의 회로에서, 열 도체(150)의 접지 용량(capacitance to ground)이 크기 때문에 (재설정 모드에서) 구동 증폭기(155)가 열 도체(150)의 전압을 VREF로 만들 때까지 시간이 오래 걸릴 수 있다는 것이다.
- [0042] 다시 도 1a를 참고하면, 화소 구동 및 감지 회로(pixel drive and sense circuit)(145)(도 2를 참고하여 다음에 좀더 상세하게 설명)는 구동 감지 도체와 연결될 수 있다. 화소 구동 및 감지 회로(145)는 구동 감지 도체에 한 번에 하나씩 선택적으로 연결되는 구동 증폭기(drive amplifier)와 감지 회로(sensing circuit)를 포함할 수 있다. 본 발명의 한 실시예에 따르면, 구동 트랜지스터에 전류가 흐르고 하부 패스-게이트 트랜지스터가 꺼져서 구동 감지 도체가 소스 노드에서 분리되면, 발광 다이오드에 전류가 흘러 발광하게 된다. 본 발명의 한 실시예에 따르면, 하부 패스-게이트 트랜지스터가 켜지고 구동 감지 도체가 발광 다이오드의 캐소드보다 낮은 전압으로 구동되면, 발광 다이오드는 역바이어스되며 구동 감지 도체에 흐르는 전류가 화소 구동 및 감지 회로(145)로 흘러 감지될 수 있다. 본 발명의 한 실시예에 따르면, 구동 집적 회로(도 1a에서 "DIC")는 표시 장치의 각 열 쌍(pair of columns)에 대해서 화소 구동 및 감지 회로(145)를 포함할 수 있으며, 열의 각 화소에 대해서 3 개의 보상 계수 값을 가지는 테이블을 포함할 수 있다.
- [0043] 본 발명의 한 실시예에 따르면, 구동 트랜지스터의 게이트-소스 전압(V_{gs})을 조절하여 편차[표시 장치(102)의 다른 구동 트랜지스터와의 차이 또는 시간에 따른 변화], 예를 들면 구동 트랜지스터의 이동도 또는 문턱 전압(V_{th})을 보상하는 것이 바람직하다.
- [0044] 도 2는 본 발명의 한 실시예에 따른 도 1a의 화소 구동 및 감지 회로(145)를 도시한다. 예를 들면, 도 2는 화소 구동, 감지 및 보상 회로이다. 화소 구동 및 감지 회로(145)는 출력(200)과 입력(202)을 포함하며, 이 둘은 표시 장치(102) 내에 있는 상대적으로 긴 도체[보기: 도 1a 내지 도 1D의 "열 도체"(150)]를 통하여 화소(104)의 구동 감지 도체와 선택적으로 연결될 수 있다. 화소 구동 및 감지 회로(145)의 출력(200)[열 도체(150)가 구동될 때] 및 입력(202)(뒤에서 상세하게 설명하겠지만 화소 전류가 감지되고 있을 때) 중 하나는 언제나 열 도체(150)와 연결되어 있을 수 있다.
- [0045] 본 발명의 한 실시예에 따르면, 화소 구동 및 감지 회로(145)가 동작하는 동안, 감마 회로(204)는 일련의 코드 워드(code word)를 생성할 수 있는데, 각 코드 워드는 구동 트랜지스터가 발광 다이오드를 통하여 구동하는 해

당 전류에 대응한다. 3 개의 보상 계수(보기: A, C, α)를 사용하여 감마 회로(204)가 생성한 코드 워드를 조절할 수 있다. 도면 부호 206에서, 제1 보상 계수(도 2의 "A")에 감마 회로(204)로부터의 코드 워드를 곱하여, 제1 보상 코드 워드(207)를 생성할 수 있다. 도면 부호 208에서, 제2 보상 계수(도 2의 "C")에 제1 보상 코드 워드(207)를 더하여, 제2 보상 코드 워드(209)를 생성할 수 있다. 이 두 보상 단계(보기: 206, 208)는 대략, (i) 구동 트랜지스터의 이동도와 명목(nominal) 또는 이상(ideal) 트랜지스터의 이동도 차이, (ii) 구동 트랜지스터의 문턱 전압(보기: V_{th})과 명목 또는 이상 트랜지스터의 문턱 전압 차이를 보상하는 데 사용될 수 있다.

본 발명의 한 실시예에 따르면, 표시 장치(102) 바깥에 있는 구동 IC (도 1a의 "DIC")는 표시 장치(102)의 각 쌍의 화소 열에 대해서 도 2의 회로와 실질적으로 유사한 회로를 포함할 수 있으며, 화소 열의 각 화소(104)에 대해서 3 개의 보상 계수(보기: A, C, α) 값이 있는 테이블을 포함할 수 있다. 본 발명의 한 실시예에 따르면, 보상 계수(보기: A, C, α) 중 일부는 공유될 수 있는데, 예를 들면 구동 IC(도 1a의 DIC)는 표시 장치 전체 행에 대해서 하나의 α 값만을 가질 수 있다.

[0046] 이어 파형 생성 회로(210)는 제3 보상 계수(도 2의 " α " in 도 2)를 사용하여, 제2 보상 코드 워드(209)로부터 전압 $(V(n)+\alpha V(n-1))p(t)$ [보기: $p(t)$ 는 램프(ramp) 생성 함수일 수 있음]을 가지는 파형을 생성할 수 있다. 달리 말하면, 전압 $(V(n)+\alpha V(n-1))p(t)$ 을 가지는 이 파형은 제1 전압에서 제1 부분, 제2 전압에서 제2 부분을 가진다. 제2 전압은 제2 보상 코드 워드(209)에 비례할 수 있고, 트랜지스터(보기: 구동 트랜지스터)에 인가되는 전압일 수 있다. 제1 전압은 더 크고 프리엠퍼시스(pre-emphasis)를 제공하여 표시 장치(102) 내 열 도체(150)의 저역 필터링(low-pass filtering) 효과에 부분적으로 대응할 수 있다. 제3 보상 계수 α 는 제2 전압에 대한 제1 전압의 비율일 수 있다.

[0047] 본 발명의 한 실시예에 따르면, (210에서) $(V(n)+\alpha V(n-1))p(t)$ 로 표현되는 파형은 제1 디지털-아날로그 변환기, 예를 들어 저항성 디지털-아날로그 변환기(resistive digital to analog converter: RDAC)(215)에 의하여 아날로그 형태로 변환될 수 있다. RDAC(215)의 출력으로부터의 변환된 파형은 [이 때 표시 장치(102) 내의 열 도체(150)와 연결될 수 있는] 단위 이득 버퍼(보기: 구동 증폭기)(220)에 의하여 증폭되고, 표시 장치(102) 내의 열 도체(150)에 공급된다. 본 발명의 한 실시예에 따르면, 210으로부터의 파형이 일단 RDAC(215)에 의하여 변환되고 단위 이득 버퍼(220)에 의하여 증폭되면, 단위 이득 버퍼(220)의 출력 전압이 α 인자만큼 증가하는 제2 부분이 구동 감지 도체의 전압이 목표 값이 더 빨리 수렴하도록 할 수 있는데, 여기에서 목표 값은 파형[보기: 210에서 $(V(n)+\alpha V(n-1))p(t)$ 로 나타난 파형]의 제2 부분 동안의 단위 이득 버퍼(220) 출력의 전압이다. 화소 보상에 대해서는 2019년 10월 18일에 출원된 미국 특허출원번호 제16/657,680호에 상세하게 기재되어 있으며, 여기에 인용함으로써 그 내용을 본원에 포함한다.

[0048] 본 발명의 한 실시예에 따르면, 입력(202)이 열 도체(150)와 연결되고, (예를 들어 발광 다이오드가 역바이어스 되어) 발광 다이오드에 전류가 구동되지 않을 때, 화소 구동 및 감지 회로(145)는 구동 트랜지스터가 구동하는 전류를 감지할 수 있다. 전류 감지 모드에서, 발광 다이오드는 역바이어스되고, 구동 트랜지스터에 흐르는 전류(앞으로 "화소 전류(pixel current)(I_{pixel})"라고 함)가 화소 구동 및 감지 회로(145)의 입력(202)으로 흘러간다. 화소 구동 및 감지 회로(145)에서는, 화소 전류(I_{pixel})에서 [제2 디지털-아날로그 변환기(225)가 제어하는] 기준 전류(I_{REF})를 뺀다. 그 차이($I_{error} = I_{pixel} - I_{REF}$)를 연산 증폭기 또는 전압 버퍼(227) 및 비교기[또는 "슬라이서(slicer)"](228)가 처리하여 화소 전류(I_{pixel})와 기준 전류(I_{REF})의 차, 예를 들어 $I_{error} = I_{pixel} - I_{REF}$ 를 나타내는 신호["화소 전류 오차 신호(pixel current error signal)"라고 함](I_{error})(보기: 높음 또는 낮음 정보)를 생성한다.

[0049] 화소 전류 오차 신호(I_{error})에 기초하여 보상 계수를 조정함으로써, 어떠한 코드 워드가 주어지더라도 구동 트랜지스터의 특성[보기: 구동도 및 문턱 전압(V_{th})]이 이상적인 트랜지스터의 특성인 것처럼 보상 계수 조정 후의 구동 전류가 원래 값과 더욱 같아지게 할 수 있다. 본 발명의 한 실시예에 따르면, 이러한 갱신이 복수의 구동 및 감지 구간[또는 "시구간(time interval)"] 동안 되풀이될 수 있는데, 각각의 구동 및 감지 구간은 새로운(그리고 잠재적으로 다른) 코드 워드를 처리하고, 별개의 화소 전류(I_{pixel}), 별개의 기준 전류(I_{REF}) 및 별개의 화소 전류 오차 신호(I_{error})를 가질 수 있다.

[0050] 기준 전류(I_{REF})는 수치 드레인-소스 전류 모델(numerical drain-source current model)(230)로 생성할 수 있는데, 수치 드레인-소스 전류 모델(230)은 이상적인 트랜지스터가 구동하는 전류(I_{ds})의 근사치를 계산하는 회로로

서, 다음과 같은 방식으로 계산한다.

$$I_{ds} = K (V - V_{th})^2$$

여기에서 K는 이동도 상수이고, V는 구동 전압이고, V_{th} 는 문턱 전압이다. 도시한 바와 같이, 수치 드레인-소스 전류 모델(230)의 출력은 제2 디지털-아날로그 변환기(225)에 공급되어 기준 전류(I_{REF})를 생성한다.

기준 전류(I_{REF})의 부호를 화소 전류(I_{pixel})와 반대로 만들고, 기준 전류원과 (이번에는 화소 전류(I_{pixel}))가 흐르는 열 도체(150)와 연결되어 있는) 화소 구동 및 감지 회로(145)의 입력을 동일한 노드, 즉 전압 버퍼(227)의 입력에 연결하여, 전압 버퍼(227)로 흘러 들어가는 전류가 (i) 열 도체(150)에서 출력 노드(200)로 흘러 들어가는 전류 및 (ii) DAC에서 흘러 나오는 전류(I_{REF})의 차이가 되도록 함으로써 화소 전류(I_{pixel})에서 기준 전류(I_{REF})를 빼는 동작을 수행할 수 있다. 본 발명의 한 실시예에 따르면, 제어기는 도 2에 도시한 회로의 상태 변화를 제어한다. 즉, 매 시구간이 시작될 때를 결정하고, 화소 구동 및 감지 회로(145)의 입력(202)과 출력(200)을 선택적으로 열 도체(150)에 연결하는 데 사용하는 스위치(도시하지 않음)를 제어하고, 상부 패스-게이트 트랜지스터 및 하부 패스-게이트 트랜지스터에 제어 신호를 보낸다. 이에 대해서는 도 1b 내지 도 1d를 참고하여 앞에서 상세하게 설명하였다.

전류 모드 감지는 구동 트랜지스터의 이동도 및 문턱 전압(보기: V_{th}) 양자를 보상하는 데 필수적이다. 전류 모드 감지는 $I_{error} = I_{pixel} - I_{REF}$ 을 실질적으로 정확하게 생성할 수 있도록 하는 고해상도 기준 전류(I_{REF})를 필요로 한다. 본 발명의 한 실시예에 따르면, 추가 DAC(보기: 215, 225)로 고해상도 I_{REF} 생성을 하려면 면적에 중대한 불이익이 생긴다. 본 발명의 한 실시예에 따른 기준 전류(I_{REF}) 생성 방법은, 표시 화소(104) 박막 트랜지스터(thin film transistor: TFT) 또는 구동 트랜지스터의 이동도 및 문턱 전압(보기: V_{th}) 모두를 보상하는 데 사용할 수 있다.

본 발명의 한 실시예에 따르면, 항상 제1 디지털-아날로그 변환기(215)와 제2 디지털-아날로그 변환기(225) 중 하나만 동작한다. 예를 들면, 제1 디지털-아날로그 변환기(215)는 화소 구동 및 감지 회로(145)의 출력(200)이 열 도체(150)와 연결되고 화소(104)가 구동될 때 동작하고, 제2 디지털-아날로그 변환기(225)는 화소 구동 및 감지 회로(145)의 입력(202)이 열 도체(150)와 연결되고 화소 전류(I_{pixel})가 감지될 때 동작한다. 본 발명의 한 실시예에 따르면, 두 개의 디지털-아날로그 변환기[보기: 제1 및 제2 디지털-아날로그 변환기(215, 225)]를 사용하는 것이 바람직하지 않은데, 이는 화소 전류(I_{pixel})를 감지할 때 단위 이득 버퍼(220)가 쉬고(idle) 있기 때문이다. 그 대신, 화소 구동 및 감지 회로(145)의 입력 및 출력 노드(보기: 200, 202)에 연결된 하나의 디지털-아날로그 변환기(215 또는 225)를 사용하여 두 개의 기능(보기: 구동 및 감지)을 수행할 수 있다. 본 발명의 한 실시예에 따르면, 기준 전류원은 축전기를 전압 램프(voltage ramp)로 구동하는 하나의 디지털-아날로그 변환기를 사용하여 구현될 수 있는데, 이는 생성될 전류량이 작을 때 매우 정확한 결과를 가져다 준다.

본 발명의 한 실시예에 따르면, 감지 모드 동안, RDAC(215) 및 소스 증폭기 또는 단위 이득 버퍼(220)를 사용하여 기준 전류(I_{REF})를 생성할 수 있다. 소스 증폭기 또는 단위 이득 버퍼(220)는 구동 IC(또는 DIC)에서 가장 정확한 원소일 수 있다. 기준 전류 생성을 위하여 RDAC(215) 및 소스 증폭기 또는 단위 이득 버퍼(220)를 재사용하면 구동 전압에서 기준 전류(I_{REF})가 실질적으로 정확하게 될 수 있다.

앞서 설명한 바와 같이, 차동 감지(differential sensing)를 사용하여 어떤 화소의 전류라도 감지함으로써, 한 번의 동작으로 열의 화소 중 절반을 감지할 수 있다. 홀수 번째 화소와 짝수 번째 화소에 동일한 게이트 제어 신호 집합을 적용하여 홀수 번째 화소와 짝수 번째 화소에 차이가 없도록 할 수 있다. 각각의 디지털-아날로그 변환기(보기: RDAC 215) 및 연결된 단위 이득 버퍼(220) 둘 다를 사용하여 열 도체를 구동하여 화소의 축전기를 충전하고, 구동 트랜지스터가 구동하는 전류를 감지할 때 기준 전류(I_{REF})를 생성할 수 있다.

도 3은 본 발명의 한 실시예에 따른 화소 구동 및 감지 회로(300)를 도시한다. 도 4는 화소 구동 및 감지 회로(300)의 감지 모드 또는 기준 전류 생성 모드 동안의 서로 다른 전압과 전류 파형을 도시한다. 도 1a의 "DIC"에 관해서 설명한 것처럼, 본 발명의 한 실시예에 따르면, 화소 구동 및 감지 회로(300)는 표시 패널의 외부에 있을 수 있다.

- [0059] 도 3의 회로는 표시 장치의 각 화소 열에 대하여 구동기(driver)(305) 하나, 표시 장치의 각 화소 열 또는 하나의 화소 열 쌍(pair of pixel columns)에 대하여 감지 회로(sensing circuit)(310) 하나, 그리고 복수의 스위치(307, 308, 309)를 통하여 구동기(305)와 감지 회로(310) 사이에 연결된 축전기 더미(capacitor bank)(335)를 포함한다. 복수의 스위치(307, 308, 309)는 트랜지스터 스위치일 수 있다.
- [0060] 도 3의 회로에서, 구동기(305)는 멀티플렉서(multiplexer: MUX)(315)를 포함하며, 멀티플렉서(315)의 입력단은 디지털-아날로그 변환기(RDAC)(306) 및 디지털 논리(325)에 연결되어 있다. RDAC(306)는 구동기(305) 바깥에 위치하고 표시 장치[보기: 표시 장치(102)]의 데이터선과 연결되어 있다. 멀티플렉서(315)는 (동일한 색상의 모든 화소 열 사이에 공유될 수 있으며) 표시 장치의 데이터선을 통하여 RDAC(306)와 연결되어 있다. 표시 장치의 데이터선은 10 비트 데이터선일 수 있다.
- [0061] 구동기(305)는 또한 멀티플렉서(315)의 출력과 연결된 연산 증폭기(operational amplifier: op-amp) 또는 단위 이득 버퍼(보기: 구동 증폭기)(320)를 포함한다. 멀티플렉서(315)의 출력 단자는 단위 이득 버퍼(320)의 양(positive) 입력 단자와 연결되어 있다. 단위 이득 버퍼(320)의 음(negative) 입력 단자는 단위 이득 버퍼(320)의 출력 단자와 연결되어 있다. 단위 이득 버퍼(320)는 출력 단자에서 전압 계단(voltage ramp)(330)을 생성한다.
- [0062] 축전기 더미(335)의 입력 단자는 스위치(308)를 통하여 단위 이득 버퍼(320)의 출력 단자와 연결되어 있다. 축전기 더미(335)는 출력 단자에서 축전기 더미(335)의 축전 용량 "C" 및 전압 계단(330) 값에 기초하여 기준 전류(I_{REF})를 생성한다. 본 발명의 한 실시예에 따르면, 기준 전류(I_{REF})는 $C \cdot dV/dt$ 인데, 여기에서 C는 축전기 더미(335)의 정전 용량이고, 전압 계단은 dV/dt 로 나타내었으며, dV 는 단위 이득 버퍼(320)의 출력 단자에서의 시간 dt 동안의 전압 변화이다. 축전기 더미(335)의 출력 단자는 또한 스위치(309)를 통하여 감지 회로(310)와 연결되어 있다.
- [0063] 본 발명의 한 실시예에 따르면, 제어기는 도 3의 회로의 상태 변화를 제어하는데, 예를 들면, 각 시구간(보기: 도 4에 나타낸 구동 모드 또는 기준 전류 생성 모드)이 시작되는 시점을 결정하고, 화소 구동 및 감지 회로(300)의 입력(301)을 열 도체에 선택적으로 연결(보기: 상부 패스-게이트 트랜지스터와 하부 패스-게이트 트랜지스터에 번갈아 제어 신호를 전송)하는 데 사용되는 스위치(307, 308, 309)를 제어한다.
- [0064] 본 발명의 한 실시예에 따르면, 회로가 감지 모드에 있을 때에는, 상부 패스-게이트 트랜지스터가 꺼져서 구동 트랜지스터의 게이트가 고립되고(float), 각 화소(104)의 축전기의 전하가 일정해진다. 전류 감지 모드에서는, 발광 다이오드가 역바이어스되고, 구동 트랜지스터에 흐르는 전류("화소 전류(I_{pixel})"라고도 함)가 스위치(309)를 통하여 감지 회로(310)의 입력(302 또는 304)으로 흘러 들어간다. 차동 감지 회로(310)는 제1 화소 또는 제1 부화소(sub-pixel)(보기: 홀수 번째 화소 "ODD[n]" 또는 홀수 번째 부화소)로부터의 전류와 제2 화소 또는 제2 부화소(보기: 짝수 번째 화소 "EVEN[n]" 또는 짝수 번째 부화소)로부터의 전류의 차이를 감지하기 위한 두 개의 입력(302, 304)을 포함한다. 제1 화소로부터의 전류(보기: $I_{pixel} + I_{noise}$)와 제2 화소로부터의 전류(보기: I_{noise}) 각각에서 해당하는 기준 전류(I_{REF})를 뺀다. 차동 및 홀수 번째 구동에서는, 홀수 번째 쪽은 $I_{REF} = C \cdot dV/dt$ 이고 짝수 번째 쪽은 $dV = 0$ 이므로 $I_{REF} = 0$ 이다. 감지 회로(310)는 차이($I_{pixel} + I_{noise} - I_{REF}$)를 처리하여 화소 전류(I_{pixel})와 기준 전류(I_{REF})의 차이, 예를 들어 $I_{error} = I_{pixel} - I_{REF}$ 인 "화소 전류 오류 신호(pixel current error signal)"(I_{error})라는 신호를 생성한다. 이어 화소 전류 오류 신호(I_{error})에 기초하여 보상 계수를 조절하여 보상 계수 조절 후의 구동 전류가 어떠한 코드 워드에 대해서도 구동 트랜지스터의 특성[보기: 이동도 및 문턱 전압(V_{th})]이 이상적인 트랜지스터의 특성일 때의 구동 전류에 더 가깝게 되도록 한다.
- [0065] 전체 화소 전류 보상 시스템은 일 비트 판정 회로(one bit decision circuit)일 수 있는데, 이는 I_{REF} 보다 큰 I_{pixel} 이거나 I_{REF} 보다 작은 I_{pixel} 이다. 이 정보에 기초하여, 화소 전류 데이터를 수정할 수 있으며, 화소 전류(I_{pixel})는 결국 기준 전류(I_{REF})와 맞을 수 있다. 또한, 이러한 화소 전류 보상은 보상 정확도를 높이기 위하여 복수의 기준 전류(I_{REF}) 값, 예를 들어 5nA, 10nA, 15nA, 20nA으로 수행될 수 있다. 보상된 화소 전류(I_{pixel}) 값이 nA 범위이므로, 정확한 기준 전류(I_{REF})를 생성하는 것과 전단 회로를 감지하는 것 모두가 바람직하다.
- [0066] 예를 들면, 정확한 기준 전류(I_{REF})를 생성하기 위하여, 구동기(305) 내부 단위 이득 버퍼(320)의 입력단에 [멀티플렉서(315)를 통하여] 디지털 논리(325)를 둔다. 구동기(305)는 10 비트 RDAC(306)의 입력을 가지고 있으며

감지 동작을 하는 동안 화소에 대한 구동 전압을 필요로 하지 않으므로, 디지털 논리(325)로 계단 전압(330)(보기: dV/dt)을 생성할 수 있다 [예를 들면, 계단 전압(330)은 RDAC(306), 멀티플렉서(315), 디지털 논리(325) 및 단위 이득 버퍼(320)를 사용하여 생성할 수 있다]. 기준 전류(I_{REF})는 축전기 더미(335)의 정전 용량 "C"와 계단 전압(330)(보기: dV/dt)을 곱하여 생성할 수 있다. 예를 들면, 기준 전류(I_{REF})는 방정식 $I_{REF} = C \cdot dV/dt$ 에 따라 생성될 수 있다. 감지 회로(310)에서, 잡음 공급으로 인한 I_{noise} 와 누설 전류 등 공통 잡음을 없애기 위하여, 전 차동 감지 회로(fully differential sensing circuit)를 사용할 수 있다. 예를 들면, 감지 회로(310)의 홀수 쪽 입력 전류는 $I_{error} = I_{pixel} + I_{noise} - I_{REF}$ 이고, 감지 회로(310)의 짝수 쪽 입력 전류는 I_{noise} 이다. 그러므로 $I_{error} = I_{pixel} - I_{REF}$ 만이 감지 회로(310) 입력이고, 공통 잡음(보기: I_{noise})은 상쇄된다. 따라서 본 발명의 한 실시예에 따른 기준 전류(I_{REF}) 생성 시스템 및 방법은, 도 3 및 도 4를 참고하여 설명한 것처럼, 추가 장치 잡음이 없는 것에 거의 더하지 않고 저잡음 기준 전류(I_{REF})를 생성할 수 있도록 한다.

[0067] 기준 전류(I_{REF}) 생성 모드에서, 화소 구동 및 감지 회로(300)는 램프 생성 중 바이어스 제어(bias control)를 사용하여 전류(또는 전체 바이어스)를 줄임으로써 구동 동작에 비하여 절반의 총 전류로 동작한다. 예를 들면, 본 발명의 한 실시예에 따르면, 구동기(305) 또는 단위 이득 버퍼(320)는 감지 동작 시에, 구동 모드 동작 시의 전류 $60 \mu A$ 의 절반인 $35 \mu A$ 의 낮은 공급 전류를 바이어스 회로 제어에 사용하는데, 이는 커다란 패널의 도선들을 구동하지 않기 때문이다. 또한, 구동기(305) 또는 단위 이득 버퍼(320)는 최소 공급 전류와 빠른 파워 온(power on) 시간 능력을 사용하는 대기 모드(standby mode) 동작을 가지고 있으며, 이에 따라 구동기(305) 또는 단위 이득 버퍼(320)는 지체 없이 모드를 (예를 들면 감지 모드에서 구동 모드로) 바꿀 수 있다. 본 발명의 한 실시예에 따르면, 기준 전류(I_{REF}) 생성 모드에서는, 구동기(305)가 꺼져서 전력을 줄일 수 있으며 이는 빠른 점멸(on-off) 능력을 가지고 있기 때문이다.

[0068] 본 발명의 한 실시예에 따르면, 복수의 서로 다른 축전기 더미(335) 값을 사용하여 복수의 기준 전류(I_{REF}) 값(보기: I_{REF} 값 $5nA, 10nA, 15nA, 20nA$)을 생성할 수 있다. 이 경우, 축전기 더미(335)는 가변 축전기(variable capacitor)일 수 있다. 본 발명의 한 실시예에 따르면, 홀수 번째 화소가 꺼진 경우에 짝수 번째 화소에서 단위 이득 증폭기(320)의 입력 전압(보기: V_{Din_even})이 계단 전압(330) 대신 일정한 전압이면 0의 기준 전류 $I_{REF} = 0nA$ 를 생성할 수 있다. V_{Din_even} 전압이 일정하므로, $I_{REF_even} = 0nA$. 그러나, V_{Din_odd} 는 $1V/50 \mu s$ 로 계단 하강하고, $250fF$ [보기: 축전기 더미(335)의 정전 용량]으로 $5nA$ 또는 $2 \cdot 250fF$ 으로 $10nA$ 를 생성한다. 또한, 단위 이득 증폭기(320) 출력의 초기 램프비(ramp-rate)를 바꾸거나 단위 이득 증폭기(320) 출력의 계단형의 시작을 당기거나 늦춤으로써, 화소 전류(I_{pixel})의 상승 및 하강 시간에 대한 생성된 기준 전류(I_{REF})의 상승 및 하강 시간의 차이(보기: $I_{error} = I_{pixel} - I_{REF}$)를 얻을 수 있다.

[0069] 도 3으로 되돌아가서, 본 발명의 한 실시예에 따르면, 차동 감지 회로(310)는 이단 구조를 가지고 있는데, 저역 전류 필터(low-pass current filter)[또는 "차동 저역 필터(differential low-pass filter)"](340)가 일단, 적분기(integrator)[또는 "차동 적분기(differential integrator)"](보기: 도시한 것과 같은 제2 적분기)(345)가 이단이다. 차동 저역 필터(340)는 차동 입력 및 차동 출력을 포함한다. 차동 저역 필터(340) 차동 입력의 제1 도체는 화소 전류와 기준 전류의 차이(보기: $I_{error} = I_{pixel} - I_{REF}$)를 수신한다. 차동 적분기(345)는 차동 입력 및 차동 출력을 포함한다.

[0070] 적분기(345)는 두 개의 미러링 축전기(mirroring capacitor)(350)를 통하여 저역 전류 필터(340)와 연결될 수 있다. 예를 들면, 두 개의 미러링 축전기(350)는 저역 전류 필터(340)의 차동 출력을 차동 적분기(345)의 차동 입력에 연결할 수 있다. 저역 전류 필터(340) 및 적분기(345) 각각은 각 궤환 경로(feedback path) 내에 축전기(또는 궤환 축전기)가 있는 전차동 연산 증폭기(fully differential operational amplifier)를 포함할 수 있다. 예를 들면, 저역 전류 필터(340)는 각 궤환 경로 상에 축전기[또는 "궤환 축전기(feedback capacitor)"]가 있는 "전압 버퍼(voltage buffer)(342)를 포함하고, 적분기(345)는 각 궤환 경로 상에 축전기[또는 "궤환 축전기"]가 있는 전압 버퍼(344)를 포함한다. 예를 들면, 차동 저역 필터(340)는 차동 증폭기(342), 두 개의 궤환 축전기 및 두 개의 재설정 스위치(reset switch)를 포함한다. 두 개의 궤환 축전기 각각은 차동 저역 필터(340) 차동 출력의 도체와 차동 저역 필터(340) 차동 입력의 해당 도체 사이에 연결되며, 각각의 재설정 스위치는 두 개의 궤환 축전기 중 해당하는 궤환 축전기 양단에 연결되어 있고 해당 궤환 축전기를 선택적으로 방전시킨다. 본 발명의 한 실시예에 따르면, 차동 증폭기(342)는 전차동 증폭기이다. 다른 실시예에 따르면, 차동

증폭기(342)는 의사 차동 증폭기이다. 예를 들면, 차동 적분기(345)는 전차동 증폭기(344), 두 개의 케환 축전기 및 두 개의 재설정 스위치를 포함한다. 두 개의 케환 축전기 각각은 차동 적분기(345) 차동 출력의 도체와 차동 적분기(345) 차동 입력의 해당 도체 사이에 연결되며, 각각의 재설정 스위치는 두 개의 케환 축전기 중 해당하는 케환 축전기 양단에 연결되어 있고 해당 케환 축전기를 선택적으로 방전시킨다.

- [0071] 앞서 설명한 것과 같이, 회로(310)를 사용하여 인접한 두 화소[예를 들어 (3개의 화소, 적색 화소, 녹색 화소 및 청색 화소를 포함하는 복합 화소의) 적색 화소와 청색 화소]에 대한 차동 감지를 수행한다.
- [0072] 본 발명의 한 실시예에 따르면, 지역 전류 필터(340) 및 차동 적분기(345)는 전차동일 수 있다. 여기에서 전차동 회로는 [단단자(single-ended) 또는 의사 차동(pseudo-differential) 증폭기와 달리] 신호를 고정된 기준값과 비교하는 앰프 회로이다. 그 대신, 전차동 증폭기에서 각각의 차동 이득 단계는 예를 들어 처리할 두 신호를 직접 서로 비교한다.
- [0073] 도 3에 도시한 회로(310)의 출력에는 감지할 전류[(i) 홀수 번째 화소의 구동 트랜지스터가 구동하는 전류와 (ii) 기준 전류의 차이]의 기여분뿐 아니라 각종 잡음원의 기여분도 포함될 수 있다. 감지 회로에 대해서는 2019년 10월 17일에 출원된 미국 특허출원번호 제16/656,423호에 상세하게 기재되어 있으며 여기에 인용함으로써 본원의 내용으로 포함한다.
- [0074] 본 발명의 한 실시예에 따르면, 수치 또는 데이터 처리 동작은 하나 이상의 처리 회로에 의하여 수행될 수 있다. "처리 회로"는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합을 사용하여 구현할 수 있다. 처리 회로는 예를 들면, 응용 주문형 집적 회로(ASIC), 범용 또는 전용 중앙 처리 장치(CPU), 디지털 신호 처리기(DSP), 그래픽 처리 장치(GPU), FPGA 등의 프로그램가능 논리 장치를 포함할 수 있다. 처리 회로에서 각각의 함수는 그 기능을 수행하는 유선 하드웨어 또는 비순간(non-transitory) 저장 매체에 저장된 명령을 수행하는 CPU 등의 범용 하드웨어로 수행될 수 있다. 처리 회로는 하나의 인쇄 회로 기판(PCB)에 제작되거나 서로 연결된 PCB에 분산 배치될 수 있다. 처리 회로는 다른 처리 회로를 포함할 수 있는데, 예를 들면 PCB 상에서 서로 연결된 FPGA와 CPU를 포함할 수 있다.
- [0075] "제1", "제2", "제3" 등의 용어를 여러 가지 원소, 성분, 영역, 층, 부분 등에 사용하지만, 이들은 이런 수식어에 의하여 한정되지 않는다. 이러한 용어는 어떤 원소, 성분, 영역, 층, 부분을 다른 원소, 성분, 영역, 층, 부분과 구별하기 위하여 사용하는 것이며 본 발명의 취지와 범위를 벗어나지 않는다.
- [0076] 설명의 편의를 위하여 도면에 도시한 어떤 부분 또는 특성에 대한 다른 부분 또는 특성의 관계를 나타내기 위하여 "아래", "밑", "위" 등 공간 관계 용어를 사용할 수 있다. 이러한 공간 관계 용어는 도면에 도시한 사용 또는 동작하는 장치의 서로 다른 위치 및/또는 방향을 나타내기 위한 것이다. 예를 들면, 도면에서 어떤 부분의 "아래" 또는 "밑"에 있는 것으로 도시한 부분은 장치가 뒤집히면 반대로 "위"에 있는 것이 된다. 그러므로 예를 들어 "아래" 및 "밑"은 위와 아래를 모두 나타낼 수 있다. 장치가 예를 들면 90도 회전하거나 다른 방향을 향할 수 있으며, 이 경우 공간 관계 용어는 이에 맞게 해석되어야 한다. 또한, 어떤 층이 다른 두 층 "사이"에 있다고 표현했을 때, 두 층 사이에 해당 층만 있을 수도 있지만 하나 이상의 다른 층이 더 있을 수 있다.
- [0077] 여기에서 사용된 용어는 특정 실시예를 설명할 목적으로 사용할 뿐이며 본 발명을 제한하고자 하는 것은 아니다. 여기에서 "실질적으로", "약", "대체로" 및 이와 비슷한 표현은 근사를 나타내는 표현일 뿐 "정도"를 나타내는 것이 아니며, 당업자가 알 수 있는 측정값 또는 계산값의 고유 오차를 나타내는 데 사용한다.
- [0078] 여기에서 수를 특별히 언급하지 않으면 단수 또는 복수의 경우를 모두 포함한다. 어떤 특징, 단계, 동작, 부분, 성분 등을 "포함"한다는 표현은 해당 부분 외에 다른 특징, 단계, 동작, 부분, 성분 등도 포함할 수 있다는 것을 의미한다. "및/또는"이라는 표현은 나열된 것들 중 하나 또는 둘 이상의 모든 조합을 포함한다. 나열 목록 앞에 기재한 "적어도 하나" 등의 표현은 목록 전체를 수식하는 것이지 목록 내의 각각의 것을 수식하는 것은 아니다. 또한, 본 발명의 실시예를 설명할 때 사용하는 "수 있다"는 표현은 "본 발명의 하나 이상의 실시예"에 적용 가능하다는 것을 뜻한다. "예시적인"이라는 용어는 예 또는 도면을 나타낸다. "사용", "이용" 등은 이와 유사한 다른 표현과 함께 비슷한 의미로 사용될 수 있다.
- [0079] 부분, 층, 영역, 성분 등이 다른 부분, 층, 영역, 성분의 "위에" 있거나 "연결되어" 있는 것으로 기재하는 경우 "바로" 위에 있거나 또는 "직접" 연결되어 있는 경우뿐 아니라 중간에 다른 부분, 층, 영역, 성분 등이 더 끼어 있는 경우도 포함한다. 그러나 "바로 위에" 있거나 "직접 연결"되어 있는 것으로 기재하면 중간에 다른 부분이 없다는 것을 뜻한다.
- [0080] 여기에 기재한 수치 범위는 해당 범위 안에 포함되는 동일한 정확도의 모든 부분 범위(sub-range)를 포함한다.

예를 들면, "1.0 내지 10.0"의 범위는 최소값 1.0과 최대값 10.0 및 그 사이에 있는 모든 부분 범위, 즉, 1.0 이상의 최소값과 10.0 이하의 최대값을 가지는 부분 범위, 예를 들면 2.4 내지 7.6을 포함한다. 여기에서 언급한 최대값은 그 안에 포함되고 그보다 작은 모든 수치 한계를 포함하고, 본 명세서에 기재한 최소값은 그 안에 포함되고 그보다 큰 모든 수치 한계를 포함한다.

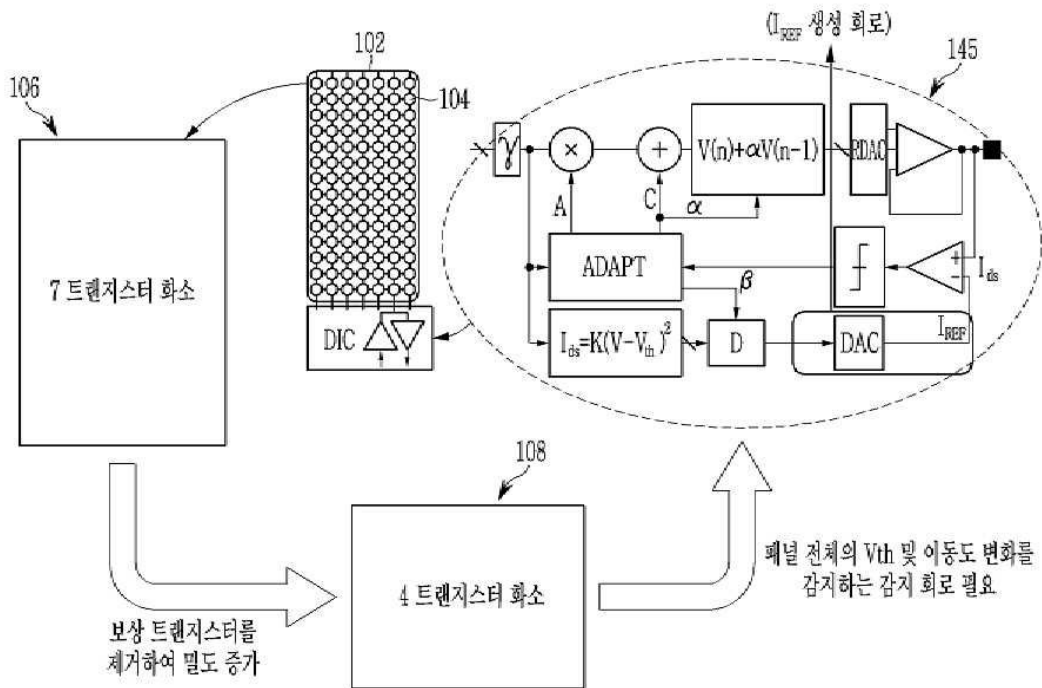
[0081] 이상에서 구동 회로를 재사용하여 기준 신호를 생성하는 시스템 및 방법의 실시예에 대하여 설명 및 도시하였지만, 당업자라면 이러한 실시예를 변경 및 수정할 수도 있다. 따라서 여기에서 제시한 원리에 따라 구성된 다른 상관 이중 샘플링 화소 감지 전단도 본 발명에 포함된다. 본 발명은 다음의 청구범위 및 그 등가물에 의하여 정의된다.

부호의 설명

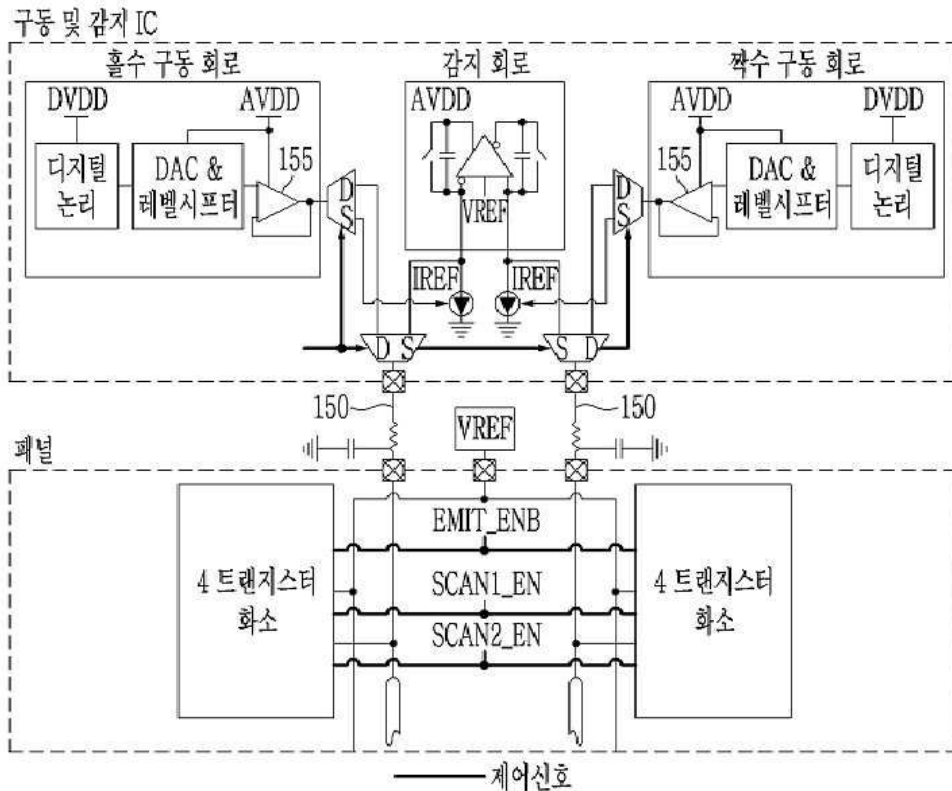
[0083] 102: 표시 장치
 104: 화소
 106, 108: 구동 회로
 145: 화소 구동 및 감지 회로
 150: 열 도체
 155: 구동 증폭기
 204: 감마 회로
 210: 파형 생성 회로
 215, 225: 디지털-아날로그 변환기
 220: 단위 이득 버퍼
 227: 전압 버퍼
 228: 비교기
 300: 화소 구동 및 감지 회로
 305: 구동기
 306: RDAC
 307, 308, 309: 스위치
 310: 감지 회로
 315: 멀티플렉서
 320: 단위 이득 버퍼/증폭기
 325: 디지털 논리
 335: 축전기 더미
 340: 저역 전류 필터/차동 저역 필터
 342: 차동 증폭기
 344: 전압 버퍼
 345: 적분기
 350: 미러링 축전기

도면

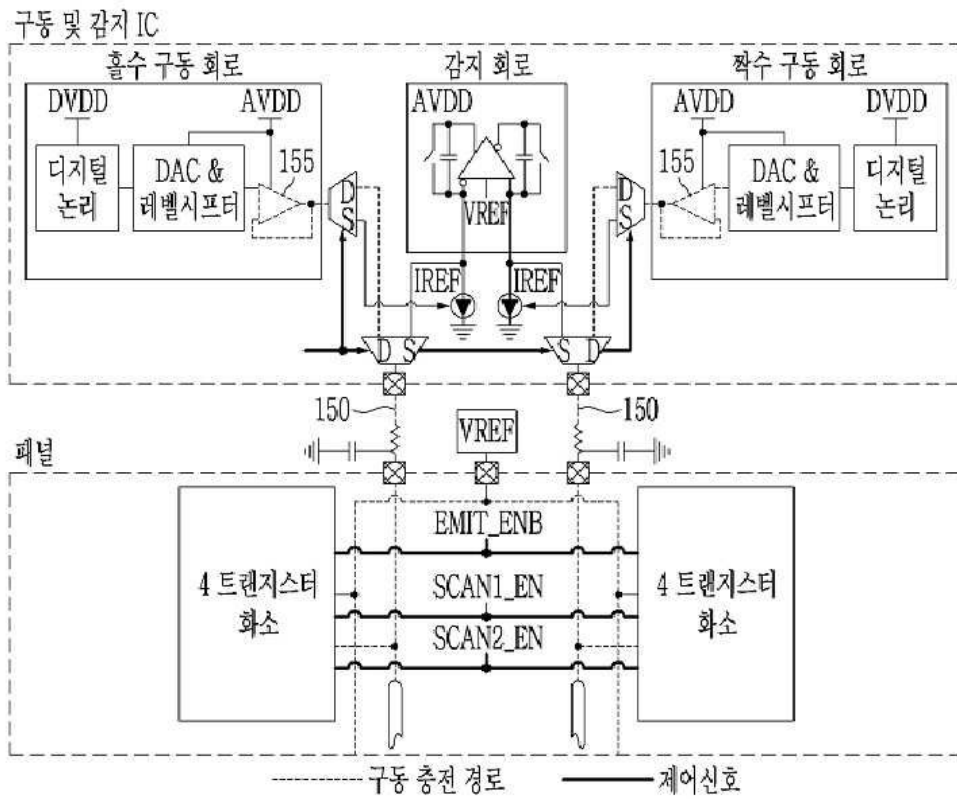
도면1a



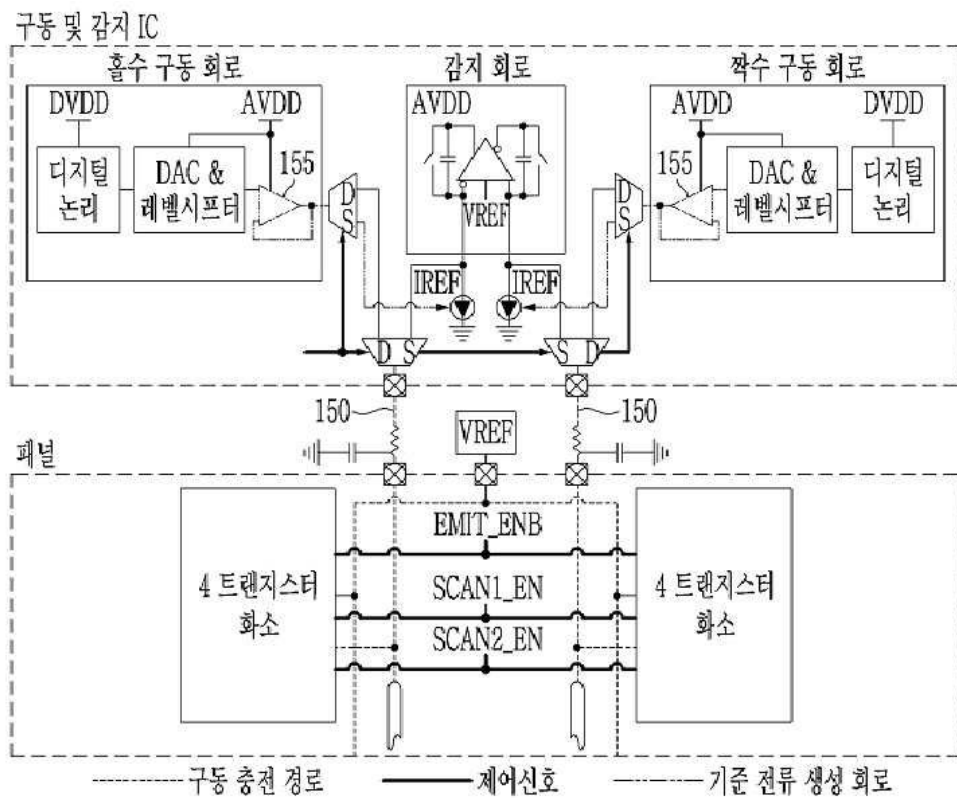
도면1b



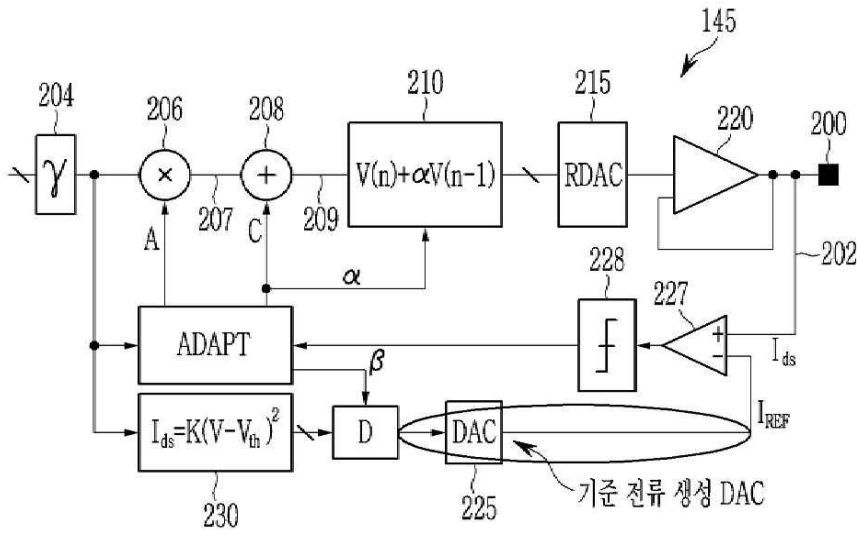
도면1c



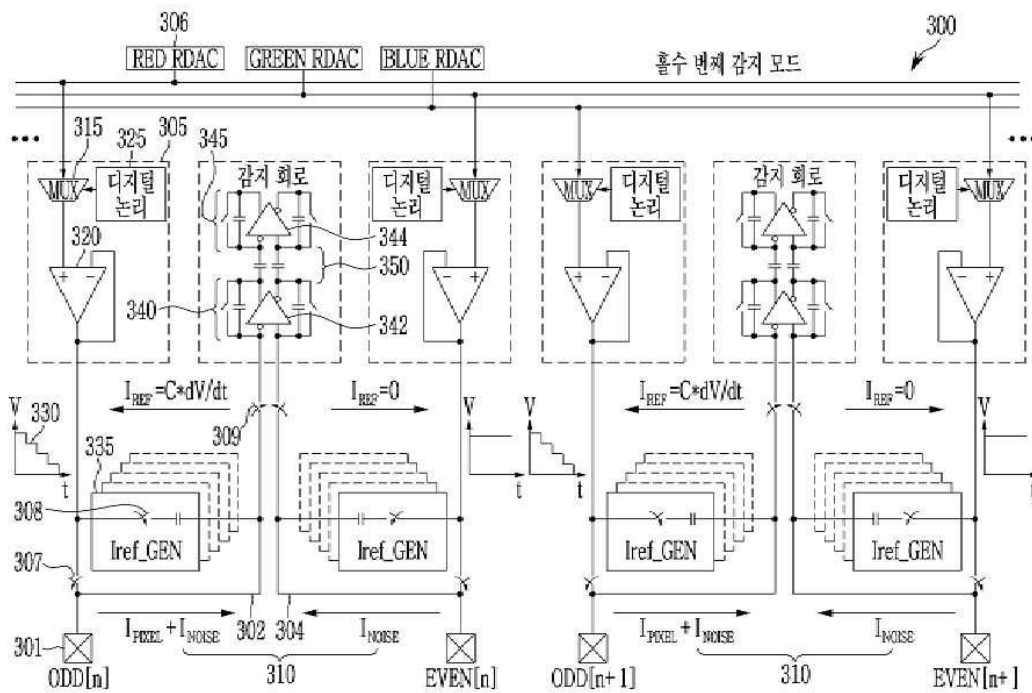
도면1d



도면2



도면3



도면4

