

【特許請求の範囲】**【請求項 1】**

負荷電流源、
画素から読み出された信号を伝送する信号線と負荷電流源との間に接続された入力トランジスタを有する比較器、及び、
画素の電荷電圧変換部に対して、所定の参照信号を供給する参照信号供給部、
を備える、
撮像装置。

【請求項 2】

所定の参照信号は、所定の傾斜を持って線形に変化する傾斜状波形の電圧である、
請求項 1 に記載の撮像装置。

10

【請求項 3】

比較器は、信号線を通して供給される、傾斜状波形の電圧が重畳された信号電圧と所定の基準電圧とを比較する、
請求項 2 に記載の撮像装置。

【請求項 4】

傾斜状波形の電圧は、スロープ部分とオフセット部分とから成り、
傾斜状波形の電圧のスロープ部分は、容量素子を介して電荷電圧変換部に入力され、
傾斜状波形の電圧のオフセット部分は、スロープ部分に対して極性反転されて、所定の基準電圧として比較器に入力される、
請求項 3 に記載の撮像装置。

20

【請求項 5】

参照信号供給部は、複数の画素間で共有されている電荷電圧変換部に対して、所定の参照信号を供給する、
請求項 1 に記載の撮像装置。

【請求項 6】

参照信号供給部は、
所定の参照信号を生成する参照信号生成部、及び、
参照信号生成部で生成された参照信号を、画素の電荷電圧変換部に印加する入力容量素子を有する、
請求項 1 に記載の撮像装置。

30

【請求項 7】

参照信号供給部は、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の列方向に沿って供給する、
請求項 6 に記載の撮像装置。

【請求項 8】

参照信号生成部は、画素が行列状に 2 次元配置されて成る画素配列の全画素列に対して共通に配置されている、
請求項 7 に記載の撮像装置。

【請求項 9】

参照信号生成部は、画素が行列状に 2 次元配置されて成る画素配列の列方向における両側に配置されている、
請求項 8 に記載の撮像装置。

40

【請求項 10】

参照信号供給部は、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の行方向に沿って供給する、
請求項 6 に記載の撮像装置。

【請求項 11】

参照信号生成部は、画素が行列状に 2 次元配置されて成る画素配列の全画素行に対して共通に配置されている、

50

請求項 10 に記載の撮像装置。

【請求項 12】

参照信号生成部は、画素が行列状に 2 次元配置されて成る画素配列の行方向における両側に配置されている、

請求項 10 に記載の撮像装置。

【請求項 13】

参照信号生成部は、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の各画素に対して画素単位で供給する、

請求項 6 に記載の撮像装置。

【請求項 14】

参照信号生成部は、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の中央部分から列方向に沿って供給する、

請求項 6 に記載の撮像装置。

【請求項 15】

画素は、入力容量素子の前にバッファが設けられている、

請求項 6 に記載の撮像装置。

【請求項 16】

参照信号生成部は、画素内に設けられている、

請求項 6 に記載の撮像装置。

【請求項 17】

少なくとも 2 つの半導体チップが積層されて成る積層型の半導体チップ構造を有し、画素と比較器とは、異なる半導体チップにそれぞれ形成されている、

請求項 6 に記載の撮像装置。

【請求項 18】

1 層目の半導体チップ及び 2 層目の半導体チップが積層されて成り、

1 層目の半導体チップには、画素が形成され、

2 層目の半導体チップには、比較器及び参照信号生成部が形成されている、

請求項 17 に記載の撮像装置。

【請求項 19】

1 層目の半導体チップ、2 層目の半導体チップ、及び、3 層目の半導体チップが積層されて成り、

1 層目の半導体チップには、光電変換素子が形成され、

2 層目の半導体チップには、光電変換素子を除く画素の構成素子が形成され、

3 層目の半導体チップには、比較器及び参照信号生成部が形成されている、

請求項 17 に記載の撮像装置。

【請求項 20】

負荷電流源、

画素から読み出された信号を伝送する信号線と負荷電流源との間に接続された入力トランジスタを有する比較器、及び、

画素の電荷電圧変換部に対して、所定の参照信号を供給する参照信号供給部、

を備える、

撮像装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、撮像装置及び電子機器に関する。

【背景技術】

【0002】

撮像装置には、画素から読み出されるアナログの画素信号をデジタル化するアナログ - デジタル変換部が搭載されている。撮像装置に搭載されるアナログ - デジタル変換部は、画

10

20

30

40

50

素列に対応して配置された複数のアナログ - デジタル変換器から成る、所謂、列並列型のアナログ - デジタル変換部である。

【 0 0 0 3 】

列並列型のアナログ - デジタル変換部を構成するアナログ - デジタル変換器としては、例えば、画素から読み出されるアナログの画素信号と所定の参照信号とを比較することによって、アナログの画素信号をデジタル化する、所謂、シングルスロープ型アナログ - デジタル変換器が知られている。

【 0 0 0 4 】

シングルスロープ型アナログ - デジタル変換器は、例えば、アナログの画素信号と所定の参照信号とを比較する比較器、及び、当該比較器の比較結果に基づいて計数を行うカウンタから構成される。シングルスロープ型アナログ - デジタル変換器を有する撮像装置として、例えば、アナログの画素信号と所定の参照信号とを比較する比較器の入力トランジスタを、画素から読み出された信号を伝送する信号線と負荷電流源との間に挿入した構成の撮像装置が提案されている（例えば、特許文献 1 参照）。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 WO 2 0 2 0 / 1 7 0 5 1 8 A 1

【 発明の概要 】

【 発明が解決しようとする課題 】

20

【 0 0 0 6 】

上述したように、特許文献 1 に記載の撮像装置では、アナログ - デジタル変換器の比較器の入力トランジスタを、画素から読み出された信号を伝送する信号線と負荷電流源との間に挿入した構成となっている。このように、信号線と負荷電流源との間に入力トランジスタが挿入されることで、トランジスタ 1 個分のドレイン - ソース間電圧 V_{ds} が余分に必要になる。結果として、リニアリティが保証される信号線電位の下限が上昇し、撮像装置全体のダイナミックレンジが減少することになる。

【 0 0 0 7 】

本開示は、アナログ - デジタル変換器における、信号線と負荷電流源との間に挿入された比較器の入力トランジスタに起因する撮像装置全体のダイナミックレンジの減少を抑えることができる撮像装置、及び、当該撮像装置を有する電子機器を提供することを目的とする。

30

【 課題を解決するための手段 】

【 0 0 0 8 】

上記の目的を達成するための本開示の撮像装置は、
負荷電流源、

画素から読み出された信号を伝送する信号線と負荷電流源との間に接続された入力トランジスタを有する比較器、及び、

画素の電荷電圧変換部に対して、所定の参照信号を供給する参照信号供給部、
を備える。

40

【 0 0 0 9 】

上記の目的を達成するための本開示の電子機器は、
負荷電流源、

画素から読み出された信号を伝送する信号線と負荷電流源との間に接続された入力トランジスタを有する比較器、及び、

画素の電荷電圧変換部に対して、所定の参照信号を供給する参照信号供給部、
を備える、

撮像装置を有する。

【 図面の簡単な説明 】

【 0 0 1 0 】

50

【図 1】図 1 は、本開示に係る技術が適用される撮像装置の一例である CMOS イメージセンサのシステム構成の概略を模式的に示すブロック図である。

【図 2】図 2 は、画素の回路構成の一例を示す回路図である。

【図 3】図 3 A は、平置型のチップ構造を模式的に示す斜視図であり、図 3 B は、積層型の半導体チップ構造を模式的に示す分解斜視図である。

【図 4】図 4 は、アナログ - デジタル変換部の構成の一例を模式的に示すブロック図である。

【図 5】図 5 は、従来技術に係る比較器の回路構成の一例を示す回路図である。

【図 6】図 6 は、本開示の第 1 実施形態に係る CMOS イメージセンサの比較器を含む 1 画素列分の回路構成の一例を示す回路図である。

10

【図 7】図 7 は、本開示の第 1 実施形態に係る CMOS イメージセンサの動作説明のためのタイミングチャートである。

【図 8】図 8 A は、フローティングディフュージョン FD の電位にランプ波の参照信号が重畳される様子を示す図であり、図 8 B は、比較器の比較動作の説明図である。

【図 9】図 9 は、本開示の第 2 実施形態に係る CMOS イメージセンサの比較器を含む 1 画素列分の回路構成の一例を示す回路図である。

【図 10】図 10 は、本開示の第 2 実施形態に係る CMOS イメージセンサの動作説明のためのタイミングチャートである。

【図 11】図 11 は、本開示の第 3 実施形態に係る CMOS イメージセンサの比較器を含む 1 画素列分の回路構成の一例を示す回路図である。

20

【図 12】図 12 は、実施例 1 に係る参照信号供給部の構成の一例を示す回路図である。

【図 13】図 13 は、実施例 2 に係る参照信号供給部の構成の一例を示す回路図である。

【図 14】図 14 は、実施例 3 に係る参照信号供給部の構成の一例を示す回路図である。

【図 15】図 15 は、実施例 4 に係る参照信号供給部の構成の一例を示す回路図である。

【図 16】図 16 は、実施例 5 に係る参照信号供給部の構成の一例を示す回路図である。

【図 17】図 17 は、実施例 6 に係る参照信号供給部の構成の一例を示す回路図である。

【図 18】図 18 は、実施例 7 に係る参照信号供給部の構成の一例を示す回路図である。

【図 19】図 19 は、実施例 8 に係る参照信号供給部の構成の一例を示す回路図である。

【図 20】図 20 は、実施例 9 に係る参照信号供給部の構成の一例を示す回路図である。

【図 21】図 21 は、実施例 10 に係る参照信号供給部の構成の一例を示す回路図である

30

【図 22】図 22 は、実施例 11 に係る参照信号供給部の構成の一例を示す回路図である。

【図 23】図 23 は、回路構成例 1 に係る画素回路を示す回路図である。

【図 24】図 24 は、回路構成例 2 に係る画素回路を示す回路図である。

【図 25】図 25 は、回路構成例 3 に係る画素回路を示す回路図である。

【図 26】図 26 は、配線構造例 1 に係るチップ間配線構造について説明図である。

【図 27】図 27 は、配線構造例 2 に係るチップ間配線構造について説明図である。

【図 28】図 28 は、配線構造例 3 に係るチップ間配線構造について説明図である。

【図 29】図 29 は、配線構造例 4 に係るチップ間配線構造について説明図である。

40

【図 30】図 30 は、配線構造例 5 に係るチップ間配線構造について説明図である。

【図 31】図 31 は、配線構造例 6 に係るチップ間配線構造について説明図である。

【図 32】図 32 は、本開示に係る技術の適用例を示す図である。

【図 33】図 33 は、本開示の電子機器の一例である撮像システムの構成例の概略を示すブロック図である。

【図 34】図 34 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【図 35】図 35 は、移動体制御システムにおける撮像部の設置位置の例を示す図である。

【発明を実施するための形態】

50

【 0 0 1 1 】

以下、本開示に係る技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示に係る技術は実施形態に限定されるものではない。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

1. 本開示の撮像装置及び電子機器、全般に関する説明
2. 本開示に係る技術が適用される撮像装置
 - 2-1. CMOSイメージセンサの構成例
 - 2-2. 画素の回路構成例
 - 2-3. 半導体チップ構造
 - 2-3-1. 平置型の半導体チップ構造
 - 2-3-2. 積層型の半導体チップ構造
 - 2-4. アナログ-デジタル変換部の構成例
 - 2-5. アナログ-デジタル変換器の比較器について
 - 2-6. 参考例に係る比較器
 - 2-6-1. 従来技術に係る比較器の回路構成例
 - 2-6-2. 従来技術に係る比較器の問題点について
3. 本開示の第1実施形態（ランプ波の参照信号をフローティングディフュージョンFDに印加する例）
 - 3-1. 比較器を含む1画素列分の回路構成例
4. 本開示の第2実施形態（ランプ波の参照信号について、オフセット部分をランプ波形から分離して上下反転させ、比較器に入力する例）
 - 4-1. 比較器を含む1画素列分の回路構成例
5. 本開示の第3実施形態（画素共有の例）
 - 5-1. 比較器を含む1画素列分の回路構成例
6. 参照信号供給部の構成例
 - 6-1. 実施例1（ランプ波の参照信号を列方向に沿って供給する例）
 - 6-2. 実施例2（実施例1の変形例：全画素列に対して参照信号生成部を共通に配置する例）
 - 6-3. 実施例3（実施例2の変形例：参照信号生成部で生成した参照信号を各画素列に直接供給する例）
 - 6-4. 実施例4（実施例3の変形例：行列状画素配列の上下両側から駆動する例）
 - 6-5. 実施例5（ランプ波の参照信号を行方向に沿って供給する例）
 - 6-6. 実施例6（実施例5の変形例：行列状画素配列の左右両側から駆動する例）
 - 6-7. 実施例7（実施例5の変形例：全画素行に対して参照信号生成部を共通に配置する例）
 - 6-8. 実施例8（実施例7の変形例：行列状画素配列の左右両側から駆動する例）
 - 6-9. 実施例9（画素単位でメッシュ状に参照信号を供給する例）
 - 6-10. 実施例10（実施例9の変形例：参照信号の配線と参照信号生成部との間にバッファが介在する例）
 - 6-11. 実施例11（行列状画素配列の中央部分から列方向にランプ波の参照信号を供給する例）
7. 画素回路の回路構成例
 - 7-1. 回路構成例1（入力容量素子の前にバッファを設ける例）
 - 7-2. 回路構成例2（バッファの定電流源トランジスタを、画素とは別のチップに設ける例）
 - 7-3. 回路構成例3（画素内に参照信号生成部を設ける例）
8. 積層型の半導体チップ構造におけるチップ間配線構造例
 - 8-1. 配線構造例1（2層積層チップ構造におけるチップ間の配線構造例）
 - 8-2. 配線構造例2（2層積層チップ構造において、参照信号生成部の出力部でチップ

10

20

30

40

50

間の電氣的な接続を行う例)

8 - 3 . 配線構造例 3 (2 層積層チップ構造において、画素毎に参照信号生成部を設ける例)

8 - 4 . 配線構造例 4 (3 層積層チップ構造におけるチップ間の配線構造例)

8 - 5 . 配線構造例 5 (3 層積層チップ構造において、参照信号生成部の出力部でチップ間の電氣的な接続を行う例)

8 - 6 . 配線構造例 6 (3 層積層チップ構造において、画素毎に参照信号生成部を設ける例)

9 . 変形例

10 . 応用例

11 . 本開示に係る技術の適用例

11 - 1 . 本開示の電子機器 (撮像装置の例)

11 - 2 . 移動体への応用例

12 . 本開示がとることができる構成

【0012】

< 本開示の撮像装置及び電子機器、全般に関する説明 >

本開示の撮像装置及び電子機器にあつては、所定の参照信号について、所定の傾斜を持つて線形に変化する傾斜状波形の電圧である構成とすることができる。また、比較器について、信号線を通して供給される、傾斜状波形の電圧が重畳された信号電圧と所定の基準電圧とを比較する構成とすることができる。

【0013】

上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、傾斜状波形の電圧が、スロープ部分とオフセット部分とから成るとき、傾斜状波形の電圧のスロープ部分は、容量素子を介して電荷電圧変換部に入力され、傾斜状波形の電圧のオフセット部分は、スロープ部分に対して極性反転されて、所定の基準電圧として比較器に入力される構成とすることができる。

【0014】

また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、参照信号供給部について、複数の画素間で共有されている電荷電圧変換部に対して、所定の参照信号を供給する構成とすることができる。また、参照信号供給部について、所定の参照信号を生成する参照信号生成部、及び、参照信号生成部で生成された参照信号を、画素の電荷電圧変換部に印加する入力容量素子を有する構成とすることができる。

【0015】

また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、参照信号供給部について、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の列方向に沿って供給する構成とすることができる。更に、参照信号生成部について、画素が行列状に 2 次元配置されて成る画素配列の全画素列に対して共通に配置されている構成とすることができる。更に、参照信号生成部について、画素配列の列方向における両側に配置されている構成とすることができる。

【0016】

また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、参照信号供給部について、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の行方向に沿って供給する構成とすることができる。更に、参照信号生成部について、画素配列の全画素行に対して共通に配置されている構成とすることができる。更に、参照信号生成部について、画素配列の行方向における両側に配置されている構成とすることができる。

【0017】

また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、参照信号生成部について、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の各画素に対して画素単位で供給する構成とすることができる。また

10

20

30

40

50

、参照信号生成部について、画素の電荷電圧変換部に対して参照信号を、画素配列の中央部分から列方向に沿って供給する構成とすることができる。

【0018】

また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、画素について、入力容量素子の前にバッファが設けられている構成とすることができる。あるいは又、参照信号生成部について、画素内に設けられている構成とすることができる。

【0019】

また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、少なくとも2つの半導体チップが積層されて成る積層型の半導体チップ構造を有するとき、画素と比較器とは、異なる半導体チップにそれぞれ形成されている構成とすることができる。また、1層目の半導体チップ及び2層目の半導体チップが積層された2層積層チップ構造のとき、1層目の半導体チップには、画素が形成され、2層目の半導体チップには、比較器及び参照信号生成部が形成されている構成とすることができる。あるいは又、1層目の半導体チップ、2層目の半導体チップ、及び、3層目の半導体チップが積層された3層積層チップ構造のとき、1層目の半導体チップには、光電変換素子が形成され、2層目の半導体チップには、光電変換素子を除く画素の構成素子が形成され、3層目の半導体チップには、比較器及び参照信号生成部が形成されている構成とすることができる。

10

【0020】

<本開示に係る技術が適用される撮像装置>

本開示に係る技術が適用される撮像装置として、X-Yアドレス方式の撮像装置の一種であるCMOS(Complementary Metal Oxide Semiconductor)イメージセンサを例に挙げて説明する。CMOSイメージセンサは、CMOSプロセスを応用して、又は、部分的に使用して作製されたイメージセンサである。

20

【0021】

[CMOSイメージセンサの構成例]

図1は、本開示に係る技術が適用される撮像装置の一例であるCMOSイメージセンサのシステム構成の概略を模式的に示すブロック図である。

【0022】

本適用例に係るCMOSイメージセンサ1は、画素アレイ部11及び当該画素アレイ部11の周辺回路部を有する構成となっている。画素アレイ部11は、受光素子を含む画素(画素回路)20が行方向及び列方向に、即ち、行列状に2次元配置された構成となっている。ここで、行方向とは、画素行の画素20の配列方向を言い、列方向とは、画素列の画素20の配列方向を言う。画素20は、光電変換を行うことにより、受光した光量に応じた光電荷を生成し、蓄積する。

30

【0023】

画素アレイ部11の周辺回路部は、例えば、行選択部12、アナログ-デジタル変換部13、信号処理部としてのロジック回路部14、及び、タイミング制御部15等によって構成されている。

【0024】

画素アレイ部11において、行列状の画素配列に対し、画素行毎に画素制御線31(31₁~31_m)が行方向に沿って配線されている。また、画素列毎に信号線32(32₁~32_n)が列方向に沿って配線されている。画素制御線31は、画素20から信号を読み出す際の駆動を行うための駆動信号を伝送する。図1では、画素制御線31について1本の配線として図示しているが、1本に限られるものではない。画素制御線31の一端は、行選択部12の各行に対応した出力端に接続されている。

40

【0025】

以下に、画素アレイ部11の周辺回路部の各構成要素、即ち、行選択部12、アナログ-デジタル変換部13、ロジック回路部14、及び、タイミング制御部15について説明する。

【0026】

50

行選択部 1 2 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 1 1 の各画素 2 0 の選択に際して、画素行の走査や画素行のアドレスを制御する。この行選択部 1 2 は、その具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の 2 つの走査系を有する構成となっている。

【 0 0 2 7 】

読出し走査系は、画素 2 0 から画素信号を読み出すために、画素アレイ部 1 1 の画素 2 0 を行単位で順に選択走査する。画素 2 0 から読み出される画素信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査を行う。

【 0 0 2 8 】

この掃出し走査系による掃出し走査により、読出し行の画素 2 0 の光電変換素子から不要な電荷が掃き出されることによって当該光電変換素子がリセットされる。そして、この掃出し走査系による不要電荷の掃き出す（リセットする）ことにより、所謂、電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

【 0 0 2 9 】

アナログ - デジタル変換部 1 3 は、画素アレイ部 1 1 の画素列に対応して（例えば、画素列毎に）設けられた複数のアナログ - デジタル変換器（ADC）の集合から成る。アナログ - デジタル変換部 1 3 は、画素列毎に信号線 3 2 1 ~ 3 2 n の各々を通して出力されるアナログの画素信号を、デジタル信号に変換する列並列型のアナログ - デジタル変換部である。

【 0 0 3 0 】

アナログ - デジタル変換部 1 3 におけるアナログ - デジタル変換器としては、例えば、参照信号比較型のアナログ - デジタル変換器の一例であるシングルスロープ型アナログ - デジタル変換器を用いることができる。

【 0 0 3 1 】

信号処理部であるロジック回路部 1 4 は、アナログ - デジタル変換部 1 3 でデジタル化された画素信号の読み出しや所定の信号処理を行う。具体的には、ロジック回路部 1 4 では、所定の信号処理として、例えば、縦線欠陥、点欠陥の補正、又は、信号のクランプ、更には、パラレル - シリアル変換、圧縮、符号化、加算、平均、及び、間欠動作などのデジタル信号処理が行われる。ロジック回路部 1 4 は、生成した画像データを、本 CMOS イメージセンサ 1 の出力信号 OUT として後段の装置に出力する。

【 0 0 3 2 】

タイミング制御部 1 5 は、外部から与えられる同期信号に基づいて、各種のタイミング信号、クロック信号、及び、制御信号等を生成する。そして、タイミング制御部 1 5 は、これら生成した信号を基に、行選択部 1 2、アナログ - デジタル変換部 1 3、及び、ロジック回路部 1 4 等の駆動制御を行う。

【 0 0 3 3 】

[画素の回路構成例]

図 2 は、画素 2 0 の回路構成の一例を示す回路図である。画素 2 0 は、光電変換素子として、例えば、フォトダイオード 2 1 を有している。画素 2 0 は、フォトダイオード 2 1 の他に、転送トランジスタ 2 2、リセットトランジスタ 2 3、増幅トランジスタ 2 4、及び、選択トランジスタ 2 5 を有する構成となっている。

【 0 0 3 4 】

転送トランジスタ 2 2、リセットトランジスタ 2 3、増幅トランジスタ 2 4、及び、選択トランジスタ 2 5 の 4 つのトランジスタとしては、例えば N チャンネルの MOS 型電界効果トランジスタを用いている。但し、ここで例示した 4 つのトランジスタ 2 2 ~ 2 5 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【 0 0 3 5 】

この画素 2 0 に対して、先述した画素制御線 3 1 (3 1 1 ~ 3 1 m) として、複数の画素

10

20

30

40

50

制御線が同一画素行の各画素 20 に対して共通に配線されている。これら複数の画素制御線は、行選択部 12 の各画素行に対応した出力端に画素行単位で接続されている。行選択部 12 は、複数の画素制御線に対して転送信号 TRG、リセット信号 RST、及び、選択信号 SEL を適宜出力する。

【0036】

フォトダイオード 21 は、アノード電極が低電位側電源(例えば、グランド)に接続されており、受光した光をその光量に応じた電荷量の光電荷(ここでは、光電子)に光電変換してその光電荷を蓄積する。フォトダイオード 21 のカソード電極は、転送トランジスタ 22 を介して増幅トランジスタ 24 のゲート電極と電氣的に接続されている。ここで、増幅トランジスタ 24 のゲート電極が電氣的に繋がった領域は、フローティングディフュージョン(浮遊拡散領域/不純物拡散領域)FD である。フローティングディフュージョンFD は、電荷を電圧に変換する電荷電圧変換部である。

10

【0037】

転送トランジスタ 22 のゲート電極には、高レベル(例えば、VDD レベル)がアクティブとなる転送信号 TRG が行選択部 12 から与えられる。転送トランジスタ 22 は、転送信号 TRG に応答して導通状態となることで、フォトダイオード 21 で光電変換され、当該フォトダイオード 21 に蓄積された光電荷をフローティングディフュージョンFD に転送する。

【0038】

リセットトランジスタ 23 は、高電位側電源電圧 VDD のノードとフローティングディフュージョンFD との間に接続されている。リセットトランジスタ 23 のゲート電極には、高レベルがアクティブとなるリセット信号 RST が行選択部 12 から与えられる。リセットトランジスタ 23 は、リセット信号 RST に応答して導通状態となり、フローティングディフュージョンFD の電荷を電圧 VDD のノードに捨てることによってフローティングディフュージョンFD をリセットする。

20

【0039】

増幅トランジスタ 24 は、ゲート電極がフローティングディフュージョンFD に、ドレイン電極が高電位側電源電圧 VDD のノードにそれぞれ接続されている。増幅トランジスタ 24 は、フォトダイオード 21 での光電変換によって得られる信号を読み出すソースフォロワの入力部となる。すなわち、増幅トランジスタ 24 は、ソース電極が選択トランジスタ 25 を介して信号線 32 に接続される。

30

【0040】

選択トランジスタ 25 は、ドレイン電極が増幅トランジスタ 24 のソース電極に接続され、ソース電極が信号線 32 に接続されている。選択トランジスタ 25 のゲート電極には、高レベルがアクティブとなる選択信号 SEL が行選択部 12 から与えられる。選択トランジスタ 25 は、選択信号 SEL に応答して導通状態となることで、画素 20 を選択状態として増幅トランジスタ 24 から出力される信号を信号線 32 に伝達する。

【0041】

尚、上記の回路例では、画素 20 として、転送トランジスタ 22、リセットトランジスタ 23、増幅トランジスタ 24、及び、選択トランジスタ 25 から成る、即ち、4 つのトランジスタ (Tr) から成る 4 Tr 構成を例に挙げたが、これに限られるものではない。例えば、選択トランジスタ 25 を省略し、増幅トランジスタ 24 に選択トランジスタ 25 の機能を持たせる 3 Tr 構成とすることもできるし、必要に応じて、トランジスタの数を増やした 5 Tr 以上の構成とすることもできる。

40

【0042】

上記の回路構成例の画素 20 からは、リセットトランジスタ 23 によるフローティングディフュージョンFD のリセット時のリセットレベルであるリセット信号(所謂、P 相信号)と、フォトダイオード 21 での光電変換に基づく信号レベルであるデータ信号(所謂、D 相信号)とが順に出力される。すなわち、画素 20 から出力される画素信号は、リセット時のリセット信号、及び、フォトダイオード 21 での光電変換時のデータ信号を含んで

50

いる。

【 0 0 4 3 】

[半 導 体 チ ッ プ 構 造]

上記の構成の C M O S イメージセンサ 1 の半導体チップ構造としては、平置型の半導体チップ構造及び積層型の半導体チップ構造を例示することができる。また、画素構造については、配線層が形成される側の基板面を表面（正面）とするとき、その反対側の裏面側から照射される光を取り込む裏面照射型の画素構造とすることもできるし、表面側から照射される光を取り込む表面照射型の画素構造とすることもできる。

【 0 0 4 4 】

以下に、平置型の半導体チップ構造及び積層型の半導体チップ構造の概略について説明する。

【 0 0 4 5 】

（ 平 置 型 の 半 導 体 チ ッ プ 構 造 ）

図 3 A は、C M O S イメージセンサ 1 の平置型のチップ構造を模式的に示す斜視図である。図 3 A に示すように、平置型の半導体チップ構造は、画素 2 0 が行列状に配置されて成る画素アレイ部 1 1 と同じ半導体基板 4 1 上に、画素アレイ部 1 1 の周辺回路部の各構成要素を形成した構造となっている。具体的には、画素アレイ部 1 1 と同じ半導体基板 4 1 上に、行選択部 1 2、アナログ - デジタル変換部 1 3、ロジック回路部 1 4、及び、タイミング制御部 1 5 等が形成されている。1 層目の半導体チップ 4 1 の例えば左右両端部には、外部接続用や電源用のパッド 4 2 が設けられている。

【 0 0 4 6 】

（ 積 層 型 の 半 導 体 チ ッ プ 構 造 ）

図 3 B は、C M O S イメージセンサ 1 の積層型の半導体チップ構造を模式的に示す分解斜視図である。図 3 B に示すように、積層型の半導体チップ構造、所謂、積層構は、1 層目の半導体チップ 4 3 及び 2 層目の半導体チップ 4 4 の少なくとも 2 つの半導体チップが積層された構造となっている。

【 0 0 4 7 】

この積層型の半導体チップ構造において、1 層目の半導体チップ 4 3 は、光電変換素子（例えば、フォトダイオード 2 1）を含む画素 2 0 が行列状に 2 次元配置されて成る画素アレイ部 1 1 が形成された画素チップである。1 層目の半導体チップ 4 3 の例えば左右両端部には、外部接続用や電源用のパッド 4 2 が設けられている。

【 0 0 4 8 】

2 層目の半導体チップ 4 4 は、画素アレイ部 1 1 の周辺回路部、即ち、行選択部 1 2、アナログ - デジタル変換部 1 3、ロジック回路部 1 4、及び、タイミング制御部 1 5 等が形成された回路チップである。尚、行選択部 1 2、アナログ - デジタル変換部 1 3、ロジック回路部 1 4、及び、タイミング制御部 1 5 の配置については、一例であって、この配置例に限られるものではない。

【 0 0 4 9 】

1 層目の半導体チップ 4 3 上の画素アレイ部 1 1 と、2 層目の半導体チップ 4 4 上の周辺回路部とは、C u 電極同士を直接接合する C u - C u 直接接合、シリコン貫通電極（Through Silicon Via: T S V）、マイクロパンプ等から成る接合部（図示を省略）を介して電氣的に接続される。

【 0 0 5 0 】

上述した積層型の半導体チップ構造によれば、1 層目の半導体チップ 4 3 には画素アレイ部 1 1 の作製に適したプロセスを適用でき、2 層目の半導体チップ 4 4 には回路部分の作製に適したプロセスを適用できる。これにより、C M O S イメージセンサ 1 の製造に当たって、プロセスの最適化を図ることができる。これにより、C M O S イメージセンサ 1 の製造に当たって、プロセスの最適化を図ることができる。特に、回路部分の作製に当たっては、先端プロセスの適用が可能になる。

【 0 0 5 1 】

10

20

30

40

50

[アナログ - デジタル変換部の構成例]

続いて、アナログ - デジタル変換部 1 3 の構成の一例について説明する。ここでは、アナログ - デジタル変換部 1 3 の各アナログ - デジタル変換器として、シングルスロープ型のアナログ - デジタル変換器を用いることとする。

【 0 0 5 2 】

アナログ - デジタル変換部 1 3 の構成の一例を図 4 に示す。CMOS イメージセンサ 1 において、アナログ - デジタル変換部 1 3 は、画素アレイ部 1 1 の各画素列に対応して設けられた複数のシングルスロープ型のアナログ - デジタル変換器の集合から成る。ここでは、n 列目のシングルスロープ型のアナログ - デジタル変換器 1 3 0 を例に挙げて説明する。

10

【 0 0 5 3 】

アナログ - デジタル変換器 1 3 0 は、比較器 1 3 1 及びカウンタ 1 3 2 を有する回路構成となっている。そして、シングルスロープ型のアナログ - デジタル変換器 1 3 0 では、参照信号生成部 1 6 で生成される参照信号が用いられる。参照信号生成部 1 6 は、例えば、デジタル - アナログ変換器 (DAC) から成り、時間の経過に応じてレベル (電圧) が単調減少する傾斜状波形 (所謂、ランプ波) の参照信号 VRAMP を生成し、画素列毎に設けられた比較器 1 3 1 に基準信号として与える。

【 0 0 5 4 】

比較器 1 3 1 は、画素 2 0 から読み出されるアナログの画素信号 V_{VSL} を比較入力とし、参照信号生成部 1 6 で生成されるランプ波の参照信号 VRAMP を基準入力とし、両信号を比較する。そして、比較器 1 3 1 は、例えば、参照信号 VRAMP が画素信号 V_{VSL} よりも大きいときに出力が第 1 の状態 (例えば、高レベル) になり、参照信号 VRAMP が画素信号 V_{VSL} 以下のときに出力が第 2 の状態 (例えば、低レベル) になる。これにより、比較器 1 3 1 は、画素信号 V_{VSL} の信号レベルに応じた、具体的には、信号レベルの大きさに対応したパルス幅を持つパルス信号を比較結果として出力する。

20

【 0 0 5 5 】

カウンタ 1 3 2 には、比較器 1 3 1 に対する参照信号 VRAMP の供給開始タイミングと同じタイミングで、タイミング制御部 1 5 からクロック信号 CLK が与えられる。そして、カウンタ 1 3 2 は、クロック信号 CLK に同期してカウント動作を行うことによって、比較器 1 3 1 の出力パルスのパルス幅の期間、即ち、比較動作の開始から比較動作の終了までの期間を計測する。カウンタ 1 3 2 のカウント結果 (カウント値) は、アナログの画素信号 V_{VSL} をデジタル化したデジタル値として、ロジック回路部 1 4 へ供給される。

30

【 0 0 5 6 】

上述したシングルスロープ型のアナログ - デジタル変換器 1 3 0 の集合から成るアナログ - デジタル変換部 1 3 によれば、参照信号生成部 1 6 で生成されるランプ波の参照信号 VRAMP と、画素 2 0 から信号線 3 2 を通して読み出されるアナログの画素信号 V_{VSL} との大小関係が変化するまでの時間情報からデジタル値を得ることができる。

【 0 0 5 7 】

尚、上記の例では、アナログ - デジタル変換部 1 3 として、画素アレイ部 1 1 の画素列に対して 1 対 1 の対応関係でアナログ - デジタル変換器 1 3 0 が配置されて成る構成を例示したが、複数の画素列を単位としてアナログ - デジタル変換器 1 3 0 が配置されて成る構成とすることも可能である。

40

【 0 0 5 8 】

[アナログ - デジタル変換器の比較器について]

上述したシングルスロープ型のアナログ - デジタル変換器 1 3 0 において、比較器 1 3 1 としては、一般的に、差動アンプ構成の比較器が用いられる。しかし、差動アンプ構成の比較器の場合、画素 2 0 の信号量に応じた入力レンジを確保するため、電源電圧 V_{DD} を相対的に高めに設定する必要があるため、従って、アナログ - デジタル変換器 1 3 0 の消費電力、ひいては、CMOS イメージセンサ 1 の消費電力が相対的に高くなるという問題がある。

50

【 0 0 5 9 】

これに対し、ソース電極にアナログの画素信号が入力され、ゲート電極に所定の参照信号が入力されるPチャンネルMOS (Metal-Oxide-Semiconductor) トランジスタを設け、比較器の電流源として、画素 (画素回路) の負荷電流源を共用する構成の従来技術がある (例えば、特許文献1参照)。かかる従来技術によれば、画素回路と別途に比較器にも電流源を設ける構成の場合と比較して消費電力を低減できる。

【 0 0 6 0 】

[従来技術に係る比較器]

以下に、従来技術に係る比較器について説明する。

【 0 0 6 1 】

(従来技術に係る比較器の回路構成例)

従来技術に係る比較器の回路構成例を図5に示す。ここでは、図面の簡略化のために、1画素列分の回路構成について図示している。

【 0 0 6 2 】

図5に示すように、従来技術に係る比較器131は、容量素子C01、オートゼロスイッチSWAZ、入力トランジスタPT11、入力側負荷電流源I11、出力トランジスタPT12、及び、出力側負荷電流源I12を備える構成となっている。

【 0 0 6 3 】

画素20において、転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24、及び、選択トランジスタ25は、例えばNチャンネルのMOSトランジスタから成る回路構成となっている。これに対応して、入力トランジスタPT11として、PチャンネルのMOSトランジスタが用いられている。

【 0 0 6 4 】

PチャンネルのMOSトランジスタから成る入力トランジスタPT11は、信号線32の一端と入力側負荷電流源I11との間に接続されている。具体的には、入力トランジスタPT11のソース電極が信号線32の一端に接続され、ドレイン電極が入力側負荷電流源I11の一端に接続されている。これにより、入力トランジスタPT11のソース電極には、信号線32を通してアナログの画素信号V_{VSL}が入力される。

【 0 0 6 5 】

入力側負荷電流源I11の他端は、低電位側電源、例えばグランドGNDに接続されている。入力側負荷電流源I11は、入力トランジスタPT11と信号線32との直列接続回路に対して一定の電流を供給する。

【 0 0 6 6 】

容量素子C01は、ランプ波の参照信号VRAMPの入力端子T11と入力トランジスタPT11のゲート電極との間に接続されており、参照信号VRAMPに対する入力容量となり、オフセットを吸収する。これにより、入力トランジスタPT11には、アナログの画素信号V_{VSL}が信号線32を通してソース電極に入力され、ランプ波の参照信号VRAMPが容量素子C01を介してゲート電極に入力されることになる。

【 0 0 6 7 】

入力トランジスタPT11は、ゲート電極に入力されるランプ波の参照信号VRAMPと、ソース電極に入力されるアナログの画素信号V_{VSL}との差、即ち、入力トランジスタPT11のゲート-ソース間電圧V_{gs}を増幅し、ドレイン電極からドレイン電圧V_dとして出力する。

【 0 0 6 8 】

オートゼロスイッチSWAZは、入力トランジスタPT11のゲート電極とドレイン電極との間に接続され、入力端子T12を介して入力される駆動信号AZによってオン (閉) / オフ (開) の制御が行われる。オートゼロスイッチSWAZは、オン状態になることにより、入力トランジスタPT11のゲート電極とドレイン電極との間を短絡するオートゼロ (初期化動作) を行う。オートゼロスイッチSWAZについては、Pチャンネル又はNチャンネルのMOSトランジスタを用いて構成することができる。

10

20

30

40

50

【 0 0 6 9 】

出力トランジスタ $P T_{12}$ は、例えば、PチャネルのMOSトランジスタから成り、信号線 3 2 の一端と出力側負荷電流源 I_{12} との間に接続されている。具体的には、出力トランジスタ $P T_{12}$ のソース電極が信号線 3 2 の一端に接続され、ドレイン電極が出力側負荷電流源 I_{12} の一端に接続されている。これにより、出力トランジスタ $P T_{12}$ のソース電極には、信号線 3 2 を通して画素信号 V_{VSL} が入力される。

【 0 0 7 0 】

出力側負荷電流源 I_{12} の他端は、低電位側電源、例えばグランド GND に接続されている。出力側負荷電流源 I_{12} は、出力トランジスタ $P T_{12}$ と信号線 3 2 との直列接続回路に対して一定の電流を供給する。

【 0 0 7 1 】

出力トランジスタ $P T_{12}$ のゲート電極は、入力トランジスタ $P T_{11}$ のドレイン電極に接続されている。これにより、出力トランジスタ $P T_{12}$ のゲート電極には、入力トランジスタ $P T_{11}$ のドレイン電圧が入力される。

【 0 0 7 2 】

出力トランジスタ $P T_{12}$ は、信号線 3 2 を通してソース電極に入力されるアナログの画素信号 V_{VSL} と、ゲート電極に入力される入力トランジスタ $P T_{11}$ のドレイン電圧 V_d との電圧差が所定の閾値電圧を超えるか否かを示す信号 OUT を、アナログの画素信号 V_{VSL} とランプ波の参照信号 V_{RAMP} との比較結果として、ドレイン電極から出力端子 T_{13} を通して出力する。

【 0 0 7 3 】

上記の構成の従来技術に係る比較器 1 3 1 は、比較器 1 3 1 の電流源として、信号線 3 2 に電流を供給する負荷電流源 I_{11} 及び負荷電流源 I_{12} を共用した回路構成となっている。この回路構成の比較器 1 3 1 によれば、アナログ - デジタル変換器 1 3 0 の消費電力、ひいては、CMOSイメージセンサ 1 の低消費電力化を図ることができる。すなわち、従来技術に係る比較器 1 3 1 は、超低消費電力型の比較器である。

【 0 0 7 4 】

更に、従来技術に係る比較器 1 3 1 において、入力トランジスタ $P T_{11}$ が、ドレイン - ソース間電圧を出力トランジスタ $P T_{12}$ のゲート - ソース間に供給するため、アナログの画素信号 V_{VSL} の変化とランプ波の参照信号 V_{RAMP} の変化とが一致するタイミングで比較結果を反転させることができる。これにより、反転タイミングの誤差に起因する非線形性を低減し、画像データの画質を向上させることができる。

【 0 0 7 5 】

(従来技術に係る比較器の問題点について)

上述したように、従来技術に係る比較器 1 3 1 は、PチャネルのMOSトランジスタから成る入力トランジスタ $P T_{11}$ を、画素 2 0 から読み出された信号を伝送する信号線 3 2 と入力側負荷電流源 I_{11} との間に挿入した構成となっている。このように、信号線 3 2 と入力側負荷電流源 I_{11} との間に入力トランジスタ $P T_{11}$ が挿入されることで、トランジスタ 1 個分のドレイン - ソース間電圧 V_{ds} が余分に必要になる。その結果、リニアリティが保証される信号線 3 2 の電位の下限が上昇し、CMOSイメージセンサ 1 全体のダイナミックレンジが減少することになる。

【 0 0 7 6 】

< 本開示の第 1 実施形態 >

上記の問題点を解消するために、本開示の第 1 実施形態に係る CMOS イメージセンサ 1 は、画素 2 0 から読み出された信号を伝送する信号線 3 2 と入力側負荷電流源 I_{11} との間に接続された入力トランジスタ $P T_{11}$ を有する比較器 1 3 1 を備えていることを前提としている。そして、画素 2 0 の電荷電圧変換部、即ち、フローティングディフュージョン FD に対して所定の参照信号、例えば、所定の傾斜を持って線形に変化するランプ波 (傾斜状波形) の参照信号 V_{RAMP} を供給する参照信号供給部を備えている。

【 0 0 7 7 】

10

20

30

40

50

ランプ波の参照信号 V_{RAMP} を、フローティングディフュージョン FD に印加することにより、比較器 131 の反転時の信号線 32 の電位を、画素 20 への入射光量によらず一定にすることができる。比較器 131 の反転時の信号線 32 の電位（即ち、比較器 131 の反転電位）が入射光量によらず一定になることで、信号線 32 のノードにおける動作レンジを拡大でき、結果として、 $CMOS$ イメージセンサ 1 全体のダイナミックレンジを拡大することができる。また、比較器 131 の反転電位が一定になることで、画素 20 の電源電圧の一部または全てを、従来技術に係る比較器の場合に比べて下げることができるため、 $CMOS$ イメージセンサ 1 全体の消費電力の低減を図ることができる。

【0078】

[比較器を含む 1 画素列分の回路構成例]

本開示の第 1 実施形態に係る $CMOS$ イメージセンサ 1 の比較器を含む 1 画素列分の回路構成の一例を図 6 に示す。

【0079】

本開示の第 1 実施形態に係る $CMOS$ イメージセンサ 1 は、例えば P チャネルの MOS トランジスタから成り、信号線 32 の一端と入力側負荷電流源 I_{11} との間に接続された入力トランジスタ PT_{11} を有する比較器 131 を備えている。入力トランジスタ PT_{11} は、ソース電極が信号線 32 の一端に接続され、ドレイン電極が入力側負荷電流源 I_{11} の一端に接続されている。これにより、入力トランジスタ PT_{11} のソース電極には、信号線 32 を通してアナログの画素信号 V_{VSL} が入力される。入力トランジスタ PT_{11} については、バックゲート効果を抑制するために、バックゲートとソース電極とを短絡することが望ましい。

【0080】

比較器 131 は、入力トランジスタ PT_{11} の他に、容量素子 C_{01} 、オートゼロスイッチ $SWAZ$ 、入力側負荷電流源 I_{11} 、容量素子 C_{02} 、入力側クランプトランジスタ PT_{13} 、入力側クランプトランジスタ NT_{11} 、出力トランジスタ PT_{12} 、出力側負荷電流源 I_{12} 、及び、出力側クランプトランジスタ NT_{12} を備える構成となっている。容量素子 C_{01} は、入力トランジスタ PT_{11} のゲート電極と、所定の基準電圧のノードとの間に接続されている。

【0081】

ここで、入力トランジスタ PT_{11} のゲート電極に容量素子 C_{01} を介して、所定の基準電圧として固定の電圧（例えば、グランド GND ）を入力することで、ランプ波の参照信号 V_{RAMP} を入力する場合に比べて、容量素子 C_{01} のサイズを小さくできる利点がある。

【0082】

オートゼロスイッチ $SWAZ$ は、入力トランジスタ PT_{11} のゲート電極とドレイン電極との間に接続され、図 1 に示すタイミング制御部 15 から入力端子 T_{12} を介して入力される駆動信号 AZ によってオン/オフ制御が行われる。オートゼロスイッチ $SWAZ$ は、オン状態になることにより、入力トランジスタ PT_{11} のゲート電極とドレイン電極との間を短絡するオートゼロ（初期化動作）を行う。オートゼロスイッチ $SWAZ$ については、 P チャネル又は N チャネルの MOS トランジスタを用いて構成することができる。

【0083】

入力側負荷電流源 I_{11} は、一端が入力トランジスタ PT_{11} のドレイン電極に接続され、他端が低電位側の電源、例えばグランド GND に接続されている。入力側負荷電流源 I_{11} は、入力トランジスタ PT_{11} と信号線 32 との直列接続回路に対して一定の電流を供給する。

【0084】

容量素子 C_{02} は、入力トランジスタ PT_{11} に対して並列に接続されている。具体的には、容量素子 C_{02} の一端が入力トランジスタ PT_{11} のソース電極に接続され、容量素子 C_{02} の他端が入力トランジスタ PT_{11} のドレイン電極に接続されている。容量素子 C_{02} は、帯域制限容量である。

【0085】

10

20

30

40

50

入力側クランプトランジスタ $P T_{13}$ は、例えば、PチャネルのMOSトランジスタから成り、入力トランジスタ $P T_{11}$ のソース電極とドレイン電極との間に接続されている。入力側クランプトランジスタ $P T_{13}$ は、ゲート電極とソース電極とが共通に接続されたダイオード接続の構成となっており、入力トランジスタ $P T_{11}$ が非導通状態のときの入力トランジスタ $P T_{11}$ のドレイン電圧の低下を抑制する作用をなす。

【0086】

入力側クランプトランジスタ $N T_{11}$ は、例えば、NチャネルのMOSトランジスタから成り、ドレイン電極が入力トランジスタ $P T_{11}$ のソース電極に接続され、ソース電極が入力トランジスタ $P T_{11}$ のドレイン電極に接続されている。入力側クランプトランジスタ $N T_{11}$ のゲート電極には、所定のバイアス電圧 $b i a s 1$ が印加される。これにより、信号線 32 の電圧に関わりなく、入力トランジスタ $P T_{11}$ のドレイン電圧 V_d の下限を制限し、ドレイン電流の供給停止を直接的に防止することができる。

10

【0087】

出力トランジスタ $P T_{12}$ は、例えば、PチャネルのMOSトランジスタから成り、信号線 32 の一端と出力側負荷電流源 I_{12} との間に接続されている。具体的には、出力トランジスタ $P T_{12}$ のソース電極が信号線 32 の一端に接続され、ドレイン電極が出力側負荷電流源 I_{12} の一端に接続されている。これにより、出力トランジスタ $P T_{12}$ のソース電極には、信号線 32 を通して画素信号 V_{VSL} が入力される。出力トランジスタ $P T_{12}$ については、バックゲート効果を抑制するために、バックゲートとソース電極とを短絡することが望ましい。

20

【0088】

出力側負荷電流源 I_{12} は、一端が、出力トランジスタ $P T_{12}$ のドレイン電極に接続され、他端が低電位側電源、例えばグランド GND に接続されている。出力側負荷電流源 I_{12} は、出力トランジスタ $P T_{12}$ と信号線 32 との直列接続回路に対して一定の電流を供給する。

【0089】

出力トランジスタ $P T_{12}$ のゲート電極は、入力トランジスタ $P T_{11}$ のドレイン電極に接続されている。これにより、出力トランジスタ $P T_{12}$ のゲート電極には、入力トランジスタ $P T_{11}$ のドレイン電圧が入力される。

【0090】

出力トランジスタ $P T_{12}$ は、信号線 32 を通してソース電極に入力されるアナログの画素信号 V_{VSL} と、ゲート電極に入力される入力トランジスタ $P T_{11}$ のドレイン電圧 V_d との電圧差が所定の閾値電圧を超えるか否かを示す信号 OUT を、アナログの画素信号 V_{VSL} とランプ波の参照信号 V_{RAMP} との比較結果として、ドレイン電極から出力端子 T_{13} を通して出力する。

30

【0091】

出力側クランプトランジスタ $N T_{12}$ は、例えば、NチャネルのMOSトランジスタから成り、ドレイン電極が出力トランジスタ $P T_{12}$ のソース電極に接続され、ソース電極が出力トランジスタ $P T_{12}$ のドレイン電極に接続されている。出力側クランプトランジスタ $N T_{12}$ のゲート電極には、所定のバイアス電圧 $b i a s 2$ が印加される。NチャネルのMOSトランジスタから成る出力側クランプトランジスタ $N T_{12}$ は、出力トランジスタ $P T_{12}$ のドレイン電圧の下限を制限することができる。

40

【0092】

上述したように、第1実施形態に係るCMOSイメージセンサ1の比較器131は、従来技術に係る比較器131と同様に、比較器131の電流源として、信号線32に電流を供給する入力側負荷電流源 I_{11} 及び出力側負荷電流源 I_{12} を共用した回路構成となっている。この回路構成の比較器131によれば、アナログ-デジタル変換器130の消費電力、ひいては、CMOSイメージセンサ1の低消費電力化を図ることができる。すなわち、従来技術に係る比較器131は、超低消費電力型の比較器である。

【0093】

50

第1実施形態に係るCMOSイメージセンサ1は、信号線32と入力側負荷電流源I11との間に接続された入力トランジスタPT11を有する上記の構成の比較器131の他に、画素20の電荷電圧変換部であるフローティングディフュージョンFDに対して所定の参照信号、例えば、ランプ波の参照信号VRAMPを供給する参照信号供給部50を備える構成となっている。

【0094】

参照信号供給部50は、ランプ波の参照信号VRAMPを生成する参照信号生成部51と、参照信号生成部51で生成されたランプ波の参照信号VRAMPをフローティングディフュージョンFDに印加する入力容量素子52とを有する構成となっている。参照信号生成部51は、従来技術の参照信号VRAMP（即ち、入力トランジスタPT11のゲート電極に入力する参照信号VRAMP）のランプ波形を上下反転させた波形の参照信号VRAMPを生成する。

10

【0095】

図7に、第1実施形態に係るCMOSイメージセンサ1の動作説明のためのタイミングチャートを示す。図7のタイミングチャートには、画素20の選択トランジスタ25を駆動する選択信号SEL、リセットトランジスタ23を駆動するリセット信号RST、転送トランジスタ22を駆動する転送信号TRG、及び、アナログの画素信号V_{VS}Lのタイミング関係を示している。図7のタイミングチャートには更に、フローティングディフュージョンFDに印加するランプ波の参照信号VRAMP、オートゼロスイッチSWAZの駆動信号AZ、及び、ランプ波重畳後の画素信号V_{VS}Lのタイミング関係を示している。

20

【0096】

上述したように、参照信号生成部51で生成されたランプ波の参照信号VRAMPを、入力容量素子52を介してフローティングディフュージョンFDに印加することで、図8Aに示すように、信号線32には、フローティングディフュージョンFDの電位にランプ波の参照信号VRAMPが重畳された画素信号V_{VS}Lが読み出される。そして、列並列型のアナログ-デジタル変換部13において、画素列毎に設けられた比較器131では、図8Bに示すように、信号線32を通して供給される、ランプ波の参照信号VRAMPが重畳された画素信号V_{VS}Lと、入力トランジスタPT11のゲート電極に入力される所定の基準電圧（例えば、グランドGND）とを比較する処理が行われる。その結果、比較器131からは、ランプ波の参照信号VRAMPが所定の基準電圧とクロスするタイミングを基

30

【0097】

<本開示の第2実施形態>

第1実施形態に係るCMOSイメージセンサ1では、フローティングディフュージョンFDに印加するランプ波の参照信号VRAMPとして、従来技術の参照信号VRAMP（即ち、入力トランジスタPT11のゲート電極に入力する参照信号VRAMP）のランプ波形を上下反転させた波形の信号を用いている。従来技術の参照信号VRAMPのランプ波形を上下反転させた波形の信号では、リセット信号（P相信号）、及び、データ信号（D相信号）のセトリング期間を長めに設定する必要がある。

40

【0098】

反転を確実に起こしリニアリティを確保するために、ランプ波の参照信号VRAMPには、スロープ部分の前にオフセットが設けられている。すなわち、ランプ波の参照信号VRAMPは、スロープ部分とオフセット部分とから成る。その理由は、オフセット部分の段差が、信号線32の大きい時定数の影響で、信号線32においては波形が鈍ってしまい、そのセトリングを待つ必要が生じてしまうからである。しかし、リセット信号（P相信号）、及び、データ信号（D相信号）のセトリング期間を長くすると、その分だけ、列並列型のアナログ-デジタル変換部13+でのアナログ-デジタル変換に要する全体の時間が長くなるため、フレームレートが低下したり、消費電力の時間平均をとったときの平均電力が悪化したりすることになる。

50

【 0 0 9 9 】

この問題点を解消するために、本開示の第 2 実施形態に係る CMOS イメージセンサ 1 では、スロープ部分とオフセット部分とから成るランプ波の参照信号 V_{RAMP} について、オフセット部分をランプ波形から分離して上下反転させ、容量素子 C_{01} を介して入力トランジスタ P_{T11} のゲート電極に供給するようにしている。

【 0 1 0 0 】

[比較器を含む 1 画素列分の回路構成例]

本開示の第 2 実施形態に係る CMOS イメージセンサ 1 の比較器を含む 1 画素列分の回路構成の一例を図 9 に示し、第 2 実施形態に係る CMOS イメージセンサ 1 の動作説明のためのタイミングチャートを図 10 に示す。

10

【 0 1 0 1 】

第 2 実施形態に係る CMOS イメージセンサ 1 において、参照信号生成部 5 1 は、スロープ部分とオフセット部分とから成るランプ波の参照信号 V_{RAMP} について、スロープ部分とオフセット部分とに分離し、スロープ部分を参照信号 V_{RAMP1} として出力し、オフセット部分を上下反転させて参照信号 V_{RAMP2} として出力する。スロープ部分の参照信号 V_{RAMP1} は、入力容量素子 5 2 を介してフローティングディフュージョン FD に印加される。オフセット部分を参照信号 V_{RAMP2} は、入力端子 T_{11} 及び容量素子 C_{01} を介して入力トランジスタ P_{T11} のゲート電極に、所定の基準電圧として供給される。

【 0 1 0 2 】

上述したように、第 2 実施形態に係る CMOS イメージセンサ 1 では、スロープ部分とオフセット部分とから成るランプ波の参照信号 V_{RAMP} について、オフセット部分をランプ波形から分離して上下反転させ、容量素子 C_{01} を介して入力トランジスタ P_{T11} のゲート電極に供給するようにしている。これにより、画素信号 V_{VSL} には、スロープ部分の参照信号 V_{RAMP1} が重畳されるものの、オフセット部分の段差が乗らなくなるため、信号線 3 2 の大きい時定数の影響で、信号線 3 2 においては波形が鈍ることはなく、そのセトリングを待つ必要がなくなる。そして、P チャンネルの MOS トランジスタから成る入力トランジスタ P_{T11} のゲート - ソース間電圧 V_{gs} の波形は “ $V_{RAMP1} - V_{RAMP2}$ ” であり、これが元のランプ波の参照信号 V_{RAMP} と同じとなるため、回路動作としては、第 1 実施形態に係る CMOS イメージセンサ 1 の場合と同じ出力が得られる。

20

【 0 1 0 3 】

< 本開示の第 3 実施形態 >

本開示の第 3 実施形態は、電荷電圧変換部であるフローティングディフュージョン FD 以降の画素回路を複数の画素間で共有した CMOS イメージセンサ 1 において、この共有されたフローティングディフュージョン FD に対して、ランプ波の参照信号 V_{RAMP} を供給する例である。

30

【 0 1 0 4 】

[比較器を含む 1 画素列分の回路構成例]

本開示の第 3 実施形態に係る CMOS イメージセンサ 1 の比較器を含む 1 画素列分の回路構成の一例を図 11 に示す。

【 0 1 0 5 】

図 11 に示す画素構成例では、例えば 4 つの画素間でフローティングディフュージョン FD 以降の画素回路を共有した構成となっている。具体的には、4 つの画素は、フォトダイオード 2_{11} 及び転送トランジスタ 2_{21} を含む第 1 の画素、フォトダイオード 2_{12} 及び転送トランジスタ 2_{22} を含む第 2 の画素、フォトダイオード 2_{13} 及び転送トランジスタ 2_{23} を含む第 3 の画素、並びに、フォトダイオード 2_{14} 及び転送トランジスタ 2_{24} を含む第 4 の画素である。

40

【 0 1 0 6 】

これら第 1 乃至第 4 の画素は、フローティングディフュージョン FD 以降の画素回路、即ち、フローティングディフュージョン FD 、リセットトランジスタ 2_3 、増幅トランジスタ 2_4 、及び、選択トランジスタ 2_5 を共有している。そして、第 3 実施形態に係る CM

50

OSイメージセンサ1では、4つの画素間で共有されたフローティングディフュージョンFDに対して、参照信号生成部51で生成されたランプ波の参照信号VRAMPを、入力容量素子52を介して印加する構成となっている。

【0107】

この画素共有の第3実施形態に係るCMOSイメージセンサ1においても、画素間で共有されたフローティングディフュージョンFDに対して、入力容量素子52を介して、ランプ波の参照信号VRAMPを印加することで、第1実施形態に係るCMOSイメージセンサ1の場合と同様の作用、効果を得ることができる。

【0108】

尚、ここでは、画素間で共有された第3実施形態に係るCMOSイメージセンサ1に対して、第1実施形態に係る技術を適用した場合を例に挙げて説明したが、第2実施形態に係る技術、即ち、ランプ波の参照信号VRAMPについて、オフセット部分をランプ波形から分離して上下反転させ、容量素子C01を介して入力トランジスタPT11のゲート電極に供給する技術を適用することもできる。

10

【0109】

<参照信号供給部の構成例>

続いて、例えば第1実施形態に係るCMOSイメージセンサ1において、ランプ波の参照信号VRAMPをフローティングディフュージョンFDに供給する参照信号供給部50の構成例の具体的な実施例について以下に説明する。

【0110】

20

[実施例1]

実施例1は、フローティングディフュージョンFDに対して、ランプ波の参照信号VRAMPを、行列状画素配列の列方向に沿って供給する例である。実施例1に係る参照信号供給部の構成の一例を図12に示す。

【0111】

図12では、図6等の回路構成例との対応関係において、参照信号供給部50(501~50n)の入力容量素子52を、m行n列の画素配列の各画素に対応してC11~C11として記述している。また、抵抗素子のシンボルで図示している抵抗は、参照信号供給部50の配線抵抗を表している。これらの点については、後述する各実施例においても同様である。

30

【0112】

実施例1に係る参照信号供給部50では、参照信号生成部51として、画素列毎に設けられた電流積分型デジタル-アナログ変換器531~53nを備え、電流積分型デジタル-アナログ変換器531~53nの電流積分容量を画素列毎に列方向に沿って画素毎に配置し、ランプ波の参照信号VRAMPの入力容量素子52とした構成となっている。

【0113】

実施例1に係る参照信号供給部50の構成例によれば、画素列毎にランプ波の参照信号VRAMPの配線が分離されているため、当該配線を経由した干渉を非常に小さく抑えることができる。

【0114】

40

[実施例2]

実施例2は、実施例1の変形例であり、全画素列に対して参照信号生成部51を共通に配置する例である。実施例2に係る参照信号供給部の構成の一例を図13に示す。

【0115】

実施例2に係る参照信号供給部50では、参照信号生成部51を全画素列に対して共通に配置した構成となっている。全画素列に対して、集中してランプ波の参照信号VRAMPを生成する参照信号生成部51としては、カレントステアリング型デジタル-アナログ変換器あるいは電流積分型デジタル-アナログ変換器を用いることができる。参照信号生成部51で生成されたランプ波の参照信号VRAMPは、バッファ541~54nを介して各画素列に供給される。

50

【 0 1 1 6 】

実施例 2 に係る参照信号供給部 5 0 の構成例によれば、画素列毎にランプ波の参照信号 V_{RAMP} の配線がバッファ 5 4 1 ~ 5 4 n で分離されており、消費電流が増えるものの、ランプ波の参照信号 V_{RAMP} の配線を経由した干渉を非常に小さく抑えることができる。また、全画素列に対して、集中してランプ波の参照信号 V_{RAMP} を生成しているため、画素列間のミスマッチを減らすことができる。

【 0 1 1 7 】

[実施例 3]

実施例 3 は、実施例 2 の変形例であり、全画素列に対して参照信号生成部 5 1 を共通に配置し、参照信号生成部 5 1 で生成した参照信号 V_{RAMP} を各画素列に直接供給する例である。実施例 3 に係る参照信号供給部の構成の一例を図 1 4 に示す。

10

【 0 1 1 8 】

実施例 3 に係る参照信号供給部 5 0 では、参照信号生成部 5 1 を全画素列に対して共通に配置し、参照信号生成部 5 1 で生成したランプ波の参照信号 V_{RAMP} を、各画素列のランプ波の参照信号 V_{RAMP} の配線に直接供給する構成となっている。全画素列に対して、集中してランプ波の参照信号 V_{RAMP} を生成する参照信号生成部 5 1 としては、カレントステアリング型デジタル - アナログ変換器あるいは電流積分型デジタル - アナログ変換器を用いることができる。

【 0 1 1 9 】

実施例 3 に係る参照信号供給部 5 0 によれば、ランプ波の参照信号 V_{RAMP} の配線と参照信号供給部 5 0 との間に、実施例 2 のバッファ 5 4 1 ~ 5 4 n が介在しないため、実施例 2 に係る参照信号供給部 5 0 の場合よりも、消費電力を小さくすることができる。また、画素列毎にバッファ 5 4 1 ~ 5 4 n が介在しないことから、画素列間のミスマッチを最低限に抑えることができる。

20

【 0 1 2 0 】

[実施例 4]

実施例 4 は、実施例 3 の変形例であり、行列状画素配列の上下両側から駆動する例である。実施例 4 に係る参照信号供給部の構成の一例を図 1 5 に示す。

【 0 1 2 1 】

実施例 4 に係る参照信号供給部 5 0 では、行列状画素配列の画素列方向における上下両側に参照信号生成部 5 1 1_1 , 5 1 1_2 を配置し、行列状画素配列の上下両側から駆動する、即ち、生成したランプ波の参照信号 V_{RAMP} を画素列毎に供給する構成となっている。ここでは、上下両側駆動の参照信号供給部の構成の一例を示したが、この構成に限られるものではない。行列状画素配列の上下両側から供給する場合は、制御信号の遅延等により、上下でややタイミングがずれる可能性があるものの参照信号 V_{RAMP} がランプ波であるため、多少タイミングがずれても動作的には問題はない。

30

【 0 1 2 2 】

実施例 4 に係る参照信号供給部 5 0 によれば、行列状画素配列の上下両側からランプ波の参照信号 V_{RAMP} を供給することで、最大遅延量を低減し、シェーディングや干渉の最大値や上下差を抑えることができるため、画質の向上を図ることができる。

40

【 0 1 2 3 】

[実施例 5]

実施例 5 は、フローティングディフュージョン FD に対して、ランプ波の参照信号 V_{RAMP} を、行列状画素配列の行方向に沿って供給する例である。実施例 5 に係る参照信号供給部の構成の一例を図 1 6 に示す。

【 0 1 2 4 】

実施例 5 に係る参照信号供給部 5 0 では、参照信号生成部 5 1 として、画素行毎に設けられた電流積分型デジタル - アナログ変換器 5 3 1 ~ 5 3 n を備え、電流積分型デジタル - アナログ変換器 5 3 1 ~ 5 3 n の電流積分容量を画素行毎に行方向に沿って画素毎に配置し、ランプ波の参照信号 V_{RAMP} の入力容量素子 5 2 とした構成となっている。

50

【 0 1 2 5 】

実施例 5 に係る参照信号供給部 5 0 の構成例によれば、ランプ波の参照信号 V_{RAMP} の配線が画素列毎に分離されていないため、画素列毎にランプ波の参照信号 V_{RAMP} の配線が分離されている場合に比べて、当該配線を経由した干渉の問題が生じやすいものの、画素信号の読出しを行っている画素行のみを駆動すればよいため、消費電力を小さく抑えることができる。

【 0 1 2 6 】

[実施例 6]

実施例 6 は、実施例 5 の変形例であり、行列状画素配列の左右両側から駆動する例である。実施例 6 に係る参照信号供給部の構成の一例を図 1 7 に示す。

10

【 0 1 2 7 】

実施例 6 に係る参照信号供給部 5 0 では、行列状画素配列の画素行方向における左右両側に電流積分型デジタル - アナログ変換器 $5 3 1_1 \sim 5 3 m_1$, $5 3 1_2 \sim 5 3 m_2$ を配置し、行列状画素配列の左右両側から駆動する、即ち、生成したランプ波の参照信号 V_{RAMP} を画素行毎に供給する構成となっている。ここでは、左右両側駆動の参照信号供給部の構成の一例を示したが、この構成に限られるものではない。行列状画素配列の左右両側から供給する場合は、制御信号の遅延等により、左右でややタイミングがずれる可能性があるものの参照信号 V_{RAMP} がランプ波であるため、多少タイミングがずれても動作的には問題はない。

【 0 1 2 8 】

実施例 6 に係る参照信号供給部 5 0 によれば、行列状画素配列の左右両側からランプ波の参照信号 V_{RAMP} を供給することで、最大遅延量を低減し、シェーディングや干渉の最大値や左右差を抑えることができるため、画質の向上を図ることができる。

20

【 0 1 2 9 】

[実施例 7]

実施例 7 は、実施例 5 の変形例であり、全画素行に対して参照信号生成部 5 1 を共通に配置し、参照信号生成部 5 1 で生成した参照信号 V_{RAMP} を各画素行に供給する例である。実施例 7 に係る参照信号供給部の構成の一例を図 1 8 に示す。

【 0 1 3 0 】

実施例 7 に係る参照信号供給部 5 0 では、参照信号生成部 5 1 を全画素行に対して共通に配置し、参照信号生成部 5 1 で生成したランプ波の参照信号 V_{RAMP} を、各画素列のランプ波の参照信号 V_{RAMP} の配線に、スイッチ $S_1 \sim S_m$ を介して供給する構成となっている。全画素行に対して、集中してランプ波の参照信号 V_{RAMP} を生成する参照信号生成部 5 1 としては、カレントステアリング型デジタル - アナログ変換器あるいは電流積分型デジタル - アナログ変換器を用いることができる。

30

【 0 1 3 1 】

実施例 7 に係る参照信号供給部 5 0 によれば、ランプ波の参照信号 V_{RAMP} の配線が画素列毎に分離されていないため、画素列毎にランプ波の参照信号 V_{RAMP} の配線が分離されている場合に比べて、当該配線を経由した干渉の問題が生じやすいものの、画素信号の読出しを行っている画素行のみを、スイッチ $S_1 \sim S_m$ を介して接続すればよいため、消費電力を小さく抑えることができる。また、全画素行に対して、集中してランプ波の参照信号 V_{RAMP} を生成しているため、画素行間のミスマッチを減らすことができる。

40

【 0 1 3 2 】

[実施例 8]

実施例 8 は、実施例 7 の変形例であり、行列状画素配列の左右両側から駆動する例である。実施例 8 に係る参照信号供給部の構成の一例を図 1 9 に示す。

【 0 1 3 3 】

実施例 8 に係る参照信号供給部 5 0 では、行列状画素配列の画素行方向における左右両側に参照信号生成部 $5 1 1_1$, $5 1 1_2$ を配置し、行列状画素配列の左右両側から駆動する、即ち、生成したランプ波の参照信号 V_{RAMP} を画素行毎に供給する構成となっている

50

。ここでは、左右両側駆動の参照信号供給部の構成の一例を示したが、この構成に限られるものではない。行列状画素配列の左右両側から供給する場合は、制御信号の遅延等により、左右でややタイミングがずれる可能性があるものの参照信号 V_{RAMP} がランプ波であるため、多少タイミングがずれても動作的には問題はない。

【 0 1 3 4 】

実施例 8 に係る参照信号供給部 5 0 によれば、行列状画素配列の左右両側からランプ波の参照信号 V_{RAMP} を供給することで、最大遅延量を低減し、シェーディングや干渉の最大値や左右差を抑えることができるため、画質の向上を図ることができる。

【 0 1 3 5 】

[実施例 9]

実施例 9 は、画素単位でメッシュ状にランプ波の参照信号 V_{RAMP} を供給する例である。行列状画素配列の左右両側から駆動する例である。実施例 9 に係る参照信号供給部の構成の一例を図 2 0 に示す。

【 0 1 3 6 】

実施例 9 に係る参照信号供給部 5 0 では、全画素に対して参照信号生成部 5 1 を共通に設け、参照信号生成部 5 1 からランプ波の参照信号 V_{RAMP} を、全画素に対して画素単位でメッシュ状に供給する構成となっている。参照信号生成部 5 1 としては、カレントステアリング型デジタル - アナログ変換器あるいは電流積分型デジタル - アナログ変換器を用いることができる。

【 0 1 3 7 】

実施例 9 に係る参照信号供給部 5 0 の構成例によれば、ランプ波の参照信号 V_{RAMP} の配線が画素列毎に分離されていないため、画素列毎にランプ波の参照信号 V_{RAMP} の配線が分離されている場合に比べて、当該配線を経由した干渉が起こる可能性があるものの、参照信号 V_{RAMP} の配線と参照信号生成部 5 1 との間にバッファが介在しないため、消費電力を小さく抑えることができる。また、画素単位でメッシュ状にランプ波の参照信号 V_{RAMP} を供給するため、画素行間 / 画素列間のミスマッチを最低限に抑えることができる。

【 0 1 3 8 】

[実施例 1 0]

実施例 1 0 は、実施例 9 の変形例であり、参照信号 V_{RAMP} の配線と参照信号生成部 5 1 との間にバッファが介在する例である。実施例 1 0 に係る参照信号供給部の構成の一例を図 2 1 に示す。

【 0 1 3 9 】

実施例 1 0 に係る参照信号供給部 5 0 では、画素単位でメッシュ状にランプ波の参照信号 V_{RAMP} を供給する構成の下に、参照信号 V_{RAMP} の配線と参照信号生成部 5 1 との間にバッファ 5 4 1 ~ 5 4 n を設けた構成となっている。参照信号生成部 5 1 としては、カレントステアリング型デジタル - アナログ変換器あるいは電流積分型デジタル - アナログ変換器を用いることができる。

【 0 1 4 0 】

実施例 1 0 に係る参照信号供給部 5 0 の構成例によれば、参照信号 V_{RAMP} の配線と参照信号生成部 5 1 との間にバッファ 5 4 1 ~ 5 4 n が介在するため、介在しない場合に比べて消費電力が増えるものの、セトリングを改善でき、ランプ波の参照信号 V_{RAMP} の配線を経由した干渉も小さく抑えることができる。また、画素単位でメッシュ状にランプ波の参照信号 V_{RAMP} を供給するため、画素行間 / 画素列間のミスマッチを最低限に抑えることができる。

【 0 1 4 1 】

[実施例 1 1]

実施例 1 1 は、ランプ波の参照信号 V_{RAMP} を、行列状画素配列の中央部分から列方向に沿って供給する例である。実施例 1 1 に係る参照信号供給部の構成の一例を図 2 2 に示す。

10

20

30

40

50

【 0 1 4 2 】

実施例 1 1 に係る参照信号供給部 5 0 では、行列状画素配列の中央付近の行列状画素配列外に参照信号生成部 5 1 を全画素に対して共通に設け、参照信号生成部 5 1 で生成されたランプ波の参照信号 V_{RAMP} を、スイッチ S_{11} , S_{12} 及び配線 L_{11} , L_{12} を介して、列方向に供給する構成となっている。参照信号生成部 5 1 としては、カレントステアリング型デジタル - アナログ変換器あるいは電流積分型デジタル - アナログ変換器を用いることができる。

【 0 1 4 3 】

画素列方向に沿ってランプ波の参照信号 V_{RAMP} を供給する上下の配線と、配線 L_{11} , L_{12} とは、行列状画素配列の中央部分において、 $Cu - Cu$ 直接接合などの接続部 5 5 によって電氣的に接続することができる。

10

【 0 1 4 4 】

実施例 1 1 に係る参照信号供給部 5 0 の構成例によれば、行列状画素配列の中央部分から列方向にランプ波の参照信号 V_{RAMP} を供給することで、行列状画素配列の上半分と下半分のうち、画素信号を読み出していない側の配線を切り離すことができる。その結果、参照信号生成部 5 1 の負荷抵抗や負荷容量を半減させることができるため、参照信号生成部 5 1 の消費電力、ひいては、 $CMOS$ イメージセンサ 1 全体の消費電力の低減を図ることができる。

【 0 1 4 5 】

< 画素回路の回路構成例 >

20

続いて、フローティングディフュージョン FD にランプ波の参照信号 V_{RAMP} が印加される画素回路の回路構成例について制する。

【 0 1 4 6 】

[回路構成例 1]

回路構成例 1 は、入力容量素子 5 2 の前にバッファを設ける例である。回路構成例 1 に係る画素回路の回路図を図 2 3 に示す。

【 0 1 4 7 】

回路構成例 1 に係る画素回路では、入力容量素子 5 2 の前段に、参照信号生成部 5 1 から供給されるランプ波の参照信号 V_{RAMP} を、入力容量素子 5 2 を介してフローティングディフュージョン FD に印加するバッファ 5 6 が設けられた構成となっている。バッファ 5 6 は、定電流源トランジスタ 5 7 及び入力トランジスタ 5 8 から成るソースフォロワ構成となっている。

30

【 0 1 4 8 】

ソースフォロワ構成のバッファ 5 6 において、定電流源トランジスタ 5 7 は、フォトダイオード 2 1 のアノード電極と入力容量素子 5 2 の入力端との間に接続されており、ゲート電極に所定のバイアス電圧 V_{BIAS} が印加される。入力トランジスタ 5 8 は、所定の電位のノードと入力容量素子 5 2 の入力端との間に接続されており、ゲート電極にランプ波の参照信号 V_{RAMP} が印加される。

【 0 1 4 9 】

ここで、入力容量素子 5 2 の前段にバッファ 5 6 が設けられていない場合を考える。入力容量素子 5 2 の前段にバッファ 5 6 が設けられていないと、画素回路側から参照信号生成部 5 1 側へ信号が逆流して干渉が起きやすくなったりすることが考えられる。

40

【 0 1 5 0 】

これに対して、回路構成例 1 に係る画素回路によれば、入力容量素子 5 2 の前段にバッファ 5 6 が設けたことで、画素回路側から参照信号生成部 5 1 側へ信号の逆流してに伴う干渉を抑えることができる。また、ソースフォロワ構成のバッファ 5 6 の負荷が最小限になるので、当該バッファ 5 6 の消費電力を小さく抑えることができる。

【 0 1 5 1 】

[回路構成例 2]

回路構成例 2 は、バッファの定電流源トランジスタ 5 7 を、画素とは別のチップに設ける

50

例である。回路構成例 2 に係る画素回路の回路図を図 2 4 に示す。

【 0 1 5 2 】

回路構成例 2 に係る画素回路では、図 3 B に図示した積層型の半導体チップ構造を前提とし、画素内にソースフォロワ構成のバッファ 5 6 を設けるに当たって、定電流源トランジスタ 5 7 を、画素チップ（図 3 B に示す 1 層目の半導体チップ 4 3 に相当）とは別のチップ、即ち、回路チップ（図 3 B に示す 2 層目の半導体チップ 4 4 に相当）に設ける構成となっている。

【 0 1 5 3 】

画素チップと回路チップとは、例えば、Cu 電極同士を直接接合する Cu - Cu 直接接合から成る接合部 6 1 を介して電氣的に接続される。画素チップ側において、接合部 6 1 と入力容量素子 5 2 の入力端との間には、スイッチングトランジスタ 5 9 が接続されており、そのゲート電極には選択信号 SEL が印加される。回路チップ側において、定電流源トランジスタ 5 7 のゲート電極には、サンプル / ホールド回路 6 0 が接続されている。

10

【 0 1 5 4 】

回路構成例 2 に係る画素回路によれば、画素内にはスペース的に配置が困難なサンプル / ホールド回路 6 0 を、回路チップ側において、定電流源トランジスタ 5 7 のゲート電極に接続することができるため、バイアスのノイズを遮断して出力ノイズを抑えることができる。

【 0 1 5 5 】

[回路構成例 3]

回路構成例 3 は、画素内に参照信号生成部を設ける例である。回路構成例 3 に係る画素回路の回路図を図 2 5 に示す。

20

【 0 1 5 6 】

回路構成例 3 に係る画素回路では、画素毎に設けられている入力容量素子 5 2 を、電流積分用の容量素子として使用し、P チャネルの MOS トランジスタから成る定電流源トランジスタ 7 1 と共に、参照信号生成用の電流積分デジタル - アナログ変換器 (DAC) を画素内に形成した構成となっている。入力容量素子 5 2 の入力端とフォトダイオード 2 1 のアノード電極との間には、リセットトランジスタ 7 2 が接続されており、リセットトランジスタ 7 2 のゲート電極には、リセット信号 RST が印加される。

【 0 1 5 7 】

回路構成例 3 に係る画素回路によれば、入力容量素子 5 2 を電流積分用の容量素子として使用して、参照信号生成用の電流積分 DAC を画素内に形成したことで、回路チップに参照信号生成用の電流積分 DAC を形成しないで済むため、回路チップの小型化、ひいては、積層型の半導体チップ全体の小型化を図ることができる。

30

【 0 1 5 8 】

< 積層型の半導体チップ構造におけるチップ間配線構造例 >

続いて、複数の半導体チップが積層されて成る積層型の半導体チップ構造における半導体チップ間の電氣的な配線構造例について説明する。

【 0 1 5 9 】

[配線構造例 1]

配線構造例 1 は、2 層積層チップ構造におけるチップ間の電氣的な配線構造例である。配線構造例 1 に係るチップ間配線構造例を図 2 6 に示す。図 2 6 の左側には、半導体チップの平面図を示し、図 2 6 の右側には、各半導体チップの配線構造を模式的に図示している。この点については、後述する各配線構造例においても同様である。

40

【 0 1 6 0 】

配線構造例 1 に係るチップ間配線構造は、1 層目の半導体チップ 4 3 と 2 層目の半導体チップ 4 4 とが積層された 2 層積層チップ構造となっている。1 層目の半導体チップ 4 3 は、フォトダイオード 2 1 を含む画素 2 0 が形成された画素チップとなっている。2 層目の半導体チップ 4 4 は、列並列型のアナログ - デジタル変換部 1 3 を構成する比較器 1 3 1 や、例えばデジタル - アナログ変換器 (DAC) から成る参照信号生成部 5 1 が形成され

50

た回路チップとなっている。

【 0 1 6 1 】

そして、画素チップである 1 層目の半導体チップ 4 3 と、回路チップである 2 層目の半導体チップ 4 4 とは、参照信号生成部 5 1 からランプ波の参照信号 V RAMP が供給されるフローティングディフュージョン F D 毎に、例えば、C u 電極 6 1 a と C u 電極 6 1 b とが直接接合される C u - C u 直接接合から成る接合部 6 1 を介して電氣的に接続される。この配線構造例 1 の場合、参照信号生成部 5 1 で生成されたランプ波の参照信号 V RAMP の各画素に対する分配は、2 層目の半導体チップ 4 4 において、配線 L 1 3 を通して行われることになる。また、1 層目の半導体チップ 4 3 上の信号線 3 2 と、2 層目の半導体チップ 4 4 上の比較器 1 3 1 とは、画素列毎に、接続部 6 3 を介して電氣的に接続される。この点については、後述する配線構造例 2 , 3 においても同様である。

10

【 0 1 6 2 】

[配線構造例 2]

配線構造例 2 は、2 層積層チップ構造において、参照信号生成部 5 1 の出力部でチップ間の電氣的な接続を行う例である。配線構造例 2 に係るチップ間配線構造例を図 2 7 に示す。

【 0 1 6 3 】

配線構造例 2 に係るチップ間配線構造では、回路チップである 2 層目の半導体チップ 4 4 に形成された参照信号生成部 5 1 の出力部において、例えば、C u - C u 直接接合から成る接合部 6 1 を介して、画素チップである 1 層目の半導体チップ 4 3 と電氣的に接続される構成となっている。この配線構造例 2 の場合、参照信号生成部 5 1 で生成され、接合部 6 1 を介して 1 層目の半導体チップ 4 3 に供給されるランプ波の参照信号 V RAMP の各画素に対する分配は、1 層目の半導体チップ 4 3 において、配線 L 1 4 を通して行われる。そして、図 2 7 の左側の図における 1 層目の半導体チップ 4 3 上に黒丸 () で示すように、画素毎に、配線 L 1 4 に対して入力容量素子 5 2 が電氣的に接続されることになる。この配線構造例 2 の場合、画素直下に接合部 6 1 を設けなくて済む利点がある。

20

【 0 1 6 4 】

[配線構造例 3]

配線構造例 3 は、2 層積層チップ構造において、画素毎に参照信号生成部 5 1 を設ける例である。配線構造例 3 に係るチップ間配線構造例を図 2 8 に示す。

30

【 0 1 6 5 】

配線構造例 3 に係るチップ間配線構造では、画素チップである 1 層目の半導体チップ 4 3 において、画素毎に参照信号生成部 5 1 を有する構成となっている。回路チップである 2 層目の半導体チップ 4 4 には、参照信号生成部 5 1 でランプ波の参照信号 V RAMP の生成に用いられるバイアス電圧を生成するバイアス生成部 6 2 が設けられている。そして、バイアス生成部 6 2 で生成されたバイアス電圧は、例えば C u - C u 直接接合から成る接合部 6 1 を介して 1 層目の半導体チップ 4 3 に伝送され、1 層目の半導体チップ 4 3 において、画素毎に設けられた参照信号生成部 5 1 に対して配線 L 1 4 によって供給される。

【 0 1 6 6 】

[配線構造例 4]

配線構造例 4 は、3 層積層チップ構造におけるチップ間の電氣的な配線構造例である。配線構造例 4 に係るチップ間配線構造例を図 2 9 に示す。

40

【 0 1 6 7 】

配線構造例 4 に係るチップ間配線構造は、1 層目の半導体チップ 4 3 、2 層目の半導体チップ 4 4 、及び、3 層の半導体チップ 4 5 が積層された 3 層積層チップ構造となっている。1 層目の半導体チップ 4 3 には、フォトダイオード 2 1 及び転送トランジスタ 2 2 が画素単位で配置されている。2 層目の半導体チップ 4 4 には、フォトダイオード 2 1 及び転送トランジスタ 2 2 を除く画素 2 0 の構成素子が形成されている。3 層の半導体チップ 4 5 には、列並列型のアナログ - デジタル変換部 1 3 を構成する比較器 1 3 1 や、例えばデジタル - アナログ変換器 (D A C) から成る参照信号生成部 5 1 が形成されている。

50

【 0 1 6 8 】

そして、1層目の半導体チップ43と2層目の半導体チップ44とは、画素毎に、Cu - Cu直接接合、あるいは、シリコン貫通電極(TSV)等から成る接続部64を介して電氣的に接続される。この点については、後述する配線構造例5, 6においても同様である。2層目の半導体チップ44と3層の半導体チップ45とは、参照信号生成部51からランプ波の参照信号VRAMPが供給されるフローティングディフュージョンFD毎に、例えばCu - Cu直接接合から成る接合部61を介して電氣的に接続される。また、2層目の半導体チップ44と3層の半導体チップ45とは、画素列毎に、接続部65を介して電氣的に接続される。この点については、後述する配線構造例5, 6においても同様である。この配線構造例4の場合、参照信号生成部51で生成されたランプ波の参照信号VRAMPの各画素に対する分配は、3層の半導体チップ45において、配線L13を通して行われることになる。

10

【 0 1 6 9 】

配線構造例4に係るチップ間配線構造によれば、1層目の半導体チップ43には、フォトダイオード21及び転送トランジスタ22が形成されているだけであるため、画素の開口率を大きく設定することができる。この点については、後述する配線構造例5及び配線構造例6においても同様である。

【 0 1 7 0 】

[配線構造例5]

配線構造例5は、3層積層チップ構造において、参照信号生成部51の出力部でチップ間の電氣的な接続を行う例である。配線構造例5に係るチップ間配線構造例を図30に示す。

20

【 0 1 7 1 】

配線構造例5に係るチップ間配線構造では、3層の半導体チップ45に形成された参照信号生成部51の出力部において、例えば、Cu - Cu直接接合から成る接合部61を介して、2層目の半導体チップ44と電氣的に接続される構成となっている。この配線構造例5の場合、参照信号生成部51で生成され、接合部61を介して1層目の半導体チップ43に供給されるランプ波の参照信号VRAMPの各画素に対する分配は、2層目の半導体チップ44において、配線L14を通して行われることになる。

【 0 1 7 2 】

[配線構造例6]

配線構造例6は、3層積層チップ構造において、画素毎に参照信号生成部51を設ける例である。配線構造例6に係るチップ間配線構造例を図31に示す。

30

【 0 1 7 3 】

配線構造例6に係るチップ間配線構造では、2層目の半導体チップ44において、画素毎に参照信号生成部51を有する構成となっている。3層の半導体チップ45には、参照信号生成部51でランプ波の参照信号VRAMPの生成に用いられるバイアス電圧を生成するバイアス生成部62が設けられている。そして、バイアス生成部62で生成されたバイアス電圧は、例えばCu - Cu直接接合から成る接合部61を介して2層目の半導体チップ44に伝送され、2層目の半導体チップ44において、画素毎に設けられた参照信号生成部51に対して配線L14によって供給される。

40

【 0 1 7 4 】

< 変形例 >

以上、本開示に係る技術について、好ましい実施形態に基づき説明したが、本開示に係る技術は当該実施形態に限定されるものではない。上記の各実施形態において説明した撮像装置の構成、構造は例示であり、適宜、変更することができる。

【 0 1 7 5 】

例えば、上記の各実施形態における比較器131の回路構成は一例であって、当該回路構成に限定されるものではない。具体的には、第1、第2、第3実施形態における比較器131について、容量素子C02、入力側クランプトランジスタPT13、入力側クランプトラ

50

ンジスタNT₁₁、及び、出力側クランプトランジスタNT₁₂のうちの少なくとも1つを省略した回路構成であってもよい。

【0176】

<応用例>

以上説明した本実施形態に係る撮像装置は、例えば図32に示すように、可視光、赤外光、紫外光、X線等の光をセンシングする様々な装置に使用することができる。様々な装置の具体例について以下に列挙する。

【0177】

・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

10

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクروسコープ等の、美容の用に供される装置

20

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

【0178】

<本開示に係る技術の適用例>

本開示に係る技術は、様々な製品に適用することができる。以下に、より具体的な適用例について説明する。

【0179】

[本開示の電子機器]

30

ここでは、デジタルスチルカメラやビデオカメラ等の撮像システムや、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に撮像装置を用いる複写機などの電子機器に適用する場合について説明する。

【0180】

(撮像システムの例)

図33は、本開示の電子機器の一例である撮像システムの構成例を示すブロック図である。

【0181】

図33に示すように、本例に係る撮像システム100は、レンズ群等を含む撮像光学系101、撮像部102、DSP(Digital Signal Processor)回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108等を有している。そして、DSP回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108がバスライン109を介して相互に接続された構成となっている。

40

【0182】

撮像光学系101は、被写体からの入射光(像光)を取り込んで撮像部102の撮像面上に結像する。撮像部102は、光学系101によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。DSP回路103は、一般的なカメラ信号処理、例えば、ホワイトバランス処理、デモザイク処理、ガンマ補正処理などを行う。

50

【0183】

フレームメモリ104は、DSP回路103での信号処理の過程で適宜データの格納に用いられる。表示装置105は、液晶表示装置や有機EL(electro luminescence)表示装置等のパネル型表示装置から成り、撮像部102で撮像された動画または静止画を表示する。記録装置106は、撮像部102で撮像された動画または静止画を、可搬型の半導体メモリや、光ディスク、HDD(Hard Disk Drive)等の記録媒体に記録する。

【0184】

操作系107は、ユーザによる操作の下に、本撮像装置100が持つ様々な機能について操作指令を発する。電源系108は、DSP回路103、フレームメモリ104、表示装置105、記録装置106、及び、操作系107の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

10

【0185】

上記の構成の撮像システム100において、撮像部102として、先述した実施形態に係る撮像装置を用いることができる。当該撮像装置によれば、アナログ-デジタル変換器の消費電力を低減できるために、撮像装置の低消費電力化を図ることができる。更に、シングルスロープ型のアナログ-デジタル変換器において、ランプ波の参照信号の駆動力を上げ、出力インピーダンスを下げるために、オフセットを吸収するための容量素子の前にバッファを設ける場合であっても、バッファの出力端を画素列間で接続しなくてもバッファのノイズを低減できるため、高画質の撮像画像を得ることができる。

20

【0186】

[移動体への応用例]

本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械(トラクター)などのいずれかの種類の移動体に搭載される撮像装置として実現されてもよい。

【0187】

図34は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【0188】

車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図34に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

30

【0189】

駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

40

【0190】

ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィン

50

ドウ装置、ランプ等を制御する。

【0191】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

【0192】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

10

【0193】

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

20

【0194】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

【0195】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

30

【0196】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【0197】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図34の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

40

【0198】

図35は、撮像部12031の設置位置の例を示す図である。

【0199】

図35では、車両12100は、撮像部12031として、撮像部12101, 1210

50

2, 12103, 12104, 12105を有する。

【0200】

撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

10

【0201】

なお、図35には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

【0202】

撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

20

【0203】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化(車両12100に対する相対速度)を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度(例えば、0km/h以上)で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御(追従停止制御も含む)や自動加速制御(追従発進制御も含む)等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

30

【0204】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

40

【0205】

撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ない

50

し 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者が否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 1 2 0 5 2 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 1 2 0 6 2 を制御する。また、音声画像出力部 1 2 0 5 2 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 1 2 0 6 2 を制御してもよい。

【 0 2 0 6 】

以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 1 2 0 3 1 等に適用され得る。そして、撮像部 1 2 0 3 1 等に本開示に係る技術を適用することにより、撮像装置全体のダイナミックレンジを拡大でき、撮像装置の低消費電力化を図ることができるため、車両制御システムの低消費電力化に寄与できる。

10

【 0 2 0 7 】

< 本開示がとることができる構成 >

尚、本開示は、以下のような構成をとることもできる。

【 0 2 0 8 】

A . 撮像装置

[A - 0 1] 負荷電流源、

画素から読み出された信号を伝送する信号線と負荷電流源との間に接続された入力トランジスタを有する比較器、及び、

20

画素の電荷電圧変換部に対して、所定の参照信号を供給する参照信号供給部、を備える、撮像装置。

[A - 0 2] 所定の参照信号は、所定の傾斜を持って線形に変化する傾斜状波形の電圧である、

上記 [A - 0 1] に記載の撮像装置。

[A - 0 3] 比較器は、信号線を通して供給される、傾斜状波形の電圧が重畳された信号電圧と所定の基準電圧とを比較する、

上記 [A - 0 2] に記載の撮像装置。

30

[A - 0 4] 傾斜状波形の電圧は、スロープ部分とオフセット部分とから成り、

傾斜状波形の電圧のスロープ部分は、容量素子を介して電荷電圧変換部に入力され、

傾斜状波形の電圧のオフセット部分は、スロープ部分に対して極性反転されて、所定の基準電圧として比較器に入力される、

上記 [A - 0 3] に記載の撮像装置。

[A - 0 5] 参照信号供給部は、複数の画素間で共有されている電荷電圧変換部に対して、所定の参照信号を供給する、

上記 [A - 0 1] 乃至上記 [A - 0 4] のいずれかに記載の撮像装置。

[A - 0 6] 参照信号供給部は、

所定の参照信号を生成する参照信号生成部、及び、

40

参照信号生成部で生成された参照信号を、画素の電荷電圧変換部に印加する入力容量素子を有する、

上記 [A - 0 1] 乃至上記 [A - 0 5] のいずれかに記載の撮像装置。

[A - 0 7] 参照信号供給部は、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の列方向に沿って供給する、

上記 [A - 0 6] に記載の撮像装置。

[A - 0 8] 参照信号生成部は、画素が行列状に 2 次元配置されて成る画素配列の全画素列に対して共通に配置されている、

上記 [A - 0 7] に記載の撮像装置。

[A - 0 9] 参照信号生成部は、画素が行列状に 2 次元配置されて成る画素配列の列方向

50

における両側に配置されている、

上記 [A - 0 8] に記載の撮像装置。

[A - 1 0] 参照信号供給部は、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の行方向に沿って供給する、

上記 [A - 0 6] に記載の撮像装置。

[A - 1 1] 参照信号生成部は、画素が行列状に 2 次元配置されて成る画素配列の全画素行に対して共通に配置されている、

上記 [A - 1 0] に記載の撮像装置。

[A - 1 2] 参照信号生成部は、画素が行列状に 2 次元配置されて成る画素配列の行方向における両側に配置されている、

10

上記 [A - 1 0] 又は上記 [A - 1 1] に記載の撮像装置。

[A - 1 3] 参照信号生成部は、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の各画素に対して画素単位で供給する、

上記 [A - 0 6] に記載の撮像装置。

[A - 1 4] 参照信号生成部は、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の中央部分から列方向に沿って供給する、

上記 [A - 0 6] に記載の撮像装置。

[A - 1 5] 画素は、入力容量素子の前にバッファが設けられている、

上記 [A - 0 6] に記載の撮像装置。

[A - 1 6] 参照信号生成部は、画素内に設けられている、

20

上記 [A - 0 6] に記載の撮像装置。

[A - 1 7] 少なくとも 2 つの半導体チップが積層されて成る積層型の半導体チップ構造を有し、

画素と比較器とは、異なる半導体チップにそれぞれ形成されている、

上記 [A - 0 6] 乃至上記 [A - 1 6] のいずれかに記載の撮像装置。

[A - 1 8] 1 層目の半導体チップ及び 2 層目の半導体チップが積層されて成り、

1 層目の半導体チップには、画素が形成され、

2 層目の半導体チップには、比較器及び参照信号生成部が形成されている、

上記 [A - 1 7] に記載の撮像装置。

[A - 1 9] 1 層目の半導体チップ、2 層目の半導体チップ、及び、3 層目の半導体チップが積層されて成り、

30

1 層目の半導体チップには、光電変換素子が形成され、

2 層目の半導体チップには、光電変換素子を除く画素の構成素子が形成され、

3 層目の半導体チップには、比較器及び参照信号生成部が形成されている、

上記 [A - 1 7] に記載の撮像装置。

【 0 2 0 9 】

B . 電子機器

[B - 0 1] 負荷電流源、

画素から読み出された信号を伝送する信号線と負荷電流源との間に接続された入力トランジスタを有する比較器、及び、

40

画素の電荷電圧変換部に対して、所定の参照信号を供給する参照信号供給部、を備える、

撮像装置を有する電子機器。

[B - 0 2] 所定の参照信号は、所定の傾斜を持って線形に変化する傾斜状波形の電圧である、

上記 [B - 0 1] に記載の電子機器。

[B - 0 3] 比較器は、信号線を通して供給される、傾斜状波形の電圧が重畳された信号電圧と所定の基準電圧とを比較する、

上記 [B - 0 2] に記載の電子機器。

[B - 0 4] 傾斜状波形の電圧は、スロー部分とオフセット部分とから成り、

50

傾斜状波形の電圧のスロー部分、容量素子を介して電荷電圧変換部に入力され、傾斜状波形の電圧のオフセット部分は、スロー部分に対して極性反転されて、所定の基準電圧として比較器に入力される、
 上記 [B - 0 3] に記載の電子機器。
 [B - 0 5] 参照信号供給部は、複数の画素間で共有されている電荷電圧変換部に対して、所定の参照信号を供給する、
 上記 [B - 0 1] 乃至上記 [B - 0 4] のいずれかに記載の電子機器。
 [B - 0 6] 参照信号供給部は、
 所定の参照信号を生成する参照信号生成部、及び、
 参照信号生成部で生成された参照信号を、画素の電荷電圧変換部に印加する入力容量素子を有する、
 上記 [B - 0 1] 乃至上記 [B - 0 5] のいずれかに記載の電子機器。
 [B - 0 7] 参照信号供給部は、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の列方向に沿って供給する、
 上記 [B - 0 6] に記載の電子機器。
 [B - 0 8] 参照信号生成部は、画素が行列状に 2 次元配置されて成る画素配列の全画素列に対して共通に配置されている、
 上記 [B - 0 7] に記載の電子機器。
 [B - 0 9] 参照信号生成部は、画素が行列状に 2 次元配置されて成る画素配列の列方向における両側に配置されている、
 上記 [B - 0 8] に記載の電子機器。
 [B - 1 0] 参照信号供給部は、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の行方向に沿って供給する、
 上記 [B - 0 6] に記載の電子機器。
 [B - 1 1] 参照信号生成部は、画素が行列状に 2 次元配置されて成る画素配列の全画素行に対して共通に配置されている、
 上記 [B - 1 0] に記載の電子機器。
 [B - 1 2] 参照信号生成部は、画素が行列状に 2 次元配置されて成る画素配列の行方向における両側に配置されている、
 上記 [B - 1 0] 又は上記 [B - 1 1] に記載の電子機器。
 [B - 1 3] 参照信号生成部は、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の各画素に対して画素単位で供給する、
 上記 [B - 0 6] に記載の電子機器。
 [B - 1 4] 参照信号生成部は、画素の電荷電圧変換部に対して参照信号を、画素が行列状に 2 次元配置されて成る画素配列の中央部分から列方向に沿って供給する、
 上記 [B - 0 6] に記載の電子機器。
 [B - 1 5] 画素は、入力容量素子の前にバッファが設けられている、
 上記 [B - 0 6] に記載の電子機器。
 [B - 1 6] 参照信号生成部は、画素内に設けられている、
 上記 [B - 0 6] に記載の電子機器。
 [B - 1 7] 少なくとも 2 つの半導体チップが積層されて成る積層型の半導体チップ構造を有し、
 画素と比較器とは、異なる半導体チップにそれぞれ形成されている、
 上記 [B - 0 6] 乃至上記 [B - 1 6] のいずれかに記載の電子機器。
 [B - 1 8] 1 層目の半導体チップ及び 2 層目の半導体チップが積層されて成り、
 1 層目の半導体チップには、画素が形成され、
 2 層目の半導体チップには、比較器及び参照信号生成部が形成されている、
 上記 [B - 1 7] に記載の電子機器。
 [B - 1 9] 1 層目の半導体チップ、2 層目の半導体チップ、及び、3 層目の半導体チップが積層されて成り、

10

20

30

40

50

1層目の半導体チップには、光電変換素子が形成され、
 2層目の半導体チップには、光電変換素子を除く画素の構成素子が形成され、
 3層目の半導体チップには、比較器及び参照信号生成部が形成されている、
 上記 [B - 17] に記載の電子機器。

【符号の説明】

【0210】

1・・・CMOSイメージセンサ、11・・・画素アレイ部、12・・・行選択部、13
 ・・・・アナログ-デジタル変換部、14・・・ロジック回路部(信号処理部)、15・・・
 ・・・・タイミング制御部、16・・・参照信号生成部、20・・・画素、21・・・フォトダ
 イオード、22・・・転送トランジスタ、23・・・リセットトランジスタ、24・・・
 増幅トランジスタ、25・・・選択トランジスタ、31(31₁~31_m)・・・画素制
 御線、32(32₁~32_n)・・・信号線、50・・・参照信号供給部、51・・・参
 照信号生成部、52・・・入力容量素子、130・・・アナログ-デジタル変換器、13
 1・・・比較器、132・・・カウンタ、C11, C12, C13・・・容量素子、I11・
 ・・・・入力側負荷電流源、I12・・・出力側負荷電流源、PT11・・・入力ラン
 ジスタ、PT12・・・出力トランジスタ

10

20

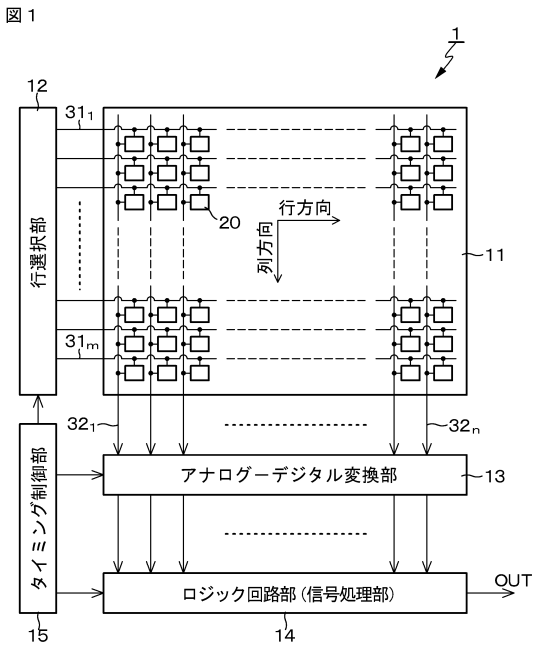
30

40

50

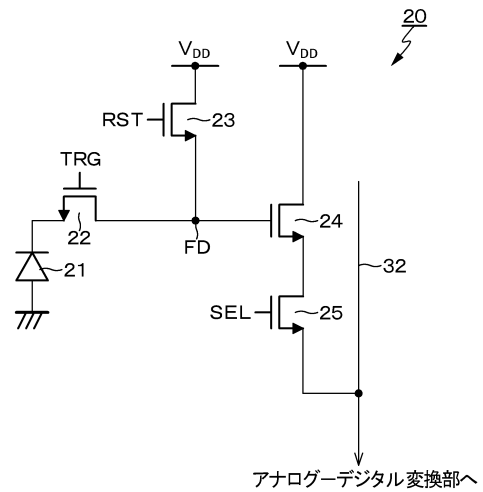
【図面】

【図1】



【図2】

図2



20

30

40

50

【図 3】

図 3 A

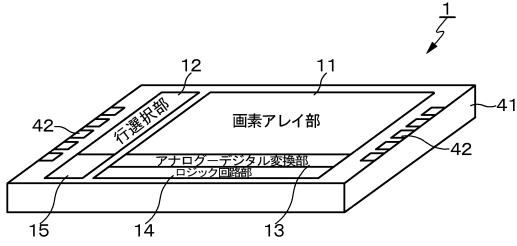
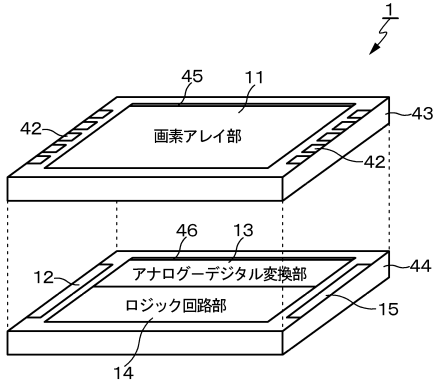
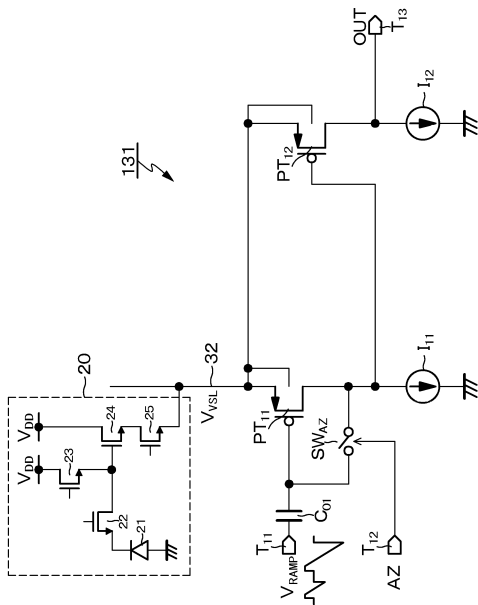


図 3 B



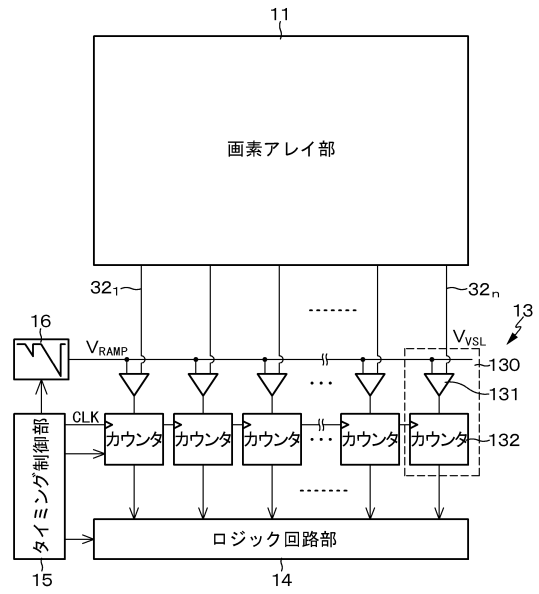
【図 5】

図 5



【図 4】

図 4

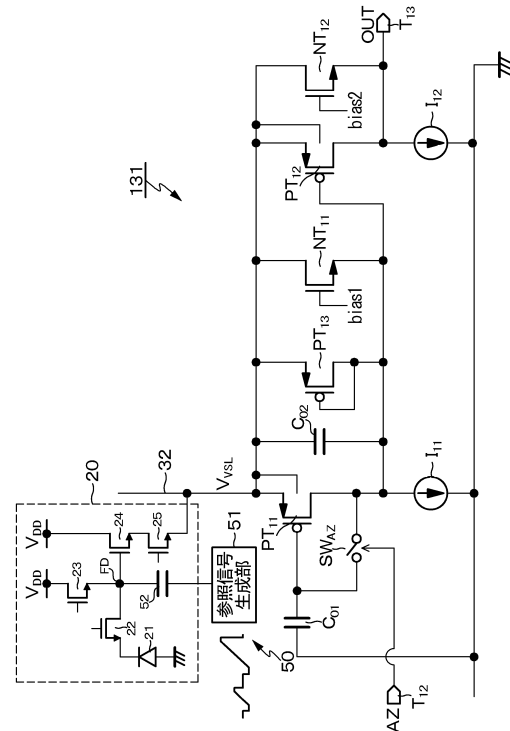


10

20

【図 6】

図 6



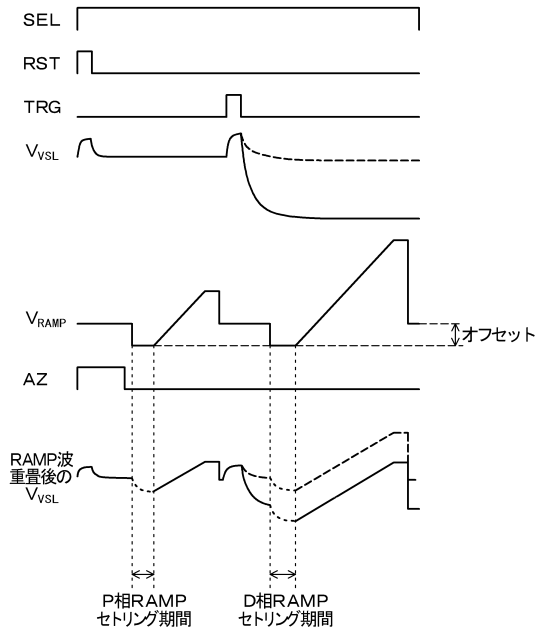
30

40

50

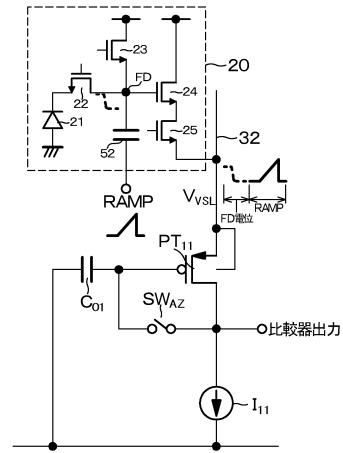
【 図 7 】

図 7



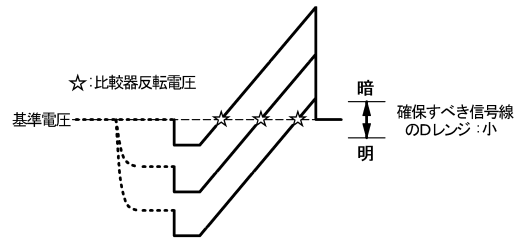
【 図 8 】

図 8 A



10

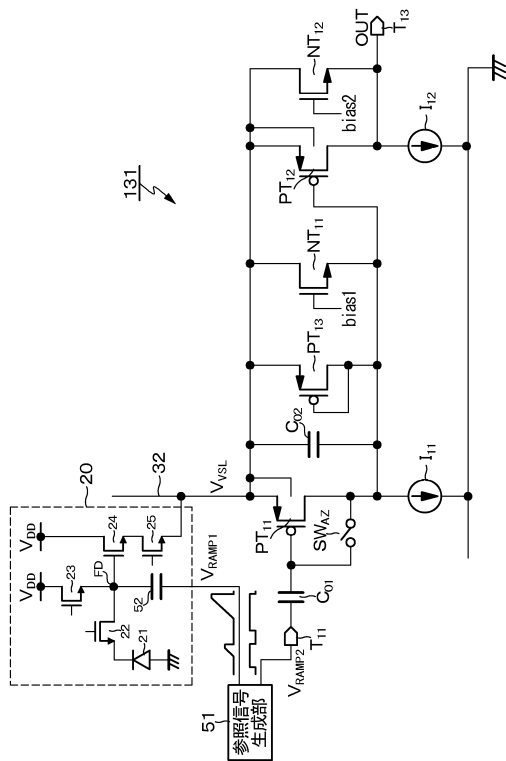
図 8 B



20

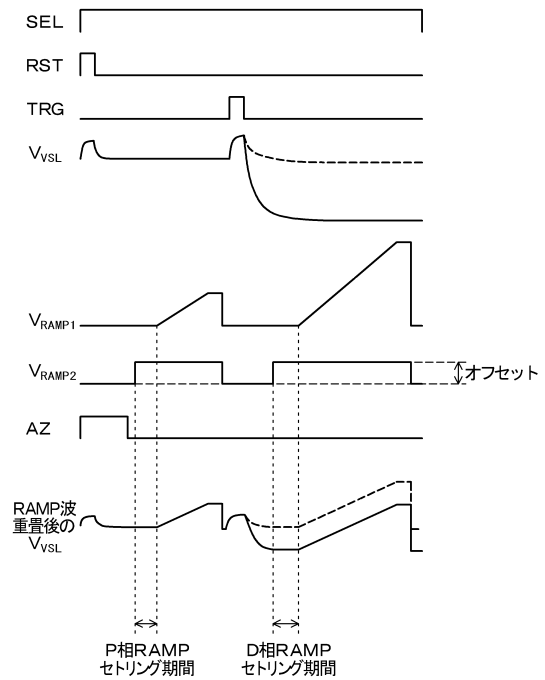
【 図 9 】

図 9



【 図 10 】

図 10



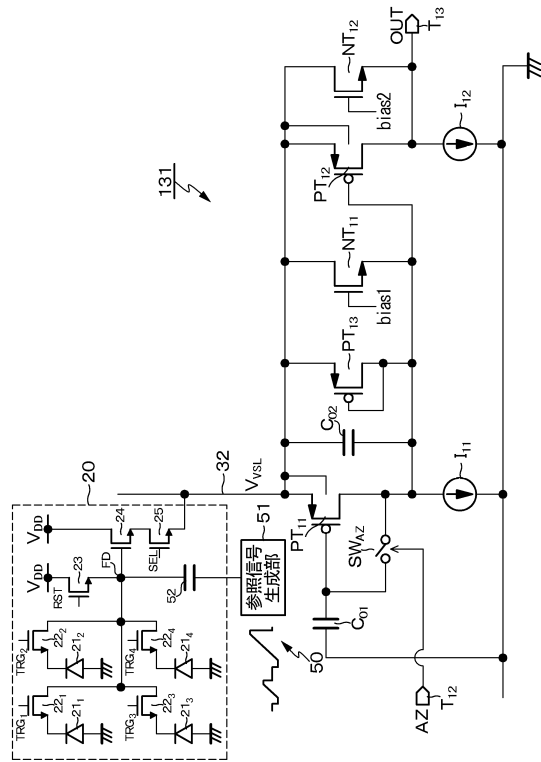
30

40

50

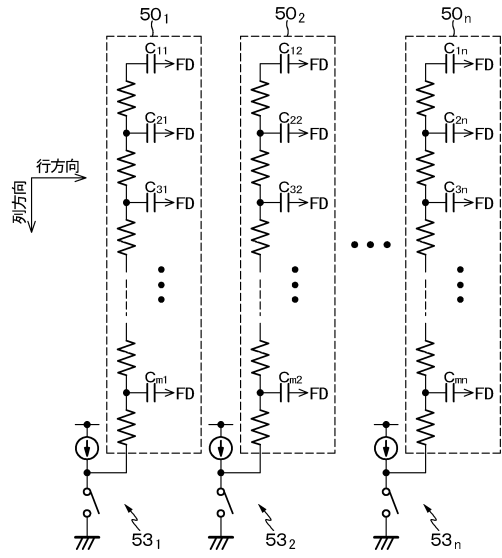
【图 1 1】

图 1 1



【图 1 2】

图 1 2

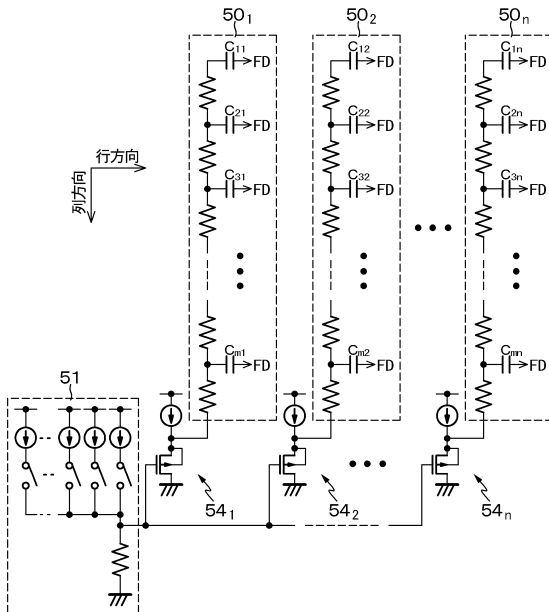


10

20

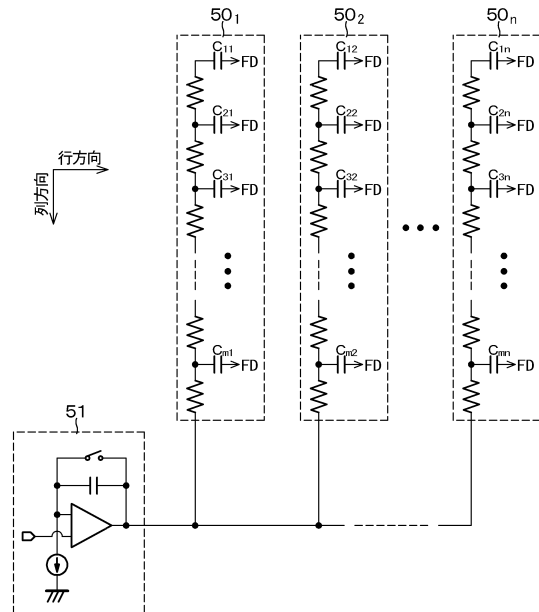
【图 1 3】

图 1 3



【图 1 4】

图 1 4



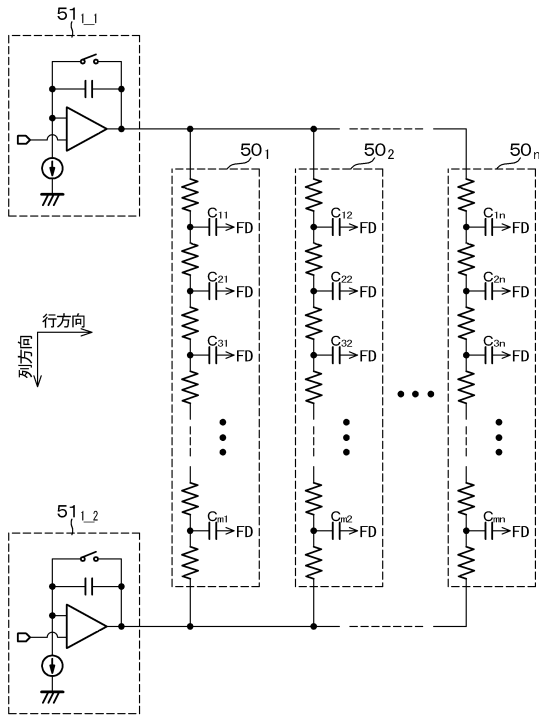
30

40

50

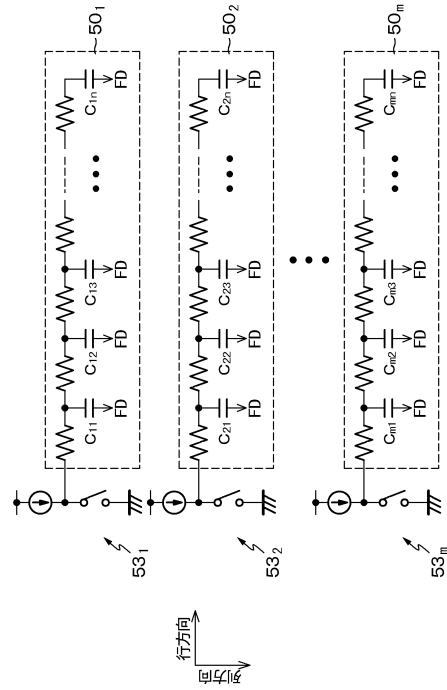
【图 15】

图 15



【图 16】

图 16

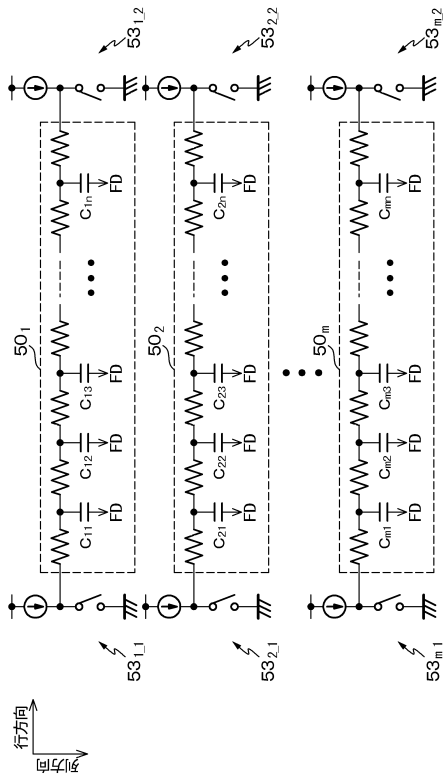


10

20

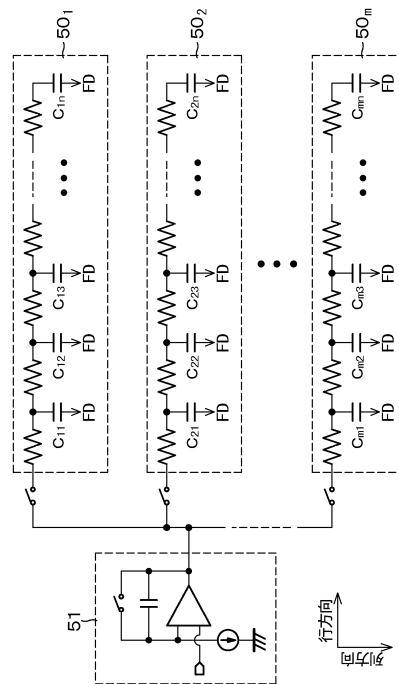
【图 17】

图 17



【图 18】

图 18



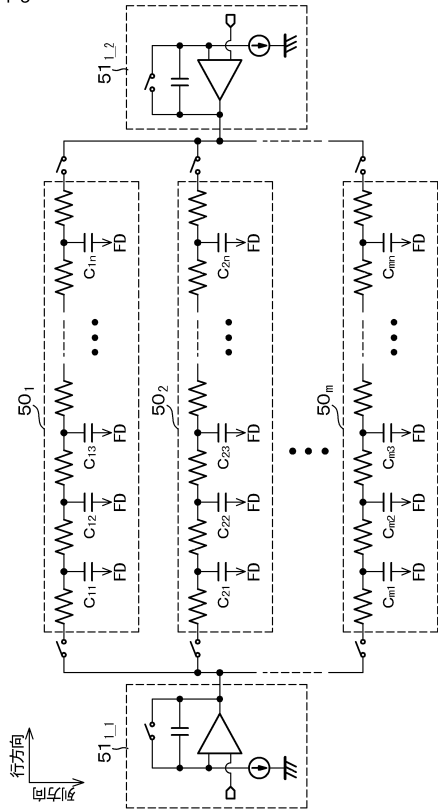
30

40

50

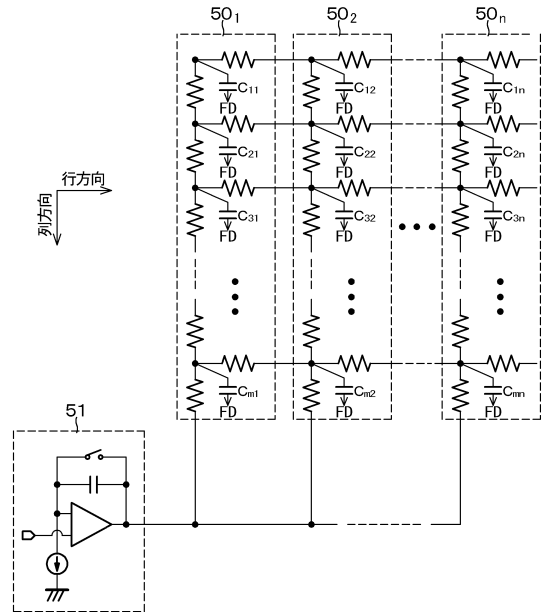
【图 19】

图 19



【图 20】

图 20

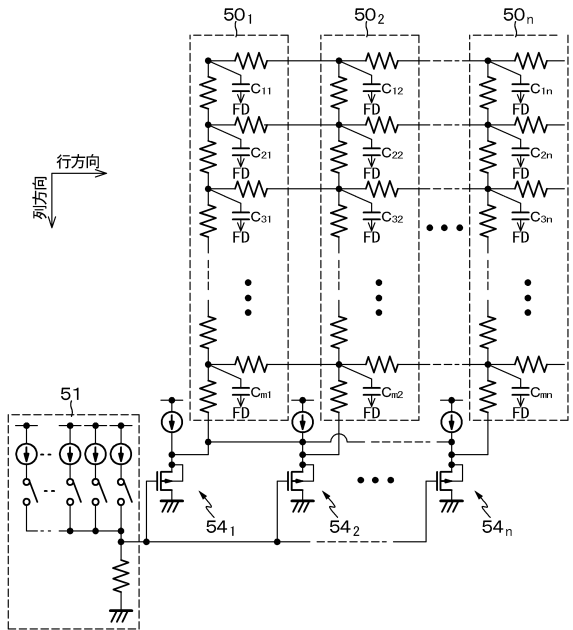


10

20

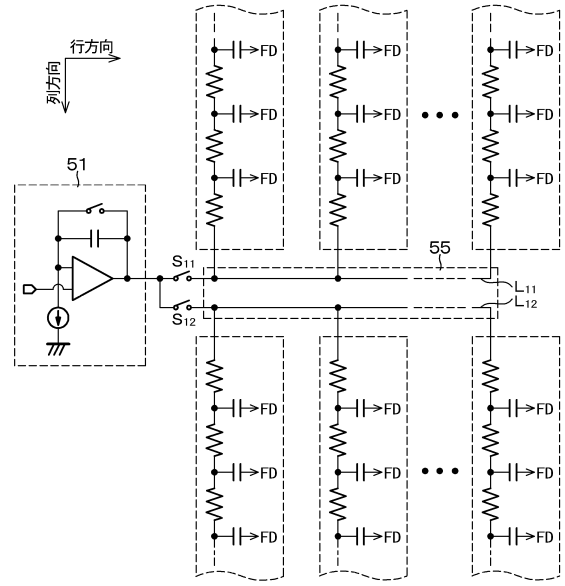
【图 21】

图 21



【图 22】

图 22



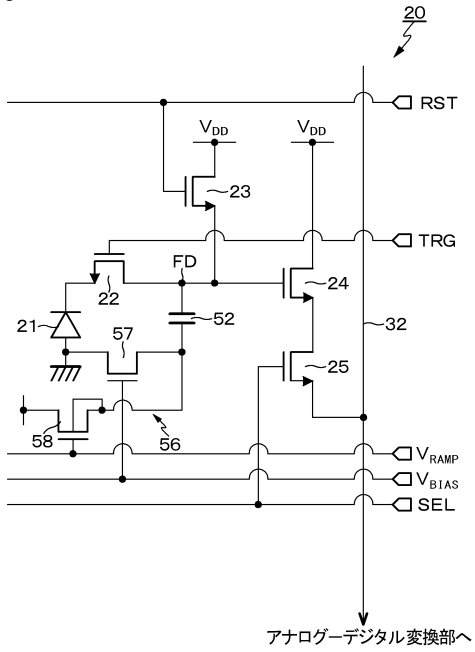
30

40

50

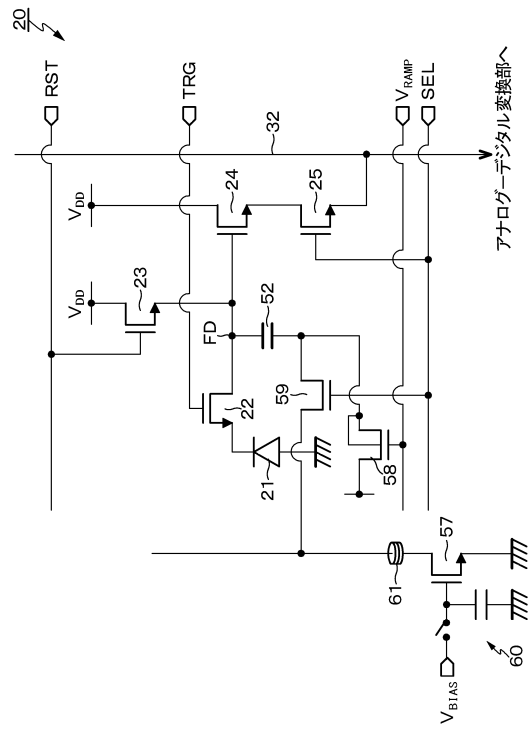
【図 2 3】

図 2 3



【図 2 4】

図 2 4

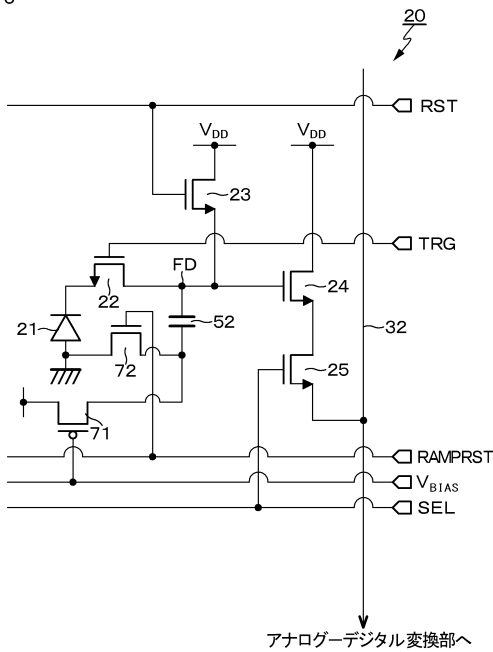


10

20

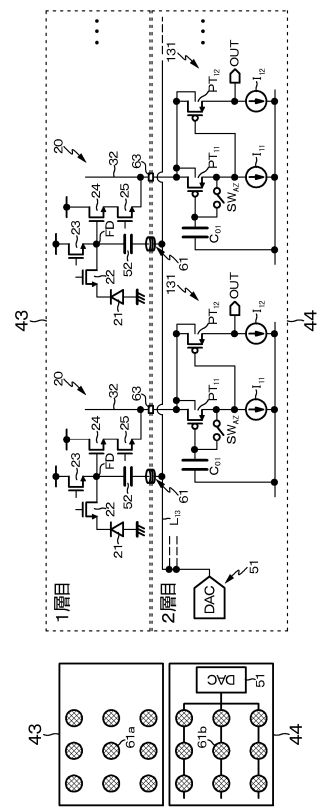
【図 2 5】

図 2 5



【図 2 6】

図 2 6



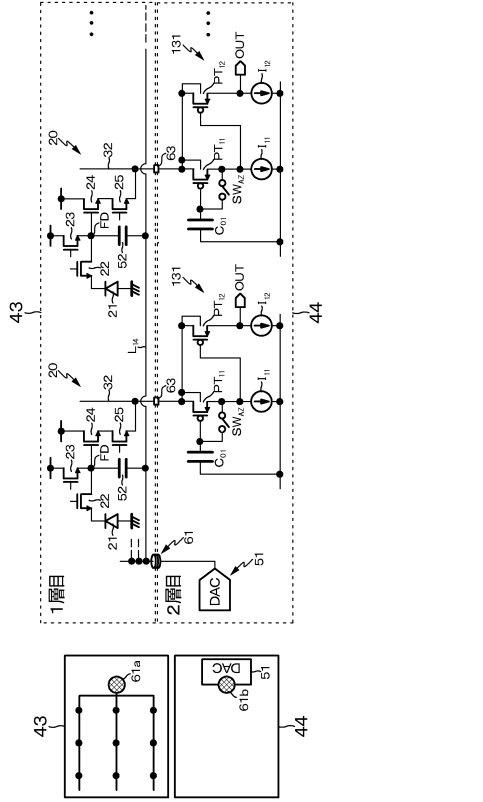
30

40

50

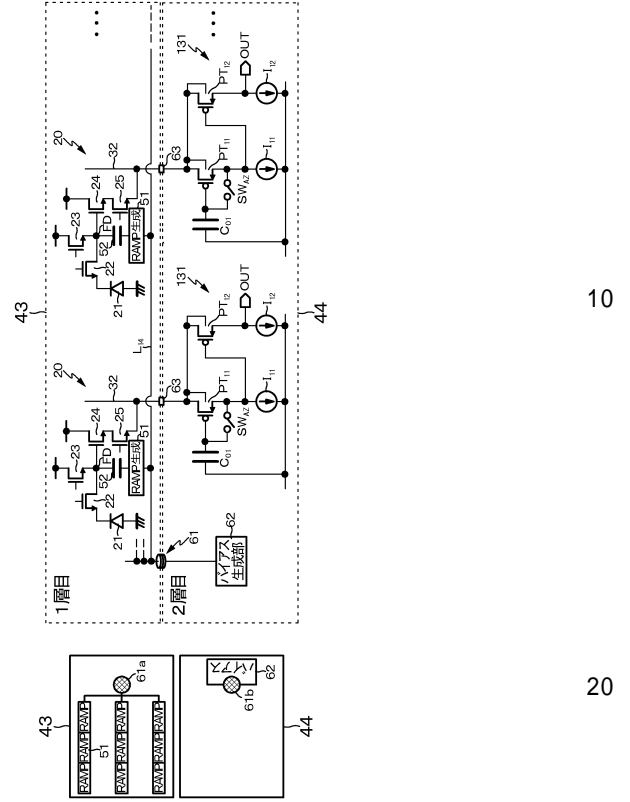
【図 27】

図 27



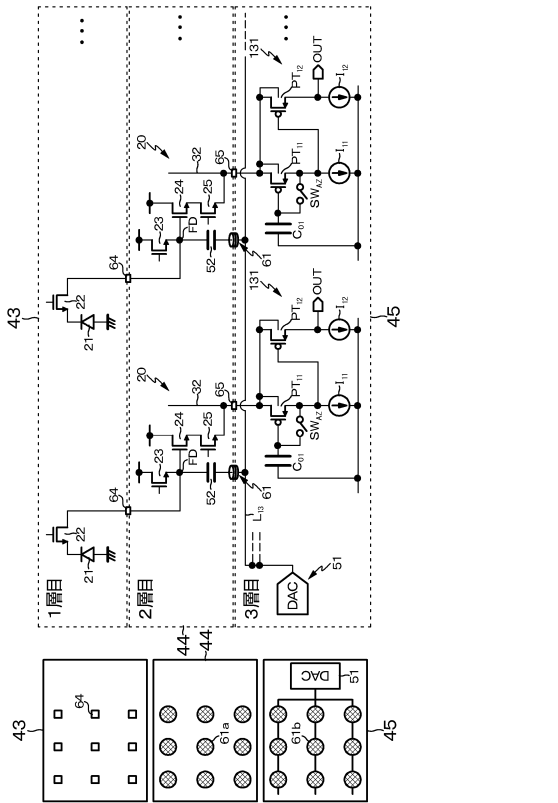
【図 28】

図 28



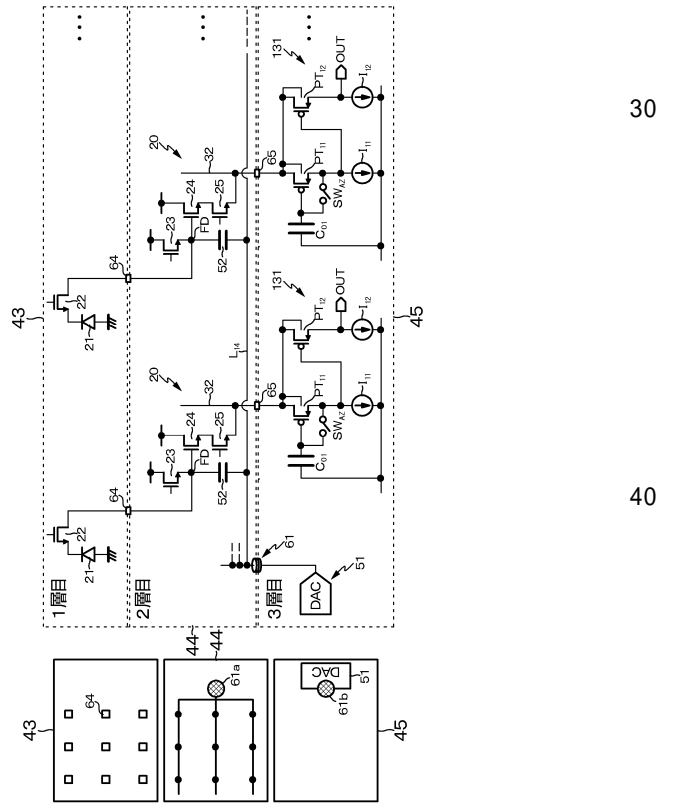
【図 29】

図 29



【図 30】

図 30



10

20

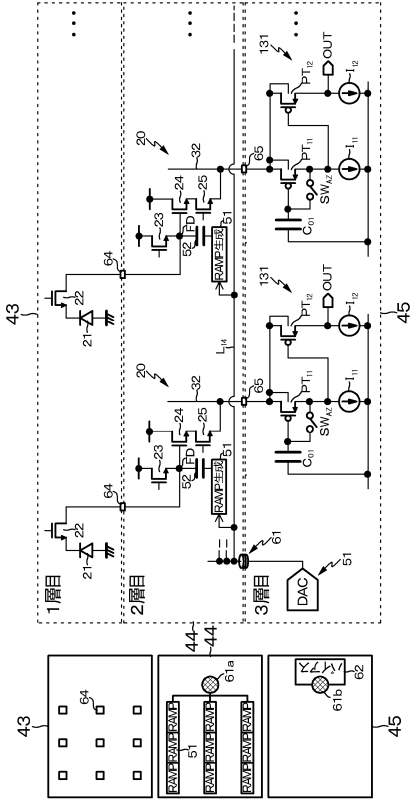
30

40

50

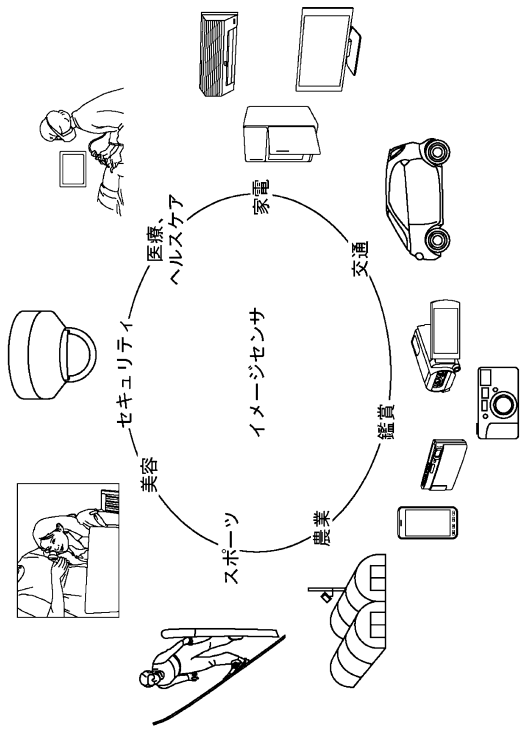
【 図 3 1 】

図 3 1



【 図 3 2 】

図 3 2

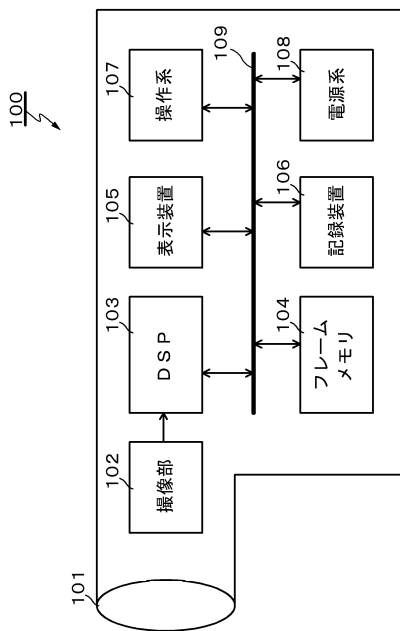


10

20

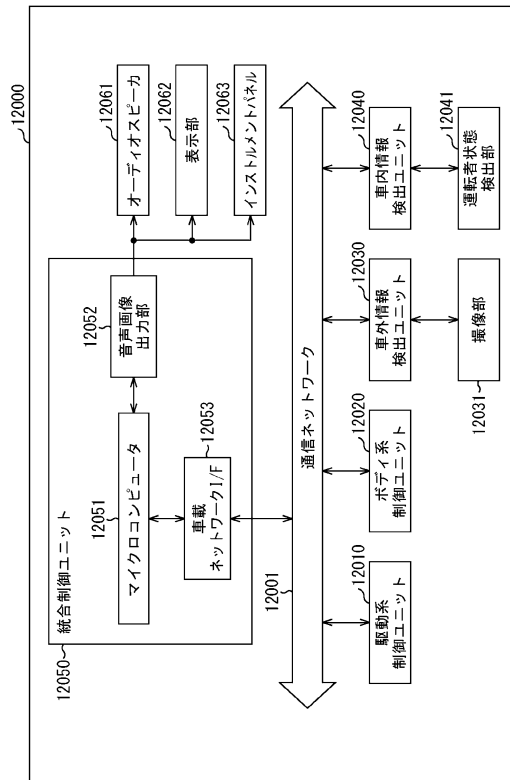
【 図 3 3 】

図 3 3



【 図 3 4 】

図 3 4



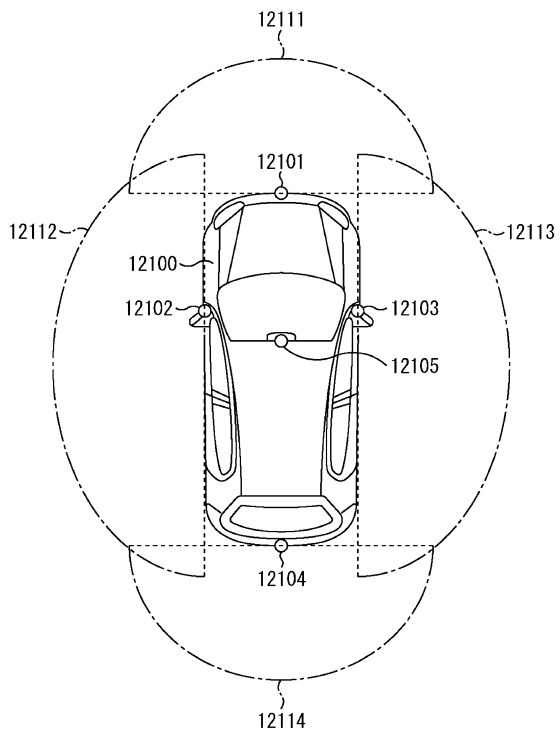
30

40

50

【 3 5 】

3 5



10

20

30

40

50

フロントページの続き

神奈川厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(72)発明者 山下 知憲
神奈川厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(72)発明者 大迫 洋平
神奈川厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(72)発明者 梅田 謙吾
神奈川厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
Fターム(参考) 5C024 HX01 HX23 HX24 HX29 HX48
5J022 AA09 AB06 BA07 CB01 CB08 CE01 CE05 CF01 CF02 CF03
CF04 CF07 CF10 CG01 CG04