



(12) 发明专利

(10) 授权公告号 CN 101410961 B

(45) 授权公告日 2012. 09. 05

(21) 申请号 200780011084. 7

(22) 申请日 2007. 04. 03

(30) 优先权数据

11/397, 413 2006. 04. 04 US

11/397, 527 2006. 04. 04 US

11/397, 358 2006. 04. 04 US

11/397, 430 2006. 04. 04 US

11/397, 406 2006. 04. 04 US

(85) PCT申请进入国家阶段日

2008. 09. 26

(86) PCT申请的申请数据

PCT/US2007/008084 2007. 04. 03

(87) PCT申请的公布数据

W02007/136461 EN 2007. 11. 29

(73) 专利权人 美光科技公司

地址 美国爱达荷州

(72) 发明人 伦纳德·福布斯

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 王允方

(51) Int. Cl.

H01L 21/336 (2006. 01)

H01L 29/786 (2006. 01)

H01L 29/78 (2006. 01)

H01L 21/8242 (2006. 01)

H01L 29/06 (2006. 01)

(56) 对比文件

WO 2005/079182 A2, 2009. 09. 01, 全文.

DE 19943390 A1, 2001. 05. 03, 全文.

US 6855582 B1, 2005. 02. 15, 全文.

US 2005/0032297 A1, 2005. 02. 10, 全文.

US 2006/0046391 A1, 2006. 03. 02, 说明书第 [0092] 段, 第 [0104] 段、附图 10B, 18B.

说明书第 3 栏第 3 行 - 第 5 栏第 35 行、附图 1-6.

US 6413802 B1, 2002. 07. 02, 说明书第 3 栏第 3 行 - 第 5 栏第 35 行、附图 1-6.

审查员 胡贺伟

权利要求书 4 页 说明书 6 页 附图 12 页

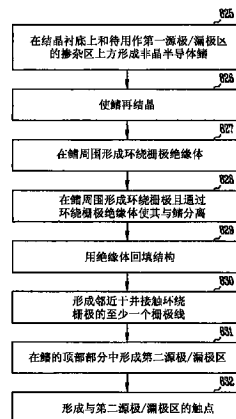
(54) 发明名称

生长的纳米鳍晶体管

(57) 摘要

本发明主题的一个方面涉及一种用于形成晶体管的方法。根据一实施例,在结晶衬底上形成非晶半导体材料鳍,且执行固相外延(SPE)工艺以使用所述结晶衬底作为晶体生长的晶种来使所述非晶半导体材料结晶。所述鳍在至少一个方向上具有小于最小特征大小的横截面厚度。在所述结晶半导体柱中在第一源极/漏极区与第二源极/漏极区之间形成晶体管主体。在所述半导体柱周围形成环绕栅极绝缘体,且在所述半导体柱周围形成环绕栅极并通过所述环绕栅极绝缘体使其与所述半导体柱分离。本发明中提供其它方面。

CN 101410961 B



1. 一种用于形成晶体管的方法,其包含:

形成晶体管主体,其包括:

在结晶衬底上形成非晶半导体材料鳍,所述鳍在至少一个方向上具有小于最小特征大小的横截面厚度,其中形成所述非晶半导体材料鳍包括在位于所述结晶衬底上方的第一层中蚀刻,针对每一孔在每一孔中抵靠着所述第一层的壁形成非晶侧壁间隔物,以及移除所述第一层;以及

执行固相外延(SPE)工艺以使用所述结晶衬底作为晶体生长的晶种来使所述非晶半导体材料结晶,所述晶体管主体经形成在结晶半导体柱中在第一源极/漏极区与第二源极/漏极区之间;

在所述半导体柱周围形成环绕栅极绝缘体;以及

在所述半导体柱周围形成环绕栅极并通过所述环绕栅极绝缘体使其与所述半导体柱分离。

2. 根据权利要求1所述的方法,其中所述鳍在第一方向上具有对应于最小特征长度的横截面厚度且在与所述第一方向正交的第二方向上具有小于所述最小特征长度的横截面厚度。

3. 根据权利要求1所述的方法,其中在结晶衬底上形成非晶半导体材料鳍包括在结晶硅衬底上形成非晶硅柱。

4. 根据权利要求1所述的方法,其中形成所述环绕栅极绝缘体包括形成氧化硅。

5. 根据权利要求1所述的方法,其中形成环绕栅极包括形成多晶硅栅极。

6. 根据权利要求1所述的方法,其进一步包含使所述环绕栅极凹进,使得所述环绕栅极具有小于所述鳍的高度的高度。

7. 根据权利要求1所述的方法,其进一步包含在所述鳍的第一端处形成所述第一源极/漏极区且在所述鳍的第二端处形成所述第二源极/漏极区。

8. 根据权利要求1所述的方法,其中所述第一源极/漏极区位于所述第二源极/漏极区下方,且沟道区经垂直定向在所述第一与第二源极/漏极区之间。

9. 一种用于形成晶体管的方法,其包括:

在硅晶片上形成氮化硅层;

在所述氮化硅中蚀刻出孔,所述孔延伸穿过所述氮化硅层到达所述硅晶片且由所述氮化硅层的侧面界定;

在界定所述孔的所述氮化硅的所述侧面上形成非晶硅侧壁间隔物;

移除所述氮化硅层,从而在所述硅晶片上留下所述非晶硅侧壁间隔物;

使所述侧壁间隔物结晶;

遮蔽并蚀刻所述侧壁间隔物以从所述侧壁间隔物形成至少一个硅鳍,所述硅鳍定位于掺杂区上方以用作所述晶体管的第一源极/漏极区;

在所述硅鳍周围形成环绕栅极绝缘体;

在所述硅鳍周围形成环绕栅极且通过所述环绕栅极绝缘体而使其与所述硅鳍分离;以及

及

在所述硅鳍的顶部部分中形成第二源极/漏极区。

10. 根据权利要求9所述的方法,其中所述硅鳍的高度小于最小特征大小。

11. 根据权利要求 9 所述的方法,其中所述鳍在第一方向上具有对应于最小特征长度的横截面厚度且在与所述第一方向正交的第二方向上具有小于所述最小特征长度的横截面厚度。

12. 根据权利要求 9 所述的方法,其中在所述硅鳍周围形成环绕栅极绝缘体包括执行热氧化工艺。

13. 根据权利要求 9 所述的方法,其进一步包含在形成所述非晶硅侧壁间隔物之前对所述掺杂区进行图案化和植入以用作所述第一源极 / 漏极区。

14. 根据权利要求 9 所述的方法,其中形成所述环绕栅极包括形成金属栅极。

15. 根据权利要求 9 所述的方法,其中形成所述环绕栅极包括形成多晶硅栅极。

16. 一种用于形成晶体管阵列的方法,其包含:

在硅晶片中形成内埋源极 / 漏极区;

在位于所述硅晶片上的氮化硅层中蚀刻出多个孔,所述孔延伸穿过所述氮化硅到达所述硅晶片,每一孔由所述氮化硅层的边缘界定;

在界定所述孔的所述氮化硅的侧面上形成非晶硅侧壁间隔物;

移除所述氮化硅层,从而使所述硅晶片上的所述非晶硅侧壁间隔物留下为呈多个矩形轨道;

使所述侧壁间隔物结晶;

遮蔽并蚀刻所述侧壁间隔物以从所述侧壁间隔物形成多个硅鳍,所述硅鳍定位于所述内埋源极 / 漏极区上方;

在所述硅鳍的每一者周围形成环绕栅极绝缘体;

在所述硅鳍的每一者周围形成环绕栅极且通过所述环绕栅极绝缘体而使其与所述硅鳍的每一者分离;以及

在所述硅鳍的顶部部分中形成第二源极 / 漏极区。

17. 根据权利要求 16 所述的方法,其进一步包含针对至少两个晶体管形成邻近于并接触所述环绕栅极的至少一个栅极线。

18. 根据权利要求 17 所述的方法,其中形成至少一个栅极线包括形成邻近于并接触所述环绕栅极的两个栅极线,所述两个栅极线位于相对硅鳍上。

19. 根据权利要求 17 所述的方法,其中形成至少一个栅极线包括形成所述至少一个栅极线以接触一行晶体管中的所述环绕栅极。

20. 根据权利要求 17 所述的方法,其中形成至少一个栅极线包括形成所述至少一个栅极线以接触一列晶体管中的所述环绕栅极。

21. 一种晶体管,其包含:

结晶衬底;

位于所述衬底上的结晶半导体鳍,所述半导体鳍在第一方向上具有对应于最小特征长度的横截面尺寸且在与所述第一方向正交的第二方向上具有小于所述最小特征长度的横截面厚度,其中所述鳍提供下部源极 / 漏极区与上部源极 / 漏极区之间的垂直定向沟道;

形成在所述鳍周围的栅极绝缘体;以及

形成在所述鳍周围且通过所述栅极绝缘体而与所述鳍分离的环绕栅极,其中所述晶体管系通过如权利要求 1-8 中任意一项所述的方法形成。

22. 根据权利要求 21 所述的晶体管,其中所述结晶衬底为硅衬底。
23. 根据权利要求 21 所述的晶体管,其中所述栅极绝缘体包括氧化硅。
24. 根据权利要求 21 所述的晶体管,其中所述栅极包括多晶硅。
25. 根据权利要求 21 所述的晶体管,其中所述栅极包括金属。

26. 一种晶体管,其包含:

结晶硅衬底;

形成在所述结晶硅衬底中的第一源极/漏极区;

位于所述衬底上和所述第一源极/漏极区上方的结晶硅鳍,所述硅鳍在第一方向上具有对应于最小特征长度的横截面尺寸且在与所述第一方向正交的第二方向上具有小于所述最小特征长度的横截面厚度;

形成在所述鳍的顶部部分中的第二源极/漏极区,其用以在所述鳍中在所述第一与第二源极/漏极区之间界定垂直定向的沟道区;

形成在所述鳍周围的栅极绝缘体;以及

形成在所述鳍周围且通过所述栅极绝缘体而与所述鳍分离的环绕栅极,其中所述晶体管系通过如权利要求 9-15 中任意一项所述的方法形成。

27. 根据权利要求 26 所述的晶体管,其中所述栅极绝缘体包括氧化硅。

28. 根据权利要求 26 所述的晶体管,其中所述氧化硅栅极绝缘体是热生长的氧化硅。

29. 根据权利要求 26 所述的晶体管,其中所述环绕栅极包括多晶硅环绕栅极。

30. 根据权利要求 26 所述的晶体管,其中所述环绕栅极包括金属环绕栅极。

31. 一种半导体结构,其包含:

布置成列和行的晶体管阵列,每一晶体管包括第一源极/漏极区、位于所述第一源极/漏极上方的第二源极/漏极区和介于所述第一与第二源极/漏极区之间的垂直定向沟道区,所述沟道区形成在具有小于最小特征大小的横截面厚度的结晶半导体鳍中,每一晶体管进一步包括形成在所述鳍周围的栅极绝缘体和形成在所述鳍周围并通过所述栅极绝缘体而与所述鳍分离的环绕栅极;

鳍结构的列,其具有两个最小特征大小的中心到中心间距;以及

鳍结构的行,其具有中心到中心间距,其中第一行与邻近的第二行具有所述最小特征大小减去所述鳍结构的厚度的中心到中心间距,且所述第二行与邻近的第三行具有所述最小特征大小加上所述鳍结构的所述厚度的中心到中心间距,其中所述晶体管阵列系通过如权利要求 16-20 中任意一项所述的方法形成。

32. 根据权利要求 31 所述的结构,其中所述鳍结构具有长侧面和短侧面,所述结构进一步包含邻近于所述长侧面的至少一个栅极线。

33. 根据权利要求 31 所述的结构,其中所述鳍结构具有长侧面和短侧面,所述结构进一步包含邻近于所述短侧面的至少一个栅极线。

34. 一种半导体结构,其包含:

结晶衬底;以及

形成在所述衬底上且接触第一源极/漏极区的半导体鳍结构,所述半导体鳍具有小于最小特征大小的厚度横截面尺寸,所述半导体鳍具有结晶底部部分和非晶顶部部分,其中所述半导体鳍的所述结晶底部部分和所述非晶顶部部分指示所述半导体鳍的部分完成的

固相外延 (SPE) 工艺,其中所述半导体结构包括通过如权利要求 1-8 中任意一项所述的方法形成的晶体管。

35. 根据权利要求 34 所述的结构,其中所述衬底包括硅晶片,且所述半导体鳍结构包括硅。

36. 根据权利要求 34 所述的结构,其中所述半导体鳍结构是形成为列和行的阵列的多个半导体鳍结构中的一者,所述鳍在所述鳍结构列之间具有两个最小特性大小的中心到中心间距。

37. 根据权利要求 34 所述的结构,其中所述半导体鳍结构是形成为列和行的阵列的多个半导体鳍结构中的一者,所述鳍在所述鳍结构行之间具有一个最小特性大小加上或减去所述鳍结构的所述厚度的中心到中心间距。

38. 根据权利要求 34 所述的结构,其中所述半导体鳍结构是形成为列和行的阵列的多个半导体鳍结构中的一者,第一行和邻近的第二行具有最小特征大小间隔减去所述鳍结构的厚度的中心到中心间距,且所述第二行与邻近的第三行具有所述最小特征大小间隔加上所述鳍结构的所述厚度的中心到中心间距。

生长的纳米鳍晶体管

[0001] 相关申请案的交叉参考

[0002] 本文主张以下申请案的优先权权益:2006年4月4日申请的题为“具有环绕栅极的纳米线晶体管(Nanowire Transistor With Surrounding Gate)”的第11/397,527号美国申请案;2006年4月4日申请的题为“蚀刻的纳米鳍晶体管(Etched Nanofin Transistors)”的第11/397,358号美国申请案;2006年4月4日申请的题为“具有纳米鳍晶体管的DRAM(DRAM With Nanofin Transistors)”的第11/397,413号美国申请案;和2006年4月4日申请的题为“具有亚光刻沟道的穿隧晶体管”的第11/397,406号美国申请案,所述申请案均以引用的方式并入本文中。

技术领域

[0003] 本发明大体上涉及半导体装置,且更明确地说,涉及纳米鳍晶体管。

背景技术

[0004] 半导体行业具有减小装置(例如晶体管)尺寸和增加衬底上的装置密度的市场驱动需求。一些产品目标包括较低的功率消耗、较高的性能和较小的尺寸。图1说明由因数 k 缩放的各种装置参数的大体趋势和关系。将金属氧化物半导体场效应晶体管(MOSFET)技术连续缩放到深亚微米区(其中沟道长度小于0.1微米(100nm或1000 Å))在常规晶体管结构中造成显著问题。举例来说,结深度应当比沟道长度小得多。因此,参看图1中所说明的晶体管100,对于沟道长度102为近似1000 Å长的情况,结深度101应为大约几百埃。此类浅结难以通过常规的植入和扩散技术来形成。需要极高水平的沟道掺杂以抑制短沟道效应,例如漏极引发的势垒降低、阈值电压滑移和亚阈值传导。亚阈值传导在DRAM技术中尤其成问题,因为其缩短电容器单元上的电荷存储保持时间。这些极高的掺杂水平导致泄漏增加且载流子移动性减小。因此,归因于较高掺杂的较低载流子移动性和较高泄漏使归因于较短沟道的预期改进性能无效的否定。

[0005] 泄漏电流是低电压和低功率电池操作的CMOS电路和系统中且尤其是DRAM电路中的显著问题。阈值电压量值较小以实现显著的过度驱动和合理的切换速度。然而,如图2中所说明,较小阈值导致相对较大的亚阈值泄漏电流。

[0006] 一些经提议以解决此问题的设计使用具有超薄主体的晶体管或其中表面空间电荷区随着其它晶体管尺寸缩小而缩放的晶体管。还已提议双栅或双栅极晶体管结构以缩小晶体管。如本行业中常用的,“双栅(dual-gate)”是指前部栅极和后部栅极可用单独且独立的电压驱动的晶体管,且“双栅极(double-gated)”是指用相同电势驱动两个栅极的结构。双栅极装置结构的实例是鳍形场效应晶体管(FinFET)。还已提议“三栅极”结构和环绕栅极结构。在“三栅极”结构中,栅极位于沟道的三个侧面上。在环绕栅极结构中,栅极环绕或包围晶体管沟道。环绕栅极结构提供对晶体管沟道的合意控制,但所述结构尚难以在实践中实现。

[0007] 图3说明双栅MOSFET,其中通过栅极绝缘体将漏极、源极和前部及后部栅极与半

导体主体分离,且图 3 还说明由漏极产生的电场。双栅和 / 或双栅极 MOSFET 的一些特点优于常规的块硅 MOSFET,因为与单个栅极相比,两个栅极可更好地遮蔽由漏极电极产生的电场以免影响沟道的源极端。环绕栅极进一步遮蔽由漏极电极产生的电场以免影响源极。因此,亚阈值泄漏电流特点得以改进,因为当双栅和 / 或双栅极 MOSFET 断开时,随着栅极电压降低,亚阈值电流更快速地降低。图 4 大体上说明与常规块硅 MOSFET 的亚阈值特点相比,双栅、双栅极或环绕栅极 MOSFET 的改进的亚阈值特点。

[0008] 图 5A 到 5C 说明常规的鳍形场效应晶体管 (FinFET)。图 5A 说明 FinFET 的俯视图,且图 5B 说明沿着线 5B-5B 的 FinFET 的端视图。所说明的 FinFET 503 包括第一源极 / 漏极区 504、第二源极漏极区 505 和在第一与第二源极 / 漏极区之间延伸的硅鳍 506。所述硅鳍用作晶体管主体,其中第一与第二源极 / 漏极区之间的沟道是水平的。在所述鳍上方形成栅极绝缘体 507 (例如氧化硅),且在上面形成氧化物之后,在所述鳍上方形成栅极 508。在内埋氧化物 509 上方形成所说明的常规 FinFET 的鳍。图 5C 说明用于制作 FINFET 的鳍的常规蚀刻技术。如图 5C 中所说明,鳍宽度由光刻或电子束光刻和蚀刻界定。因此,鳍宽度最初为最小特征大小 (1F)。鳍的宽度随后通过氧化或蚀刻来减小,如箭头 510 所说明。

[0009] 发明内容

[0010] 本发明主题的各方面使用固相外延 (SPE) 在结晶衬底上从非晶半导体 (例如,非晶硅) 生长半导体 (例如,硅) 的超薄鳍。SPE 工艺使用结晶衬底作为晶体生长的晶种来使非晶半导体再结晶。非晶纳米鳍通过侧壁间隔物技术被形成为具有小于光刻尺寸的尺寸。纳米鳍用作 CMOS 晶体管的主体区,其中晶体管主体的厚度和沟道长度两者均具有小于光刻尺寸的尺寸。举例来说,一些实施例提供厚度大约为 20nm 到 50nm 的超薄纳米鳍。

[0011] 本发明主题的一个方面涉及一种用于形成晶体管的方法。根据一实施例,在结晶衬底上形成非晶半导体材料鳍,且执行固相外延 (SPE) 工艺以使用所述结晶衬底作为晶体生长的晶种来使所述非晶半导体材料结晶。所述鳍在至少一个方向上具有小于最小特征大小的横截面厚度。在所述结晶半导体柱中在第一源极 / 漏极区与第二源极 / 漏极区之间形成晶体管主体。在所述半导体柱周围形成环绕栅极绝缘体,且在所述半导体柱周围形成环绕栅极并通过所述环绕栅极绝缘体使其与所述半导体柱分离。

[0012] 在用于形成晶体管的一实施例中,在硅晶片上形成氮化硅层,且在所述氮化硅中蚀刻出孔。所述孔延伸穿过氮化硅层到达硅晶片且由氮化硅层的侧面界定。在界定所述孔的氮化硅的侧面上形成非晶硅氧化物侧壁间隔物。移除氮化硅层,从而在硅晶片上留下非晶硅氧化物侧壁间隔物。使侧壁间隔物结晶。遮蔽并蚀刻侧壁间隔物,以从侧壁间隔物形成至少一个硅鳍。硅鳍定位于掺杂区上方以用作晶体管的第一源极 / 漏极区。在硅鳍周围形成环绕栅极绝缘体,且在硅鳍周围形成环绕栅极且通过环绕栅极绝缘体使其与所述硅鳍分离。在硅鳍的顶部部分中形成第二源极 / 漏极区。

[0013] 一方面涉及一种晶体管。晶体管实施例包括结晶衬底、位于所述衬底上的结晶半导体鳍、形成在鳍周围的栅极绝缘体和形成在鳍周围且通过栅极绝缘体而与所述鳍分离的环绕栅极。所述鳍具有小于最小特征大小的横截面尺寸。所述鳍提供下部源极 / 漏极区与上部源极 / 漏极区之间的垂直定向沟道。

[0014] 从以下对本发明主题的描述和所参考图式中将容易明白这些和其它方面、实施例、优点及特征。

附图说明

- [0015] 图 1 说明由因数 k 缩放的多种装置参数的大体趋势和关系。
- [0016] 图 2 说明常规硅 MOSFET 中的亚阈值泄漏。
- [0017] 图 3 说明双栅 MOSFET, 其中通过栅极绝缘体将漏极、源极、前部和后部栅极与半导体主体分离, 且还说明由漏极产生的电场。
- [0018] 图 4 大体上说明与常规块硅 MOSFET 的亚阈值特点相比, 双栅、双栅极和环绕栅极 MOSFET 的改进的亚阈值特点。
- [0019] 图 5A 到 5C 说明常规的 FinFET。
- [0020] 图 6A 到 6L 说明根据本发明主题的各种实施例用于形成纳米鳍晶体管的工艺。
- [0021] 图 7 说明根据本发明主题的各种实施例纳米鳍晶体管阵列的纳米鳍布局的俯视图。
- [0022] 图 8 说明根据本发明主题的各种实施例用以制作纳米鳍晶体管的工艺。
- [0023] 图 9 说明根据本发明主题的各种实施例用以形成非晶半导体鳍的工艺。
- [0024] 图 10 是根据本发明主题的各种实施例存储器装置的各种实施例的高级组织的简化框图。
- [0025] 图 11 说明具有纳米鳍晶体管的电子系统的图。
- [0026] 图 12 描绘具有控制器和存储器的系统的实施例的图。

具体实施方式

[0027] 以下具体实施方式参看附图, 附图以说明的方式展示其中可实践本发明主题的具体方面和实施例。充分详细地描述这些实施例以使得所属领域的技术人员能够实践本发明主题。本发明主题的各种实施例未必互相排斥, 因为一个实施例的方面可与另一实施例的方面组合。在不脱离本发明主题的范围的情况下, 可利用其它实施例, 并可作出结构、逻辑和电学改变。在以下描述中, 术语“晶片”和“衬底”可互换使用以大体上指代上面形成集成电路的任何结构, 且还指代在集成电路制作的各种阶段期间的此类结构。两个术语均包括掺杂和未掺杂半导体、半导体的在支撑半导体或绝缘材料上的外延层、此类层的组合, 以及此项技术中已知的其它此类结构。如本申请案中所使用的术语“水平”定义为平行于常规平面或者晶片或衬底的表面的平面, 而不管晶片或衬底的定向如何。术语“垂直”指代垂直于如上文定义的水平方向。例如“在……上”、“在……侧”、“高于”、“低于”、“在……上方”和“在……下方”等介词是相对于常规平面或位于晶片或衬底的顶部表面上的表面来定义的, 而不管晶片或衬底的定向如何。因此, 以下具体实施方式不应在限制性意义上加以理解, 且本发明的范围仅由所附权利要求书以及此权利要求书被赋予的等效物的全部范围界定。

[0028] 本文揭示纳米鳍晶体管和在衬底上使垂直非晶硅纳米鳍再结晶以制作单晶硅纳米鳍晶体管的制作技术。本发明主题的各方面提供具有垂直沟道的纳米鳍晶体管, 其中在鳍底部处具有第一源极/漏极区且在鳍顶部处具有第二源极/漏极区。图 6A 到 6L 说明根据本发明主题的各种实施例用于形成纳米鳍晶体管的工艺。

[0029] 图 6A 到 6B 分别说明具有氮化硅层 612、位于氮化硅层中的孔 613 和沿着孔壁的非

晶硅侧壁间隔物 614 的半导体结构 611 的俯视图和沿着 6B-6B 的横截面图。在氮化硅层中蚀刻出孔,且沉积并定向蚀刻非晶硅以仅在侧壁上留下。孔 613 经蚀刻穿过氮化硅层 612 到达硅晶片或衬底 615。

[0030] 图 6C 到 6D 分别说明在移除氮化硅层之后的结构的俯视图和沿着线 6D-6D 的横截面图。如所说明,在移除氮化硅层之后,留下侧壁 614 作为直立狭窄的非晶硅区。直立硅的所得图案可称为“跑道”图案,因为其具有大体伸长的矩形形状。线的宽度由非晶硅的厚度而非遮蔽和光刻确定。举例来说,根据各种实施例,非晶硅的厚度可大约为 20nm 到 50nm。使用固相外延 (SPE) 生长工艺来使直立狭窄的非晶硅区再结晶。SPE 生长工艺包括对所述结构进行退火或热处理,以致使非晶硅结晶,在与用作晶体生长的晶种的硅衬底 615 的界面处开始,向上穿过直立狭窄的硅区的剩余部分。

[0031] 图 6E 说明在已施加掩模层之后的结构 611 的俯视图。蚀刻阴影区域,从而留下由结晶硅形成的独立鳍。图 6F 和 6G 分别说明独立鳍 616 的图案的俯视图和沿着线 6G-6G 的横截面图。内埋掺杂区 617 用作第一源极 / 漏极区。根据各种实施例,内埋掺杂区可经图案化以在鳍阵列的行或列方向上形成传导线。

[0032] 图 6H 说明所述结构的俯视图,其中鳍已由栅极绝缘体 618 和栅极 619 环绕。可以各种方式沉积或以另外方式形成栅极绝缘体。举例来说,可通过热氧化工艺在硅鳍上形成氧化硅。栅极可为任何栅极材料,例如多晶硅或金属。沉积并定向蚀刻栅极材料以仅在具有栅极绝缘体的鳍结构的侧壁上留下栅极材料。布线可定向在“x 方向”或“y 方向”上。

[0033] 图 6I 和 6J 分别说明在用绝缘体 620 回填所述结构且沿着鳍的长侧面在“x 方向”上形成栅极布线 621 之后图 6H 中所说明的结构的俯视图和沿着线 6J-6J 的横截面图。各种实施例用氧化硅回填结构。在回填的绝缘体中形成沟渠以沿着鳍的侧面通过,且在所述沟渠中形成栅极线。在各种实施例中,一个栅极线沿着鳍的一个侧面通过,接触鳍结构的环绕栅极。一些实施例提供位于鳍的第一侧面上的第一栅极线和位于鳍的第二侧面上的第二栅极线。可沉积并定向蚀刻栅极布线材料(例如多晶硅或金属)以仅留在侧壁上。栅极布线材料恰当地接触鳍的环绕栅极。在各种实施例中,栅极材料和栅极布线材料经蚀刻以使栅极和栅极布线凹进到鳍的顶部下方。可用绝缘体(例如氧化硅)回填整个结构,并使其平面化以仅在表面上留下氧化物。可通过蚀刻来暴露柱或鳍的顶部。可在鳍的顶部部分中植入第二源极 / 漏极区 622,且可通过常规技术来制作到漏极区的金属触点 623。金属布线可例如在“x 方向”上延伸,且内埋源极布线在示图的纸张平面中垂直延伸。

[0034] 图 6K 和 6L 分别说明在用绝缘体回填结构并沿着鳍的短侧面在“y”方向上形成栅极布线之后结构的俯视图和沿着线 6L-6L 的横截面图。在“y 方向”上沿着鳍的侧面打开沟渠。可沉积并定向蚀刻栅极布线材料 621(例如多晶硅或金属)以仅留在侧壁上且接触鳍上的栅极。在各种实施例中,栅极材料和栅极布线材料可经蚀刻以使栅极和栅极布线凹进到鳍的顶部下方。可用绝缘体 620(例如氧化硅)回填整个结构,并使其平面化以仅在表面上留下回填绝缘体。接着可将接触开口和漏极掺杂区 622 蚀刻到柱顶部,且通过常规技术植入漏极区并制作到漏极区的金属触点。金属布线可例如垂直于示图的纸张平面延伸,且内埋源极布线在“x 方向”上延伸。在沉积非晶硅之前对内埋源极 / 漏极进行图案化和植入。图 6L 给出具有漏极 / 源极区、凹进栅极和源极 / 栅极区布线的经完成的鳍结构中的一者的说明。这些纳米鳍 FET 可具有较大 W/L 比率,且能够传导比纳米线 FET 多的电流。

[0035] 图 7 说明根据各种实施例纳米鳍晶体管阵列的纳米鳍布局的俯视图。所述图式说明侧壁间隔物 714 的两个“跑道”，且进一步说明通过蚀刻移除的侧壁间隔物的部分。用以形成侧壁间隔物轨道的孔径形成具有最小特征大小 (1F)。掩膜条带 724 具有最小特征大小 (1F) 的宽度且分离开最小特征大小 (1F)。在所说明的布局中，纳米鳍的列具有近似 2F 的中心到中心间距，且纳米鳍的行具有近似 1F 的中心到中心间距。而且，如图 7 中说明，由于从孔壁上的侧壁间隔物形成纳米鳍，所以第一与第二行之间的中心到中心间距将比 1F 略微小对应于纳米鳍厚度的量 ($1F - \Delta T$)，且第二与第三行之间的中心到中心间距将比 1F 大小略微大对应于纳米鳍厚度的量 ($1F + \Delta T$)。一般来说，第一与第二行之间的中心到中心间距将比特征大小间隔 (NF) 略微小对应于纳米鳍厚度的量 ($NF - \Delta T$)，且第二与第三行之间的中心到中心间距将比特征大小间隔 (NF) 略微大对应于纳米鳍厚度的量 ($NF + \Delta T$)。

[0036] 图 8 说明根据本发明主题的各种实施例用以制作纳米鳍晶体管的工艺。在 825 处，在结晶衬底上和待用作第一源极 / 漏极区的掺杂区上方形成非晶半导体鳍。在一些实施例中，在形成鳍之后对衬底进行掺杂和扩散。所述鳍较薄，使得掺杂剂能够扩散到鳍下方并进入其底部部分中。在 826 处，使鳍结晶。使用固相外延 (SPE) 工艺，其中对结构进行退火且结晶衬底用作鳍中的晶体生长的品种。在 827 处，在鳍周围形成环绕栅极绝缘体；且在 828 处，在鳍周围形成环绕栅极并通过环绕栅极绝缘体而使其与鳍分离。在 829 处，用绝缘体回填所得结构。蚀刻出沟渠，且形成邻近于并接触环绕栅极的栅极线，如在 830 处所说明。在 831 处，在鳍的顶部部分中形成第二源极 / 漏极区，且在 832 处形成用于第二源极 / 漏极区的触点。

[0037] 图 9 说明根据本发明主题的各种实施例用以形成非晶半导体鳍的工艺（例如图 8 中的 825 处所说明）。在 933 处，在位于结晶衬底上方的第一层中蚀刻出孔。在 934 处，针对每一孔在每一孔中抵靠着第一层的壁形成非晶侧壁间隔物。在 935 处，移除第一层，其在结晶衬底上留下非晶半导体鳍。

[0038] 图 10 是根据本发明主题的各种实施例存储器装置的各种实施例的高级组织的简化框图。所说明的存储器装置 1036 包括存储器阵列 1037 和读取 / 写入控制电路 1038，所述电路用以经由通信线路或信道 1039 对存储器阵列执行操作。所说明的存储器装置 1036 可为存储器卡或存储器模块，例如单列直插存储器模块 (SIMM) 和双列直插存储器模块 (DIMM)。在阅读和理解本发明后，所属领域的一般技术人员将了解，存储器阵列和 / 或控制电路中的半导体组件可包含纳米鳍晶体管，如上文所述。上文已描述这些装置的结构和制作方法。

[0039] 存储器阵列 1037 包括许多存储器单元 1040。所述阵列中的存储器单元经布置为行和列。在各种实施例中，字线 1041 连接行中的存储器单元，且位线 1042 连接列中的存储器单元。读取 / 写入控制电路 1038 包括用以选择所需行的字线选择电路 1043、用以选择所需列的位线选择电路 1044 和用以检测存储器阵列 1037 中的选定存储器单元的存储器状态的读取电路 1045。

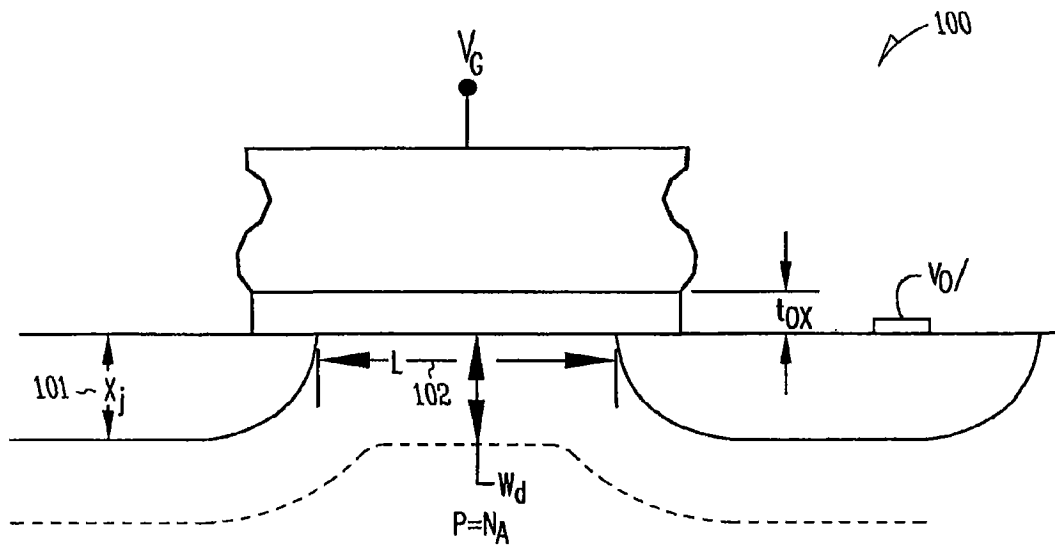
[0040] 图 11 说明根据各种实施例具有一个或一个以上纳米鳍晶体管的电子系统 1146 的图。电子系统 1146 包括控制器 1147、总线 1148 和电子装置 1149，其中总线提供控制器与电子装置之间的通信信道。在各种实施例中，控制器和 / 或电子装置包括如本文先前论述的纳米鳍晶体管。所说明的电子系统 1146 可包括（但不限于）信息处置装置、无线系统、

电信系统、光纤系统、电子 - 光学系统和计算机。

[0041] 图 12 描绘具有控制器 1251 和存储器 1252 的系统 1250 的实施例的图。控制器 1251 和 / 或存储器 1252 可包括根据各种实施例的纳米鳍晶体管。所说明的系统 1250 还包括电子设备 1253 和总线 1254, 所述总线用以在控制器与电子设备之间以及在控制器与存储器之间提供通信信道。总线可包括地址、数据总线和控制总线, 其每一者经独立配置; 或可使用共同通信信道来提供地址、数据和 / 或控制, 所述共同通信信道的使用可通过控制器来调节。在一实施例中, 电子设备 1253 可为经配置为类似于存储器 1252 的额外存储器。一实施例可包括耦合到总线 1254 的外围装置 1255。外围装置可包括显示器、额外的存储存储器或可结合控制器和 / 或存储器操作的其它控制装置。在一实施例中, 控制器是处理器。控制器 1251、存储器 1252、电子设备 1253 和外围装置 1255 中的任一者可包括根据各种实施例的纳米鳍晶体管。所述系统 1250 可包括 (但不限于) 信息处置装置、电信系统和计算机。含有如本发明中所描述的纳米鳍晶体管的应用包括用于存储器模块、装置驱动器、功率模块、通信调制解调器、处理器模块和专用模块中的电子系统, 且可包括多层多芯片模块。此电路可进一步作为多种电子系统的子组件, 所述电子系统例如时钟、电话、手机、个人计算机、汽车、工业控制系统、飞机和其它电子系统。

[0042] 存储器可经实行为含有根据各种实施例的纳米鳍晶体管的存储器装置。将了解, 实施例同等地适用于任何大小和类型的存储器电路且不希望限于特定类型的存储器装置。存储器类型包括 DRAM、SRAM (静态随机存取存储器) 或快闪存储器。另外, DRAM 可为同步 DRAM, 其常称为 SGRAM (同步图形随机存取存储器)、SDRAM (同步动态随机存取存储器)、SDRAM II 和 DDR SDRAM (双数据速率 SDRAM)。各种新兴存储器技术能够使用纳米鳍晶体管。

[0043] 本发明包括若干工艺、电路图和单元结构。本发明主题不限于特定工艺次序或逻辑布置。虽然本文中已经说明和描述了具体实施例, 但所属领域的一般技术人员将了解, 可用经设计以实现相同目的的任何布置来替代所展示的具体实施例。本申请案希望涵盖本发明主题的变型或变化。应了解, 以上描述希望为说明性的而非限制性的。所属领域的技术人员在审阅和理解以上描述后将明白以上实施例的组合和其它实施例。应参看所附权利要求书以及此权利要求书被赋予的等效物的全部范围来确定本发明主题的范围。



- | | | | | | |
|----------|---|------------|-------|---|---------|
| V_G | → | V_G/k | V_0 | → | V_0/k |
| t_{ox} | → | t_{ox}/k | | | |
| L | → | L/k | | | |
| X_j | → | X_j/k | | | 结深度减小 |
| W_d | → | W_d/k | | | |
| N_A | → | $k N_A$ | | | 衬底掺杂增加 |

图 1

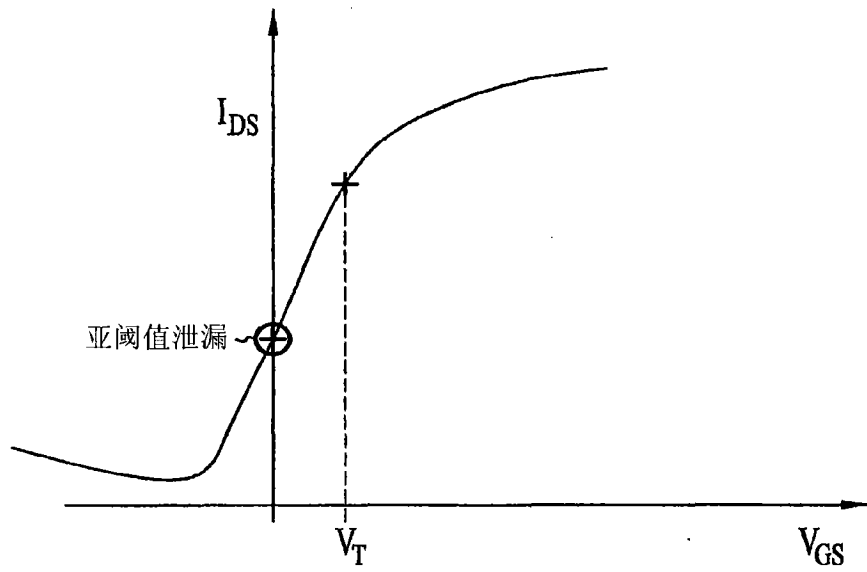


图 2

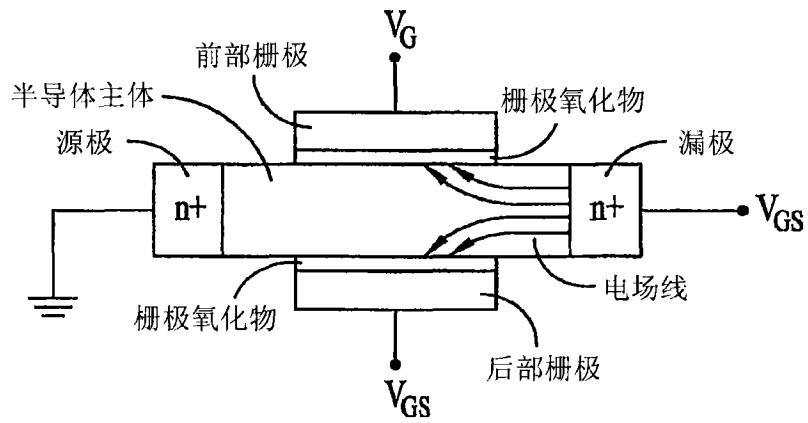


图 3

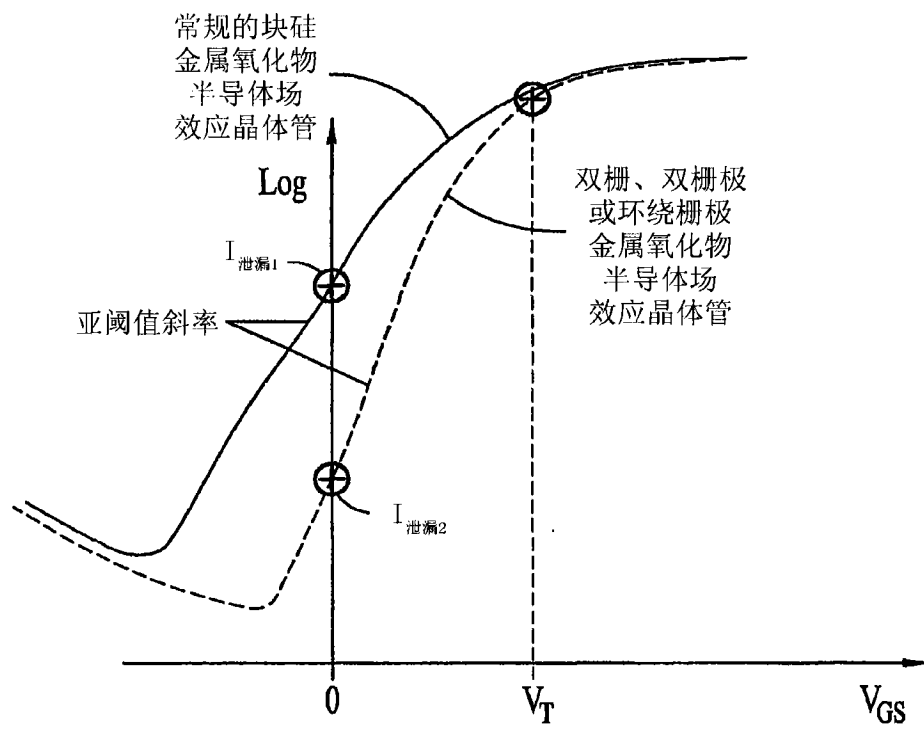
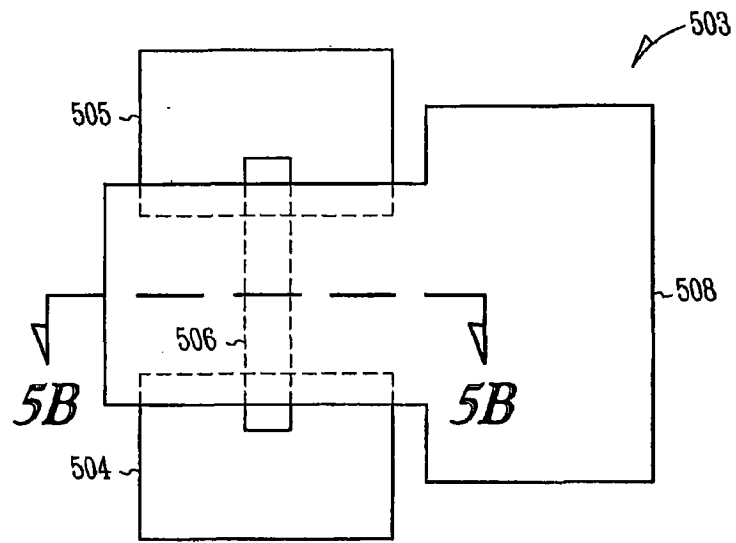
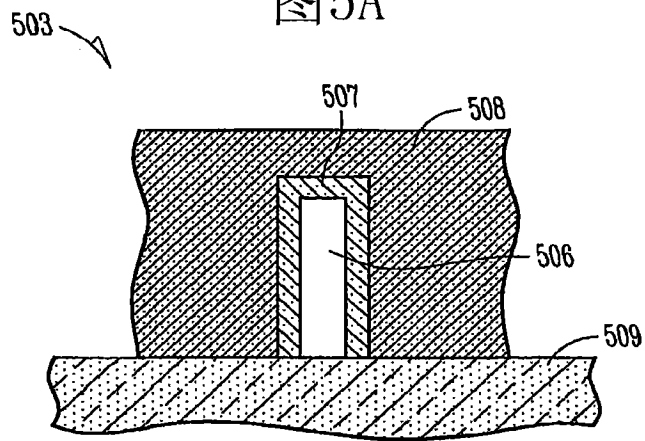


图 4



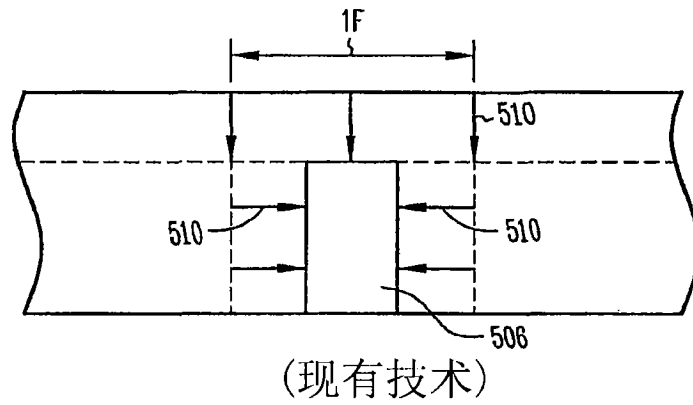
(现有技术)

图5A



(现有技术)

图5B



(现有技术)

图 5C

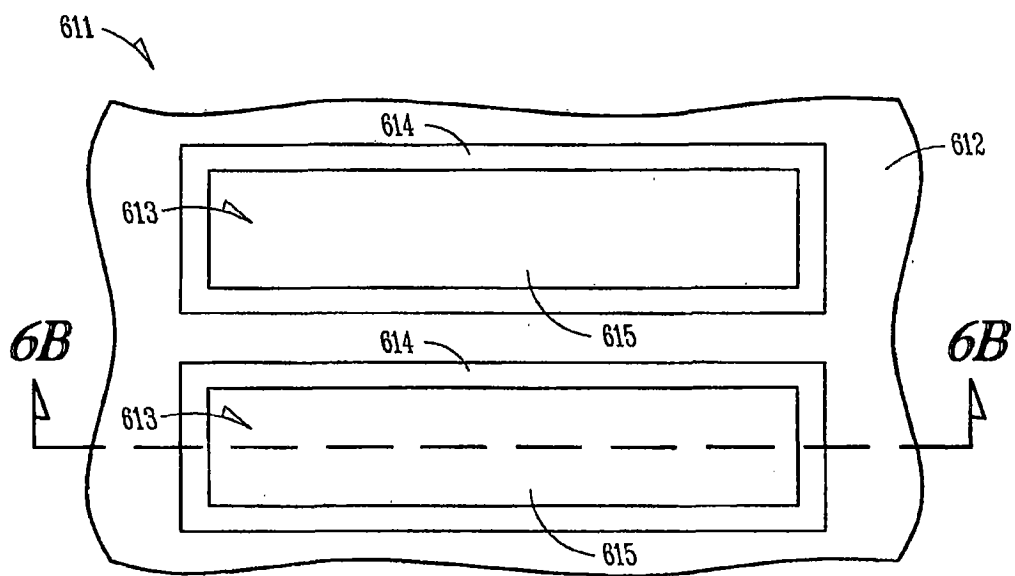


图 6A

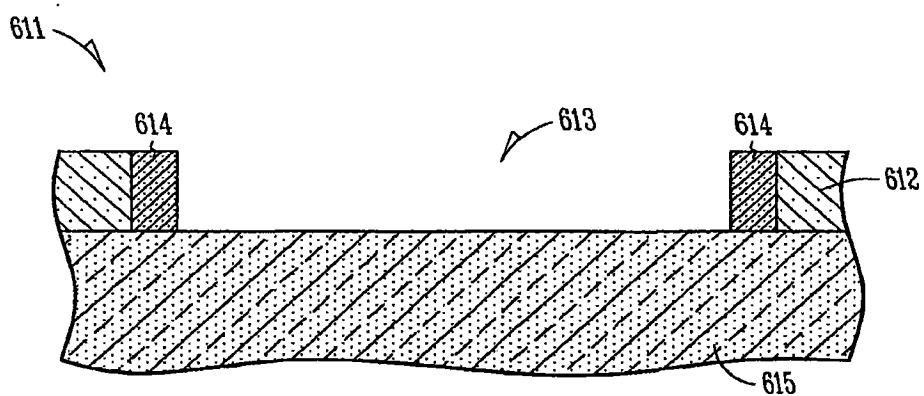


图 6B

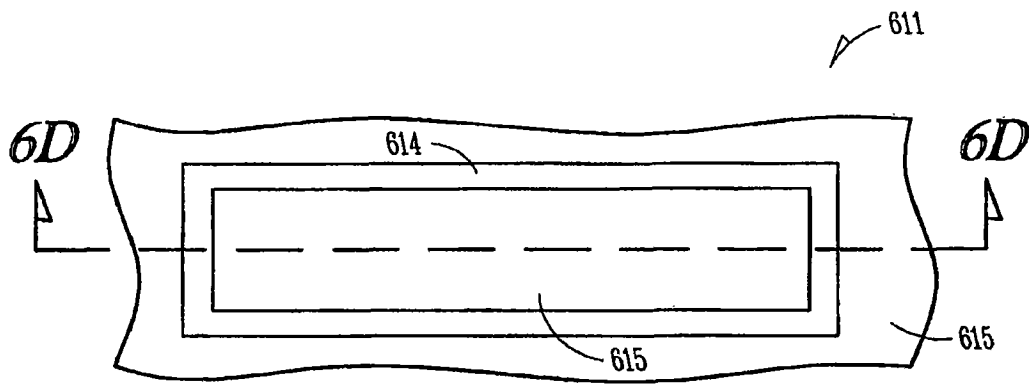


图 6C

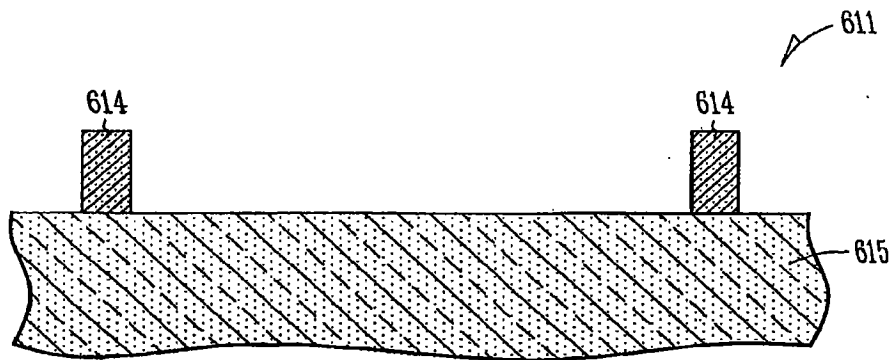


图 6D

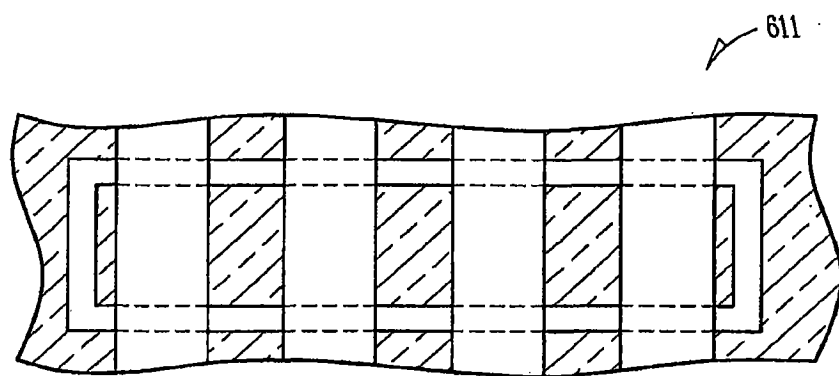


图 6E

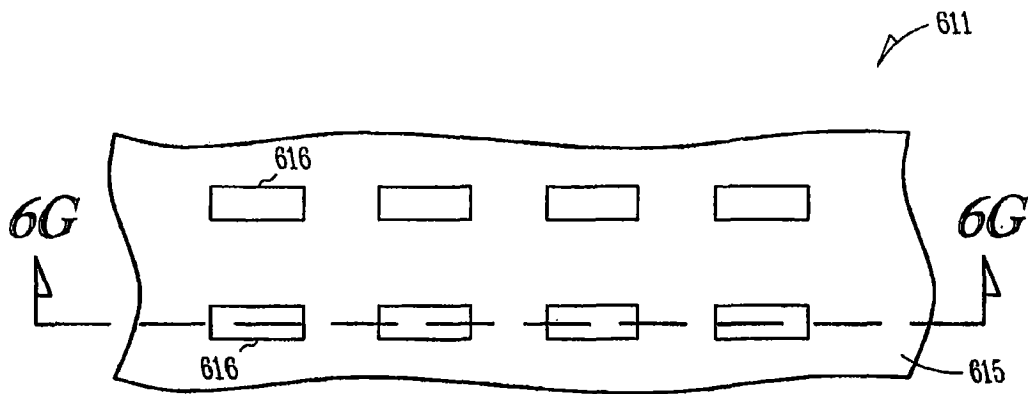


图 6F

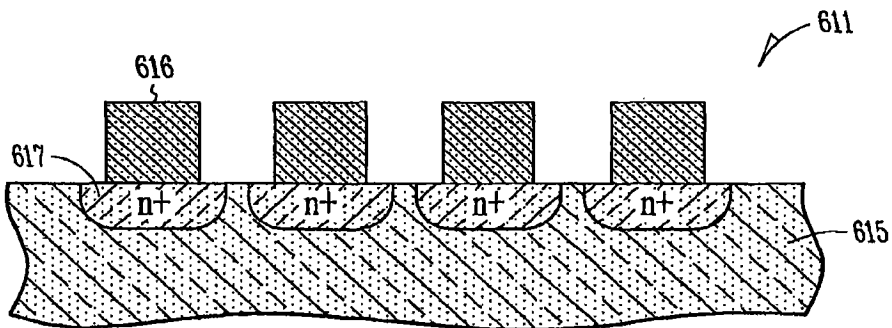


图 6G

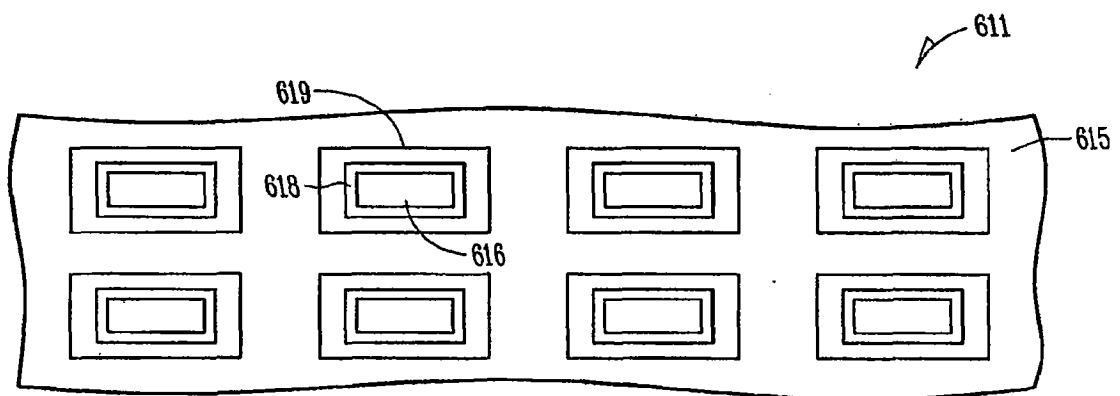


图 6H

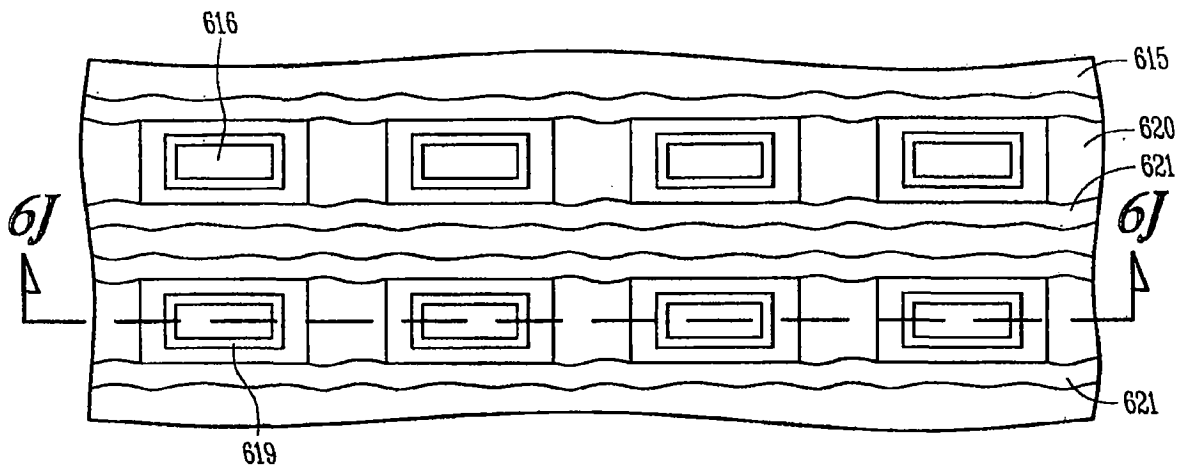


图 6I

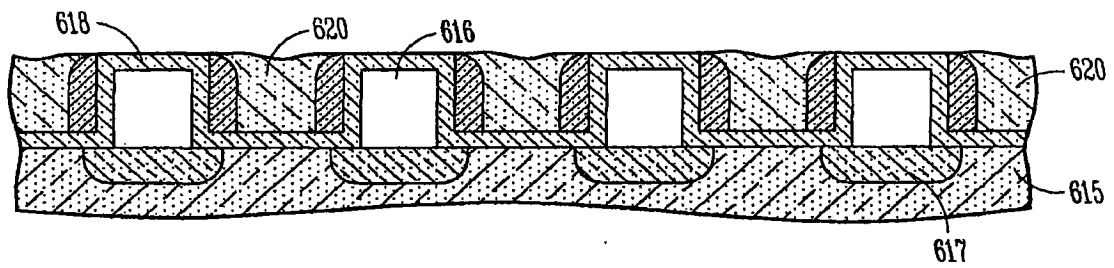


图 6J

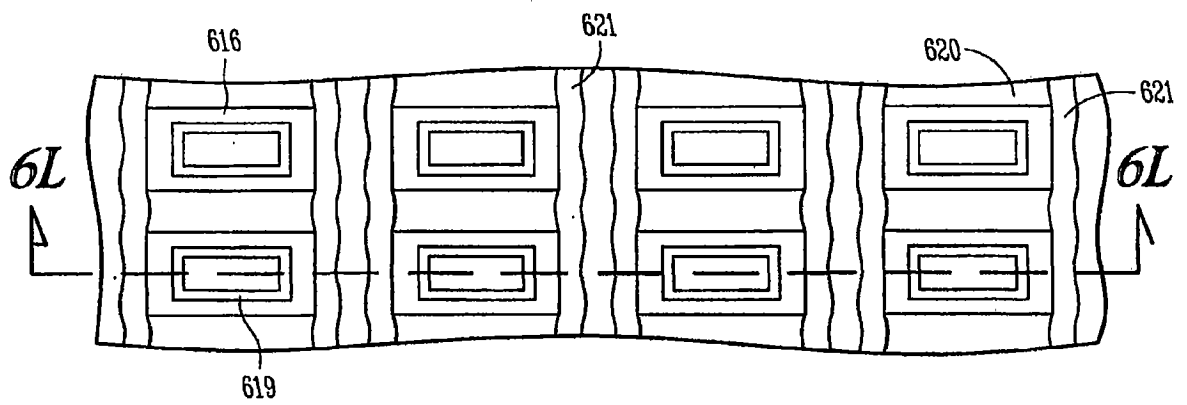


图 6K

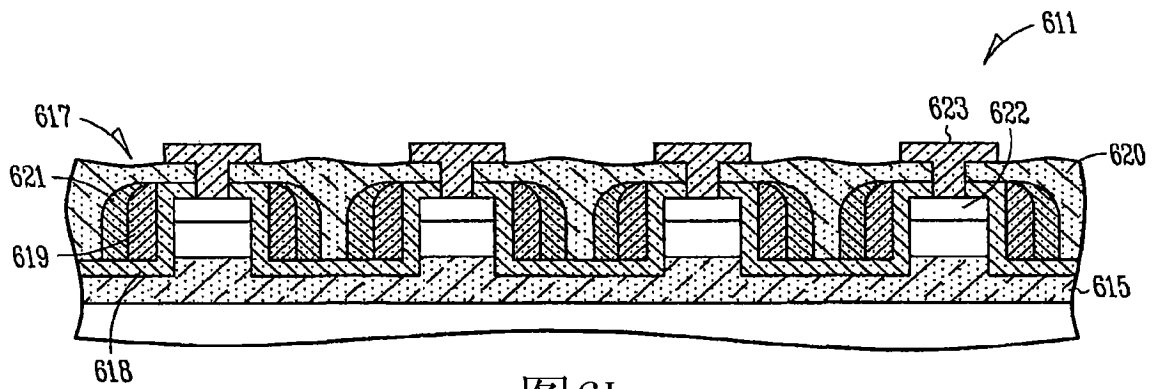


图6L

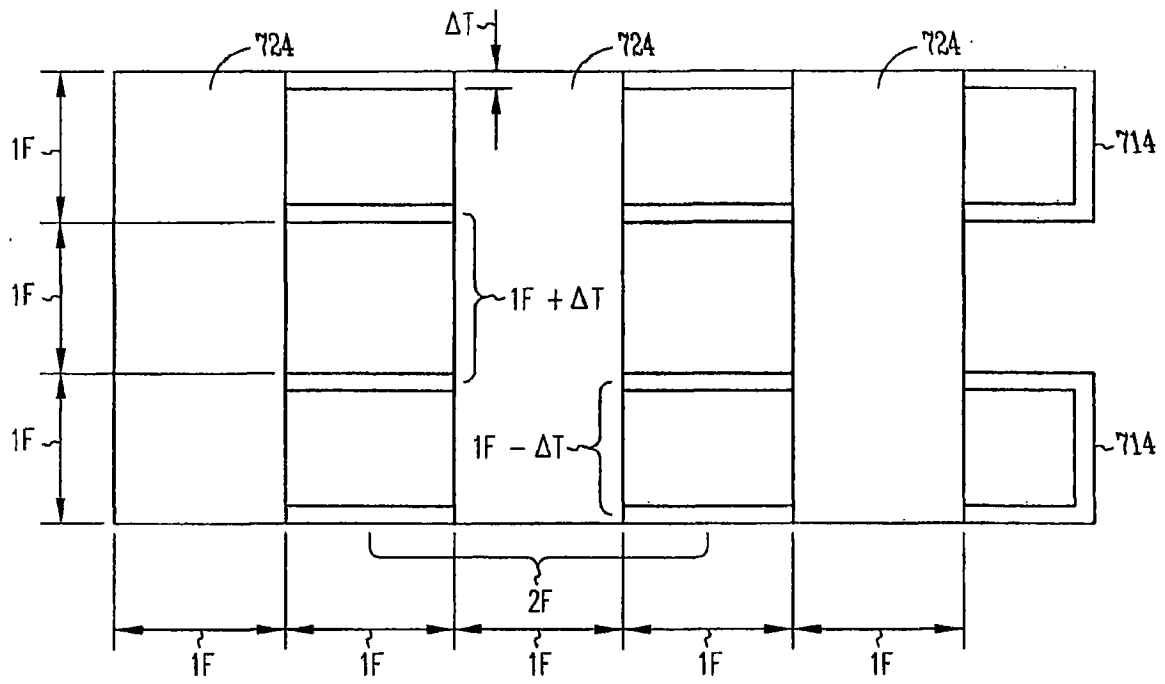


图 7

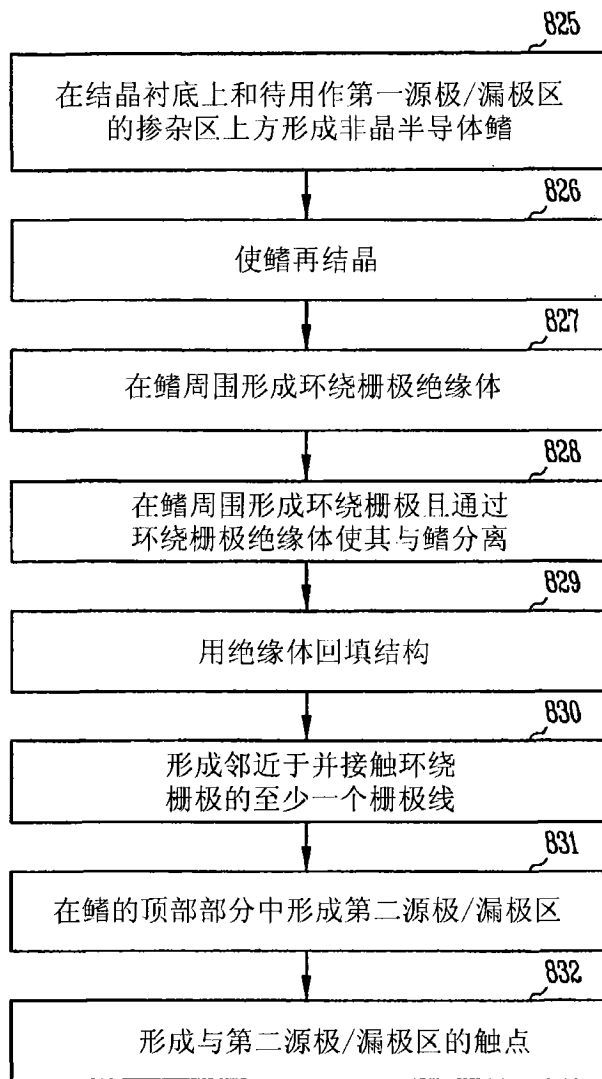


图 8

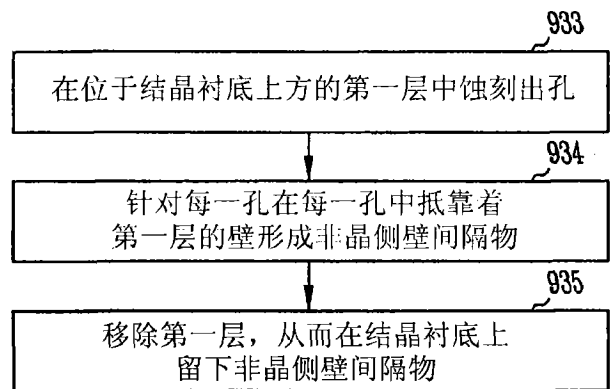


图 9

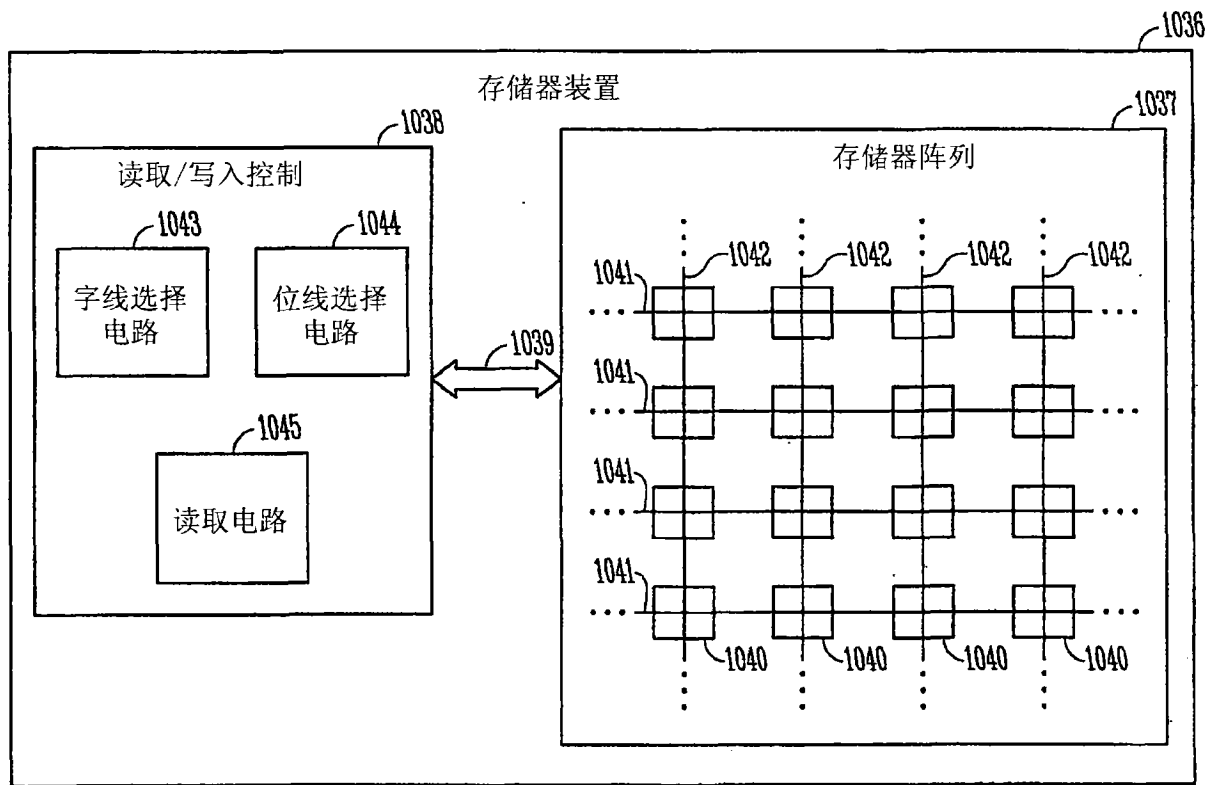


图 10

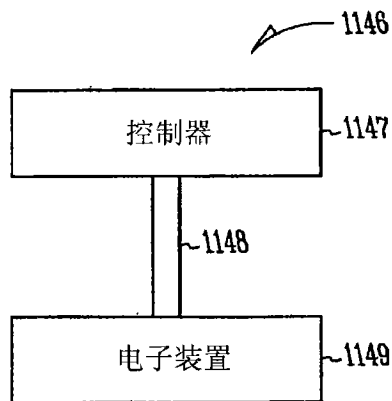


图 11

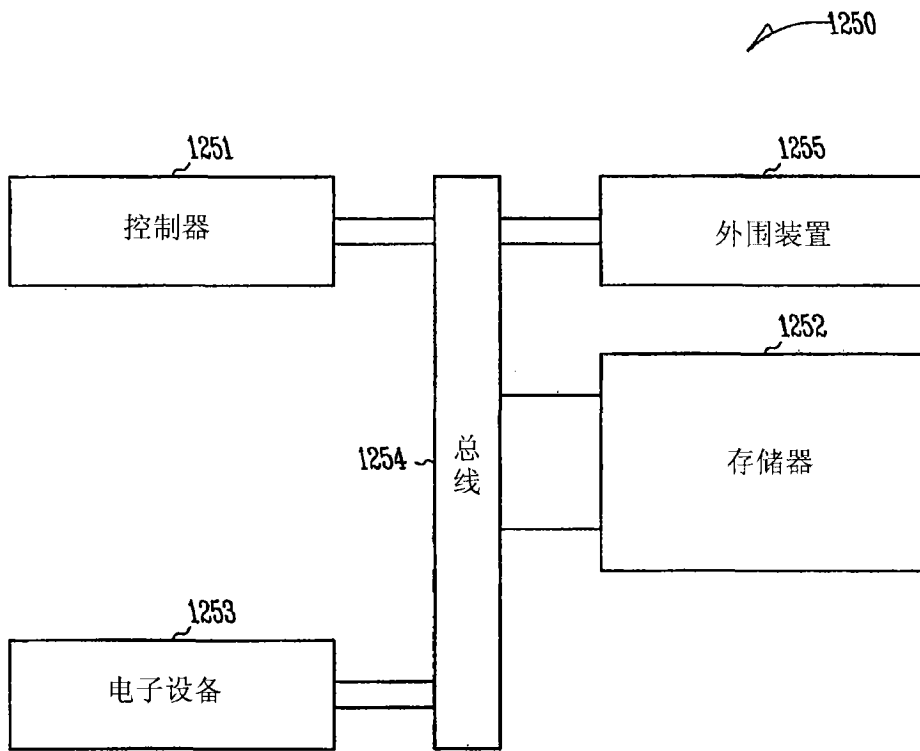


图 12