



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년10월21일
(11) 등록번호 10-2168189
(24) 등록일자 2020년10월14일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2017.01)
(21) 출원번호 10-2014-0027243
(22) 출원일자 2014년03월07일
심사청구일자 2019년02월15일
(65) 공개번호 10-2015-0105567
(43) 공개일자 2015년09월17일
(56) 선행기술조사문헌
US20110031630 A1*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이재구
경기도 수원시 영통구 봉영로1482번길 18 104동
506호 (영통동, 풍림아이원아파트)
박영우
서울 강남구 남부순환로 3032, 203동 201호 (대치동, 미도아파트)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 19 항

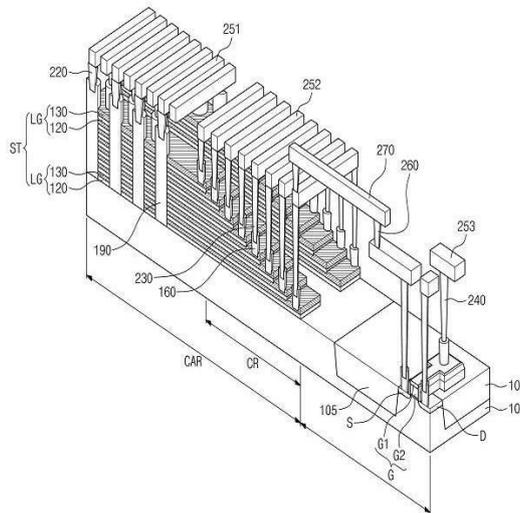
심사관 : 고연화

(54) 발명의 명칭 3차원 반도체 장치 및 그 제조 방법

(57) 요약

3차원 반도체 장치가 제공된다. 이 장치는 계단-형태의 연결 부분들을 구비하면서 기관 상에 차례로 적층되는 수평 전극들, 상기 수평 전극들의 상기 연결 부분들 상에 각각 제공되는 셀 콘택 플러그들, 상기 연결 부분들과 상기 셀 콘택 플러그들 사이에 제공된 상부 버퍼 패턴들, 및 상기 셀 콘택 플러그들 아래에 배치되어 상기 상부 버퍼 패턴들을 둘러싸는 제 1 상부 절연막을 포함할 수 있다. 상기 상부 버퍼 패턴들 각각은 그것 아래 위치하는 상기 연결 부분보다 작은 면적을 가질 수 있다.

대표도



(56) 선행기술조사문헌

US20120108048 A1*

US8304348 B2

KR1020120078958 A

KR1020120026435 A

KR1020120047325 A

US20130270714 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

계단-형태의 연결 부분들을 구비하면서 기판 상에 차례로 적층되는 수평 전극들;

상기 수평 전극들의 상기 연결 부분들 상에 각각 제공되는 셀 콘택 플러그들;

상기 연결 부분들과 상기 셀 콘택 플러그들 사이에 제공되며, 상기 셀 콘택 플러그들과 전기적으로 연결된 상부 버퍼 패턴들; 및

상기 셀 콘택 플러그들 아래에 배치되어 상기 상부 버퍼 패턴들을 둘러싸는 제 1 상부 절연막을 포함하되,

상기 상부 버퍼 패턴들 각각은 그것 아래 위치하는 상기 연결 부분보다 작은 면적을 갖고,

상기 상부 버퍼 패턴들은 서로 이격되고,

상기 상부 버퍼 패턴들 각각은 상기 수평 전극들로부터 돌출되며, 상기 상부 버퍼 패턴들 각각의 아래 위치하는 상기 연결 부분의 상면에 비해 높은 수직적 레벨에 위치한 상면을 갖는 3차원 반도체 장치.

청구항 2

청구항 1에 있어서,

상기 상부 버퍼 패턴들과 상기 연결 부분들 사이에 배치되는 하부 버퍼 패턴들을 더 포함하는 3차원 반도체 장치.

청구항 3

청구항 2에 있어서,

상기 하부 버퍼 패턴들 각각은 상기 수평 전극들의 최소 두께보다 얇고,

상기 상부 버퍼 패턴들 각각은 상기 수평 전극들의 상기 최소 두께의 1배 내지 20배의 두께를 갖는 3차원 반도체 장치.

청구항 4

청구항 2에 있어서,

상기 하부 버퍼 패턴들 각각은 상기 연결 부분들 중의 상응하는 하나와 실질적으로 동일한 면적을 갖고,

상기 상부 버퍼 패턴들 각각은 상기 하부 버퍼 패턴들 중의 상응하는 하나보다 작은 면적을 갖는 3차원 반도체 장치.

청구항 5

청구항 2에 있어서,

상기 기판은 상기 수평 전극들로부터 이격된 주변 회로 영역을 더 포함하고,

상기 3차원 반도체 장치는

상기 주변 회로 영역에 형성된 주변 트랜지스터;

상기 주변 트랜지스터 상에 제공되는 주변 콘택 플러그; 및

상기 주변 트랜지스터와 상기 주변 콘택 플러그 사이에 제공된 주변 버퍼 패턴을 더 구비하되,

상기 주변 버퍼 패턴은 상기 상부 버퍼 패턴과 동일한 구조를 갖는 3차원 반도체 장치.

청구항 6

청구항 5에 있어서,

상기 상부 버퍼 패턴들에 삽입되는 셀 콘택 플러그들; 및

상기 주변 버퍼 패턴에 삽입되는 주변 콘택 플러그를 더 포함하되,

상기 상부 및 주변 콘택 플러그들의 최대 삽입 깊이는, 상기 상부 및 주변 버퍼 패턴들의 상부면들로부터 측정할 때, 상기 수평 전극들의 최소 두께보다 크고 상기 상부 및 주변 버퍼 패턴들의 최대 두께보다 작은 3차원 반도체 장치.

청구항 7

기관 상에 층간절연막들 및 실리콘막들이 교대로 적층된 적층체를 형성하고,

상기 적층체를 패터닝하여 계단-형태의 연결 영역을 형성하고,

선택적 에피택시얼 공정을 이용하여 상기 연결 영역의 상기 실리콘막들 상에 상부 버퍼 패턴들을 각각 형성하는 것을 포함하는 3차원 반도체 장치의 제조 방법.

청구항 8

청구항 7에 있어서,

상기 상부 버퍼 패턴들을 형성하는 것은

상기 연결 영역이 형성된 상기 적층체를 실질적으로 콘포말하게 덮는 제 1 상부 절연막을 형성하고,

상기 제 1 상부 절연막을 패터닝하여, 상기 연결 영역 상에서 상기 실리콘막들을 각각 노출시키는 버퍼 개구부들을 형성하고,

상기 버퍼 개구부들 내에 상기 상부 버퍼 패턴들을 각각 형성하는 것을 포함하되,

상기 버퍼 개구부들은 실질적으로 동일한 깊이를 갖도록 형성되는 3차원 반도체 장치의 제조 방법.

청구항 9

청구항 8에 있어서,

상기 버퍼 개구부들은 그 각각이, 평면도로 볼 때, 0.7 내지 1.3의 종횡비를 갖도록, 사진 공정을 이용하여 형성되는 3차원 반도체 장치의 제조 방법.

청구항 10

청구항 8에 있어서,

상기 버퍼 개구부들은 그 각각이, 평면도로 볼 때, 0.001 내지 0.5 또는 2 내지 1000의 종횡비를 갖도록, 사진 공정을 이용하여 형성되는 3차원 반도체 장치의 제조 방법.

청구항 11

청구항 7에 있어서,

상기 상부 버퍼 패턴들을 형성하는 것은

상기 연결 영역이 형성된 상기 적층체를 덮는 스페이서 절연막을 콘포말하게 형성하고,

상기 스페이서 절연막을 이방적으로 식각하여 상기 연결 영역을 구성하는 상기 실리콘막들의 측벽들 상에 스페이서들을 형성하고,

상기 스페이서들의 측벽 상에 상기 상부 버퍼 패턴들을 형성하는 것을 포함하는 3차원 반도체 장치의 제조 방법.

청구항 12

청구항 7에 있어서,

상기 연결 영역은 복수의 계단 그룹들을 포함하고,

상기 계단 그룹들 각각은 상기 실리콘막들 중의 하나 및 그것의 아래에 인접한 상기 층간절연막들 중의 하나로 구성되고,

상기 계단 그룹들은 상기 실리콘막들이 서로 다른 평면적 위치들에서 노출되도록 형성되는 3차원 반도체 장치의 제조 방법.

청구항 13

청구항 7에 있어서,

상기 상부 버퍼 패턴들을 형성하기 전에, 상기 연결 영역의 상기 실리콘막들 상에 하부 버퍼 패턴들을 형성하는 것을 더 포함하는 3차원 반도체 장치의 제조 방법.

청구항 14

청구항 13에 있어서,

상기 연결 영역은 복수의 계단 그룹들을 포함하고,

상기 계단 그룹들 각각은 상기 실리콘막들 중의 하나 및 그것의 아래에 인접한 상기 층간절연막들 중의 하나로 구성되고,

상기 계단 그룹들은 상기 실리콘막들이 서로 다른 평면적 위치들에서 노출되도록 형성하되,

상기 하부 버퍼 패턴들을 형성하는 것은 상기 계단 그룹들의 상기 노출된 실리콘층들을 씨드층으로 사용하는 선택적 에피택시얼 공정을 포함하는 3차원 반도체 장치의 제조 방법.

청구항 15

청구항 13에 있어서,

상기 하부 버퍼 패턴들은, 그 각각이 상기 층간절연막들의 두께들의 최소값보다 얇은 두께를 갖도록, 형성되는 3차원 반도체 장치의 제조 방법.

청구항 16

청구항 7에 있어서,

상기 적층체의 상기 실리콘막들을 금속성 물질을 포함하는 도전 패턴들로 대체시키는 대체 공정을 더 포함하되,

상기 대체 공정은

상기 적층체를 관통하는 커팅 영역을 형성하고,

상기 커팅 영역에 의해 노출되는 상기 실리콘막들을 수평적으로 식각하여, 상기 층간절연막들 사이에 위치하는 층간 갭 영역들을 형성하고,

상기 층간 갭 영역들에 상기 도전 패턴들을 형성하는 것을 포함하는 3차원 반도체 장치의 제조 방법.

청구항 17

청구항 16에 있어서,

상기 층간 갭 영역은 상기 층간절연막들 사이에 상기 실리콘막의 일부가 잔존하도록 형성되되,

상기 도전 패턴들을 형성하는 것은

상기 층간 갭 영역의 적어도 일부를 채우는 금속막을 형성하고,

상기 금속막과 상기 실리콘막의 상기 잔존하는 일부를 반응시켜 실리사이드 패턴을 형성하는 것을 포함하는 3차원 반도체 장치의 제조 방법.

청구항 18

청구항 7에 있어서,

상기 상부 버퍼 패턴들이 형성된 상기 적층체 상에 평탄화된 상부면을 갖는 상부 절연막을 형성하고,

상기 상부 절연막을 패터닝하여 상기 상부 버퍼 패턴들을 각각 노출시키는 콘택홀들을 형성하는 단계를 더 포함하되,

상기 콘택홀들 중의 적어도 하나는 상기 상부 버퍼 패턴들 중의 상응하는 하나에 리세스 영역을 정의하도록 형성되고, 상기 리세스 영역의 깊이는 상기 실리콘막들의 최소 두께보다 크고 상기 상부 버퍼 패턴들의 최소 두께보다 작은 3차원 반도체 장치의 제조 방법.

청구항 19

청구항 7에 있어서,

상기 기판 상에, 게이트, 소오스, 및 드레인 전극들을 구비하는, 주변 트랜지스터를 형성하는 것을 더 포함하되,

상기 상부 버퍼 패턴들을 형성하는 것은 상기 주변 트랜지스터의 상기 게이트, 소오스, 및 드레인 전극들 중의 적어도 하나의 상부에 주변 버퍼 패턴들을 형성하는 것을 포함하는 3차원 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 보다 구체적으로는 3차원 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 장치의 집적도를 증가시키는 것이 요구되고 있다. 메모리 반도체 장치의 경우, 그 집적도는 제품의 가격을 결정하는 중요한 요인이기 때문에, 특히 증가된 집적도가 요구되고 있다. 종래의 2차원 또는 평면적 메모리 반도체 장치의 경우, 그 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 메모리 반도체 장치의 집적도는 증가하고는 있지만 여전히 제한적이다. 이러한 한계를 극복하기 위한 대안으로, 3차원적으로 배열된 메모리 셀들을 구비하는 반도체 장치들(이하, 3차원 메모리 소자)이 제안되어 왔다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 이루고자 하는 일 기술적 과제는 콘택홀 형성 공정에서의 증가된 식각 마아진을 구현할 수 있는 3차원 반도체 장치의 제조 방법을 제공하는 데 있다.

[0004] 본 발명이 이루고자 하는 일 기술적 과제는 향상된 신뢰성을 갖는 3차원 반도체 장치를 제공하는 데 있다.

과제의 해결 수단

[0005] 본 발명의 일부 실시예들에 따르면, 3차원 반도체 장치는 계단-형태의 연결 부분들을 구비하면서 기판 상에 차례로 적층되는 수평 전극들, 상기 수평 전극들의 상기 연결 부분들 상에 각각 제공되는 셀 콘택 플러그들, 상기 연결 부분들과 상기 셀 콘택 플러그들 사이에 제공된 상부 버퍼 패턴들, 및 상기 셀 콘택 플러그들 아래에 배치되어 상기 상부 버퍼 패턴들을 둘러싸는 제 1 상부 절연막을 포함할 수 있다. 상기 상부 버퍼 패턴들 각각은 그것 아래 위치하는 상기 연결 부분보다 작은 면적을 가질 수 있다.

[0006] 본 발명의 일부 실시예들에 따르면, 3차원 반도체 장치는 셀 어레이 영역 및 주변 회로 영역을 포함하는 기판, 계단-형태의 연결 부분들을 구비하면서 상기 셀 어레이 영역 상에 차례로 적층되는 수평 전극들, 상기 수평 전극들의 상기 연결 부분들 상에 각각 제공되는 셀 콘택 플러그들, 및 상기 연결 부분들과 상기 셀 콘택 플러그들 사이에 제공된 셀 버퍼 패턴들을 포함할 수 있다. 이때, 상기 셀 버퍼 패턴들의 최대 두께는 상기 수평 전극들의 최소 두께의 1배 내지 20배일 수 있다.

- [0007] 일부 실시예들에 따르면, 상기 셀 버퍼 패턴들 각각은 하부 버퍼 패턴 및 상부 버퍼 패턴 중의 적어도 하나를 포함할 수 있다.
- [0008] 일부 실시예들에 따르면, 상기 하부 버퍼 패턴은 상기 수평 전극들의 상기 최소 두께보다 얇고, 상기 상부 버퍼 패턴은 상기 수평 전극들의 상기 최소 두께의 1배 내지 20배일 수 있다.
- [0009] 일부 실시예들에 따르면, 상기 하부 버퍼 패턴은 상기 연결 부분들 중의 상응하는 하나와 실질적으로 동일한 면적을 갖고, 상기 상부 버퍼 패턴은 상기 연결 부분들 중의 상응하는 하나보다 작은 면적을 가질 수 있다.
- [0010] 일부 실시예들에 따르면, 상기 3차원 반도체 장치는 상기 주변 회로 영역에 형성된 주변 트랜지스터, 상기 주변 트랜지스터 상에 제공되는 주변 콘택 플러그, 및 상기 주변 트랜지스터와 상기 주변 콘택 플러그 사이에 제공된 주변 버퍼 패턴을 포함할 수 있다. 이때, 상기 주변 버퍼 패턴은 상기 상부 버퍼 패턴과 동일한 구조를 갖도록 형성될 수 있다.
- [0011] 일부 실시예들에 따르면, 상기 3차원 반도체 장치는 상기 셀 어레이 영역에 배치되어 상기 셀 버퍼 패턴들에 삽입되는 셀 콘택 플러그들 및 상기 주변 회로 영역에 배치되어 상기 주변 버퍼 패턴에 삽입되는 주변 콘택 플러그를 더 포함할 수 있다. 이때, 상기 셀 및 주변 콘택 플러그들의 최대 삽입 깊이는, 상기 셀 및 주변 버퍼 패턴들의 상부면들로부터 측정할 때, 상기 수평 전극들의 최소 두께보다 크고 상기 셀 및 주변 버퍼 패턴들의 최대 두께보다 작을 수 있다.
- [0012] 본 발명의 일부 실시예들에 따르면, 3차원 반도체 장치의 제조 방법은 기판 상에 층간절연막들 및 실리콘막들이 교대로 적층된 적층체를 형성하고, 상기 적층체를 패터닝하여 계단-형태의 연결 영역을 형성하고, 상기 연결 영역의 상기 실리콘막들 상에 상부 버퍼 패턴들을 각각 형성하는 것을 포함할 수 있다.
- [0013] 일부 실시예들에 따르면, 상기 상부 버퍼 패턴들을 형성하는 것은 상기 연결 영역이 형성된 상기 적층체를 덮는 절연막을 형성하고, 상기 절연막을 패터닝하여 상기 연결 영역 상에서 상기 실리콘막들을 각각 노출시키는 버퍼 개구부들을 형성하고, 선택적 에피택시얼 공정을 실시하여 상기 버퍼 개구부들 내에 상기 상부 버퍼 패턴들을 각각 형성하는 것을 포함할 수 있다.
- [0014] 일부 실시예들에 따르면, 상기 버퍼 개구부들 각각은, 평면도로 볼 때, 0.7 내지 1.3의 종횡비를 갖도록 형성될 수 있다.
- [0015] 일부 실시예들에 따르면, 상기 버퍼 개구부들 각각은, 평면도로 볼 때, 0.001 내지 0.5 또는 2 내지 1000의 종횡비를 갖도록 형성될 수 있다.
- [0016] 일부 실시예들에 따르면, 상기 상부 버퍼 패턴들을 형성하는 것은 상기 연결 영역이 형성된 상기 적층체를 덮는 스페이서 절연막을 콘포말하게 형성하고, 상기 스페이서 절연막을 이방적으로 식각하여 상기 연결 영역을 구성하는 상기 실리콘막들의 측벽들 상에 스페이서들을 형성하고, 선택적 에피택시얼 공정을 실시하여 상기 스페이서들의 측벽 상에 상기 상부 버퍼 패턴들을 형성하는 것을 포함할 수 있다.
- [0017] 일부 실시예들에 따르면, 상기 연결 영역은 복수의 계단 그룹들을 포함하고, 상기 계단 그룹들 각각은 상기 실리콘막들 중의 하나 및 그것의 아래에 인접한 상기 층간절연막들 중의 하나로 구성되고, 상기 계단 그룹들은 상기 실리콘막들이 서로 다른 평면적 위치들에서 노출되도록 형성될 수 있다.
- [0018] 일부 실시예들에 따르면, 상기 상부 버퍼 패턴들을 형성하기 전에, 상기 연결 영역의 상기 실리콘막들 상에 하부 버퍼 패턴들을 형성하는 것을 더 포함할 수 있다.
- [0019] 일부 실시예들에 따르면, 상기 연결 영역은 복수의 계단 그룹들을 포함하고, 상기 계단 그룹들 각각은 상기 실리콘막들 중의 하나 및 그것의 아래에 인접한 상기 층간절연막들 중의 하나로 구성되고, 상기 계단 그룹들은 상기 실리콘막들이 서로 다른 평면적 위치들에서 노출되도록 형성되되, 상기 하부 버퍼 패턴들을 형성하는 것은 상기 계단 그룹들의 상기 노출된 실리콘층들을 씨드층으로 사용하는 선택적 에피택시얼 공정을 포함할 수 있다.
- [0020] 일부 실시예들에 따르면, 상기 하부 버퍼 패턴들은, 그 각각이 상기 층간절연막들의 두께들의 최소값보다 얇은 두께를 갖도록, 형성될 수 있다.
- [0021] 일부 실시예들에 따르면, 상기 제조 방법은 상기 적층체의 상기 실리콘막들을 금속성 물질을 포함하는 도전 패턴들로 대체시키는 대체 공정을 더 포함할 수 있다.
- [0022] 일부 실시예들에 따르면, 상기 대체 공정은 상기 적층체를 관통하는 커팅 영역을 형성하고, 상기 커팅 영역에

의해 노출되는 상기 실리콘막들을 수평적으로 식각하여 상기 층간절연막들 사이에 위치하는 층간 갭 영역들을 형성하고, 상기 층간 갭 영역들에 상기 도전 패턴들을 형성하는 것을 포함할 수 있다.

[0023] 일부 실시예들에 따르면, 상기 층간 갭 영역은 상기 층간절연막들 사이에 상기 실리콘막의 일부가 잔존하도록 형성될 수 있다. 이 경우, 상기 도전 패턴들을 형성하는 것은 상기 층간 갭 영역의 적어도 일부를 채우는 금속막을 형성하고, 상기 금속막과 상기 실리콘막의 상기 잔존하는 일부를 반응시켜 실리사이드 패턴을 형성하는 것을 포함할 수 있다.

[0024] 일부 실시예들에 따르면, 상기 제조 방법은 상기 상부 버퍼 패턴들이 형성된 상기 적층체 상에 평탄화된 상부면을 갖는 상부 절연막을 형성하고, 상기 상부 절연막을 패터닝하여 상기 상부 버퍼 패턴들을 각각 노출시키는 콘택홀들을 형성하는 단계를 더 포함할 수 있다. 이 경우, 상기 콘택홀들 중의 적어도 하나는 상기 상부 버퍼 패턴들 중의 상응하는 하나에 리세스 영역을 정의하도록 형성되고, 상기 리세스 영역의 깊이는 상기 실리콘막들의 최소 두께보다 크고 상기 상부 버퍼 패턴들의 최소 두께보다 작을 수 있다.

[0025] 일부 실시예들에 따르면, 상기 제조 방법은 상기 기판 상에, 게이트, 소오스, 및 드레인 전극들을 구비하는, 주변 트랜지스터를 형성하는 것을 더 포함할 수 있다. 상기 상부 버퍼 패턴들을 형성하는 것은 상기 주변 트랜지스터의 상기 게이트, 소오스, 및 드레인 전극들 중의 적어도 하나의 상부에 주변 버퍼 패턴들을 형성하는 것을 포함할 수 있다.

발명의 효과

[0026] 본 발명의 실시예들에 따르면, 3차원 반도체 장치는 계단 형태의 연결 영역을 구비하는 적층체를 구비한다. 상기 적층체는(예를 들면, 워드라인들로서 사용되는) 수평 전극들을 포함할 수 있으며, 상기 수평 전극들은 상기 계단 형태의 연결 영역을 통해 그것의 상부에 위치하는 상부 배선들에 접속한다. 일부 실시예들에서, 버퍼 패턴들이 상기 연결 영역 상에 위치하는 상기 수평 전극들의 말단들에 각각 제공되며, 상기 상부 배선들은 콘택 플러그들을 통해 상기 버퍼 패턴들에 전기적으로 연결될 수 있다.

[0027] 상기 버퍼 패턴들의 존재에 의해, 상기 콘택 플러그들은 증가된 신뢰성을 가지고 상기 수평 전극들에 연결될 수 있다. 예를 들면, 상기 버퍼 패턴들의 존재에 의해, 상기 콘택 플러그들을 위한 콘택홀들은 증가된 식각 마아진을 가지고 형성될 수 있다. 상기 수평 전극들과 상기 상부 배선들 사이의 연결에서의 신뢰성 향상의 결과로서, 3차원 반도체 장치는 향상된 신뢰성을 가질 수 있다.

도면의 간단한 설명

- [0028] 도 1 내지 도 9는 본 발명의 일부 실시예들에 따른 3차원 반도체 장치의 제조 방법을 도시하는 사시도들이다.
- 도 10 내지 도 12는 본 발명의 일부 실시예들에 따른 하부 및 상부 버퍼 패턴들을 형성하는 방법을 설명하기 위한 단면도들이다.
- 도 13 및 도 14는 본 발명의 다른 실시예들에 따른 상부 버퍼 패턴들을 형성하는 방법을 설명하기 위한 단면도들이다.
- 도 15 내지 도 17은 본 발명의 몇몇 실시예들에 따른 상부 버퍼 패턴들의 평면적 모양 및 위치를 설명하기 위한 평면도들이다.
- 도 18 내지 도 20은 도 15 내지 도 17의 실시예들에 따른 3차원 반도체 장치들을 도시하는 사시도들이다.
- 도 21은 본 발명의 일부 실시예에 따른 3차원 반도체 장치들을 도시하는 사시도이다.
- 도 22 내지 도 26은 본 발명의 일부 실시예들에 따른 대체 공정의 한 예를 설명하게 위해 제공되는 단면도들이다.
- 도 27은 도 26의 점선 I-I'에 따른 상기 수평 전극 내에서의 실리콘 원자들의 분포를 예시적으로 도시하는 그래프이다.
- 도 28은 본 발명의 일부 실시예들에 따른 3차원 메모리 반도체 장치를 예시적으로 도시하는 회로도이다.
- 도 29 내지 도 32은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치들의 일부분을 예시적으로 도시하는 단면도들이다.

도 33은 본 발명의 다른 실시예들에 따른 3차원 메모리 반도체 장치를 예시적으로 도시하는 회로도이다.

도 34 및 도 35는 본 발명의 실시예들에 따른 반도체 장치를 포함하는 전자 장치들을 도식적으로 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명의 구성 및 효과를 충분히 이해하기 위하여, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라, 여러 가지 형태로 구현될 수 있고 다양한 변경을 가할 수 있다. 단지, 본 발명의 실시예들에 대한 설명은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위하여 제공되는 것이다. 첨부된 도면에서 구성 요소들은 설명의 편의를 위하여 그 크기가 실제보다 확대하여 도시한 것이며, 각 구성 요소의 비율은 과장되거나 축소될 수 있다. 도면상의 동일한 구성 요소에 대해서는 동일한 참조부호 또는 용어를 사용하고, 동일한 구성 요소에 대해서 중복된 설명은 생략될 수 있다.
- [0030] 어떤 구성 요소가 다른 구성 요소에 "상에" 있다거나 "연결되어" 있다고 기재된 경우, 다른 구성 요소에 상에 직접 맞닿아 있거나 또는 연결되어 있을 수 있지만, 중간에 또 다른 구성 요소가 존재할 수 있다고 이해되어야 할 것이다. 반면, 어떤 구성 요소가 다른 구성 요소의 "바로 위에" 있다거나 "직접 연결되어" 있다고 기재된 경우에는, 중간에 또 다른 구성 요소가 존재하지 않는 것으로 이해될 수 있다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 예를 들면, "-사이에"와 "직접 ~사이에" 등도 마찬가지로 해석될 수 있다.
- [0031] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용될 수 있다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0032] 단수의 표현은 문맥상 명백하게 다르게 표현하지 않는 한, 복수의 표현을 포함한다. "포함한다" 또는 "가진다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하기 위한 것으로, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들이 부가될 수 있는 것으로 해석될 수 있다.
- [0033] 본 발명의 실시예들에서 사용되는 용어들은 다르게 정의되지 않는 한, 해당 기술 분야에서 통상의 지식을 가진 자에게 통상적으로 알려진 의미로 해석될 수 있다.
- [0034] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- [0035] 도 1 내지 도 9는 본 발명의 일부 실시예들에 따른 3차원 반도체 장치의 제조 방법을 도시하는 사시도들이다.
- [0036] 도 1을 참조하면, 셀 어레이 영역(CAR) 및 주변 회로 영역(PERI)을 포함하는 기판(100) 상에 활성 영역을 한정하는 소자분리막(105)이 형성된다. 주변 트랜지스터(PTR)가 상기 주변회로 영역(PERI) 상에 형성된다. 상기 주변 트랜지스터(PTR)는 상기 활성 영역을 가로지르는 게이트 전극(G), 상기 게이트 전극(G) 양 옆의 상기 활성 영역에 형성되는 소오스 및 드레인 전극들(S, D)을 포함할 수 있다. 상기 게이트 전극(G)은 차례로 적층된 제 1 게이트 패턴(G1) 및 제 2 게이트 패턴(G2)을 포함할 수 있다. 이어서, 상기 주변 트랜지스터(PTR)를 덮는 하부 절연 패턴(110)이 형성된다. 상기 하부 절연 패턴(110)은 상기 셀 어레이 영역(CAR)을 노출시키도록 형성될 수 있다.
- [0037] 도 2를 참조하면, 상기 하부 절연 패턴(110)이 형성될 결과물 상에 적층체(ST)를 형성한다. 상기 적층체(ST)는 교대로 적층된 층간절연막들(120) 및 실리콘막들(130)을 포함할 수 있다. 일부 실시예들에 따르면, 상기 층간절연막들(120)은 실리콘 산화막일 수 있지만, 본 발명이 이러한 실시예에 한정되는 것은 아니다.
- [0038] 상기 적층체(ST)는 상기 셀 어레이 영역(CAR) 및 상기 주변 회로 영역(PERI) 상에 각각 배치되는 제 1 및 제 2 부분들 그리고 상기 하부 절연 패턴(110)의 측벽 상에서 상기 제 1 및 제 2 부분들을 연결하는 제 3 부분을 포함할 수 있다. 상기 하부 절연 패턴(110)의 존재 때문에, 상기 셀 어레이 영역(CAR) 상에 위치하는 상기 제 1 부분은 상기 주변 회로 영역(PERI) 상에 위치하는 상기 제 2 부분보다 낮은 상부면을 갖는다.

- [0039] 상기 적층체(ST)는 복수의 막 그룹들(LG)을 구성할 수 있고, 상기 막 그룹들(LG) 각각은 상기 층간절연막들(120) 중의 하나 및 그것의 상부에 인접하는 상기 실리콘막들(130) 중의 하나로 구성될 수 있다. 설명의 간결함을 위해, 아래에서는, 상기 막 그룹들(LG) 각각의 두께는 '단위 그룹 두께(UGT)'로 언급될 수 있다.
- [0040] 도 3을 참조하면, 상기 적층체(ST)를 패터닝하여 계단-형태의 연결 영역(CR)을 형성한다. 예를 들면, 상기 적층체(ST)는 상기 실리콘막들(130)이 상기 연결 영역(CR)의 서로 다른 위치들에서 각각 노출되도록 패터닝된다. 상기 연결 영역(CR)은 상기 셀 어레이 영역(CAR)의 가장자리의 일부에 형성될 수 있다.
- [0041] 일부 실시예들에 따르면, 상기 연결 영역(CR)을 형성하는 단계는 상기 적층체(ST) 상에 마스크 패턴(미도시)을 형성하고, 상기 마스크 패턴을 식각 마스크로 사용하여 상기 적층체(ST)를 식각하고, 상기 마스크 패턴을 수평적으로 식각하여 축소된 마스크 패턴(미도시)을 형성한 후, 상기 축소된 마스크 패턴을 식각 마스크로 사용하여 상기 적층체(ST)를 다시 식각하는 단계를 포함할 수 있다.
- [0042] 다른 실시예들에 따르면, 상기 연결 영역(CR)을 형성하는 단계는 서로 다른 식각 마스크들을 사용하는 복수의 식각 단계들을 포함할 수 있다. 이 경우, 상기 식각 마스크들은 중첩된 영역을 포함할 수 있지만, 그것들에 의해 노출되는 전체 영역들이 동일하지는 않도록 형성될 수 있다. 이에 더하여, 상기 식각 단계들 중의 적어도 둘은 식각 깊이에 있어서 서로 다를 수 있다.
- [0043] 상기 연결 영역(CR)을 형성하는 동안, 상기 막 그룹들(LG) 중의 가장 아래에 위치하는 적어도 하나는, 도 3에 도시된 것처럼, 식각되지 않을 수 있다. 예를 들면, 상기 연결 영역(CR)은 상기 기판(100)의 상부면이 노출되지 않도록 형성될 수 있다.
- [0044] 도 4를 참조하면, 상기 실리콘막들(130)의 상기 노출된 상부면들 상에 하부 버퍼 패턴들(140)을 각각 형성한다. 상기 하부 버퍼 패턴들(140)은 상기 실리콘막들(130)의 상기 노출된 상부면들을 씨드막으로 사용하는 선택적 에피택시얼 공정을 통해 형성될 수 있다. 상기 선택적 에피택시얼 공정은 상기 하부 버퍼 패턴들(140)이 상기 실리콘막들(130)의 상기 노출된 상부면들 상에 국소적으로 형성되도록 실시될 수 있다.
- [0045] 상기 하부 버퍼 패턴들(140) 각각은, 도 10에 도시된 것처럼, 상기 층간절연막들(120)의 최소 두께보다 얇은 두께를 갖도록 형성될 수 있다. 예를 들면, 상기 하부 버퍼 패턴들(140) 각각의 두께는 상기 층간절연막들(120)의 최소 두께의 0.1배 내지 0.8배일 수 있다.
- [0046] 도 5를 참조하면, 상기 하부 버퍼 패턴들(140)이 형성된 결과물 상에, 제 1 상부 절연막(150)을 형성한다. 상기 제 1 상부 절연막(150)은 상기 하부 버퍼 패턴들(140)이 형성된 결과물을 콘포말하게 덮도록 형성될 수 있으며, 그 두께는 상기 막 그룹들(LG) 각각의 두께의 1배 내지 10배일 수 있다. 상기 제 1 상부 절연막(150)은 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산화질화막 중의 적어도 하나를 포함할 수 있다. 예를 들면, 상기 제 1 상부 절연막(150)은 단층막 또는 복층막 구조를 갖도록 형성될 수 있다.
- [0047] 일부 실시예들에 따르면, 상기 제 1 상부 절연막(150)을 형성하기 전에, 상기 막 그룹들(LG) 중의 가장 아래에 위치하는 적어도 하나를 패터닝하여, 상기 기판(100)의 상부면을 노출시킬 수 있다.
- [0048] 이어서, 상기 제 1 상부 절연막(150)을 관통하는 버퍼 개구부들을 형성한다. 상기 버퍼 개구부들은 상기 연결 영역(CR)에서 상기 하부 버퍼 패턴들(140)을 각각 노출시키는 셀 버퍼 개구부들(151) 및 상기 주변 회로 영역(PERI)에서 상기 주변 트랜지스터(PTR)를 노출시키는 주변 버퍼 개구부들(152)을 포함할 수 있다. 다시 말해, 상기 주변 버퍼 개구부들(152)은 상기 제 1 상부 절연막(150) 및 상기 하부 절연 패턴(110)을 관통하여 상기 주변 트랜지스터(PTR)를 노출시킬 수 있다. 상기 셀 및 주변 버퍼 개구부들(151, 152)을 형성하는 것은 사진 공정의 단계를 포함할 수 있다.
- [0049] 일부 실시예들에 따르면, 상기 셀 및 주변 버퍼 개구부들(151, 152)은 동일한 패터닝 공정을 이용하여 동시에 형성될 수 있다. 다른 실시예들에 따르면, 상기 셀 및 주변 버퍼 개구부들(151, 152)은 서로 다른 패터닝 공정들을 이용하여 순차적으로 형성될 수 있다. 또 다른 실시예들에 따르면, 상기 주변 버퍼 개구부들(152)을 형성하는 것은 제 1 패터닝 단계 및 제 2 패터닝 단계를 포함할 수 있으며, 상기 제 1 및 제 2 패터닝 단계들 중의 적어도 하나는 상기 셀 버퍼 개구부들(151)을 형성하는 공정과 동시에 실시될 수 있다.
- [0050] 상기 주변 버퍼 개구부들(152)은 상기 주변 트랜지스터(PTR)의 상기 게이트, 소오스, 및 드레인 전극들(G, S, D) 중의 적어도 하나를 노출시키도록 형성될 수 있다. 일부 실시예들에 따르면, 상기 하부 버퍼 패턴들(140) 각각은 서로 이격된 복수의 상기 셀 버퍼 개구부들(151)에 의해 노출될 수 있다.
- [0051] 일부 실시예들에 따르면, 상기 셀 버퍼 개구부들(151) 각각은 도 5에 도시된 것처럼 원통형의 홀 형태를 갖도록

형성될 수 있다. 예를 들면, 상기 셀 버퍼 개구부들(151) 각각은, 평면적으로 볼 때, 평면도로 볼 때, 0.7 내지 1.3의 중형비를 갖도록 형성될 수 있다. 다른 실시예들에 따르면, 상기 셀 버퍼 개구부들(151) 각각은 상기 하부 버퍼 패턴들(140) 중의 상응하는 하나에 평행한 바 모양일 수 있다. 예를 들면, 상기 셀 버퍼 개구부들(151) 각각은, 평면도로 볼 때, 0.001 내지 0.5 또는 2 내지 1000의 중형비를 갖도록 형성될 수 있다.

[0052] 도 6을 참조하면, 상기 셀 및 주변 버퍼 개구부들(151, 152) 내에 상부 버퍼 패턴들(160)을 형성한다. 상기 상부 버퍼 패턴들(160)은 상기 셀 및 주변 버퍼 개구부들(151, 152)에 의해 노출되는 부분들을 씨드막으로 사용하는 선택적 에피택시얼 공정을 통해 형성될 수 있다. 예를 들면, 상기 셀 어레이 영역(CAR) 또는 상기 연결 영역(CR) 상에서, 상기 상부 버퍼 패턴들(160)은 상기 셀 버퍼 개구부들(151)에 의해 노출되는 상기 하부 버퍼 패턴들(140)을 씨드막으로 사용하여 형성되고, 상기 주변 회로 영역(PERI) 상에서, 상기 상부 버퍼 패턴들(160)은 상기 주변 버퍼 개구부들(152)에 의해 노출되는 상기 주변 트랜지스터(PTR)의 상기 게이트, 소오스, 및 드레인 전극들(G, S, D)을 씨드막으로 사용하여 형성될 수 있다. 이에 따라, 상기 연결 영역(CR) 및 상기 주변 회로 영역(PERI) 상에서 형성되는, 상기 상부 버퍼 패턴들(160)은 실질적으로 동일한 구조를 가질 수 있다. 하지만, 일부 실시예들에 따르면, 상기 하부 버퍼 패턴(140)은 상기 주변 회로 영역(PERI) 상에 제공되지 않을 수 있다.

[0053] 상기 상부 버퍼 패턴들(160) 각각은, 도 12 또는 도 14에 도시된 것처럼, 그것의 상부면이 그것의 상부에 인접하는 상기 층간 절연막들(120) 중의 상응하는 하나의 상부면보다 높게 위치하도록 형성될 수 있다. 예를 들면, 상기 상부 버퍼 패턴들(160) 각각의 두께는 상기 단위 그룹 두께(UGT)의 1배 내지 5배일 수 있다. 일부 실시예들에 따르면, 상기 상부 버퍼 패턴들(160)의 최대 두께는 상기 실리콘막(130)의 최소 두께의 1 내지 20배일 수 있다. 또는 상기 하부 및 상부 버퍼 패턴들(140, 160)의 두께 합의 최대는 상기 실리콘막(130)의 최소 두께의 1 내지 20배일 수 있다.

[0054] 이어서, 상기 상부 버퍼 패턴들(160)이 형성된 결과물 상에 제 2 상부 절연막(170)을 형성한 후, 상기 제 1 및 2 상부 절연막들(150, 170) 그리고 상기 적층체(ST)를 관통하는 채널 홀들(180)을 형성한다. 상기 제 2 상부 절연막(170)은 평탄화된 상부면을 갖도록 형성될 수 있다. 예를 들면, 상기 제 2 상부 절연막(170)은 상기 연결 영역(CR)과 상기 주변 회로 영역(PERI) 사이에서 최대 두께를 갖고, 상기 셀 어레이 영역(CAR) 상에서 최소 두께를 갖도록 형성될 수 있다. 상기 채널 홀들(180)은 상기 셀 어레이 영역(CAR)에 2차원적으로 형성될 수 있다.

[0055] 도 7을 참조하면, 상기 채널 홀들(180)을 채우는 수직 패턴들(190)을 형성한 후, 상기 적층체(SR)를 관통하는 커팅 영역(200)을 형성한다.

[0056] 상기 수직 패턴들(190)은 그것을 포함하는 상기 3차원 반도체 장치의 유형에 따라 다양하게 변형될 수 있다. 상기 3차원 반도체 장치 및 상기 수직 패턴들(190)의 가능한 예들의 일부가 도 28 내지 도 33을 참조하여 보다 상세하게 설명될 것이다.

[0057] 상기 커팅 영역(200)은 상기 셀 어레이 영역(CAR)을 가로지르도록 형성될 수 있다. 이에 따라, 상기 실리콘막들(130) 및 상기 층간절연막들(120)의 측면들이 상기 커팅 영역(200)에 의해 노출될 수 있다.

[0058] 도 8을 참조하면, 상기 수직 패턴들(190) 및 상기 상부 버퍼 패턴들(160)에 접속하는 콘택 플러그들을 형성한다.

[0059] 일부 실시예들에 따르면, 상기 콘택 플러그들을 형성하기 전에, 상기 적층체(ST)의 상기 실리콘막들(130)을 금속성 물질을 포함하는 도전 패턴들로 바꾸는 대체 공정이 실시될 수 있다. 상기 대체 공정은 상기 커팅 영역(200)에 의해 노출된 상기 실리콘막들(130)을 일부분 또는 전부 제거하여 상기 층간절연막들(120) 사이에 위치하는 층간 갭 영역들(IGR)을 형성한 후, 상기 층간 갭 영역들(IGR)에 상기 금속성 물질을 포함하는 도전 패턴들을 형성하는 것을 포함할 수 있다. 상기 대체 공정의 한 예가 아래에서 도 22 내지 도 26을 참조하여 보다 상세하게 설명될 것이다.

[0060] 상기 콘택 플러그들은 상기 수직 패턴들(190) 각각에 접속하는 셀 플러그들(220), 상기 연결 영역(CR)의 상기 상부 버퍼 패턴들(160)에 접속하는 연결 플러그들(230), 및 상기 주변 트랜지스터(PTR)의 상기 상부 버퍼 패턴들(160)에 접속하는 주변 플러그들(240)을 포함할 수 있다. 일부 실시예들에 따르면, 상기 셀, 연결, 및 주변 플러그들(220, 230, 240)은 하나의 공정을 이용하여 동시에 형성될 수 있지만, 본 발명의 실시예들이 이에 한정되는 것은 아니다. 예를 들면, 상기 셀, 연결, 및 주변 플러그들(220, 230, 240)은 서로 다른 패터닝 공정들을 이용하여 독립적으로 형성될 수 있다. 또는, 상기 셀, 연결, 및 주변 플러그들(220, 230, 240) 중의 적어도 하나는 이들 중의 다른 하나를 형성하기 위한 패터닝 공정의 일부를 이용하여 형성될 수 있다.

[0061] 일부 실시예들에서, 상기 콘택 플러그들(220, 230, 240)은 상기 제 2 상부 절연막(170) 상에 제 3 상부 절연막

(210)을 형성하고, 상기 제 2 및 제 3 상부 절연막들(170, 210)을 관통하는 콘택 홀들을 형성하고, 상기 콘택홀들을 채우는 도전성 물질을 형성하는 단계를 포함할 수 있다. 상기 주변 플러그들(240)의 경우, 상기 콘택 홀들은 상기 제 2 및 제 3 상부 절연막들(170, 210) 그리고 상기 제 1 상부 절연막(150) 및 상기 하부 절연 패턴(110)을 관통하도록 형성될 수 있다. 상기 콘택 홀들 중의 적어도 하나는, 도 8에 도시된 것처럼, 상기 상부 버퍼 패턴들(160) 중의 상응하는 하나에 리세스 영역을 정의하도록 형성될 수 있다. 이 경우, 상기 리세스 영역의 깊이는 상기 실리콘막들(130)의 최소 두께보다 크고 상기 상부 버퍼 패턴들(160)의 최소 두께보다 작을 수 있다.

[0062] 도 9를 참조하면, 상기 콘택 플러그들(220, 230, 240)에 접속하는 배선 구조체를 형성한다. 상기 배선 구조체는 상기 셀 플러그들(220)을 연결하는 비트라인들(251), 상기 연결 플러그들(230)에 접속하는 연결 패턴들(252), 및 상기 주변 플러그들(240)에 접속하는 주변 배선들(253)을 포함할 수 있다. 일부 실시예들에 따르면, 상기 주변 회로 영역(PERI)은 상기 비트라인들(251) 및 상기 연결 패턴들(252)에 접속하는 복수의 주변 트랜지스터들을 포함할 수 있으며, 상기 배선 구조체는 이러한 연결을 가능하게 하는 비아 플러그들(260) 및 상부 배선들(270)을 더 포함할 수 있다.

[0063] 도 10 내지 도 12는 본 발명의 일부 실시예들에 따른 하부 및 상부 버퍼 패턴들을 형성하는 방법을 설명하기 위한 단면도들이다. 간결한 설명을 위해, 도 1 내지 도 9를 참조하여 설명된 실시예와 동일한 구성 요소는 그들에 대한 중복되는 설명없이 동일한 참조 번호를 사용하여 설명된다.

[0064] 도 10에 도시된 것처럼, 상기 하부 버퍼 패턴들(140)이 상기 실리콘막들(130)의 상기 노출된 상부면들을 씨드막으로 사용하는 선택적 에피택시얼 공정을 통해 형성될 수 있다. 상기 하부 버퍼 패턴들(140) 각각의 두께(T3)는 상기 단위 그룹 두께(UGT)보다 얇을 수 있다. 예를 들면, 상기 두께(T3)은 상기 층간절연막들(120) 각각의 두께(T1) 또는 상기 실리콘막들(130) 각각의 두께(T2)보다 얇을 수 있다.

[0065] 이어서, 도 11에 도시된 것처럼, 상기 하부 버퍼 패턴들(140)이 형성된 결과물 상에, 상기 제 1 상부 절연막(150)이 콘포말하게 형성된 후, 도 12에 도시된 것처럼, 상기 제 1 상부 절연막(150)을 관통하여 상기 하부 버퍼 패턴들(140)을 각각 노출시키는 상기 셀 버퍼 개구부들(151)을 형성한다.

[0066] 상기 제 1 상부 절연막(150)이 콘포말한 두께로 형성되기 때문에, 상기 셀 버퍼 개구부들(151)은 실질적으로 동일한 깊이를 갖도록 형성될 수 있다. 이에 따라, 상기 적층체(ST)가 상기 연결 영역(CR)에서의 계단식으로 변하는 두께를 갖는 경우에도, 상기 셀 버퍼 개구부들(151)은 과도한 오버-에치없이 형성될 수 있다. 그 결과, 상기 셀 버퍼 개구부들(151) 각각이 그것의 아래에 위치하는 상기 실리콘막들(130) 중의 상응하는 하나를 관통하는 기술적 문제를 예방할 수 있다.

[0067] 일부 실시예들에 따르면, 상기 하부 버퍼 패턴들(140)을 형성하는 단계는 생략될 수 있다. 이 경우, 상기 제 1 상부 절연막(150)은 상기 실리콘막들(130)을 덮도록 형성될 수 있으며, 상기 셀 버퍼 개구부들(151)은 상기 하부 버퍼 패턴들(140)이 아니라 상기 실리콘막들(130)을 노출시키도록 형성될 수 있다.

[0068] 상기 상부 버퍼 패턴들(160)이 선택적 에피택시얼 공정을 통해 상기 셀 버퍼 개구부들(151) 내에 형성된다. 상기 상부 버퍼 패턴들(160) 각각은 상기 단위 그룹 두께(UGT)보다 큰 두께를 갖도록 형성될 수 있다.

[0069] 도 13 및 도 14는 본 발명의 다른 실시예들에 따른 상부 버퍼 패턴들을 형성하는 방법을 설명하기 위한 단면도들이다. 간결한 설명을 위해, 도 1 내지 도 9를 참조하여 설명된 실시예와 동일한 구성 요소는 그들에 대한 중복되는 설명없이 동일한 참조 번호를 사용하여 설명된다.

[0070] 상기 상부 버퍼 패턴들(160)을 형성하는 단계는, 도 13에 도시된 것처럼, 상기 막 그룹들(LG) 각각의 측벽에 스페이서(SP)를 형성한 후, 도 14에 도시된 것처럼, 상기 스페이서(SP)를 성장 마스크로 사용하는 것을 포함할 수 있다. 상기 스페이서(SP)는 상기 계단 형태의 연결 영역(CR)이 형성된 결과물 상에 스페이서 절연막을 콘포말하게 형성한 후, 이를 이방성 식각하여 상기 하부 버퍼 패턴들(140) 또는 상기 실리콘막들(130)의 상부면들을 노출시키는 단계를 포함할 수 있다. 이 경우, 상기 상부 버퍼 패턴들(160)은, 선택적 에피택시얼 공정을 통해, 상기 스페이서(SP)에 의해 노출된 상기 하부 버퍼 패턴들(140) 또는 상기 실리콘막들(130)의 상부면들로부터 성장될 수 있다. 이 실시예에 따르면, 상기 상부 버퍼 패턴들(160) 각각은 상기 단위 그룹 두께(UGT)보다 얇은 두께로 형성될 수 있다.

[0071] 상기 스페이서(SP)의 이러한 사용은, 추가적인 사진 공정없이, 상기 상부 버퍼 패턴들(160)을 형성하는 것을 가능하게 한다. 즉, 상기 스페이서(SP)의 이러한 사용은, 도 10 내지 도 12를 참조하여 설명된 실시예에 비해, 상기 3차원 반도체 장치의 제조 비용을 줄이는 것을 가능하게 한다. 이에 더하여, 상기 스페이서(SP)를 성장 마스크

크로 사용하는 상기 선택적 에피택시얼 공정에 의해, 상기 상부 버퍼 패턴들(160) 각각은 도 10 내지 도 12를 참조하여 설명된 실시예에 비해 증가된 점유 면적을 갖도록 형성될 수 있다. 도 21은 이 실시예에 따른 3차원 반도체 장치의 일부를 예시적으로 도시한다.

- [0072] 도 15 내지 도 17은 본 발명의 몇몇 실시예들에 따른 상부 버퍼 패턴들의 평면적 모양 및 위치를 설명하기 위한 평면도들이다. 도 18 내지 도 20은 도 15 내지 도 17의 실시예들에 따른 3차원 반도체 장치들을 도시하는 사시도들이다.
- [0073] 도 15 내지 도 17에 도시된 것처럼, 상기 하부 버퍼 패턴들(140) 각각은 상기 연결 영역(CR)에서 상기 계단들 각각과 실질적으로 동일한 점유 면적을 갖도록 형성될 수 있다. 반면, 상기 상부 버퍼 패턴들(160) 각각은 상기 하부 버퍼 패턴들(140) 중의 상응하는 하나보다 작은 면적을 갖도록 형성될 수 있다. 도시하지는 않았지만, 도 13 및 도 14를 참조하여 설명된 상기 스페이서(SP)를 사용하는 실시예의 경우, 상기 하부 버퍼 패턴들(140) 각각의 점유 면적은 상기 계단들 각각의 그것보다 상기 스페이서(SP)의 점유 면적만큼 작을 수 있다.
- [0074] 도 15 및 도 16에 도시된 것처럼, 상기 상부 버퍼 패턴들(160) 각각은 상기 커팅 영역(200)으로부터 이격되어 형성될 수 있다. 예를 들면, 도 15 및 도 18에 도시된 것처럼, 상기 상부 버퍼 패턴들(160) 각각은 원통 기둥의 형태를 갖도록 형성될 수 있으며, 평면적으로 볼 때, 0.7 내지 1.3의 종횡비를 갖도록 형성될 수 있다. 또는, 도 16 및 도 19에 도시된 것처럼, 상기 상부 버퍼 패턴들(160) 각각은 직사각 기둥의 형태를 갖도록 형성될 수 있으며, 평면적으로 볼 때, 1.5 내지 20의 종횡비를 갖도록 형성될 수 있다.
- [0075] 도 17에 도시된 것처럼, 상기 상부 버퍼 패턴들(160) 각각은 적어도 하나의 커팅 영역(200)을 가로지르도록 형성될 수 있다. 예를 들면, 상기 상부 버퍼 패턴들(160)을 위한 상기 셀 버퍼 개구부들(151) 각각은 0.001 내지 0.5 또는 2 내지 1000의 종횡비를 갖도록 형성될 수 있다. 이 경우, 상기 상부 버퍼 패턴들(160) 각각은 상기 커팅 영역(200)을 형성하는 단계에서 복수의 부분들로 분할될 수 있다. 상기 상부 버퍼 패턴들(160) 각각의 상기 분할된 부분들은, 도 20에 도시된 것처럼, 상기 커팅 영역(200)에 인접하는 측벽을 가질 수 있다.
- [0076] 도 22 내지 도 26은 본 발명의 일부 실시예들에 따른 대체 공정의 한 예를 설명하게 위해 제공되는 단면도들이다. 간결한 설명을 위해, 도 1 내지 도 9를 참조하여 설명된 실시예와 동일한 구성 요소는 그들에 대한 중복되는 설명없이 동일한 참조 번호를 사용하여 설명된다.
- [0077] 도 22 및 도 23을 참조하면, 상기 제 2 상부 절연막(170)이 도 6을 참조하여 설명된 것처럼 상기 적층체(ST) 상에 형성된 후, 상기 적층체(SR)를 관통하는 커팅 영역(200)을 형성한다. 상기 커팅 영역(200)은 상기 셀 어레이 영역(CAR)을 가로지르도록 형성될 수 있으며, 이에 따라, 상기 실리콘막들(130) 및 상기 층간절연막들(120)의 측벽들이 상기 커팅 영역(200)에 의해 노출될 수 있다.
- [0078] 도 24에 도시된 것처럼, 상기 커팅 영역(200)에 의해 노출된 상기 실리콘막들(130)의 측벽들을 리세스하여, 상기 층간절연막들(120) 사이에 상기 층간 갭 영역들(IGR)을 형성한다. 상기 리세스는 상기 실리콘막들(130)이 상기 층간절연막들(120) 사이에 잔존하도록 실시될 수 있다. 즉, 상기 실리콘막들(130)의 상기 잔존하는 부분들은 상기 층간 갭 영역들(IGR)의 측벽들을 한정하도록 형성될 수 있다.
- [0079] 이어서, 도 25에 도시된 것처럼, 상기 층간 갭 영역들(IGR)을 덮는 금속막(MTL)을 형성한 후, 상기 금속막(MTL)과 상기 실리콘막들(130)의 상기 잔존하는 부분들을 반응시키는 실리사이드화 공정을 실시하여, 도 26에 도시된 것처럼, 상기 층간 갭 영역들(IGR) 내에 수평 전극들(HE)을 형성한다. 상기 수평 전극들(HE)은 금속 원자들을 포함하는 도전성 물질(예를 들면, 실리사이드)일 수 있다.
- [0080] 도 27은 도 26의 점선 I-I'에 따른 상기 수평 전극 내에서의 실리콘 원자들의 분포를 예시적으로 도시하는 그래프이다.
- [0081] 상술한 것처럼, 상기 수평 전극(HE)은 상기 층간 갭 영역(IGR)의 중앙부에 위치하는 상기 실리콘막(130)의 상기 잔존하는 부분을 실리사이드화시킨 결과물일 수 있다. 이 경우, 도 27에 도시된 것처럼, 실리콘 원자들의 농도는 상기 수평 전극(HE)의 중앙(O)에서 가장 높고 상기 수평 전극(HE)의 측벽 근방에서 가장 낮을 수 있다. 예를 들면, 실리콘 원자들의 농도는 상기 수평 전극(HE)의 중앙(O)으로부터 측벽으로 갈수록 점진적으로 감소할 수 있다.
- [0082] 도 28은 본 발명의 일부 실시예들에 따른 3차원 메모리 반도체 장치를 예시적으로 도시하는 회로도이다.

- [0083] 도 28을 참조하면, 3차원 반도체 메모리 장치는 공통 소오스 라인(CSL), 복수개의 비트라인들(BL0, BL1, BL2), 및 상기 공통 소오스 라인(CSL)과 상기 비트라인들(BL0-BL2) 사이에 배치되는 복수개의 셀 스트링들(CSTR)을 포함할 수 있다.
- [0084] 상기 공통 소오스 라인(CSL)은 기판(100) 상에 배치되는 도전성 박막 또는 상기 기판(100) 내에 형성되는 불순물 영역일 수 있다. 상기 비트라인들(BL0-BL2)은, 상기 기판(100)으로부터 이격되어 그 상부에 배치되는, 도전성 패턴들(예를 들면, 금속 라인)일 수 있다. 예를 들면, 도 9, 그리고 도 18 내지 도 21을 참조하여 설명된, 상기 비트라인들(251)이 도 28의 상기 비트라인들(BL0-BL2)으로 사용될 수 있다. 상기 상기 비트라인들(BL0-BL2)은 서로 평행하게 서로 이격되어 배치되고, 그 각각에는 복수개의 셀 스트링들(CSTR)이 병렬로 연결된다. 이에 따라 상기 셀 스트링들(CSTR)은 상기 공통 소오스 라인(CSL) 또는 상기 기판(100) 상에 2차원적으로 배열된다.
- [0085] 상기 셀 스트링들(CSTR) 각각은 상기 공통 소오스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 상기 비트라인(BL0-BL2)에 접속하는 스트링 선택 트랜지스터(SST) 및 상기 접지 및 스트링 선택 트랜지스터들(GST, SST) 사이에 배치되는 복수개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 상기 접지 선택 트랜지스터(GST), 상기 스트링 선택 트랜지스터(SST) 및 상기 메모리 셀 트랜지스터들(MCT)은 직렬로 연결될 수 있다. 이에 더하여, 상기 공통 소오스 라인(CSL)과 상기 비트라인들(BL0-BL2) 사이에 배치되는, 접지 선택 라인(GSL), 복수개의 워드라인들(WL0-WL3), 및 복수개의 스트링 선택 라인들(SSL0-SSL2)은 상기 접지 선택 트랜지스터(GST), 상기 메모리 셀 트랜지스터들(MCT) 및 상기 스트링 선택 트랜지스터들(SST)의 게이트 전극들로서 각각 사용될 수 있다.
- [0086] 상기 접지 선택 트랜지스터들(GST) 모두는 상기 기판(100)으로부터 실질적으로 동일한 거리에 배치될 수 있고, 이들의 게이트 전극들은 상기 접지 선택 라인(GSL)에 공통으로 연결되어 등전위 상태에 있을 수 있다. 유사하게, 상기 공통 소오스 라인(CSL)으로부터 실질적으로 동일한 거리에 배치되는, 복수의 메모리 셀 트랜지스터들(MCT)의 게이트 전극들 역시 상기 워드라인들(WL0-WL3) 중의 하나에 공통으로 연결되어 등전위 상태에 있을 수 있다. 하나의 셀 스트링(CSTR)은 상기 공통 소오스 라인(CSL)으로부터의 거리가 서로 다른 복수개의 메모리 셀 트랜지스터들(MCT)로 구성되기 때문에, 상기 공통 소오스 라인(CSL)과 상기 비트라인들(BL0-BL2) 사이에는 다층의 워드라인들(WL0-WL3)이 배치된다. 상기 다층의 워드라인들(WL0-WL3)은 도 1 및 도 27를 참조하여 설명된 실시예들에 따른 수평 전극들(HE) 또는 상기 실리콘막들(130)과 실질적으로 동일한 기술적 특징들을 갖도록 구성될 수 있다.
- [0087] 상기 셀 스트링들(CSTR) 각각은 상기 공통 소오스 라인(CSL)으로부터 수직하게 연장되어 상기 비트 라인(BL0-BL3)에 접속하는 반도체 패턴을 포함할 수 있다. 상기 워드라인들(WL0-WL3)과 상기 반도체 패턴 사이에는 정보 저장막 또는 메모리 요소가 개재될 수 있다. 일 실시예에 따르면, 상기 정보저장막 또는 상기 메모리 요소는 전하저장을 가능하게 하는 물질 또는 막 구조를 포함할 수 있다. 예를 들면, 상기 정보저장막은 실리콘 질화막과 같은 트랩 사이트가 풍부한 절연막, 부유 게이트 전극, 또는 도전성 나노 돛들(conductive nano dots)을 포함하는 절연막 중의 한가지일 수 있다.
- [0088] 보다 구체적으로, 상기 셀 스트링들(CSTR) 각각은 상기 층간절연막들(120)에 의해 수직적으로 분리된 수평 패턴들(HP) 및 상기 수평 패턴들(HP)을 관통하는 수직 패턴들(VP)을 포함할 수 있다. 상기 수직 패턴들(VP) 및 상기 수평 패턴들(HP)은 도 29 내지 도 32에 도시된 구조들 중의 하나를 구현하도록 형성될 수 있다. 여기서, 상기 수평 패턴들(HP)은 도 1 내지 도 27를 참조하여 앞서 설명된 실시예들에서의 상기 실리콘막들(130)이거나 상기 실리콘막들(130)에 대해 실시되는 대체 공정(replacement process)의 결과물들(예를 들면, 수평 전극들(HE))일 수 있다. 이에 따라, 상기 수평 패턴들(HP)은 도 18 및 도 21에 도시된 계단 형태의 구조와 관련된 기술적 특징들을 동일하게 가질 수 있다.
- [0089] 도 29 내지 도 32를 참조하면, 상기 수직 패턴(VP)은 채널 영역으로 사용되는 반도체 패턴(SMP)을 포함하고, 상기 수평 패턴(HP)은 게이트 전극으로 사용되는 수평 전극(HE)을 포함할 수 있다. 일부 실시예들에 따르면, 상기 수직 패턴(VP)은 상기 반도체 패턴(SMP) 내에 삽입되는 수직 절연막(VI)을 더 포함할 수 있다. 이에 더하여, 상기 메모리 셀 트랜지스터들(MCT) 각각은 메모리 요소로서 사용되는 터널 절연막(TL), 전하 저장막(CL) 및 블록킹 절연막(BK)을 더 포함할 수 있다.
- [0090] 일부 실시예들에 따르면, 도 29에 도시된 것처럼, 상기 터널 절연막(TL), 상기 전하 저장막(CL) 및 상기 블록킹 절연막(BK)은 상기 수직 패턴(VP)을 구성하고, 다른 실시예들에 따르면, 도 32에 도시된 것처럼, 상기 터널 절연막(TL), 상기 전하 저장막(CL) 및 상기 블록킹 절연막(BK)은 상기 수평 패턴(HP)을 구성할 수 있다. 또 다른 실시예들에 따르면, 도 30에 도시된 것처럼, 상기 터널 절연막(TL) 및 상기 전하 저장막(CL)은 상기 수직 패턴

(VP)을 구성하고 상기 블록킹 절연막(BK)은 상기 수평 패턴(HP)을 구성할 수 있다. 또 다른 실시예들에 따르면, 도 31에 도시된 것처럼, 상기 터널 절연막(TL)은 상기 수직 패턴(VP)을 구성하고, 상기 전하 저장막(CL) 및 상기 블록킹 절연막(BK)은 상기 수평 패턴(HP)을 구성할 수 있다. 하지만, 본 발명의 실시예들이 도 29 내지 도 32에 예시적으로 도시된 예들에 한정되는 것은 아니다. 예를 들면, 상기 터널 절연막(TL), 상기 전하 저장막(CL) 및 상기 블록킹 절연막(BK) 각각은 다층막 구조일 수 있다. 이에 더하여, 상기 다층막 구조는 상기 수직 패턴(VP) 및 상기 수평 패턴(HP)에 각각 포함되는 막들을 포함하도록 구성될 수 있다.

[0091] 물질의 종류 및 형성 방법에 있어서, 상기 전하저장막(CL)은 트랩 사이트들이 풍부한 절연막들 및 나노 입자들을 포함하는 절연막들 중의 한가지일 수 있으며, 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있다. 예를 들면, 상기 전하저장막(CL)은 트랩 절연막, 부유 게이트 전극 또는 도전성 나노 돛들(conductive nano dots)을 포함하는 절연막 중의 한가지를 포함할 수 있다. 더 구체적인 예로, 상기 전하저장막(CL)은 실리콘 질화막, 실리콘 산화질화막, 실리콘-풍부 질화막(Si-rich nitride), 나노크리스탈 실리콘(nanocrystalline Si) 및 박층화된 트랩막(laminated trap layer) 중의 적어도 하나를 포함할 수 있다.

[0092] 상기 터널 절연막(TL)은 상기 전하저장막(CL)보다 큰 밴드 갭을 갖는 물질들 중의 한가지일 수 있으며, 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있다. 예를 들면, 상기 터널 절연막(TL)은 상술한 증착 기술들 중의 하나를 사용하여 형성되는 실리콘 산화막일 수 있다. 이에 더하여, 상기 터널 절연막(TL)은 증착 공정 이후 실시되는 소정의 열처리 단계를 더 경험할 수 있다. 상기 열처리 단계는 급속-열-질화 공정(Rapid Thermal Nitridation; RTN) 또는 질소 및 산소 중의 적어도 하나를 포함하는 분위기에서 실시되는 어닐링 공정일 수 있다.

[0093] 상기 블록킹 절연막(BK)은 서로 다른 물질로 형성되는 제 1 및 제 2 블록킹 절연막들을 포함할 수 있다. 상기 제 1 및 제 2 블록킹 절연막들 중의 하나는 상기 터널 절연막(TL)보다 작고 상기 전하저장막(CL)보다 큰 밴드 갭을 갖는 물질들 중의 한가지일 수 있다. 또한, 상기 제 1 및 제 2 블록킹 절연막들은 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있으며, 이들 중의 적어도 하나는 습식 산화 공정을 통해 형성될 수 있다. 일 실시예에 따르면, 상기 제 1 블록킹 절연막은 알루미늄 산화막 및 하프늄 산화막 등과 같은 고유전막들 중의 하나이고, 상기 제 2 블록킹 절연막은 상기 제 1 블록킹 절연막보다 작은 유전 상수를 갖는 물질일 수 있다. 다른 실시예에 따르면, 상기 제 2 블록킹 절연막은 고유전막들 중의 하나이고, 상기 제 1 블록킹 절연막은 상기 제 2 블록킹 절연막보다 작은 유전 상수를 갖는 물질일 수 있다.

[0094] 도 33은 본 발명의 다른 실시예들에 따른 3차원 메모리 반도체 장치의 예시적으로 도시하는 회로도이다.

[0095] 도 33를 참조하면, 복수의 선택 트랜지스터들(SST)이 복수의 비트라인 플러그들(BLP)을 통해 비트라인(BL)에 병렬로 연결된다. 상기 비트라인 플러그들(BLP) 각각은 그것에 인접하는 한 쌍의 상기 선택 트랜지스터들(SST)에 공통으로 연결될 수 있다.

[0096] 복수의 워드라인들(WL) 및 복수의 수직 전극들(VE)이 상기 비트라인(BL)과 상기 선택 트랜지스터들(SST) 사이에 배치된다. 상기 워드라인들(WL)은 도 9, 그리고 도 18 내지 도 21을 참조하여 예시적으로 설명된 반도체 장치의 기술적 특징들을 갖도록 구성될 수 있다. 상기 수직 전극들(VE)은 상기 비트라인 플러그들(BLP) 사이에 배치될 수 있다. 예를 들면, 상기 수직 전극들(VE) 및 상기 비트라인 플러그들(BLP)은 상기 비트라인(BL)에 평행한 방향을 따라 교대로 배열될 수 있다. 이에 더하여, 상기 수직 전극들(VE) 각각은 그것에 인접하는 한 쌍의 상기 선택 트랜지스터들(SST)에 공통으로 연결된다.

[0097] 복수의 메모리 요소들(ME)이 상기 수직 전극들(VE) 각각에 병렬로 연결된다. 상기 메모리 요소들(ME) 각각은 상기 워드라인들(WL)의 상응하는 하나에 연결된다. 즉, 상기 워드라인들(WL) 각각은, 상기 메모리 요소들(ME)의 상응하는 하나를 통해, 상기 수직 전극들(VE)의 상응하는 하나에 연결된다.

[0098] 상기 선택 트랜지스터들(SST) 각각은, 그것의 게이트 전극으로 기능하는, 선택 라인(SL)을 구비할 수 있다. 일 실시예에서, 상기 선택 라인들(SL)은 상기 워드라인들(WL)에 평행할 수 있다.

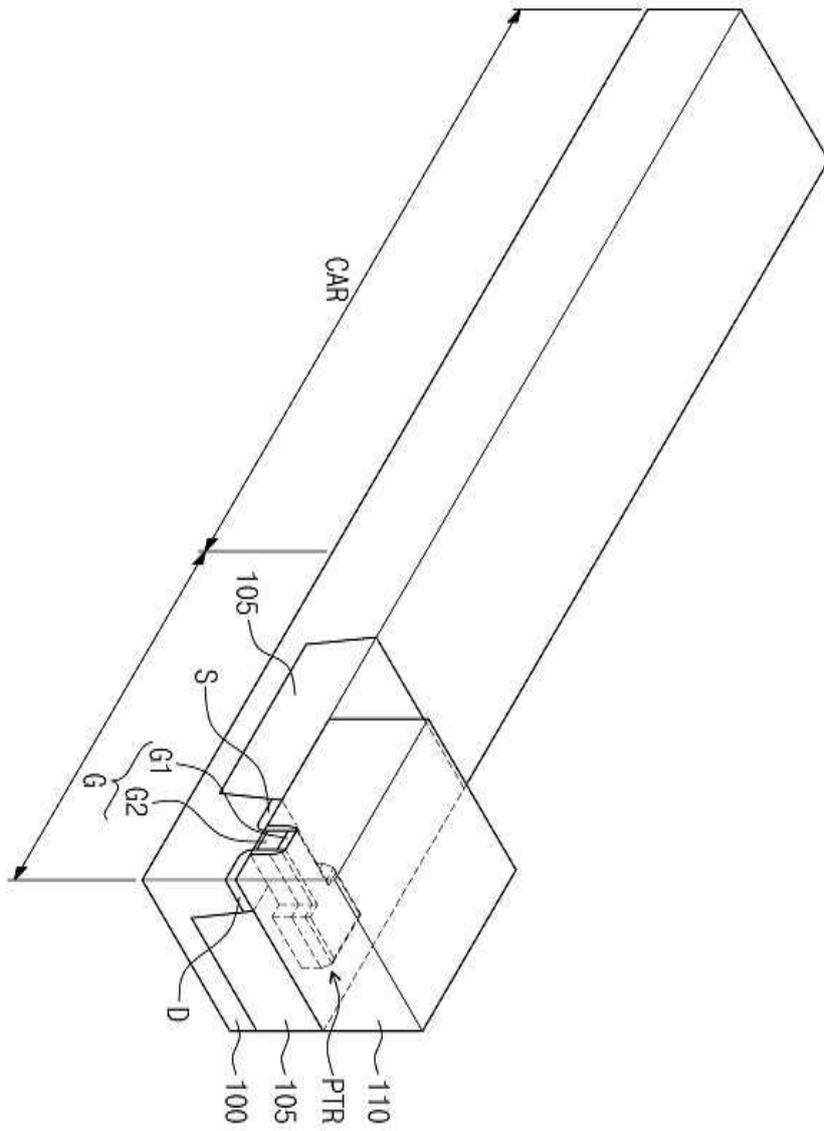
[0099] 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치들이 도 28 내지 도 33를 참조하여 예시적으로 설명되었다. 하지만, 도 28 내지 도 33는 본 발명의 기술적 사상의 가능한 응용에 대한 보다 나은 이해를 위해 제공되는 것일 뿐, 본 발명의 기술적 사상이 이들에 한정되는 것은 아니다.

[0100] 도 34 및 도 35는 본 발명의 실시예들에 따른 반도체 장치를 포함하는 전자 장치들을 도식적으로 설명하기 위한 도면들이다.

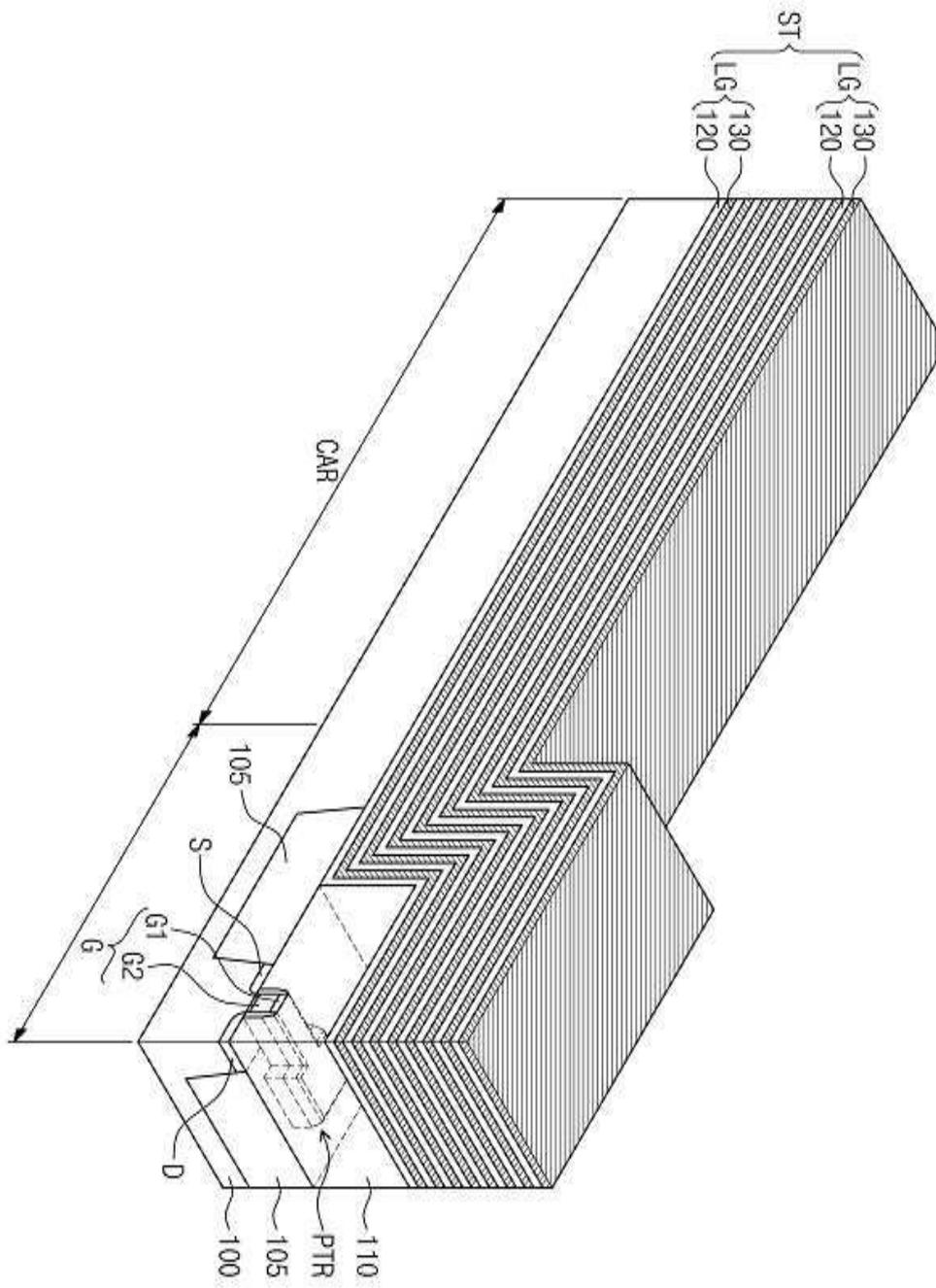
- [0101] 도 34을 참조하면, 본 발명의 실시예들에 따른 반도체 장치를 포함하는 전자 장치(1300)는 PDA, 랩톱(laptop) 컴퓨터, 휴대용 컴퓨터, 웹 태블릿(web tablet), 무선 전화기, 휴대폰, 디지털 음악 재생기(digital music player), 유무선 전자 기기 또는 이들 중의 적어도 둘을 포함하는 복합 전자 장치 중의 하나일 수 있다. 전자 장치(1300)는 버스(1350)를 통해서 서로 결합한 제어기(1310), 키패드, 키보드, 화면(display) 같은 입출력 장치(1320), 메모리(1330), 무선 인터페이스(1340)를 포함할 수 있다. 제어기(1310)는 예를 들면 하나 이상의 마이크로프로세서, 디지털 신호 프로세서, 마이크로 컨트롤러, 또는 이와 유사한 것들을 포함할 수 있다. 메모리(1330)는 예를 들면 제어기(1310)에 의해 실행되는 명령어를 저장하는데 사용될 수 있다. 메모리(1330)는 사용자 데이터를 저장하는 데 사용될 수 있으며, 상술한 본 발명의 실시예들에 따른 반도체 장치를 포함할 수 있다. 전자 장치(1300)는 RF 신호로 통신하는 무선 통신 네트워크에 데이터를 전송하거나 네트워크에서 데이터를 수신하기 위해 무선 인터페이스(1340)를 사용할 수 있다. 예를 들어 무선 인터페이스(1340)는 안테나, 무선 트랜시버 등을 포함할 수 있다. 전자 장치(1300)는 CDMA, GSM, NADC, E-TDMA, WCDMA, CDMA2000, Wi-Fi, Muni Wi-Fi, Bluetooth, DECT, Wireless USB, Flash-OFDM, IEEE 802.20, GPRS, iBurst, WiBro, WiMAX, WiMAX-Advanced, UMTS-TDD, HSPA, EVDO, LTE-Advanced, MMDS 등과 같은 통신 시스템의 통신 인터페이스 프로토콜을 구현하는데 이용될 수 있다.
- [0102] 도 35를 참조하면, 본 발명의 실시예들에 따른 반도체 장치들은 메모리 시스템(memory system)을 구현하기 위해 사용될 수 있다. 메모리 시스템(1400)은 대용량의 데이터를 저장하기 위한 메모리 소자(1410) 및 메모리 컨트롤러(1420)를 포함할 수 있다. 메모리 컨트롤러(1420)는 호스트(1430)의 읽기/쓰기 요청에 응답하여 메모리 소자(1410)로부터 저장된 데이터를 독출 또는 기입하도록 메모리 소자(1410)를 제어한다. 메모리 컨트롤러(1420)는 호스트(1430), 가령 모바일 기기 또는 컴퓨터 시스템으로부터 제공되는 어드레스를 메모리 소자(1410)의 물리적인 어드레스로 맵핑하기 위한 어드레스 맵핑 테이블(Address mapping table)을 구성할 수 있다. 메모리 소자(1410)는 상술한 본 발명의 실시예들에 따른 반도체 장치를 포함할 수 있다.
- [0103] 상술된 실시예들에서 개시된 반도체 장치들은 다양한 형태들의 반도체 패키지(semiconductor package)로 구현될 수 있다. 예를 들면, 본 발명의 실시예들에 따른 반도체 장치들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등의 방식으로 패키징될 수 있다.
- [0104] 본 발명의 실시예들에 따른 반도체 장치가 실장된 패키지는 상기 반도체 장치를 제어하는 컨트롤러 및/또는 논리 소자 등을 더 포함할 수도 있다.
- [0105] 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니며, 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 다른 조합, 변경 및 환경에서 사용할 수 있다. 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 할 것이다.

도면

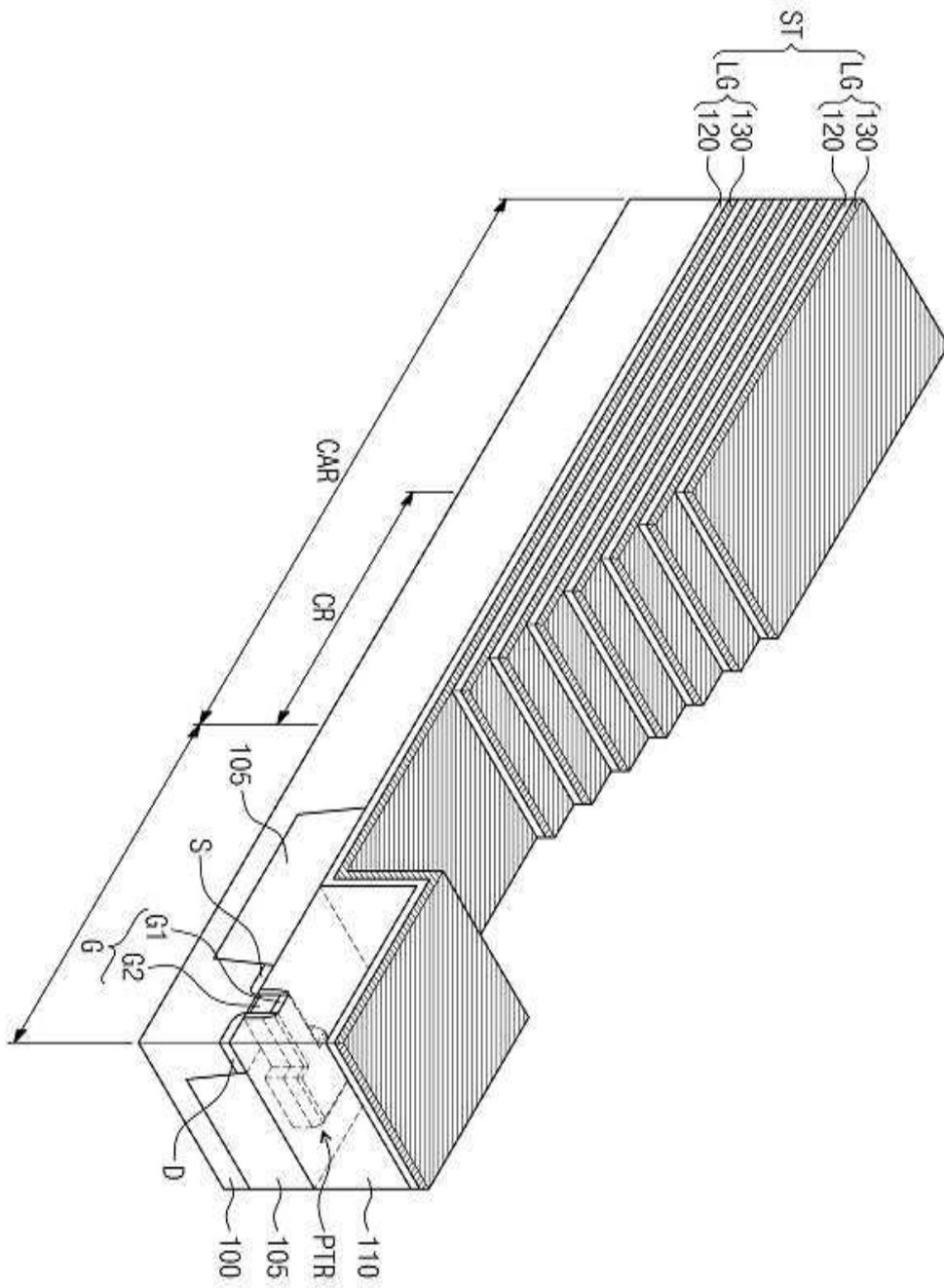
도면1



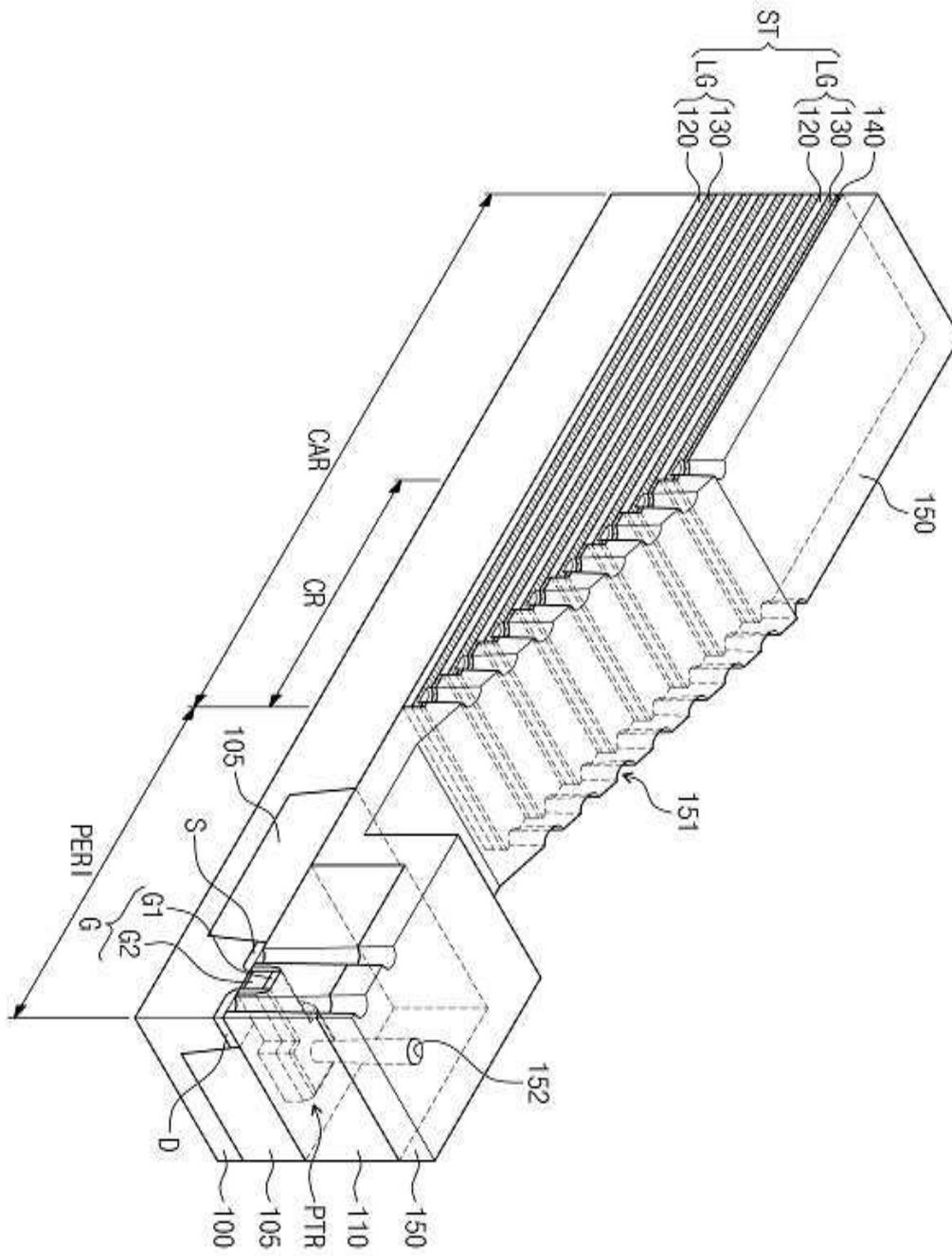
도면2



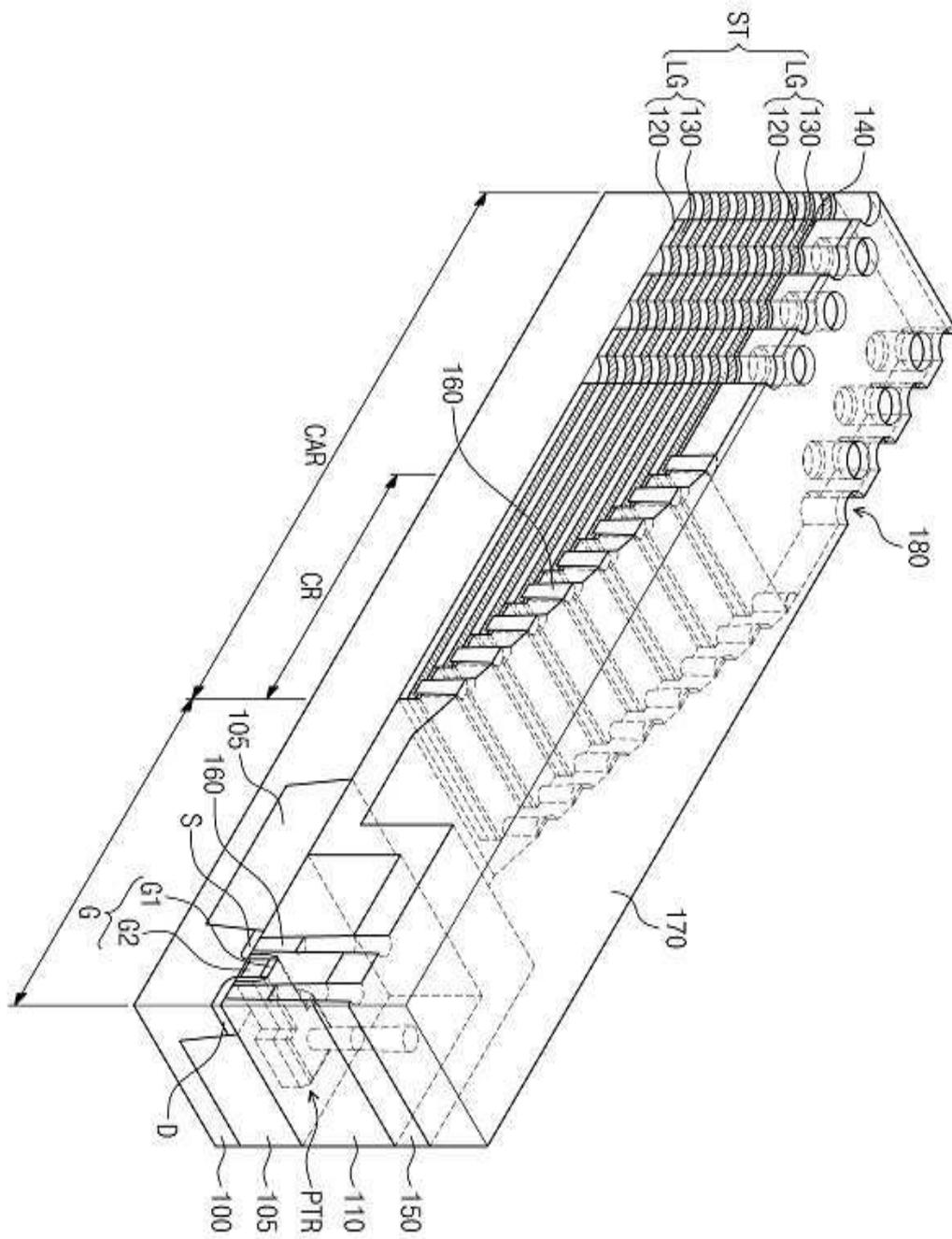
도면3



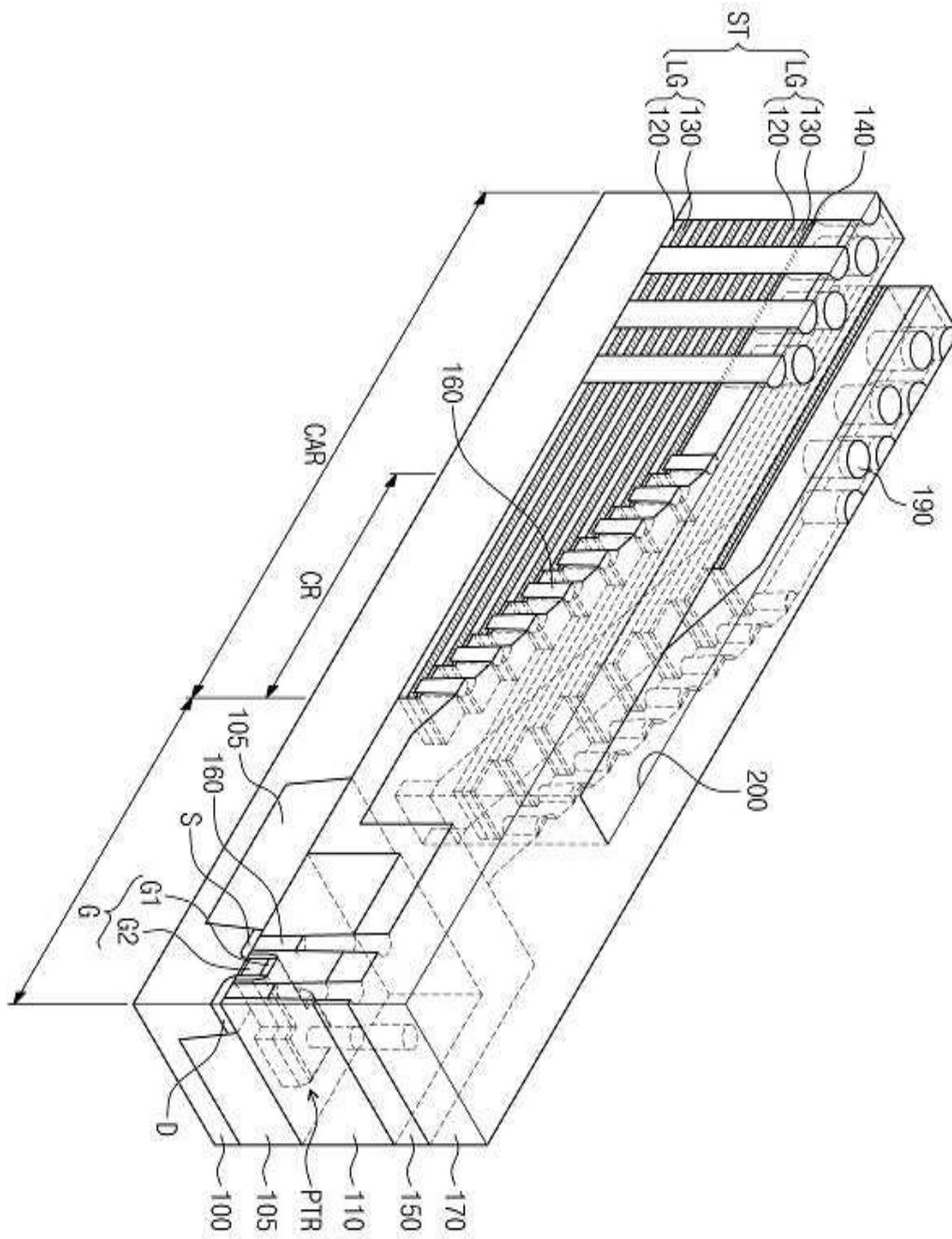
도면5



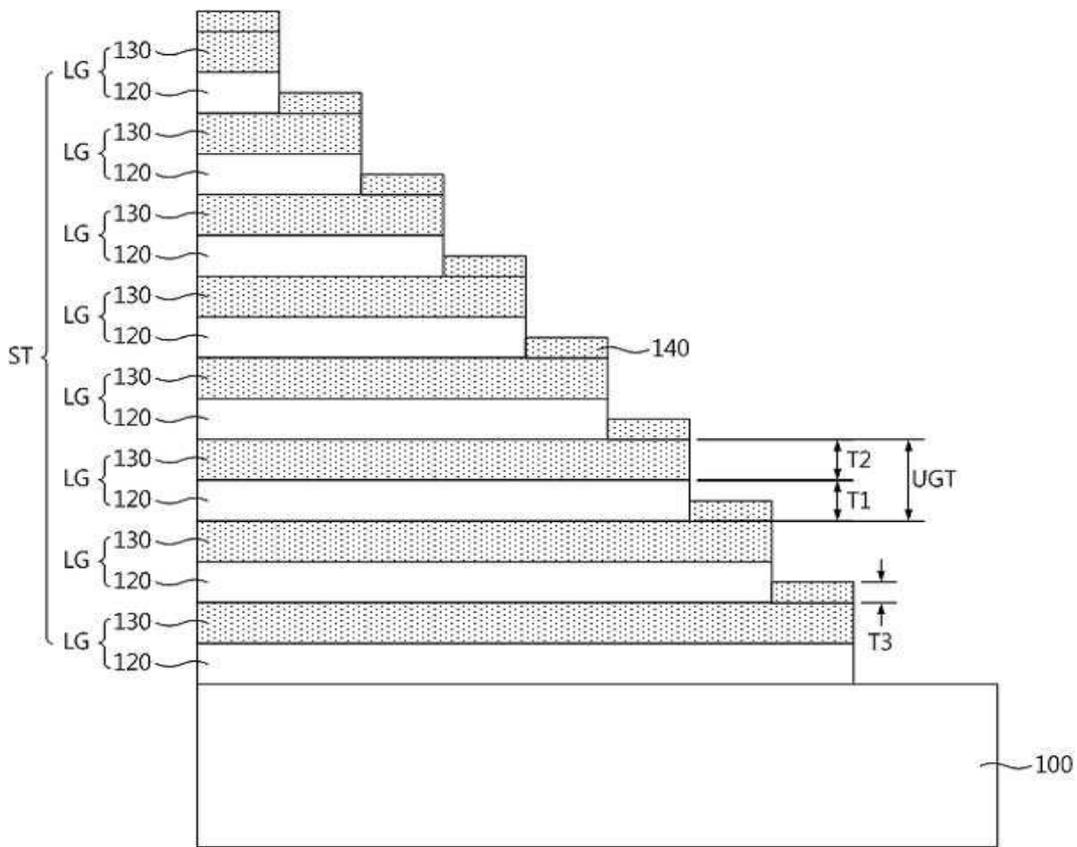
도면6



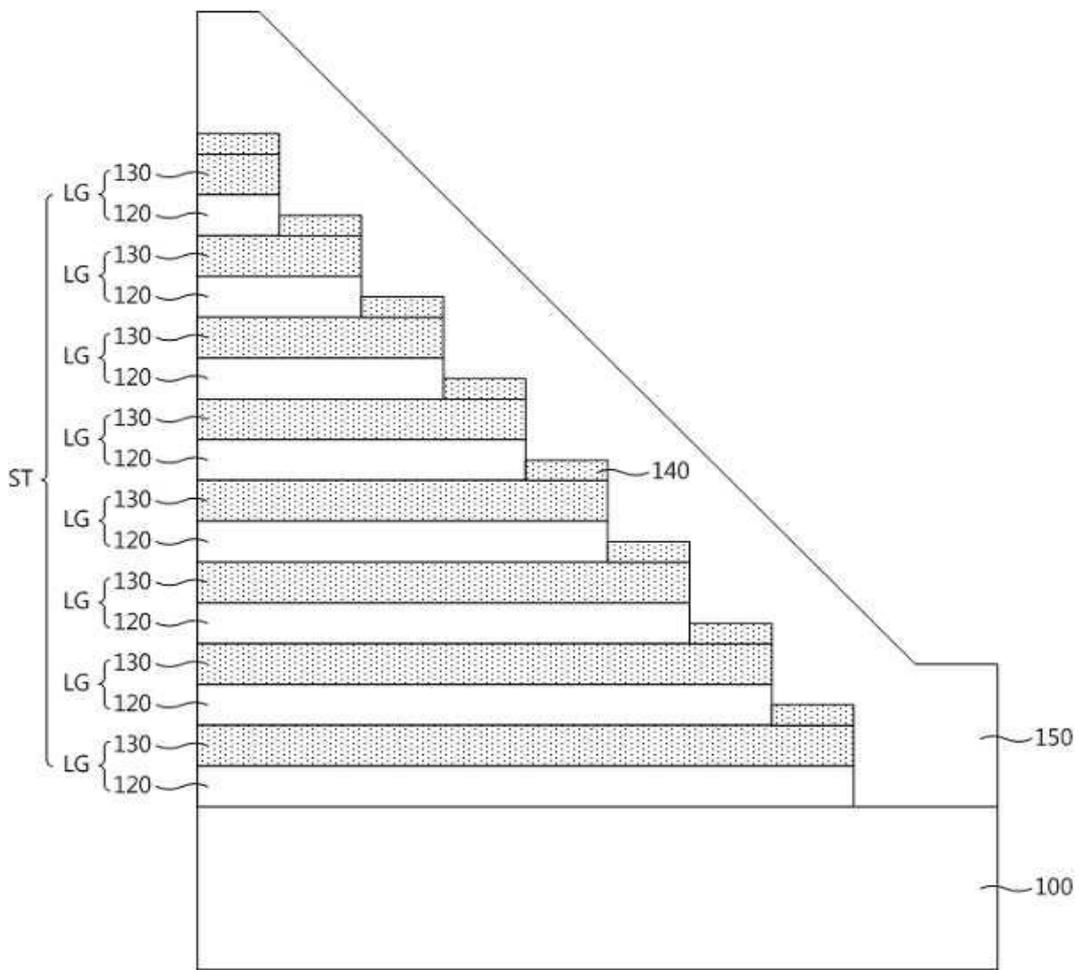
도면7



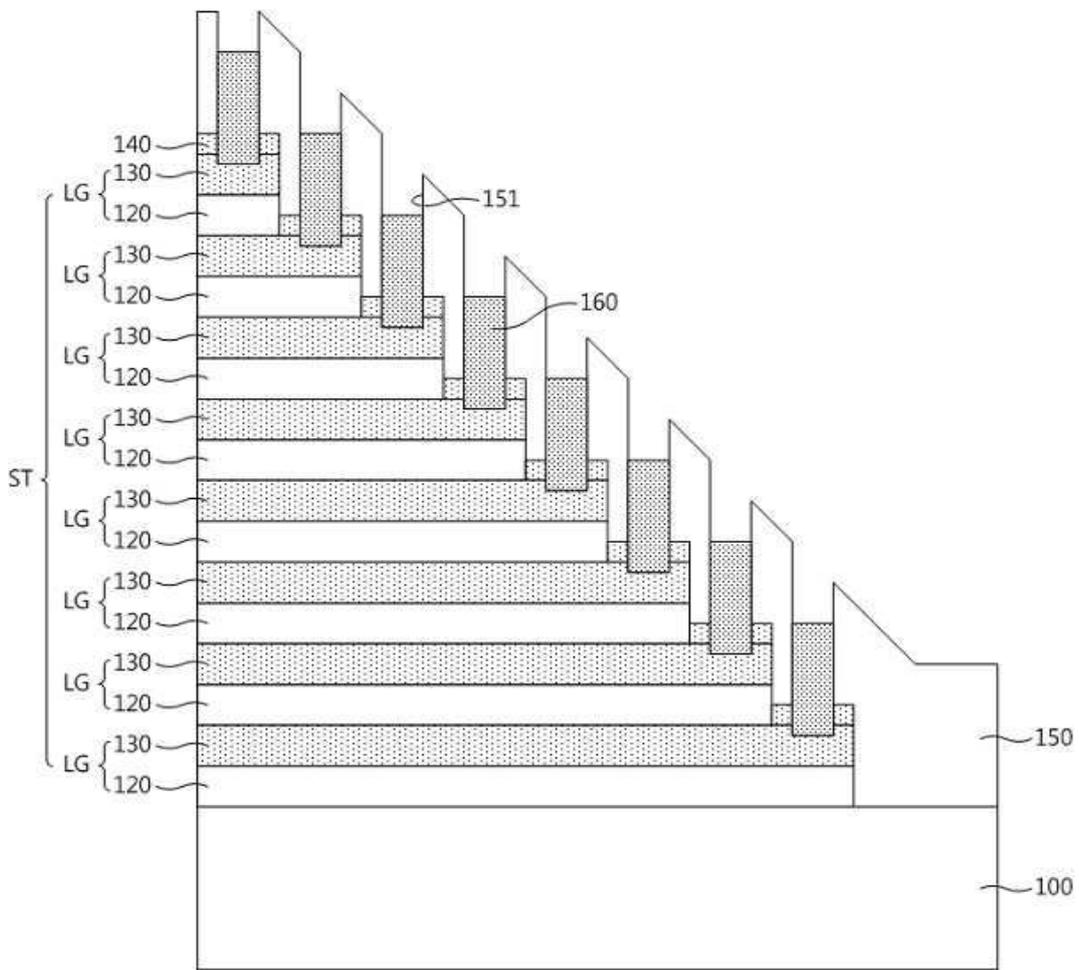
도면10



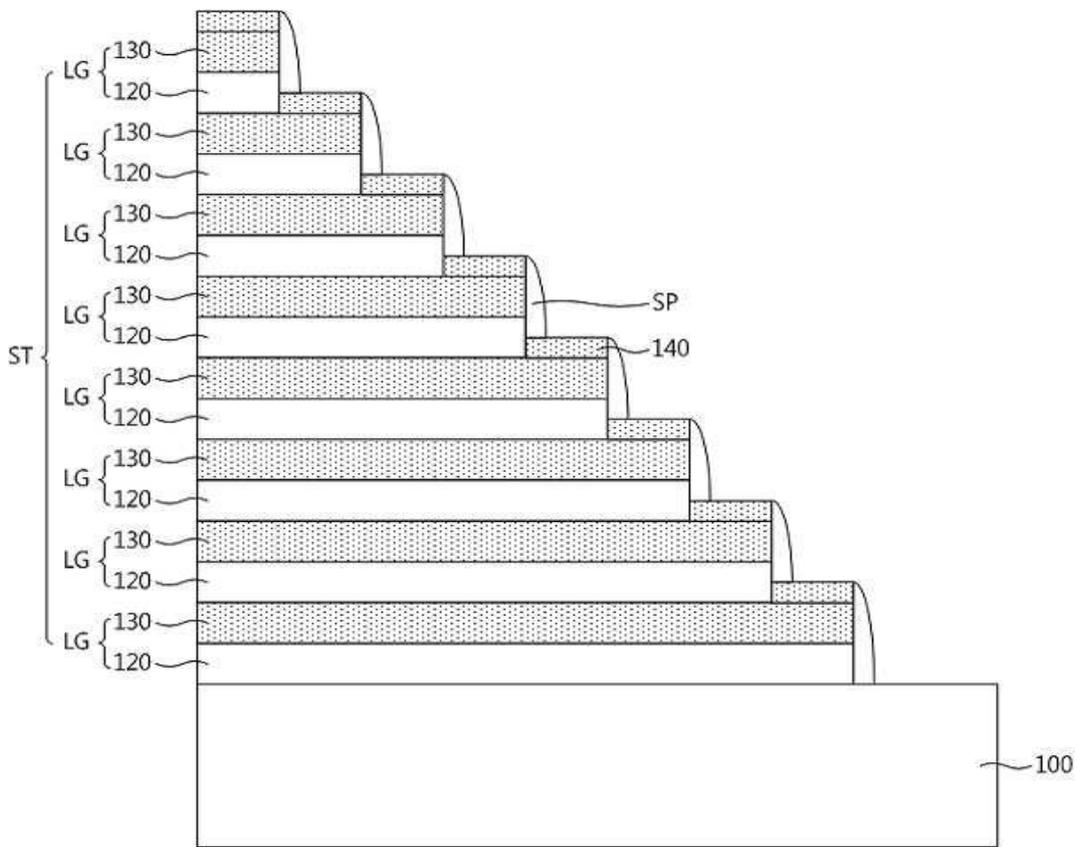
도면11



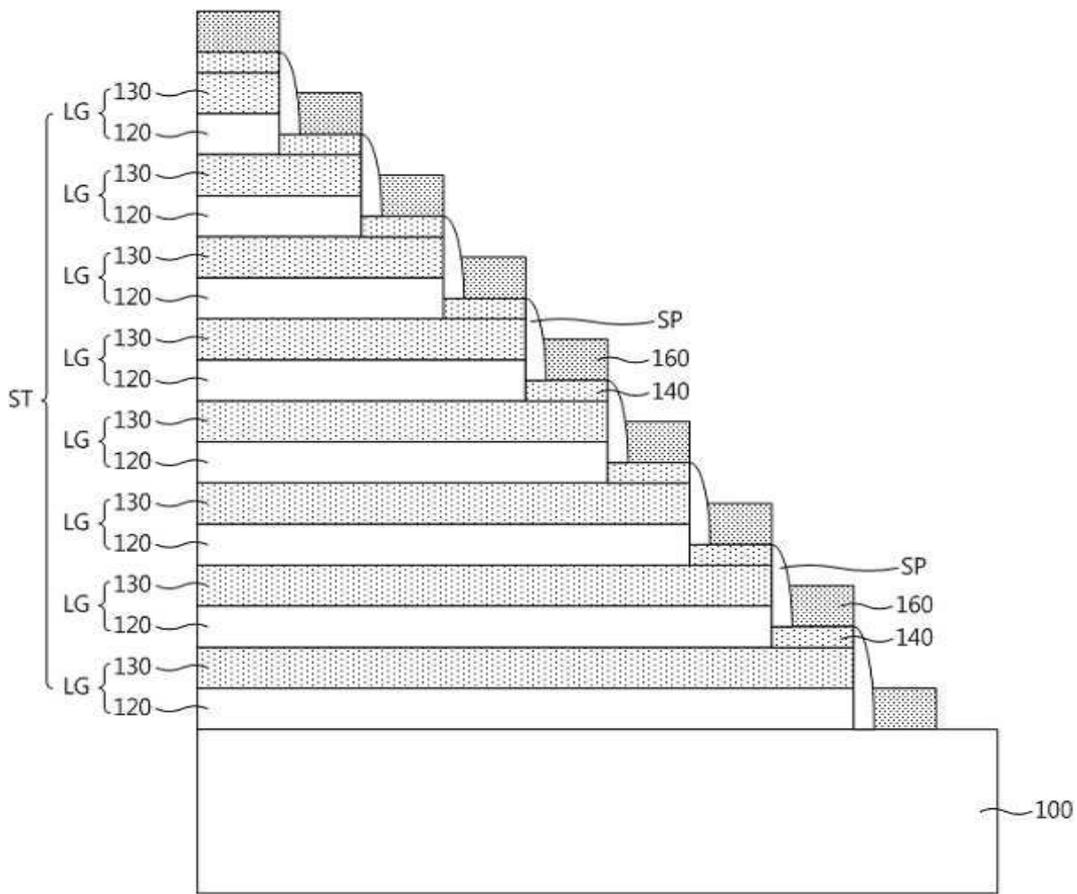
도면12



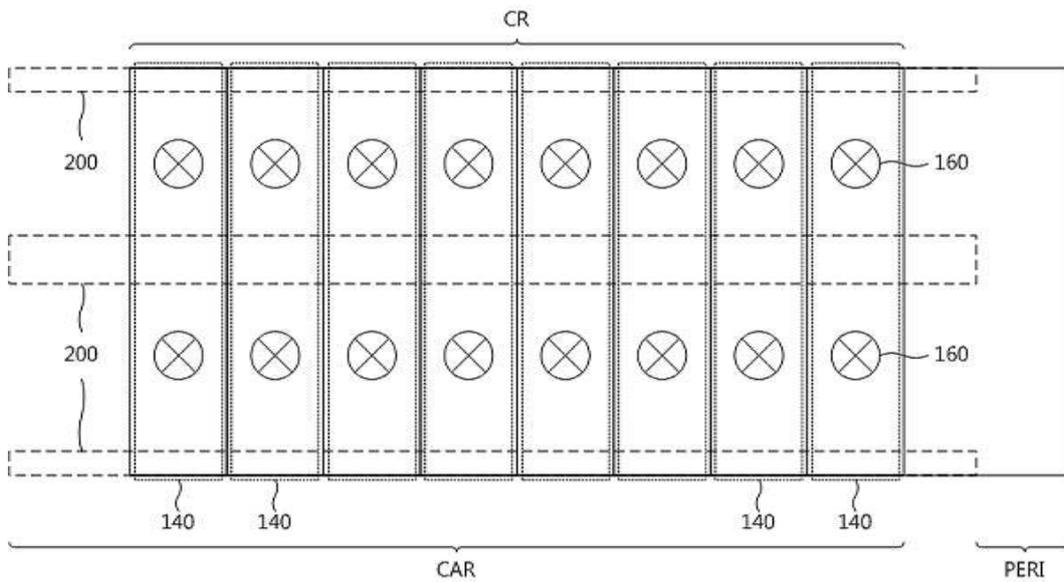
도면13



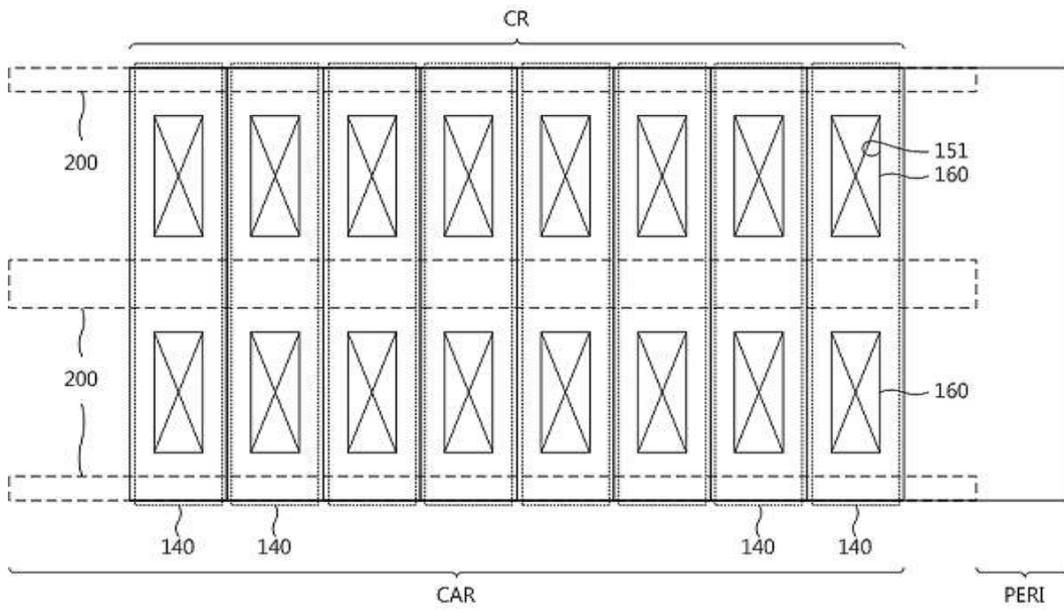
도면14



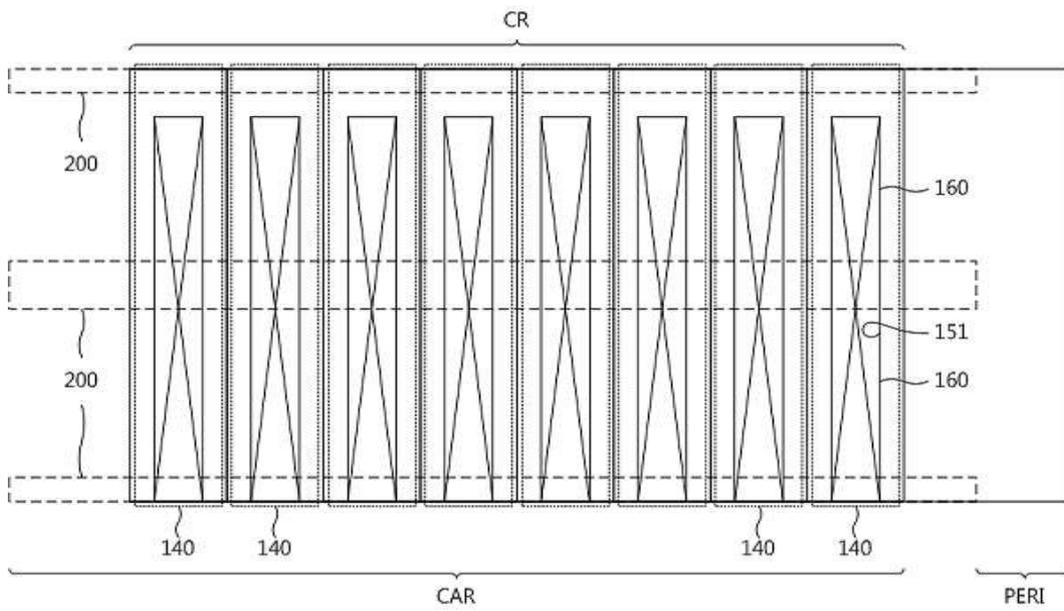
도면15



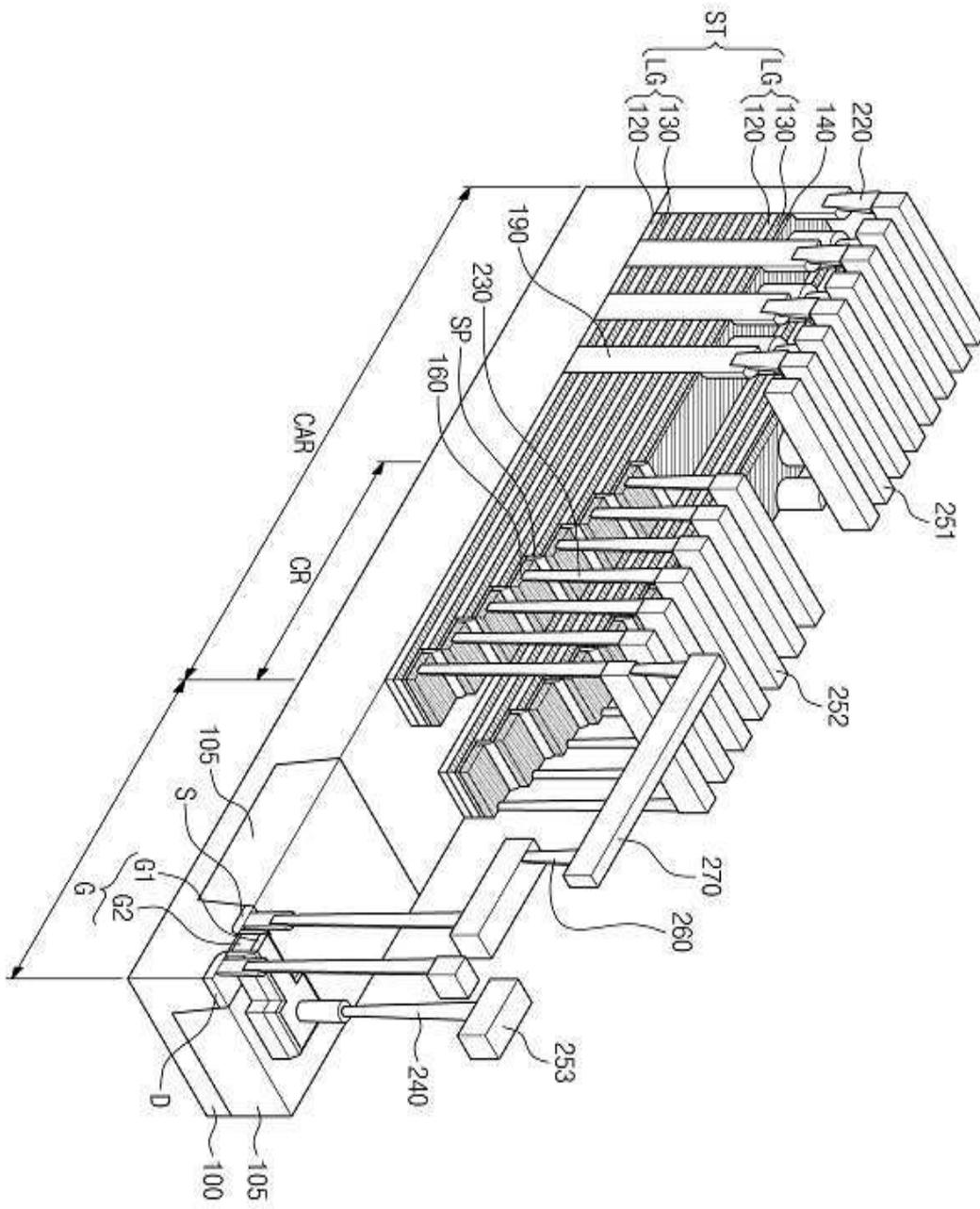
도면16



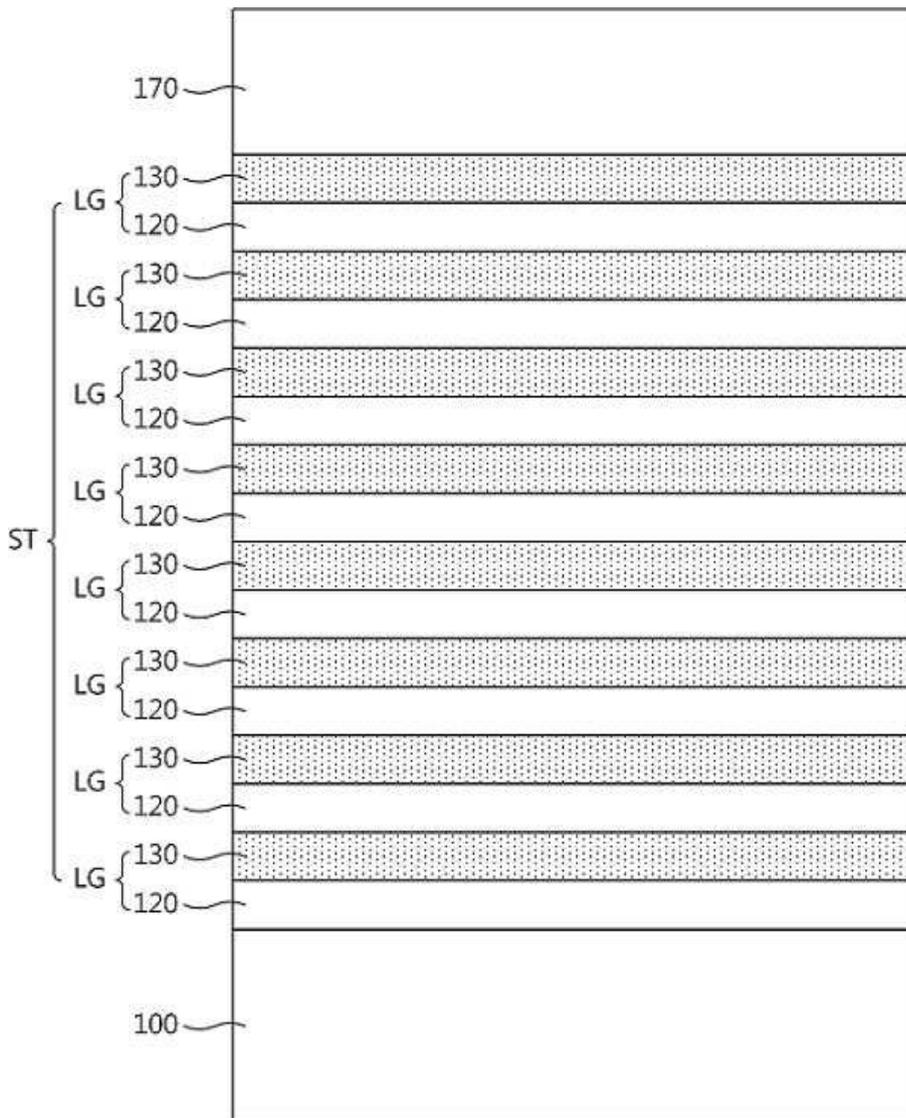
도면17



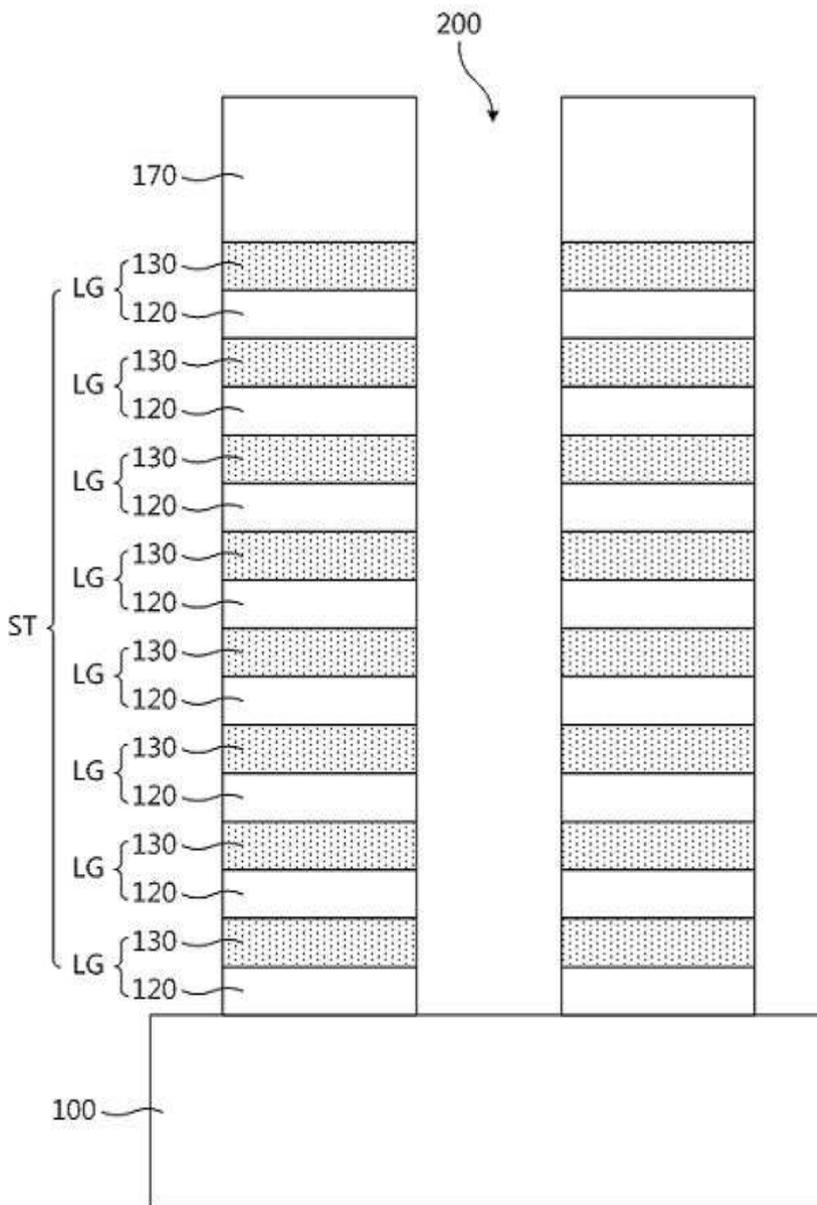
도면21



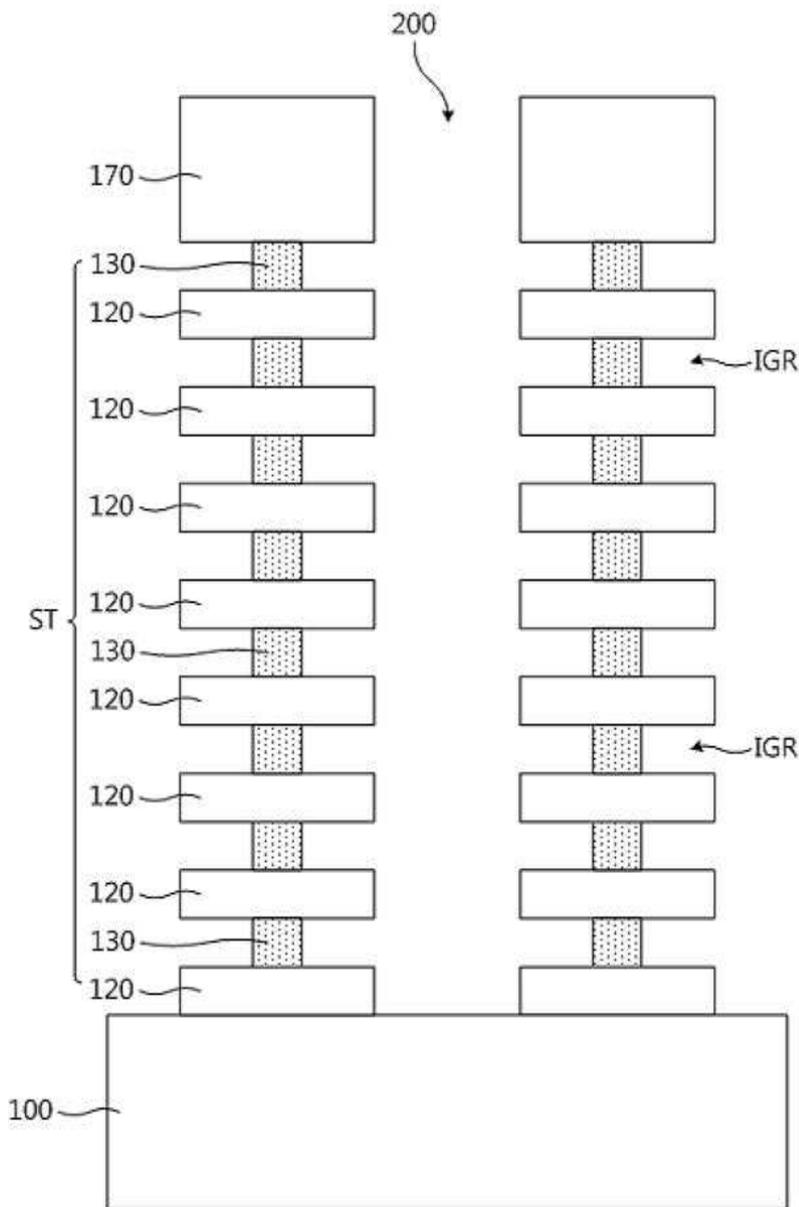
도면22



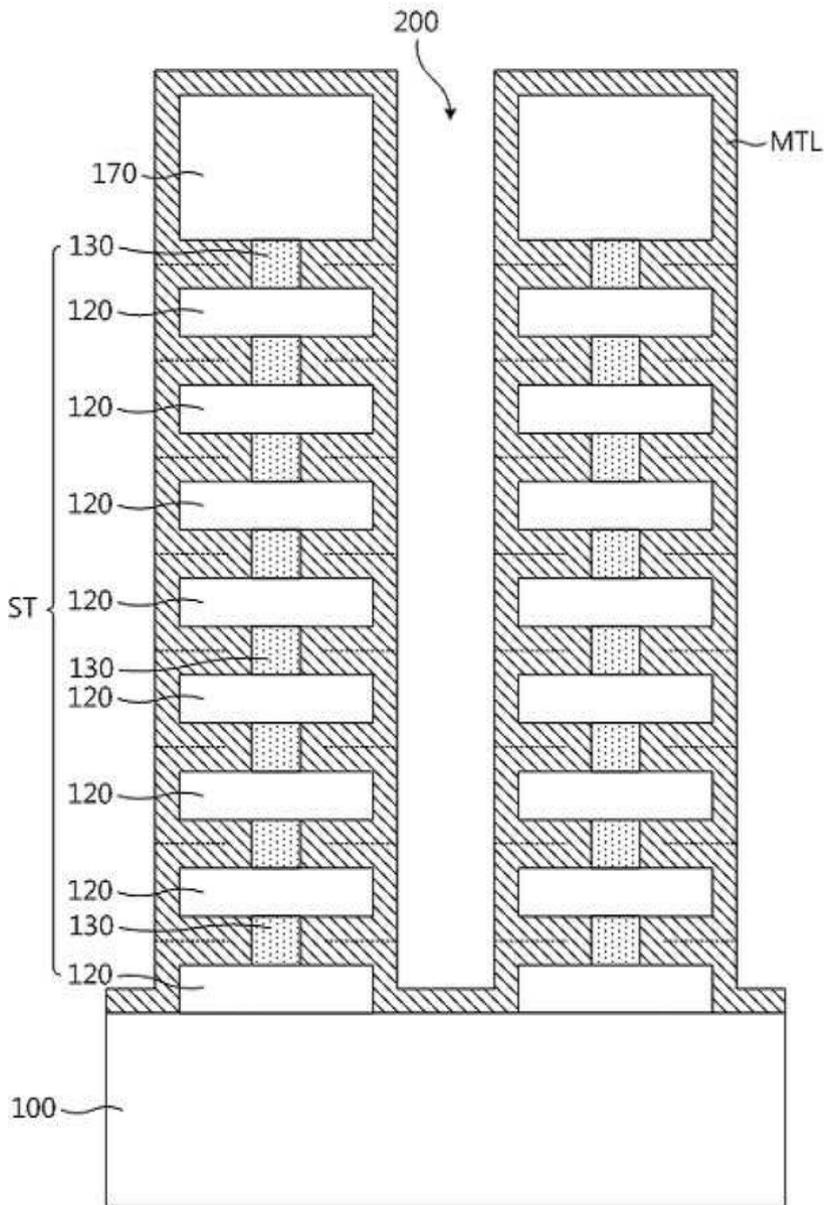
도면23



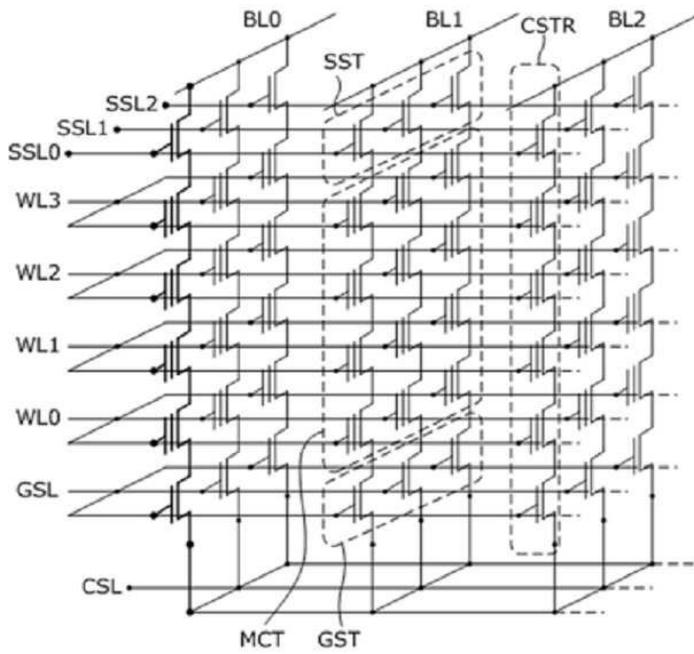
도면24



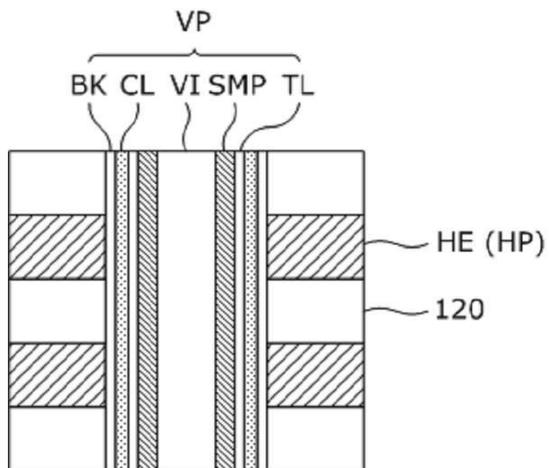
도면25



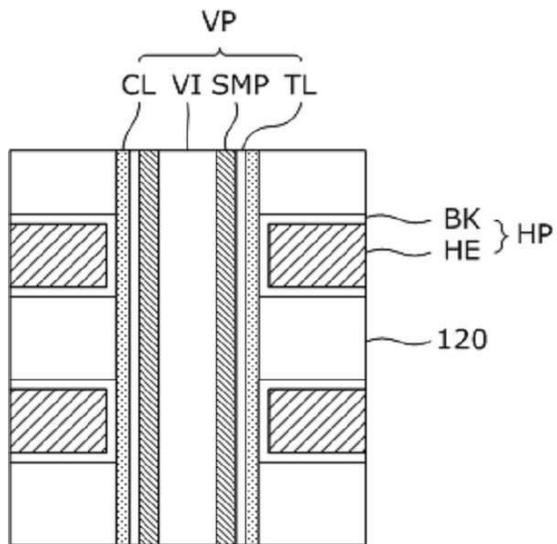
도면28



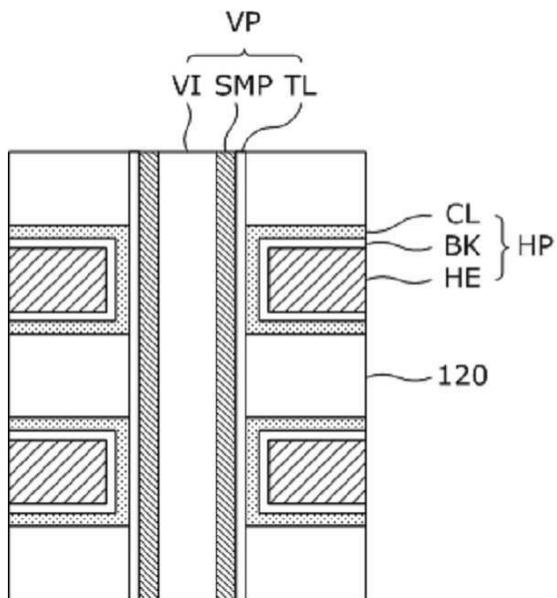
도면29



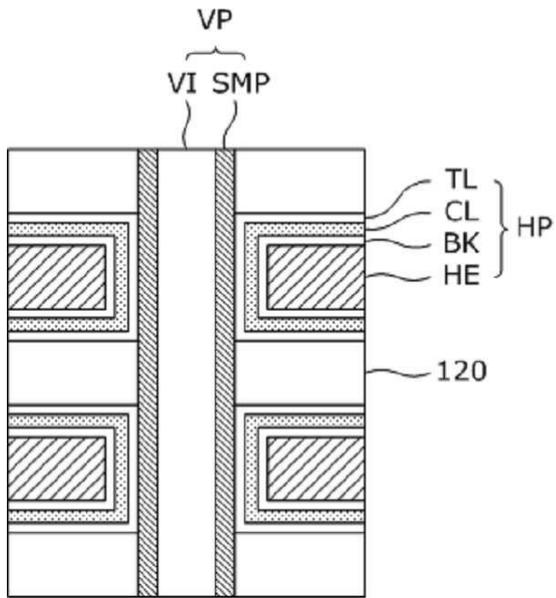
도면30



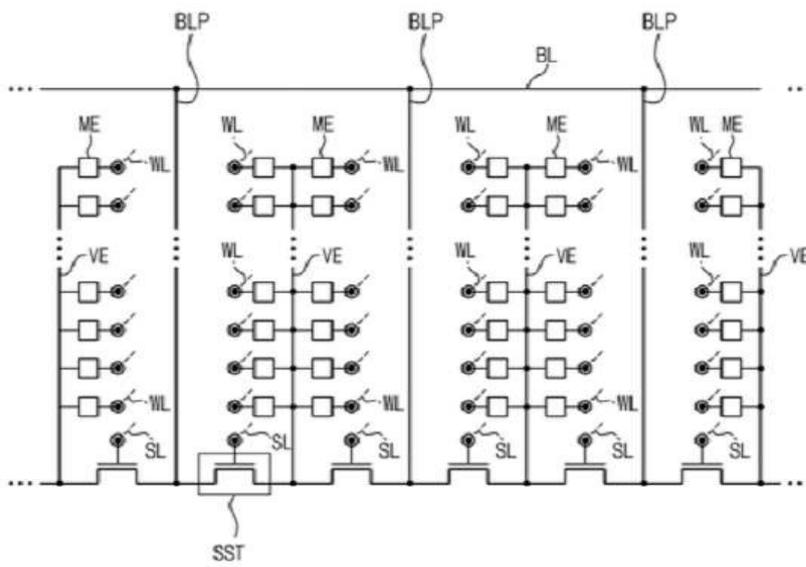
도면31



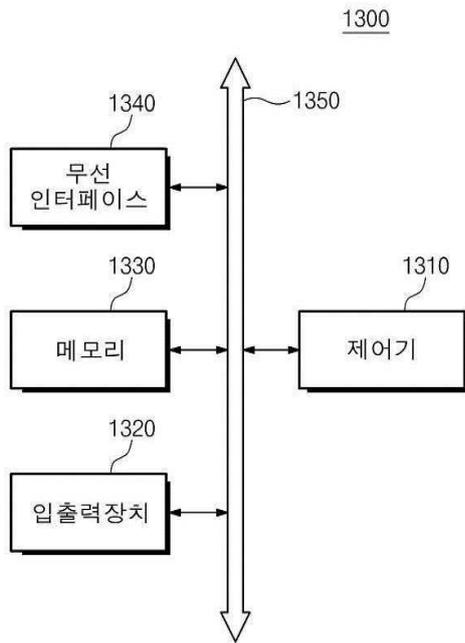
도면32



도면33



도면34



도면35

