



(12) 发明专利

(10) 授权公告号 CN 114546029 B

(45) 授权公告日 2022. 12. 02

(21) 申请号 202210171495.9

(22) 申请日 2019.12.30

(65) 同一申请的已公布的文献号
申请公布号 CN 114546029 A

(43) 申请公布日 2022.05.27

(62) 分案原申请数据
201911404859.8 2019.12.30

(73) 专利权人 珠海极海半导体有限公司
地址 519060 广东省珠海市横琴新区环岛
东路1889号创意谷1栋二层

(72) 发明人 陈成 张吉红

(74) 专利代理机构 北京汇思诚业知识产权代理
有限公司 11444
专利代理师 范旋锋

(51) Int.Cl.

G06F 1/06 (2006.01)

(56) 对比文件

- CN 107064631 A, 2017.08.18
- CN 106877844 A, 2017.06.20
- CN 102749508 A, 2012.10.24
- JP 2016148537 A, 2016.08.18
- JP H1032487 A, 1998.02.03
- US 2011131439 A1, 2011.06.02
- US 2017366468 A1, 2017.12.21
- CN 103713552 A, 2014.04.09

审查员 邹盼盼

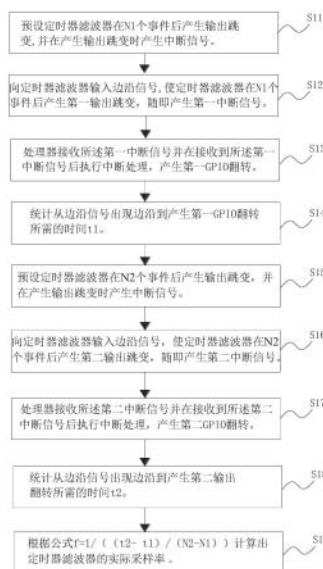
权利要求书1页 说明书7页 附图4页

(54) 发明名称

控制芯片、MCU芯片、MPU芯片及DSP芯片

(57) 摘要

本申请公开了一种控制芯片、MCU芯片、MPU芯片及DSP芯片，该控制芯片包括处理器、定时器和GPIO接口，定时器包括滤波器，滤波器包括用于接收边沿信号的输入接口；处理器用于预设滤波器在N个事件后产生输出跳变及中断信号，且处理器还用于在接收到中断信号后执行中断处理，使GPIO接口的输出信号产生GPIO翻转。本申请的滤波器能够基于边沿信号的N个事件产生中断信号，处理器能够基于中断信号产生GPIO翻转，进而能够基于N个事件的边沿信号到GPIO翻转的时间及相应的公式计算出定时器的滤波器的采样，使定时器的定时或计时更准确。



1. 一种控制芯片,其特征在于,包括处理器、定时器和GPIO接口,所述定时器包括滤波器;

所述滤波器包括输入接口,所述输入接口用于接收边沿信号;

所述处理器用于预设所述滤波器在N个事件后产生输出跳变,并产生中断信号,且所述处理器还用于在接收到所述中断信号后执行中断处理,使所述GPIO接口的输出信号产生GPIO翻转;

其中,所述滤波器在所述输入接口接收边沿信号的N1个事件后产生第一输出跳变并产生第一中断信号,所述处理器接收第一中断信号使所述GPIO接口产生第一GPIO翻转;所述滤波器在所述输入接口接收边沿信号的N2个事件后产生第二输出跳变并产生第二中断信号,所述处理器接收第二中断信号使所述GPIO接口产生第二GPIO翻转;

基于N1个事件的边沿信号到第一GPIO翻转的时间 t_1 、N2个事件的边沿信号到第二GPIO翻转的时间 t_2 及公式 $f = 1 / ((t_2 - t_1) / (N_2 - N_1))$ 计算出所述定时器的滤波器的采样率,N1、N2为正整数,且 $N_2 > N_1$;

所述边沿信号为上升沿信号或下降沿信号;

所述N个事件为所述滤波器在所述输入接口接收到边沿信号后连续采样到N次个有效电平。

2. 根据权利要求1所述的控制芯片,其特征在于,所述GPIO翻转包括GPIO信号由低电平输出跳变为高电平输出,或由高电平输出跳变为低电平输出。

3. 根据权利要求1所述的控制芯片,其特征在于,所述处理器包括预设程序和中断处理程序,所述处理器在执行所述预设程序时,控制所述滤波器在N个事件后产生输出跳变并产生中断信号;所述处理器在接收到所述中断信号后执行所述中断处理程序,控制所述GPIO接口的输出信号产生GPIO翻转。

4. 根据权利要求1所述的控制芯片,其特征在于,所述处理器还包括采样率计算程序,所述处理器在执行所述采样率计算程序时,计时N1个事件的边沿信号到第一GPIO翻转的时间 t_1 和N2个事件的边沿信号到第二GPIO翻转的时间 t_2 ,以及根据公式 $f = 1 / ((t_2 - t_1) / (N_2 - N_1))$ 计算定时器的滤波器的采样率。

5. 根据权利要求1~4任一所述的控制芯片,其特征在于,所述处理器为CPU。

6. 根据权利要求1所述的控制芯片,其特征在于,所述滤波器的输入接口和所述GPIO接口耦合到信号采集器,所述信号采集器记录所述滤波器的输入接口的N1个事件的边沿信号、N2个事件的边沿信号和GPIO接口的第一GPIO翻转、第二GPIO翻转的波形,以计时N1个事件的边沿信号到第一GPIO翻转的时间 t_1 和N2个事件的边沿信号到第二GPIO翻转的时间 t_2 。

7. 一种MCU芯片,其特征在于,所述MCU芯片为如权利要求1~6任一所述的控制芯片。

8. 一种MPU芯片,其特征在于,所述MPU芯片为如权利要求1~6任一所述的控制芯片。

9. 一种DSP芯片,其特征在于,所述DSP芯片为如权利要求1~6任一所述的控制芯片。

控制芯片、MCU芯片、MPU芯片及DSP芯片

技术领域

[0001] 本申请涉及定时器技术领域,具体涉及一种控制芯片、MCU芯片、MPU芯片及DSP芯片。

背景技术

[0002] 定时器就是用来做延迟用的一个元件,在一个精确地时间后执行下一步。通过不同的程序,或者电路从而实现计时、定时、延迟等待等功能。

[0003] 一般地,定时器的输入通道上都有一个滤波单元(滤波单元属于定时器内部结构),分别位于每个输入通路上和外部触发输入通路上,用于滤除输入信号上的高频干扰。

[0004] 实际上,数字滤波器是一个事件计数器,它记录到N个事件后产生一个输出跳变。具体为,当滤波器连续采样到N次个有效电平时,就输出这个有效电平;否则,当滤波器没有连续采样到N次个有效电平时,再从0开始计数,输出会一直保持上次输出的有效电平。例如,滤波器上一次输出是高电平,本次连续采样到N-1个高电平,但第N个电平是低电平,那么滤波器仍然保持上次输出的高电平,并重新开始计数,记录1次低电平,如果在其后采样的N-1个也是低电平,此时,滤波器才输出低电平,于是一个下降沿才出现在滤波器输出上。由此可见,N个事件指的是连续采样N个有效电平,“产生一个输出跳变”指的是输出这个连续出现了N次的电平。

[0005] 滤波器的采样频率和采样次数可以由用户程序根据需要选择。但是,实际使用中,由于环境等种因素的影响,定时器滤波器的实际采样率和配置的理论值并不完全相同,可能会存在误差。

发明内容

[0006] 为了克服上述现有技术存在的问题,本申请的主要目的在于提供一种能够准确计算出定时器滤波器的实际采样频率的控制芯片。

[0007] 为了实现上述目的,本申请具体采用以下技术方案:

[0008] 本申请提供了一种控制芯片,该控制芯片包括处理器、定时器和GPIO接口,所述定时器包括滤波器;

[0009] 所述滤波器包括输入接口,所述输入接口用于接收边沿信号;

[0010] 所述处理器用于预设所述滤波器在N个事件后产生输出跳变,并产生中断信号,且所述处理器还用于在接收到所述中断信号后执行中断处理,使所述GPIO接口的输出信号产生GPIO翻转;

[0011] 其中,所述滤波器在所述输入接口接收边沿信号的N1个事件后产生第一输出跳变并产生第一中断信号,所述处理器接收第一中断信号使所述GPIO接口产生第一GPIO翻转;所述滤波器在所述输入接口接收边沿信号的N2个事件后产生第二输出跳变并产生第二中断信号,所述处理器接收第二中断信号使所述GPIO接口产生第二GPIO翻转;

[0012] 基于N1个事件的边沿信号到第一GPIO翻转的时间 t_1 、N2个事件的边沿信号到第二

GPIO翻转的时间 t_2 及公式 $f=1/((t_2-t_1)/(N_2-N_1))$ 计算出所述定时器的滤波器的采样率, N_1 、 N_2 为正整数,且 $N_2>N_1$ 。

[0013] 在一些实施例中,所述边沿信号包括上升沿信号和下降沿信号。。

[0014] 在一些实施例中,所述 N 个事件为所述滤波器在所述输入接口接收到边沿信号后连续采样到 N 次个有效电平。

[0015] 在一些实施例中,所述GPIO翻转包括GPIO信号由低电平输出跳变为高电平输出,或由高电平输出跳变为低电平输出。

[0016] 在一些实施例中,所述处理器包括预设程序和中断处理程序,所述处理器在执行所述预设程序时,控制所述滤波器在 N 个事件后产生输出跳变并产生中断信号;所述处理器在接收到所述中断信号后执行所述中断处理程序,控制所述GPIO接口的输出信号产生GPIO翻转。

[0017] 在一些实施例中,所述处理器还包括采样率计算程序,所述处理器在执行所述采样率计算程序时,计时 N_1 个事件的边沿信号到第一GPIO翻转的时间 t_1 和 N_2 个事件的边沿信号到第二GPIO翻转的时间 t_2 ,以及根据公式 $f=1/((t_2-t_1)/(N_2-N_1))$ 计算定时器的滤波器的采样率。

[0018] 在一些实施例中,所述处理器为CPU。

[0019] 在一些实施例中,所述滤波器的输入接口和所述GPIO接口耦合到信号采集器,所述信号采集器记录所述滤波器的输入接口的 N_1 个事件的边沿信号、 N_2 个事件的边沿信号和GPIO接口的第一GPIO翻转、第二GPIO翻转的波形,以计时 N_1 个事件的边沿信号到第一GPIO翻转的时间 t_1 和 N_2 个事件的边沿信号到第二GPIO翻转的时间 t_2 。

[0020] 对应地,本申请还公开了一种MCU芯片,该MCU芯片为以上任一实施例所述的控制芯片。

[0021] 对应地,本申请还公开了一种MPU芯片,该MPU芯片为以上任一实施例所述的控制芯片。

[0022] 对应地,本申请还公开了一种DSP芯片,该DSP芯片为以上任一实施例所述的控制芯片。

[0023] 相比于现有技术,本申请的控制芯片包括处理器、定时器和GPIO接口,其中,定时器包括滤波器,滤波器包括输入接口,该输入接口用于接收边沿信号;处理器用于预设滤波器在 N 个事件后产生输出跳变,并产生中断信号,且处理器还用于在接收到中断信号后执行中断处理,使GPIO接口的输出信号产生GPIO翻转;在计算滤波器的采样率时,滤波器在输入接口接收边沿信号的 N_1 个事件后产生第一输出跳变并产生第一中断信号,处理器接收第一中断信号使GPIO接口产生第一GPIO翻转;滤波器在输入接口接收边沿信号的 N_2 个事件后产生第二输出跳变并产生第二中断信号,处理器接收第二中断信号使GPIO接口产生第二GPIO翻转,以能够基于 N_1 个事件的边沿信号到第一GPIO翻转的时间 t_1 、 N_2 个事件的边沿信号到第二GPIO翻转的时间 t_2 及公式 $f=1/((t_2-t_1)/(N_2-N_1))$ 计算出定时器的滤波器的采样,使定时器的定时或计时更准确。

附图说明

[0024] 图1为本申请实施例的计算定时器滤波器的采样率的方法的流程图。

- [0025] 图2为本申请实施例输入的边沿信号为上升沿信号时的波形图。
- [0026] 图3为本申请实施例输入的边沿信号为下降沿信号时的波形图。
- [0027] 图4为本申请实施例的控制装置的结构框图。
- [0028] 图5为本申请另一实施例的控制装置的结构框图。
- [0029] 图6为本申请另一实施例的控制装置的结构框图。

具体实施方式

[0030] 为了使本申请的目的、技术方案及优点更加清楚明白,以下结合附图及实施例,对本申请进行进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本申请,并不用于限定本申请。

[0031] 在本申请的描述中,除非另有明确的规定和限定,术语“第一”、“第二”仅用于描述的目的,而不能理解为指示或暗示相对重要性;除非另有规定或说明,术语“多个”是指两个或两个以上;术语“连接”、“固定”等均应做广义理解,例如,“连接”可以是固定连接,也可以是可拆卸连接,或一体地连接,或电连接;可以是直接相连,也可以通过中间媒介间接相连。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0032] 请参考图1所示,本申请的实施例公开了一种用于计算定时器滤波器的采样率的方法,该方法包括:

[0033] 步骤S11、预设定时器滤波器在N1个事件后产生输出跳变,并在产生输出跳变时产生中断信号。

[0034] 其中,所述预设可由处理器程序来定义,N1个事件为连续采样到N1次个有效电平,且N1为正整数。输出跳变是指输出这个连续出现了N1次的电平。

[0035] 比如,可以预设定时器滤波器在连续采样到8次个有效低电平时,定时器滤波器就输出低电平,否则,再从0开始计数,输出会一直保持上次输出的有效电平。

[0036] 步骤S12、向定时器滤波器输入边沿信号,使定时器滤波器在N1个事件后产生第一输出跳变,随即产生第一中断信号。

[0037] 其中,可以通过信号发生器向定时器滤波器输入边沿信号,边沿信号包括上升沿信号和下降沿信号。以输入信号为上升沿信号为例,当定时器滤波器连续采样到N1次个有效高电平时,输出由原来的低电平跳变为高电平,随即产生中断信号。其中,产生电平跳变后随即产生中断信号这一步骤可由处理器程序来设定。

[0038] 步骤S13、处理器接收第一中断信号并在接收到第一中断信号后执行中断处理,产生第一GPIO翻转。

[0039] 其中,GPIO翻转是指GPIO信号由低电平输出跳变为高电平输出,或者由高电平输出跳变为低电平输出。

[0040] S14、统计从边沿信号出现边沿到产生第一GPIO翻转所需的时间 t_1 。

[0041] S15、预设定时器滤波器在N2个事件后产生输出跳变,并在产生输出跳变时产生中断信号。

[0042] 其中,所述预设可由处理器程序来定义,N2个事件为连续采样到N2次个有效电平,且N2为正整数,N2>N1。

[0043] 比如,可以预设定时器滤波器在连续采样到10次个有效低电平时,定时器滤波器就输出低电平,否则,再从0开始计数,输出会一直保持上次输出的有效电平。

[0044] S16、向定时器滤波器输入边沿信号,使定时器滤波器在N2个事件后产生第二输出跳变,随即产生第二中断信号。

[0045] 其中,可以通过信号发生器向定时器滤波器输入边沿信号,产生电平跳变后随即产生中断信号这一步骤可由处理器程序来设定。

[0046] S17、处理器接收第二中断信号并在接收到第二中断信号后执行中断处理,产生第二GPIO翻转。

[0047] S18、统计从边沿信号出现边沿到产生第二GPIO翻转所需的时间 t_2 。

[0048] 步骤S19、根据公式 $f=1/((t_2-t_1)/(N_2-N_1))$ 计算出定时器滤波器的实际采样率。

[0049] 其中, f 为定时器滤波器实际采样频率, t_1 为从边沿信号出现边沿到产生第一GPIO翻转所需的时间, t_2 从边沿信号出现边沿到产生第二GPIO翻转所需的时间, t_1 和 t_2 的统计可以由信号采集装置执行,也可以由处理器程序执行。

[0050] 在一个实施例中,以向定时器滤波器输入上升沿信号为例,请参阅图2所示,上升沿出现后当定时器滤波器连续采样到的高电平个数未达到 N_1 个时,此时定时器滤波器仍输出原来的电平(低电平);当定时器滤波器连续采样到的高电平个数达到 N_1 个后,定时器滤波器由原来的输出低电平跳变为输出高电平,并且此时定时器滤波器产生中断信号。从上升沿出现到产生中断信号这段时间可称为滤波时间 t_1' ,在这段时间 t_1' 中,由于只能捕捉到起始时刻(上升沿出现)的波形而无法捕到终点时刻(产生中断信号或滤波器输出跳变)的波形,因此, t_1' 的时间无法统计得到。

[0051] 定时器滤波器产生中断信号后输出至处理器,处理器接收到该中断信号后即执行中断函数,从而实现GPIO翻转。从中断信号产生到完成GPIO翻转这段时间可称为中断处理时间 t_1'' ,在这段时间 t_1'' 中,由于只能捕捉到终点时刻(GPIO翻转)的波形而无法捕捉到起点时刻(产生中断信号或滤波器输出跳变)的波形,因此 t_1'' 的时间也无法统计得到。但是,由于波形图上能够捕捉到上升沿出现及GPIO翻转的波形,因此,计时从上升沿出现到GPIO翻转所需的时间 t_1 可以统计得到,根据上述可知 $t_1=t_1'+t_1''$ 。

[0052] 同理,上升沿出现后当定时器滤波器连续采样到的高电平个数未达到 N_2 个时,此时定时器滤波器仍输出原来的电平(低电平);当定时器滤波器连续采样到高电平个数达到 N_2 个后,定时器滤波器由原来的输出低电平跳变为输出高电平,并且此时定时器滤波器产生中断信号。从上升沿出现到产生中断信号这段时间可称为滤波时间 t_2' ,在这段时间 t_2' 中,由于只能捕捉到起始时刻(上升沿出现)的波形而无法捕到终点时刻(产生中断信号或滤波器输出跳变)的波形,因此, t_2' 的时间无法统计得到。

[0053] 定时器滤波器产生中断信号后输出至处理器,处理器接收到该中断信号后即执行中断函数,从而实现GPIO翻转。从中断信号产生到完成GPIO翻转这段时间可称为中断处理时间 t_2'' ,在这段时间 t_2'' 中,由于只能捕捉到终点时刻(输出翻转)的波形而无法捕捉到起点时刻(产生中断信号或滤波器输出跳变)的波形,因此 t_2'' 的时间也无法统计得到。但是,由于波形图上能够捕捉到上升沿出现及GPIO翻转的波形,因此,计时从上升沿出现到GPIO翻转所需的时间 t_2 是可以统计得到的,根据上述可知 $t_2=t_2'+t_2''$ 。

[0054] 最后,通过公式 $f=1/((t_2-t_1)/(N_2-N_1))$ 能够计算出定时器滤波器的实际采样频

率。因为同一处理器上该中断处理时间是相等的,即 $t1''=t2''$ 。则 $t2-t1=t2'-t1'$,表示滤波时间差,也表示记录 $N2$ 个电平和记录 $N1$ 个电平的时间差,因此 $((t2-t1)/(N2-N1))$ 即表示记录一个电平所用的时间,即 $1/((t2-t1)/(N2-N1))$ 表示定时器滤波器的实际采样频率。

[0055] 在另一个实施例中,以向定时器滤波器输入下降沿信号为例,请参阅图3所示,下降沿出现后当定时器滤波器连续采样低电平个数未达到 $N1$ 个时,此时定时器滤波器仍输出原来的电平(高电平);当定时器滤波器连续采样到的低电平个数达到 $N1$ 个后,定时器滤波器由原来的输出高电平跳变为输出低电平,并且此时定时器滤波器产生中断信号。从下降沿出现到产生中断信号这段时间可称为滤波时间 $t1'$,在这段时间 $t1'$ 中,由于只能捕捉到起始时刻(下降沿到来)的波形而无法捕到终点时刻(产生中断信号或滤波器输出跳变)的波形,因此, $t1'$ 的时间无法统计得到。

[0056] 定时器产生中断信号后输出至处理器,处理器接收到该中断信号后即执行中断函数,从而实现GPIO翻转。从中断信号产生到完成GPIO翻转这段时间可称为中断处理时间 $t1''$,在这段时间 $t1''$ 中,由于只能捕捉到终点时刻(输出翻转)的波形而无法捕捉到起点时刻(产生中断信号或滤波器输出跳变)的波形,因此 $t1''$ 的时间也无法统计得到。但是,计时从下降沿到来到GPIO翻转所需的时间 $t1$ 可以统计得到,根据上述可知 $t1=t1'+t1''$ 。

[0057] 同理,下降沿出现后当定时器滤波器连续采样低电平个数未达到 $N2$ 个时,此时定时器滤波器仍输出原来的电平(高电平);当定时器滤波器连续采样到的低电平个数达到 $N2$ 个后,定时器滤波器由原来的输出高电平跳变为低电平,并且此时定时器滤波器产生中断信号。从下降沿出现到产生中断信号这段时间可称为滤波时间 $t2'$,在这段时间 $t2'$ 中,由于只能捕捉到起始时刻(下降沿到来)的波形而无法捕到终点时刻(产生中断信号或滤波器输出跳变)的波形,因此, $t2'$ 的时间无法统计得到。

[0058] 定时器滤波器产生中断信号后输出至处理器,处理器接收到该中断信号后即执行中断函数,从而实现GPIO翻转。从中断信号产生到完成GPIO翻转这段时间可称为中断处理时间 $t2''$,在这段时间 $t2''$ 中,由于只能捕捉到终点时刻(输出翻转)的波形而无法捕捉到起点时刻(产生中断信号或滤波器输出跳变)的波形,因此 $t2''$ 的时间也无法统计得到。但是,由于波形图上能够捕捉到下降沿出现及GPIO翻转的波形,因此,计时从下降沿出现到GPIO翻转所需的时间 $t2$ 可以统计得到,根据上述可知 $t2=t2'+t2''$ 。

[0059] 最后,通过公式 $f=1/((t2-t1)/(N2-N1))$ 能够计算出定时器滤波器的实际采样频率,因为同一处理器上该中断处理时间是相等的,即 $t1''=t2''$ 。则 $t2-t1=t2'-t1'$,表示滤波时间差,也表示记录 $N2$ 个电平和记录 $N1$ 个电平的时间差,因此 $((t2-t1)/(N2-N1))$ 即表示记录一个电平所用的时间,因此 $1/((t2-t1)/(N2-N1))$ 表示定时器滤波器的实际采样频率。

[0060] 在一个实施例中,本申请还公开了一种控制装置,请参阅图4所示,该控制装置包括定时器滤波器200和处理器300。定时器滤波器200用于接收发自信号发生器100的边沿信号(上升沿信号或下降沿信号),并被预设于 N 个事件后产生输出跳变,随即产生中断信号,其中, N 个事件为连续采样到 N 次有效电平;处理器300包括定时器滤波器预设程序301、中断处理程序302和采样率计算程序303;定时器滤波器预设程序301用于预设定定时器滤波器在 $N(N1、N2、\dots)$ 个事件后产生输出跳变,并在输出跳变后随即产生中断信号;中断处理程序302用于在接收到中断信号后执行中断函数,使GPIO翻转;采样率计算程序303用于计算边沿信号边沿出现到GPIO翻转的时间 $t(t1、t2、\dots)$,并通过公式 $1/((t2-t1)/(N2-N1))$ 计算得

到所述定时器滤波器实际采样率。

[0061] 具体地,定时器滤波器200被处理器300的预设程序301预设为在N1个事件后产生第一输出跳变,随即产生第一中断信号;在N2个事件后产生第二输出跳变,随即产生第二中断信号;其中,N1个事件为连续采样到N1次个有效电平,N2事件为连续采样到N2次个有效电平,且,N1、N2为正整数,N2>N1。信号发生器100向定时器滤波器200输入边沿信号(包括上升沿信号和下降沿信号);使定时器滤波器200在N1个事件后产生第一输出跳变,随即产生第一中断信号;在N2个事件后产生第二输出跳变,随即产生第二中断信号。处理器300接收第一中断信号或第二中断信号后执行中断处理程序302,即触发中断函数分别对应产生第一GPIO翻转和第二GPIO翻转;处理器300还执行采样率计算程序303,计时从边沿信号出现边沿到产生第一GPIO翻转所需的时间t1及从边沿信号出现边沿到产生第二GPIO翻转所需的时间t2,再根据公式 $f=1/((t2-t1)/(N2-N1))$ 计算出定时器滤波器的实际采样率。

[0062] 在另一个实施例中,本申请还公开了一种控制装置,请参阅图5所示,该控制装置包括定时器滤波器200、处理器300、GPIO接口400和信号采集器500。定时器滤波器200包括输入接口,用于接收发自信号发生器100的边沿信号,并被预设于N个事件后产生输出跳变,其中,N个事件为连续采样到N次个有效电平。处理器300包括定时器滤波器预设程序301、中断处理程序302;定时器滤波器预设程序301用于预设定定时器滤波器在N(N1、N2、、)个事件后产生输出跳变,并在输出跳变后随即产生中断信号;中断处理程序302用于在接收到中断信号后执行中断函数,使GPIO接口400上的输出信号翻转。信号采集器500耦合至定时器滤波器输入接口和所述GPIO接口400,用于记录边沿信号和GPIO输出信号的波形,以计时边沿信号从出现边沿到产生GPIO翻转所需的时间t(t1、t2、、)。最后根据公式 $f=1/((t2-t1)/(N2-N1))$ 计算出定时器滤波器的实际采样率。

[0063] 具体地,定时器滤波器200被处理器的预设程序301预设为在N1个事件后产生第一输出跳变,随即产生第一中断信号,在N2个事件后产生第二输出跳变,随即产生第二中断信号;其中,N1个事件为连续采样到N1次个有效电平,N2事件为连续采样到N2次个有效电平,且,N1、N2为正整数,N2>N1。信号发生器100向定时器滤波器输入接口输入边沿信号(包括上升沿信号和下降沿信号);使定时器滤波器200在N1个事件后产生第一输出跳变,随即产生第一中断信号;在N2个事件后产生第二输出跳变,随即产生第二中断信号。处理器300接收第一中断信号或第二中断信号后执行中断处理程序302,即触发中断函数分别对应产生第一GPIO翻转和第二GPIO翻转;信号采集器500记录定时器滤波器输入接口201上的边沿信号波形和GPIO接口上的输出信号波形,并计时从边沿信号出现边沿到产生第一GPIO翻转所需的时间t1及从所述边沿信号出现边沿到产生第二GPIO翻转所需的时间t2。最后根据公式 $f=1/((t2-t1)/(N2-N1))$ 即计算出定时器滤波器的实际采样率。

[0064] 其中,所述处理器可以是CPU(central processing unit,中央处理器)。

[0065] 其中,如图6所示,定时器滤波器200、处理器300、GPIO接口400可集成和封装在一芯片上。并且,该芯片可以是MCU(Micro Control Unit,微控制器单元)芯片,也可以是MPU(Micro Processor Unit,微处理器单元)、DSP(Digital Signal Processing/Processor,数字信号处理)芯片。

[0066] 其中,信号采集器500可设置为示波器。

[0067] 在本实施例中,通过计算器根据公式 $f=1/((t2-t1)/(N2-N1))$ 计算出定时器滤波

器的实际采样频率。可以理解,在其他实施例中,也可以通过人工计算出定时器滤波器的实际采样频率。

[0068] 以上所述,仅为本申请较佳的具体实施方式,但本申请的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本申请揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本申请的保护范围之内。因此,本申请的保护范围应该以权利要求的保护范围为准。

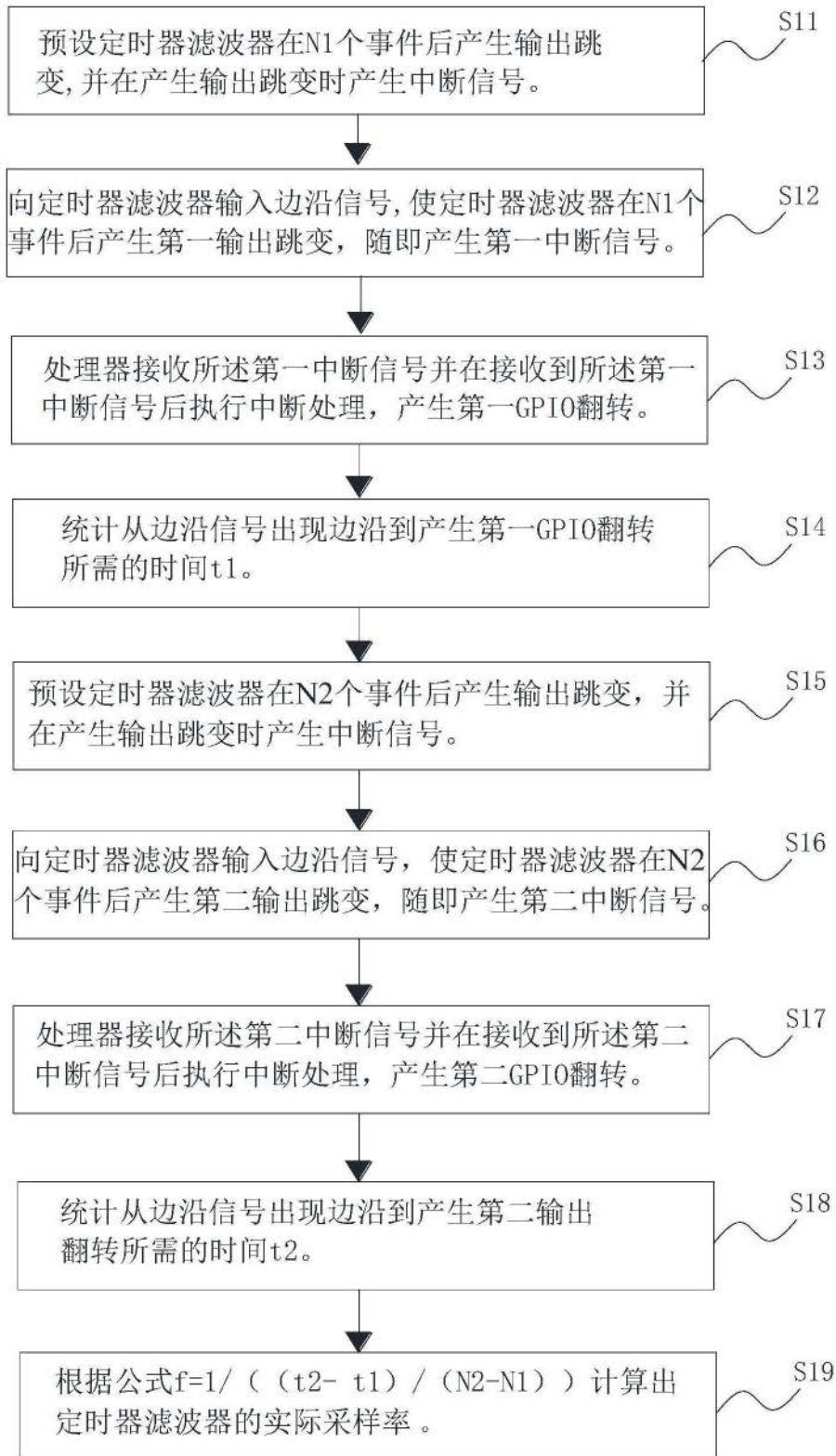


图1

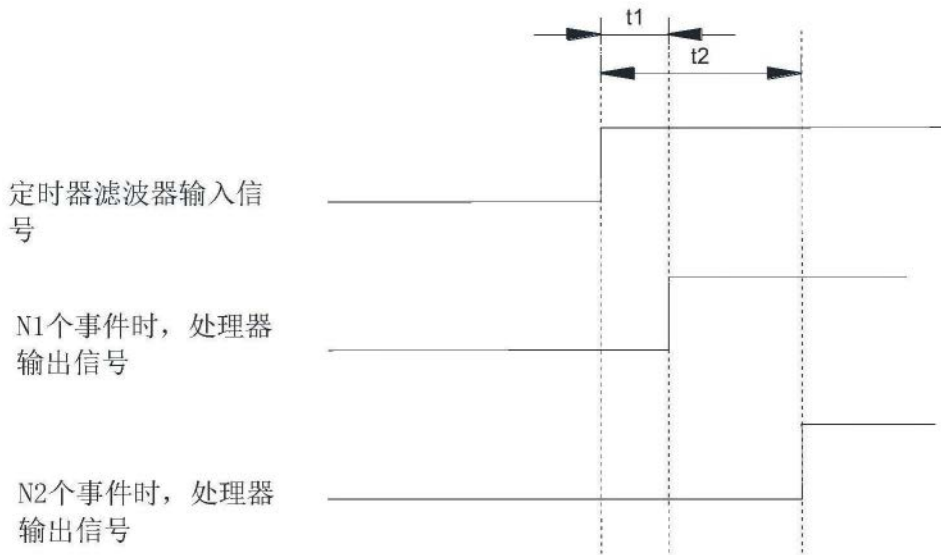


图2

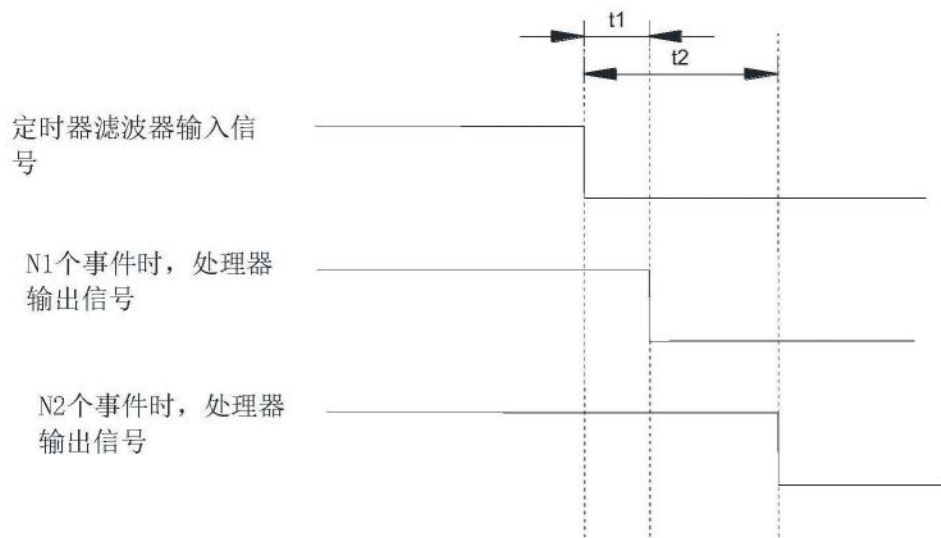


图3

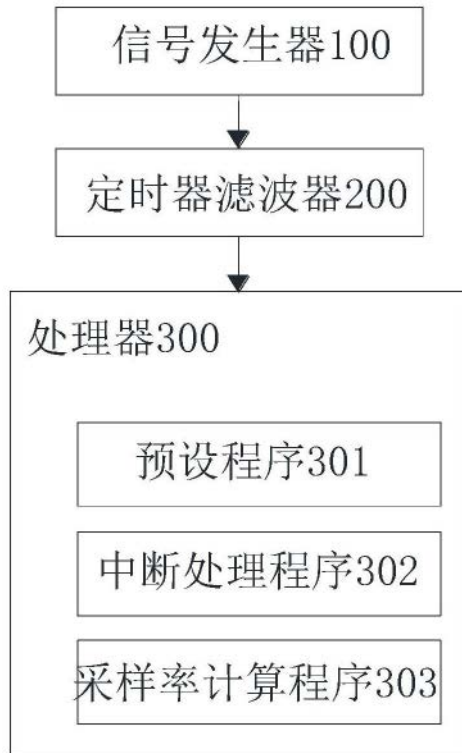


图4

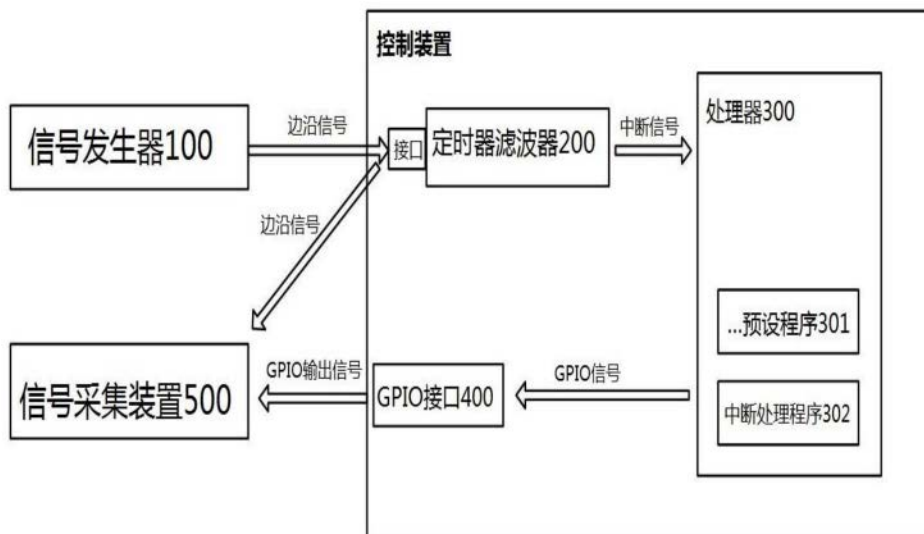


图5

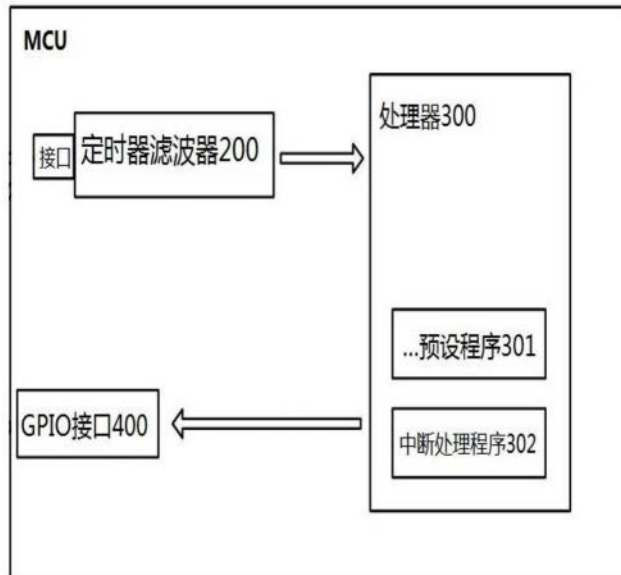


图6