

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-244079

(P2012-244079A)

(43) 公開日 平成24年12月10日(2012.12.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 4 4 7	4 M 1 1 9
HO 1 L 27/105 (2006.01)	HO 1 L 29/82 Z	5 F 0 9 2
HO 1 L 29/82 (2006.01)	HO 1 L 43/08 Z	
HO 1 L 43/08 (2006.01)		

審査請求 有 請求項の数 7 O L (全 16 頁)

(21) 出願番号	特願2011-115327 (P2011-115327)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成23年5月24日 (2011.5.24)	(71) 出願人	504157024 国立大学法人東北大学 宮城県仙台市青葉区片平二丁目1番1号
		(74) 代理人	100091096 弁理士 平木 祐輔
		(74) 代理人	100105463 弁理士 関谷 三男
		(74) 代理人	100102576 弁理士 渡辺 敬章
		(72) 発明者	大野 英男 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内

最終頁に続く

(54) 【発明の名称】 磁気メモリ

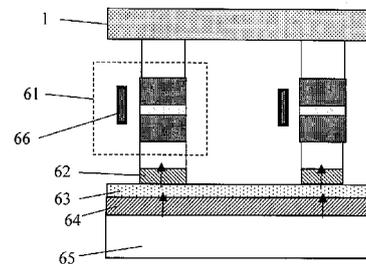
(57) 【要約】

【課題】書き込み時に固定層が安定化された、垂直磁化型トンネル磁気抵抗効果素子を用いたスピントルク磁化反転応用の磁気メモリを提供する。

【解決手段】膜面に垂直な方向の磁化を有する自由層62と、膜面に垂直な一方向に磁化が固定された固定層64と、固定層と自由層の間に形成された非磁性障壁層63を有する磁気抵抗効果素子において、互いに隣接したメモリセルの固定層を一列方向に接続する。

【選択図】 図6A

図6A



## 【特許請求の範囲】

## 【請求項 1】

基板上に、膜面に垂直な一方向に固定された磁化を有する固定層、前記固定層に接して設けられた非磁性障壁層、及び前記非磁性障壁層に接して設けられ膜面に垂直な方向の磁化を有する自由層を有する磁気抵抗効果素子と、前記磁気抵抗効果素子に接続された選択トランジスタとを備えて構成されるメモリセルをアレイ状に配置した磁気メモリセルアレイと、

前記磁気抵抗効果素子と前記選択トランジスタに所望の方向の電流を流す機構とを備え、

前記選択トランジスタを通して前記自由層の膜面に垂直な方向に流されるスピン偏極した電流によって前記自由層の磁化の方向をスイッチングし、

前記自由層の磁化方向と前記固定層の磁化方向が略平行か、略反平行かによって情報の記録を行う磁気メモリであって、

前記選択トランジスタは前記磁気抵抗効果素子の上方に配置されて前記自由層側に接続され、

前記磁気メモリセルアレイ内で、複数の隣接するメモリセルの固定層は、前記磁気メモリセルアレイ内の一方向で互いに接続され、前記自由層は各メモリセル間で互いに分離されていることを特徴とする磁気メモリ。

## 【請求項 2】

請求項 1 記載の磁気メモリにおいて、前記選択トランジスタの上方にビット線が設けられ、前記選択トランジスタは前記磁気抵抗効果素子の自由層側と前記ビット線とに接続されていることを特徴とする磁気メモリ。

## 【請求項 3】

請求項 1 又は 2 記載の磁気メモリにおいて、前記選択トランジスタが縦型のトランジスタであることを特徴とする磁気メモリ。

## 【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載された磁気メモリにおいて、前記固定層の下部にソース線が設けられ、前記ソース線と前記互いに接続された固定層を電氣的に接続するビアが設けられていることを特徴とする磁気メモリ。

## 【請求項 5】

基板上に、膜面に垂直な一方向に固定された磁化を有する固定層、前記固定層に接して設けられた非磁性障壁層、及び前記非磁性障壁層に接して設けられ膜面に垂直な方向の磁化を有する自由層を有する磁気抵抗効果素子と、前記磁気抵抗効果素子に接続された選択トランジスタとを備えて構成されるメモリセルをアレイ状に配置した磁気メモリセルアレイと、

前記磁気抵抗効果素子と前記選択トランジスタに所望の方向の電流を流す機構とを備え、

前記選択トランジスタを通して前記自由層の膜面に垂直な方向に流されるスピン偏極した電流によって前記自由層の磁化の方向をスイッチングし、

前記自由層の磁化方向と前記固定層の磁化方向が略平行か、略反平行かによって情報の記録を行う磁気メモリであって、

前記選択トランジスタは前記磁気抵抗効果素子の下方に配置されて前記自由層側に接続され、

前記磁気メモリセルアレイ内で、複数の隣接するメモリセルの固定層は、前記磁気メモリセルアレイ内の一方向で互いに接続され、前記自由層は各メモリセル間で互いに分離されていることを特徴とする磁気メモリ。

## 【請求項 6】

請求項 5 記載の磁気メモリにおいて、前記自由層と前記選択トランジスタの接続は、互いに列をなす前記接続された固定層の間隙に設けられたビアを介してなされることを特徴とする磁気メモリ。

10

20

30

40

50

## 【請求項 7】

請求項 5 又は 6 に記載された磁気メモリにおいて、前記固定層の下部に配置された第 1 の配線と、前記第 1 の配線と前記固定層を電氣的に接続するビアと、前記第 1 の配線とは別個に設けられ前記選択トランジスタに電氣的に接続された第 2 の配線を有することを特徴とする磁気メモリ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、スピントルク磁化反転を応用した磁気メモリに関するものである。

## 【背景技術】

## 【0002】

近年、従来 of 揮発型のダイナミック・ランダム・アクセスメモリ (DRAM) を置きかえる可能性を有する不揮発の磁気ランダム・アクセスメモリ (MRAM) が注目されている。DRAM では、回路の電源をオフにすると情報が消えてしまうという問題があったが、MRAM では回路の電源をオフにしても情報が消えてしまわないため、メモリの電源を必要と時のみ ON にすることができ、大幅な低消費電力化が可能となるためである。最初の MRAM では、例えば米国特許第 5734605 号明細書に記載されているように、磁性膜 / 非磁性絶縁膜 / 磁性膜の多層構造を有するトンネル磁気抵抗効果 (TMR) 素子の一方の磁性膜の磁化を、TMR 素子の上下に互いに直交する方向に設けられた 2 つの金属配線に流れる電流が作る合成磁界を用いて反転させることにより記録を行う方式が採用されている。しかしながら、MRAM においても、大容量化のため TMR 素子のサイズを小さくすると磁化反転に要する磁界の大きさが大きくなり、たくさんの電流を金属配線に流すことが必要となり、消費電力の増加、ひいては配線の破壊を招いてしまうという課題が指摘されている。

## 【0003】

磁界を用いずに磁化反転する方法として、例えば、Journal of Magnetism and Magnetic Materials, 159, L1-6 (1996) に記載されているように、磁気再生ヘッドで用いられる巨大磁気抵抗効果 (GMR) 膜やトンネル磁気抵抗効果 (TMR) 膜に、一定以上の電流を流すだけで磁化反転が可能であることが理論的に示された。その後、例えば Physical Review Letters, Vol.84, No.14, pp.2149-2152 (2000) には、二つの Cu の電極の間に Co / Cu / Co の多層膜 (GMR 膜) を含む直径 130 nm のピラーを形成し、そのピラーに電流を流し、流れる電流のスピンから Co 層の磁化に与えられるスピントルクを用いて、Co 層の磁化を反転する記録方式の実験例が報告されている。さらに、近年では、例えば、Applied Physics Letters, Vol.84, pp.2118-2120 (2004) に記載されているように、TMR 膜を用いたナノピラーを用いて、スピントルク磁化反転が実証された。スピントルク磁化反転を応用した MRAM (STT-MRAM) では、書込みに必要な電流が TMR ピラーの面積とともに減少するため、微細化とともに書込みパワーを低減できるというスケラビリティが保証されているため、次世代の不揮発 RAM として、おおいに注目を集めている。

## 【0004】

以上言及したスピントルク磁化反転の模式図を、図 1 A 及び図 1 B に示す。図 1 A 及び図 1 B に示したメモリセルは、ビット線 1 に、磁化方向が変化する第 1 の強磁性層 (自由層) 2、非磁性障壁層 3、磁化方向が固定された第 2 の強磁性層 (固定層) 4、固定層の磁化を一方向に固定する反強磁性層 10 からなる磁気抵抗効果素子と、ゲート電極 5 で伝導を制御されたトランジスタ 6 が接続され、トランジスタのもう一方の端子はソース線 7 に接続されている。図 1 A のように、固定層 4 と記録層 2 の磁化を反平行 (高抵抗) 状態から平行 (低抵抗) 状態に変化させる場合には、電流 8 はビット線 1 からソース線 7 に流す。このとき、電子 9 はソース線 7 からビット線 1 に流れる。一方、図 1 B のように、固定層 4 と記録層 2 の磁化を平行 (低抵抗) 状態から反平行 (高抵抗) 状態に変化させる場合には、電流 8 はソース線 7 からビット線 1 の方向に流せばよい。このとき、電子 9 はピ

10

20

30

40

50

ット線 1 からソース線 7 の方向に流れる。

【 0 0 0 5 】

その後、例えば、特開 2 0 0 8 - 2 5 2 0 1 8 号公報に記載されているように、固定層 4 及び記録層 2 の磁化の方向を、各磁性層の膜面と垂直方向に向ける垂直 TMR ピラーを用いたスピントルク磁化反転応用 MRAM (STT-MRAM) が提案されている (図 2)。この垂直 TMR 型 STT-MRAM では、強磁性層に材料固有の磁気異方性が大きな材料 (硬磁性材料) を用いることができるので、TMR ピラーの面積が減少しても熱安定性を保持できるという特徴がある。

【 0 0 0 6 】

さらに近年、例えば、Nature Materials, Vpol.9, pp.721-724(2010)に示されているように、強磁性層の材料として従来、面内磁化 TMR 素子に用いられていた CoFeB を、中間層として MgO を用い、自由層を構成する CoFeB の膜厚  $T_f$  と、固定層を構成する CoFeB の膜厚  $T_p$  を、 $T_p < T_f < T_c$  ( $T_c$  は CoFeB 層の磁化が面内方向から垂直方向へかわる臨界膜厚) とすることで、50nm 級の垂直磁化型 STT-MRAM が構成できるという報告があった。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 米国特許第 5 7 3 4 6 0 5 号明細書

【 特許文献 2 】 特開 2 0 0 8 - 2 5 2 0 1 8 号公報

【 非特許文献 】

【 0 0 0 8 】

【 非特許文献 1 】 Journal of Magnetism and Magnetic Materials, 159, L1-6 (1996)

【 非特許文献 2 】 Physical Review Letters, Vol.84, No.14, pp.2149-2152 (2000)

【 非特許文献 3 】 Applied Physics Letters, Vol.84, pp.2118-2120 (2004)

【 非特許文献 4 】 Nature Materials, Vpol.9, pp.721-724(2010)

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

図 3 A 及び図 3 B に、前記の面内磁化ないし垂直磁化を有する STT-MRAM の代表的なセル構造を示した。図 3 A の断面模式図において、1 はビット線、2 は自由層、3 は中間層、4 は固定層であり、3 1 は下部電極、3 2 は下部電極とトランジスタ 6 を接続するビア、3 3 はトランジスタ 6 とソース線 7 を接続するコンタクトである。図 3 B はメモリセルを上部から見た図であるが、セル面積を小さくするため、トランジスタ 6 はビット線 1、ソース線 7 に対して斜めに配置されており、ビア 3 2 は、ソース線 7 の間隙に配置されていることが特徴である。自由層 2、中間層 3、固定層 4 からなる TMR 素子 (MTJ) は、ビット線 1 の真下にあり、ビア 3 2 とは位置がずれている。そのため、両者はゲート電極 5 と平行な方向に伸長した下部電極 3 1 を介して接続されている。ビット線 1 は、ソース線 7 の上方にビット線 1 と重なる位置に配置されている。図 3 B には、ビット線 1 を破断してその下のソース線 7 の一部を図示してある。

【 0 0 1 0 】

しかし、従来の STT-MRAM には、以下のような問題がある。

スピントルク磁化反転を応用した磁気メモリでは、書換え電流の低減と不揮発性を保証する熱安定性の確保が極めて重要である。スピントルク磁化反転の書換え電流は電流密度で決まることが知られており、例えば Physical Review B, Vol.62, No.1, pp.570-578 によれば、図 1 A 及び図 1 B のように面内に磁化が向いた TMR ピラーに対しては、しきい電流密度  $J_{c0}$  は式 (1) で与えられることが知られている。

【 0 0 1 1 】

$$J_{c0} \quad ( \quad M_s t / g ) ( H_k + M_{eff} ) \quad ( 1 )$$

ここで、 $J_{c0}$  はギルバートのダンピング定数、 $M_s$  は記録層の飽和磁化、 $t$  は記録層の膜

10

20

30

40

50

厚、 $g$  はスピントルクの効率、 $H_k$  は記録層の異方性磁界、 $M_{eff}$  は膜面に垂直方向に働く反磁界の効果差し引いた記録層の有効磁化である。

【0012】

一方、熱安定性を特徴づけるエネルギー障壁、すなわち二つの安定な磁化方向の間で磁化反転をするために必要なエネルギーは、式(2)で与えられる。

【0013】

$$E \sim (M_s H_k S t) / 2 \quad (2)$$

ここで、 $S$  はTMRピラーの断面積である。

【0014】

式(1)(2)からわかるように、 $J_{c0}$ 、 $E$ ともに $M_s t$ に比例する量である。したがって熱安定性を確保するために $M_s t$ を増加させると $J_{c0}$ も大きくなり、書き込みに要する消費電力が増える。他方、しきい電流を減らすために $M_s t$ を減少させると $E$ も減少し、熱安定性が損なわれる。すなわち、 $J_{c0}$ と $E$ はトレードオフの関係にある。

10

【0015】

一方、特開2008-252018号公報に記載されている垂直TMR型STT-MRAMでは、しきい電流密度 $J_{c0}$ は、

$$J_{c0} \sim (M_s t / g) (H_k - 4 M_s) \quad (3)$$

となり、一方、障壁エネルギー $E$ は

$$E \sim [M_s (H_k - 4 M_s) S t] / 2 \quad (4)$$

と書ける。この場合も、 $J_{c0}$ 、 $E$ ともに $M_s t$ に比例するが、前述のように垂直型MTJでは異方性磁界を大きくすることができるので、 $E$ の大きさに関しては問題ない。しかも、式(1)に含まれる $M_{eff}$ が式(3)には含まれないので、 $J_{c0}$ は面内磁化TMR型のSTT-MRAMに比べ小さくできるという利点を有する。

20

【0016】

しかしながら、垂直TMR型のSTT-MRAMには、以下のような別の課題がある。図1A、図1Bに示したような面内磁化型TMR素子の場合、固定層4は反強磁性層10からの交換結合を受けて、一方向の磁化に強く固定されている。このTMR素子の面内方向に磁界をかけて抵抗を測った場合の抵抗変化は、図4Aのようになる。ここで $H_p$ は固定層の保磁力、 $H_f$ は自由層の保磁力である。面内磁化型のTMR素子の場合、反強磁性層からの交換結合の影響で、通常 $H_p$ は $H_f$ の10倍程度もある。各層の磁気異方性 $H_k$ はほぼ保磁力の値程度であるので、式(2)によれば、固定層の熱安定性エネルギーは自由層の熱安定性エネルギーの10倍もあり、スピントルク磁化反転に対し極めて安定であると考えられる。他方、垂直磁化型のTMR素子では、面内磁化型のTMR素子に存在する磁化を固定する良好な反強磁性材料が存在しない。このような場合のTMR素子の抵抗変化の磁場依存性は、図4Bのようになる。固定層の保磁力 $H_p$ は、自由層の保磁力 $H_f$ の高々数倍程度である。したがって固定層の熱安定性エネルギーも自由層の熱安定性エネルギーの高々数倍程度となり、垂直磁化型TMR素子の固定層は、面内磁化型TMR素子に比べ、スピントルク磁化反転に対して不安定である。

30

【0017】

このような状況で、図5のような反平行磁化配置状態から平行磁化配置状態へのスイッチングを考える。反平行磁化状態から平行磁化状態へスイッチングを行うには、電流8を自由層2側から固定層4側に、すなわち電子9を固定層4側から自由層2側に流す必要がある。あるしきい電流を超える電流を流すと、自由層2の磁化方向は反平行状態から平行状態にスイッチングし、抵抗は高い状態から低い状態になる。さらに電流を流し続けると、抵抗の低下とともに流れる電流8が増加する。しかも、電流方向は自由層2の磁化を安定化する方向であるが、固定層4は、自由層2からの反射電流からスピントルクを受けて不安定化する。以上のように、垂直磁化型TMR素子では、固定層がスピントルク磁化反転に対して不安定であるという問題がある。

40

【課題を解決するための手段】

【0018】

50

本発明の磁気メモリは、基板上に、膜面に垂直な一方向に固定された磁化を有する固定層、固定層に接して設けられた非磁性障壁層、及び非磁性障壁層に接して設けられ膜面に垂直な方向の磁化を有する自由層を有する磁気抵抗効果素子と、磁気抵抗効果素子に接続された選択トランジスタとを備えて構成されるメモリセルをアレイ状に配置した磁気メモリセルアレイと、磁気抵抗効果素子と選択トランジスタに所望の方向の電流を流す機構とを備え、選択トランジスタを通して自由層の膜面に垂直な方向に流されるスピン偏極した電流によって自由層の磁化の方向をスイッチングし、自由層の磁化方向と固定層の磁化方向が略平行か、略反平行かによって情報の記録を行う磁気メモリであって、選択トランジスタは磁気抵抗効果素子の上方に配置されて自由層側に接続され、磁気メモリセルアレイ内で、複数の隣接するメモリセルの固定層は、磁気メモリセルアレイ内の一方向で互いに接続され、自由層は各メモリセル間で互いに分離されている構造とする。

10

【0019】

選択トランジスタの上方にビット線を設け、選択トランジスタをそのビット線に接続してもよい。

【0020】

さらに、固定層の下部にソース線を設け、ソース線と互いに接続された固定層を電氣的に接続するビアを設けてもよい。

【0021】

選択トランジスタは、磁気抵抗効果素子の下方に配置して自由層側に接続する構造であってもよい。

20

【0022】

この場合、自由層と選択トランジスタの接続は、互いに列をなす接続された固定層の間に設けられたビアによって行うことができる。

【0023】

さらに、固定層の下部に配線を設け、その配線と固定層をビアによって電氣的に接続し、かつこの配線とは別個に選択トランジスタに電氣的に接続する配線を設けてもよい。

【発明の効果】

【0024】

本発明によれば、書き込み時に固定層が安定化された、垂直磁化型トンネル磁気抵抗効果素子を用いたスピントルク磁化反転応用の磁気メモリを提供することができる。

30

【0025】

上記した以外の、課題、構成及び効果は、以下の実施形態の説明により明らかにされる。

【図面の簡単な説明】

【0026】

【図1A】反平行状態から平行状態へのスピントルク磁化反転の原理を示す図。

【図1B】平行状態から反平行状態へのスピントルク磁化反転の原理を示す図。

【図2】従来の垂直TMR型STT-MRAMの模式図。

【図3A】STT-MRAMのメモリアレイの構造を示す断面模式図。

【図3B】STT-MRAMのメモリアレイの構造を示す平面模式図。

40

【図4A】面内TMR素子の抵抗の磁界依存性を示す図。

【図4B】垂直TMR素子の抵抗の磁界依存性を示す図。

【図5】垂直型STT-NRAMの課題を示す図。

【図6A】本発明の第1実施例を示す断面模式図。

【図6B】本発明の第1実施例を示す平面模式図。

【図7】垂直TMR素子における自由層膜厚と界面垂直異方性定数の関係を表す図。

【図8A】本発明の第1実施例の別の構造例を示す断面模式図。

【図8B】本発明の第1実施例の別の構造例を示す平面模式図。

【図9】第1実施例の別の構造例を示す断面図。

【図10A】本発明の第2実施例を示す断面模式図。

50

【図10B】本発明の第2実施例を示す平面模式図。

【図11A】本発明の第2実施例の別の構造例を示す模式図。

【図11B】本発明の第2実施例の別の構造例を示す平面模式図。

【図12】第2実施例の別の構造を示す断面図。

【図13】本発明のメモリセルを搭載したメモリアレイ回路の一例を示す図。

【図14】メモリのコントローラを示す概略図。

【図15】本発明のメモリセルを搭載したメモリアレイ回路の別の一例を示す図。

【発明を実施するための形態】

【0027】

以下、具体的な実施例を、図面を用いて詳述する。

10

[実施例1]

図6Aは、本発明の第1の実施例におけるTMRピラーを備える磁気メモリセルの断面模式図、図6Bはその平面模式図である。図において、1はビット線、61は縦型トランジスタ、62は自由層、63は非磁性の障壁層、64は固定層、65は下部電極、66は縦型トランジスタのオン・オフを制御するワード線である。図6Aの断面図に示した構造は、下部電極65の下方に位置する図示しない基板上に形成されている。図6Bから分かるように、非磁性障壁層63、固定層64、下部電極65はビット線1と平行な方向に線状に形成されている。自由層62に流す電流は、ワード線66にかけられる電圧によって縦型トランジスタをオン状態にして供給する。

【0028】

20

以下、本実施例のTMR素子を構成する材料について詳述する。固定層64及び自由層62の材料は $\text{Co}_{20}\text{Fe}_{60}\text{B}_{20}$ であり、非磁性障壁層63は厚さ1nmのMgOで構成した。固定層64の膜厚は1.0nmとし、自由層の膜厚は、1.2nmとした。下部電極層65は、厚さ5nmのTa、厚さ10nmのRu、厚さ5nmのTaからなる積層膜を用いた。下部電極層65は、平坦なCoFeB、MgO、CoFeB多層膜を形成するため、CoFeB固定層の結晶性を保ちつつ、できる限り薄膜化することが望ましい。また、これらの積層薄膜は超高真空中でのスパッタリングを用いて作製し、その後、固定層、自由層の結晶化のため300℃での熱処理を行った。

【0029】

熱処理温度が300℃のときは、前記 $\text{Co}_{20}\text{Fe}_{60}\text{B}_{20}$ の膜厚を1.0nmから1.6nm程度に制御することによって、磁化容易軸は膜面に対して垂直方向となる。図7に、 $K_{\text{eff}} \cdot t$  ( $K_{\text{eff}}$ と $t$ の積)の、 $\text{Co}_{20}\text{Fe}_{60}\text{B}_{20}$ 膜厚依存性を示す。ここで、 $t$ は磁性層の膜厚、 $K_{\text{eff}}$ は磁性層の垂直磁気異方性エネルギー密度である。 $K_{\text{eff}} \cdot t$ の値が、 $t = 1.6\text{nm}$ で正から負に変化している。 $K_{\text{eff}} \cdot t$ の値が正の場合、磁性層の磁化は膜面に垂直となり、負の場合は膜面に平行となる。また $K_{\text{eff}} \cdot t$ の値が大きいほど、磁化反転に要する電流が大きくなる。この $K_{\text{eff}} \cdot t$ と、式(1)~(4)で用いた磁気異方性 $H_k$ とは、 $H_k = K_{\text{eff}} \cdot t$ の関係がある。

30

【0030】

しかし、従来例のように固定層と自由層の面積を同一とすると、記録保持の安定性を表す熱安定性エネルギーは、固定層の方が自由層のそれより2倍程度大きいに過ぎない。そこで本実施例では、隣接する磁気メモリセルの固定層をプレート状に接続し、固定層の面積 $S$ を増大させ、固定層の熱安定性エネルギー $E$ を大幅に増加させている。具体的には、図6A及び図6Bに示すように隣接する10個程度の磁気メモリセルの固定層を接続する。これにより、固定層の書き込み電流密度は自由層のそれより10倍以上高く、また固定層の熱安定性エネルギーも自由層のそれより10倍以上高めることができ、安定な記録動作が保証される。

40

【0031】

本実施例では、CoFeBの組成を、 $\text{Co}_{20}\text{Fe}_{60}\text{B}_{20}$ とした例について詳述するが、CoFeBを垂直磁化膜とするには、CoとFeの組成比は4:6から1:9の間のFeリッチ組成とするのが望ましい。またBの濃度は、製膜時にBをアモルファスとするため

50

には17%から23%の間にする必要がある。また、固定層64及び自由層62に、CoFeB以外の材料として、3d遷移金属元素を少なくとも1種類含む、例えば、CoFe、あるいはFeなどを用いてもよい。また、 $\text{Co}_2\text{MnSi}$ 、 $\text{Co}_2\text{FeAl}$ 、 $\text{Co}_2\text{CrAl}$ などに代表されるホイスラー合金を用いてもよい。ホイスラー合金はハーフメタル材料のためスピン分極率が高く、より高いTMR比を得ることができる。また、ホイスラー合金は、CoFeやCoFeBに比べてダンピング定数が小さく、自由層に適用すれば、より書き込み電流密度 $J_{c0}$ を低減できる効果が得られる。

#### 【0032】

また、本実施例では、非磁性障壁層63の材料にMgOを用いたが、その他の材料として、 $\text{Al}_2\text{O}_3$ 、 $\text{SiO}_2$ などの酸素を含む化合物、あるいはZnOなどの半導体、あるいはCuなどの金属などを用いてもよい。 $\text{Al}_2\text{O}_3$ や $\text{SiO}_2$ などアモルファスの絶縁体を障壁層として用いる場合、TMR比はMgOと比較して低下するが、磁性層の磁化を膜面と垂直に向ける効果があるため、垂直磁化の磁気抵抗効果素子として機能させることは可能である。

10

#### 【0033】

図6A、図6Bに示した磁気メモリセルは、非磁性障壁層63、固定層64、下部電極層65が、ビット線1と平行な方向に接続された例であるが、非磁性障壁層63、固定層64、下部電極層65の接続方向は、図8Aの断面模式図及び図8Bの平面模式図に示すように、ビット線1に対して垂直方向でもよい。図6A、図6Bに示した例、及び、図8A、図8Bに示した例のいずれもTMR素子の面積あたりの密度は同じで、高密度の磁気メモリセルが実現されている。

20

#### 【0034】

以上、本実施例では、自由層62の磁化反転のためTMR素子に電流を流す。しかし前述のように下部電極層65の膜厚は薄いため、大きな電流による下部電極層65の破壊が懸念される。そのような場合には、図9に示すように、下部電極層65の下に金属のビア81を形成し、ソース線7を通じて電流を流し、できるだけ下部電極層65にダメージを与えないのが好ましい。図9に示した構造例は、図6A及び図6Bに対応してソース線7がビット線1と平行に配置されているが、図8A及び図8Bに示したセル構造の場合には、ソース線7はビット線1と垂直方向に伸びるように配置する。

30

#### 【0035】

##### [実施例2]

図10Bは本発明の第2の実施例における磁気メモリセルの平面模式図、図10Aは図10BのAA方向から見た断面模式図である。図において、91は上部導電層、92は自由層、93は非磁性障壁層、94は固定層、95は下部電極層、96はTMRピラーとビア97との接続部、6は平面型のトランジスタ、5はトランジスタをオン・オフするワード線、7はソース線、98はトランジスタ6とソース線7を接続するビアである。図10Aの断面図に示した構造は、図の下方に位置する図示しない基板上に形成されている。

#### 【0036】

本実施例の磁気メモリセルでは、非磁性障壁層93、固定層94、下部電極層95は、実施例1と同様にソース線7と平行な方向に、互いに接続されている。また、非磁性障壁層93、固定層94、下部電極層95は、ソース線7の上方にソース線7と重なる位置に配置されている。本実施例では、実施例1でTMR素子の上方に設けられていた縦型トランジスタの代わりに、TMR素子の下層に形成された通常の平面型CMOSトランジスタが用いられており、TMR素子の自由層92とトランジスタ6を接続するため、接続用の導電部分96と貫通ビア97が用いられている。この貫通ビア97は、図10Bに示されているように、ソース線7及びワード線5の間を通るようにレイアウトされ、セルの密度を下げないように配置されている。図10Bの場合、1セルあたりの面積は $8F^2$ となっている。

40

#### 【0037】

図10A及び図10Bに示した構造例は、非磁性障壁層93、固定層94、下部電極9

50

5 が、ソース線 7 と平行な方向に接続された例であるが、非磁性障壁層 9 3、固定層 9 4、下部電極 9 5 の接続方向は、図 1 1 A の断面模式図及び図 1 1 B の平面模式図に示すように、ソース線 7 に対して垂直方向でもよい。図 1 1 A 及び図 1 1 B に示した例においても、TMR 素子の面積あたりの密度は  $8 F^2$  で、高密度の磁気メモリセルが実現されている。

#### 【0038】

TMR 素子や下部電極に用いる材料に関しては、実施例 1 と同様であり、例えば固定層 9 4 及び自由層 9 2 の材料は  $Co_{20}Fe_{60}B_{20}$  であり、非磁性障壁層 9 3 は厚さ 1 nm の MgO で構成した。固定層 9 4 の膜厚は 1.0 nm とし、自由層 9 2 の膜厚は、1.2 nm とした。下部電極層 9 5 には、厚さ 5 nm の Ta、厚さ 10 nm の Ru、厚さ 5 nm の Ta の積層膜を用いた。これらの下部電極層は、平坦な CoFeB, MgO, CoFeB 多層膜を形成するため、CoFeB 固定層の結晶性を保ちつつ、できる限り薄膜化することが望ましい。また、これらの積層薄膜は超高真空中でのスパッタリングを用いて作製し、その後、固定層、自由層の結晶化のため 300 °C での熱処理を行った。接続部 9 6 やビア 9 7 の材料に関しては、例えば電気伝導率の高い Cu, Al、あるいは Cu と Al の合金等が用いられる。

10

#### 【0039】

本実施例でも、自由層 9 2 の磁化反転のため TMR 素子に電流を流す。しかし前述のように下部電極層 9 5 の膜厚は通常薄いため、大きな電流による下部電極層 9 5 の破壊が懸念される。そのような場合は、図 1 2 に示すように、下部電極層 9 5 の下に金属のビア 1 0 2 を形成し、ソース線 7 の上方にソース線 7 に対して平行に形成された配線 1 0 1 を通じて電流を流し、できるだけ下部電極層 9 5 にダメージを与えない設計とするのが好ましい。

20

#### 【0040】

##### [メモリ回路構造]

以下、これまで述べた実施例のセル構造に対応するメモリアレイ回路構造を示す。

図 1 3 は、図 6 に示した実施例に対応するメモリアレイ回路の一例を示す模式図である。図 1 3 において、1 はビット線、1 1 2 は TMR 素子であり、1 1 6 は固定層と下部電極層からなる配線、6 1 は縦型トランジスタ、6 6 はワード線、1 1 1 は一つのメモリセルを表す。1 1 3 と 1 1 4 はビット線に流す電流の大きさを制御する抵抗変化素子（例えばトランジスタ）、1 1 5 は抵抗変化素子 1 1 3 と 1 1 4 の伝導状態を制御する抵抗制御用のワード線である。

30

#### 【0041】

本構成の場合の書き込みは、図 1 4 に示されている通り、例えばセル 1 1 1 への書き込みを行う場合、まず、CPU からアドレスコントローラに書込むべきセル 1 1 1 のアドレスを指定する信号が送られる。次に、アドレスコントローラから、電流を流したいビット線 1 に接続された書き込みドライバーにライトイネーブル信号を送って昇圧し、次に抵抗制御ドライバーの電圧を制御して、ビット線 1 に所定の電流を流す。電流の向きに応じ、抵抗変化素子 1 1 3 に接続されている書き込みドライバーないし、抵抗変化素子 1 1 4 に接続されている書き込みドライバーのいずれかをグラウンドに落として、電位差を調節して電流方向を制御する。次に所定時間経過後、ワード線 6 6 に接続された書き込みドライバーにライトイネーブル信号を送り、書き込みドライバーを昇圧して、トランジスタ 6 1 をオンにする。これにより磁気抵抗効果素子 1 1 2 に電流が流れ、スピントルク磁化反転が行われる。所定の時間、トランジスタ 6 1 をオンにしたのち、書き込みドライバーへの信号を切断し、トランジスタ 6 1 をオフにする。

40

#### 【0042】

読出しの際は、CPU からアドレスコントローラに、読み出すべきセル 1 1 1 のアドレスを指定する信号が送られる。次にアドレスコントローラからの信号で、読出したいメモリセルにつながったビット線 1 のみを読出し電圧 V に昇圧し、TMR 素子 1 1 2 につながっている配線 1 1 6 のみを他方の書き込みドライバーで選択し、ワード線 6 6 にイネーブル信号を送ってトランジスタ 6 1 をオンにして電流を流す。そして、所望のメモリセル 1 1

50

1のTMR素子112の抵抗の両端にかかる電圧差をセンスアンプで増幅することで、読出しを行う。

【0043】

図8A及び図8B、図10A及び図10B、図11A及び図11Bの実施例に対応するメモリアレイ回路も図13のようになる。ただし、図10A及び図10B、図11A及び図11Bの実施例に対応するメモリアレイ回路の場合、図13に示したビット線1はソース線に読み替え、縦型トランジスタ61は平面型トランジスタに読み替える(OKです)。

【0044】

図15は、図9の実施例に示したセル構造に対応するメモリアレイ回路の一例である。図9では、下部電極層65への大電流の通電を避けるため、下部電極層65からソース線7へ電流を流すビア81が設けられている。これに対応して、図15の回路においても、固定層と下部電極層を共通とする複数のTMR素子が、同一の配線116を通じてソース線7に接続されている。図14に示したメモリコントローラは図15のメモリアレイ回路にも適用され、図13で説明した書き込み、読み出し操作において、配線116を通じて行われる操作は、すべてソース線を通じて行われる。

【0045】

図12の実施例に対応するメモリアレイ回路も図15のようになる。ただし、図12の実施例に対応するメモリアレイ回路の場合、図15に示した縦型トランジスタ61は平面型トランジスタに読み替える(OKです)。

【0046】

なお、本発明は上記した実施例に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施例は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることも可能である。また、各実施例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

【符号の説明】

【0047】

- 1 ビット線
- 2 自由層
- 3 非磁性障壁層
- 4 固定層
- 5 ゲート電極
- 6 トランジスタ
- 7 ソース線
- 8 電流方向
- 9 電子が移動する方向
- 10 反強磁性層
- 31 下部電極
- 32 ビア
- 33 コンタクト
- 61 縦型トランジスタ
- 62 自由層
- 63 非磁性障壁層
- 64 固定層
- 65 下部電極
- 66 ワード線
- 81 ビア
- 91 上部導電層

10

20

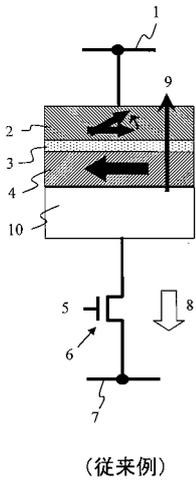
30

40

50

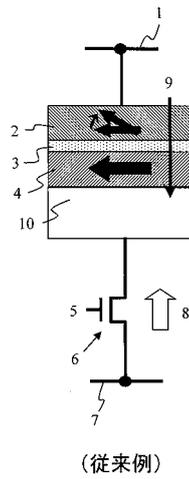
- 9 2 自由層
- 9 3 非磁性障壁層
- 9 4 固定層
- 9 5 下部電極
- 9 6 接続部
- 9 7 ピア
- 1 0 1 配線
- 1 0 2 ピア
- 1 1 2 T M R 素子
- 1 1 6 配線

【図 1 A】  
図1A

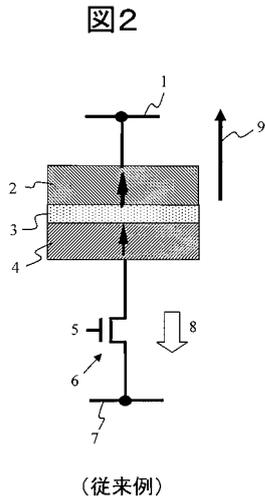


【図 1 B】

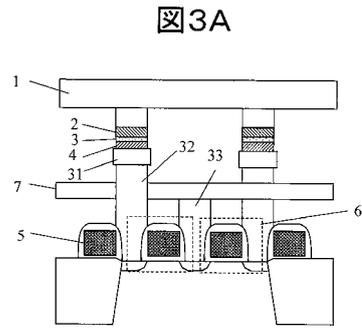
図1B



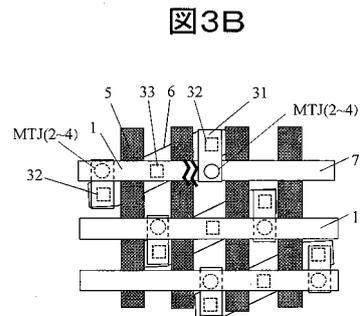
【 図 2 】



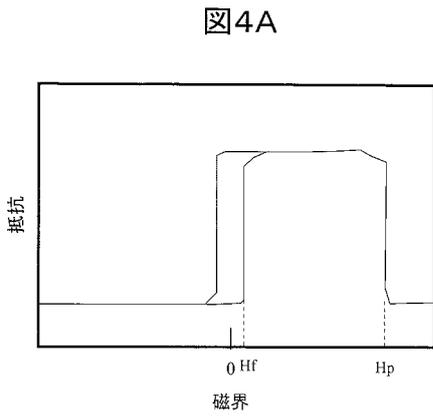
【 図 3 A 】



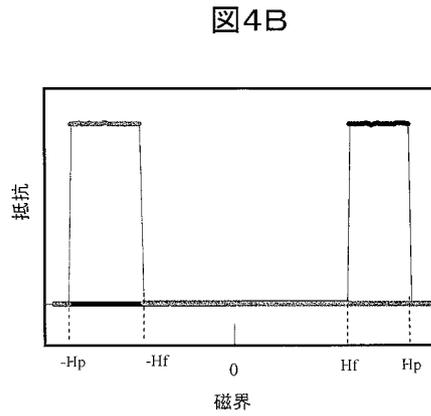
【 図 3 B 】



【 図 4 A 】

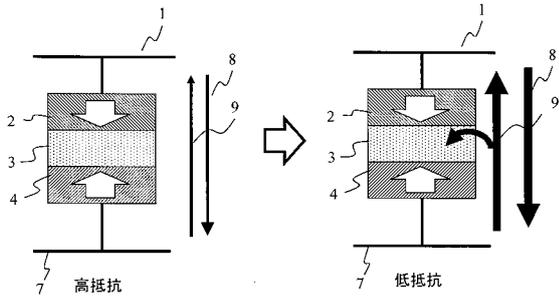


【 図 4 B 】



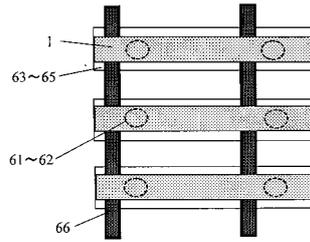
【 図 5 】

図5



【 図 6 B 】

図6B

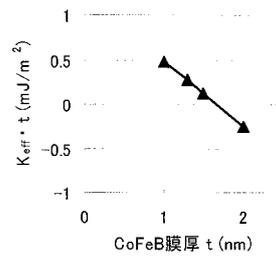
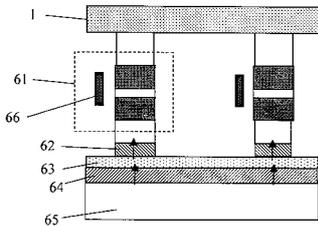


【 図 7 】

図7

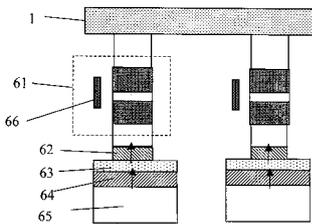
【 図 6 A 】

図6A



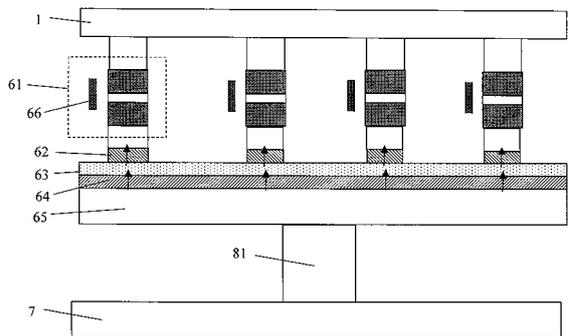
【 図 8 A 】

図8A



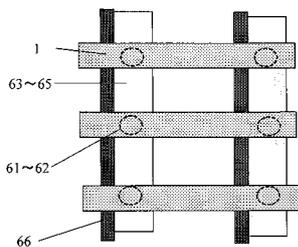
【 図 9 】

図9



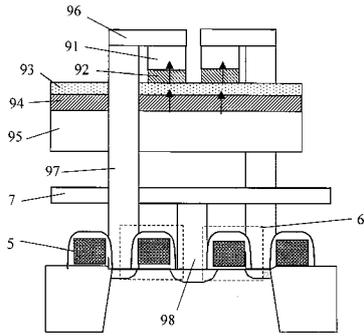
【 図 8 B 】

図8B



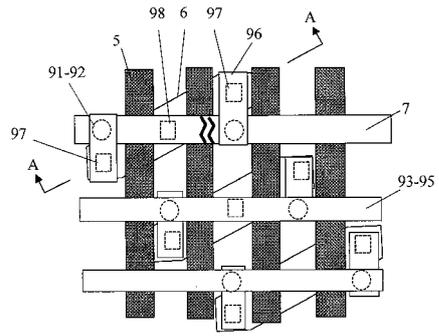
【図10A】

図10A



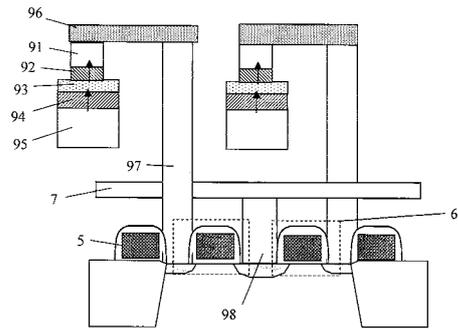
【図10B】

図10B



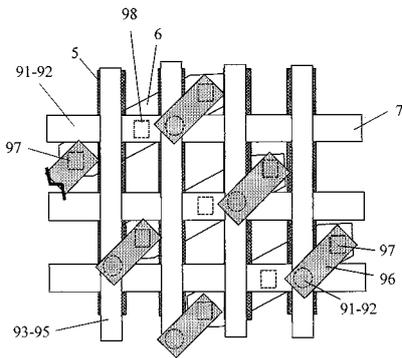
【図11A】

図11A



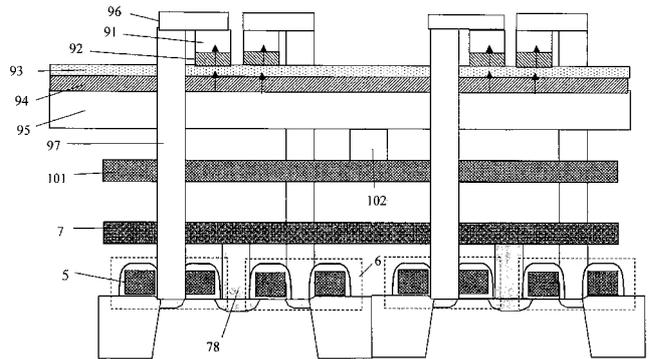
【図11B】

図11B



【図12】

図12





---

フロントページの続き

- (72)発明者 池田 正二  
宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内
- (72)発明者 伊藤 顕知  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 山本 浩之  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 三浦 勝哉  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- Fターム(参考) 4M119 AA17 BB01 CC05 DD17 DD33 DD34 DD45 DD55 EE22 EE27  
FF05 FF17 FF19 GG03 HH02 HH05 HH07  
5F092 AA15 AB08 AC12 AD03 AD23 AD25 BB23 BB24 BB35 BB36  
BB37 BB43 BB44 BB55 BC04 CA25