

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-164139

(P2018-164139A)

(43) 公開日 平成30年10月18日 (2018. 10. 18)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/367 (2011.01)	HO4N 5/367 500	4M118
HO1L 27/146 (2006.01)	HO1L 27/146 A	5C024
HO1L 29/786 (2006.01)	HO1L 27/146 E	5F048
HO1L 21/8234 (2006.01)	HO1L 29/78 618B	5F083
HO1L 27/088 (2006.01)	HO1L 29/78 613Z	5F110

審査請求 未請求 請求項の数 7 O L (全 45 頁) 最終頁に続く

(21) 出願番号 特願2017-58989 (P2017-58989)  
 (22) 出願日 平成29年3月24日 (2017. 3. 24)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 塩川 将隆  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

F ターム (参考) 4M118 AA04 AA10 AB01 BA05 BA07  
 BA14 CA03 CA05 CA32 CA34  
 CB01 CB05 CB11 CB14 FA06  
 FA33 FB23 GB03 GB11 GB18  
 GC08 GD03 GD04 HA02 HA22  
 HA23 HA24 HA25 HA26 HA30  
 HA31 HA35  
 5C024 CX26 CX34 EX15 GX15 GX24  
 GY31 HX01 HX29

最終頁に続く

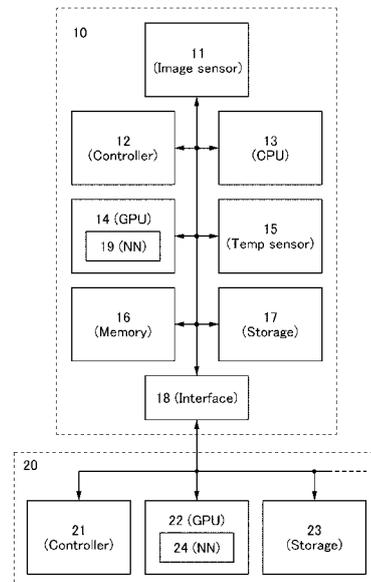
(54) 【発明の名称】 撮像装置および電子機器

(57) 【要約】

【課題】長時間ノイズの補正時間を短縮することのできる撮像装置を提供する。

【解決手段】第1の画像データを取得する機能を有する撮像部と、露光時間を制御する機能を有する制御部と、撮像部の温度を取得する機能を有する温度センサと、第1の画像データを取得したときの露光時間および撮像部の温度を入力データとして第2の画像データを生成するニューラルネットワークを有する画像処理部と、を有し、第1の画像データから第2の画像データを減算して、第3の画像データを生成する撮像装置である。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

撮像部と、制御部と、温度センサと、画像処理部と、を有する撮像装置であって、  
 前記撮像部は、第 1 の画像データを取得する機能を有し、  
 前記制御部は、前記撮像部における露光時間を制御する機能を有し、  
 前記温度センサは、前記撮像部の温度を取得する機能を有し、  
 前記画像処理部は、ニューラルネットワークを有し、  
 前記ニューラルネットワークは、第 2 の画像データを生成する機能を有し、  
 前記画像処理部は、前記第 1 の画像データから前記第 2 の画像データを減算して、第 3 の  
 画像データを生成する機能を有する撮像装置。

10

## 【請求項 2】

請求項 1 において、  
 前記ニューラルネットワークは、前記第 1 の画像データを取得したときの前記露光時間お  
 よび前記温度を入力データとして前記第 2 の画像データを生成する機能を有する撮像装置  
 。

## 【請求項 3】

請求項 1 または 2 において、  
 前記撮像装置は外部機器と接続するインターフェイスを有し、  
 前記ニューラルネットワークの重み係数は、前記外部機器から入力された値を用いる撮像  
 装置。

20

## 【請求項 4】

請求項 1 乃至 3 のいずれか一項において、  
 前記撮像部は第 4 の画像データを取得する機能を有し、  
 前記画像処理部は、前記第 4 の画像データを取得したときの露光時間および前記撮像部の  
 温度を入力データとし、前記第 4 の画像データを教師データとして前記ニューラルネット  
 ワークの重み係数を補正する機能を有する撮像装置。

## 【請求項 5】

請求項 1 乃至 4 のいずれか一項において、  
 前記ニューラルネットワークは、積和演算素子を有し、  
 前記積和演算素子は、第 1 のトランジスタと、第 2 のトランジスタと、容量素子と、を有  
 する記憶回路を有し、  
 前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 2 のトランジスタのゲ  
 ートと電氣的に接続され、  
 前記第 1 のトランジスタのソースまたはドレインの一方は、前記容量素子と電氣的に接続  
 され、  
 前記第 1 のトランジスタは、チャンネル形成領域に金属酸化物を有する撮像装置。

30

## 【請求項 6】

請求項 1 乃至 5 のいずれか一項において、  
 前記撮像部の画素は、  
 チャンネル形成領域に金属酸化物を有する第 3 のトランジスタと、  
 セレンまたはセレン化合物を有する光電変換素子と、  
 を有する撮像装置。

40

## 【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載の撮像装置と、表示装置と、を有する電子機器。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の一態様は、撮像装置に関する。

## 【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の

50

一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

10

【背景技術】

【0004】

固体撮像素子を用いた撮像装置の性能が向上し、高感度の銀塩フィルムを用いる場合と同様に低照度環境でも十分な画質が得られるようになってきている。また、基板上に形成された酸化物半導体薄膜を用いてトランジスタを構成する技術が注目されている。例えば、酸化物半導体を有するオフ電流が極めて低いトランジスタを画素回路に用いる構成の撮像装置が特許文献1に開示されている。

【先行技術文献】

【特許文献】

【0005】

20

【特許文献1】特開2011-119711号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、撮像装置は特有の問題も抱えている。固体撮像素子の画素領域には画素数の数倍個のトランジスタが設けられるが、それらの全てが同一の電気特性を有するように作製することは極めて困難である。

【0007】

例えば、構造の不完全性や材料の不均一性に起因して、基準値よりもわずかにリーク電流が高いトランジスタが点在することがある。このようなトランジスタが存在していても、明るい環境下における比較的露光時間の短い撮像には影響しない。しかし、夜景や星空などを撮像する場合においては、数秒から数十分間程度の露光を行うことがある。このような撮像条件では、前述したリーク電流が起因して、本来は黒レベルの画像となる領域に輝点が発生してしまう。

30

【0008】

当該輝点は長時間ノイズとして知られており、撮像条件が同じであれば、同じレベルのノイズが同じ領域に発生する。したがって、長時間ノイズの補正方法として、元画像のデータから同条件で撮像した暗状態の画像データを減算処理する方法がとられている。ただし、暗状態のデータの取得は元画像の撮像が終了後に続けて行うため、撮像時間は二倍となり、撮像のスループットを妨げる問題がある。

40

【0009】

したがって、本発明の一態様では、長時間ノイズの補正時間を短縮することのできる撮像装置を提供することを目的の一つとする。または、スループットの高い撮像装置を提供することを目的の一つとする。または、低照度下での撮像が容易な撮像装置を提供することを目的の一つとする。または、低消費電力の撮像装置を提供することを目的の一つとする。または、信頼性の高い撮像装置を提供することを目的の一つとする。または、新規な撮像装置などを提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一

50

態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0011】

本発明の一態様は、ニューラルネットワークを用いて、長時間ノイズを低減した画像を得る撮像装置に関する。

【0012】

本発明の一態様は、撮像部と、制御部と、温度センサと、画像処理部と、を有する撮像装置であって、撮像部は、第1の画像データを取得する機能を有し、制御部は、撮像部における露光時間を制御する機能を有し、温度センサは、撮像部の温度を取得する機能を有し、画像処理部は、ニューラルネットワークを有し、ニューラルネットワークは、第2の画像データを生成する機能を有し、画像処理部は、第1の画像データから第2の画像データを減算して、第3の画像データを生成する機能を有する撮像装置である。

10

【0013】

ニューラルネットワークは、第1の画像データを取得したときの露光時間および温度を入力データとして第2の画像データを生成する機能を有する。

【0014】

撮像装置は外部機器と接続するインターフェイスを有し、ニューラルネットワークの重み係数は、外部機器から入力された値を用いることができる。

20

【0015】

撮像部は第4の画像データを取得する機能を有し、画像処理部は、第4の画像データを取得したときの露光時間および撮像部の温度を入力データとし、第4の画像データを教師データとしてニューラルネットワークの重み係数を補正する機能を有する。

【0016】

ニューラルネットワークは、積和演算素子を有し、積和演算素子は、第1のトランジスタと、第2のトランジスタと、容量素子と、を有する記憶回路を有し、第1のトランジスタのソースまたはドレインの一方は、第2のトランジスタのゲートと電氣的に接続され、第1のトランジスタのソースまたはドレインの一方は、容量素子と電氣的に接続され、第1のトランジスタは、チャンネル形成領域に金属酸化物を有することができる。

30

【0017】

撮像部の画素は、チャンネル形成領域に金属酸化物を有する第3のトランジスタと、セレンまたはセレン化合物を有する光電変換素子と、を有することができる。

【発明の効果】

【0018】

本発明の一態様を用いることで、長時間ノイズの補正時間を短縮することのできる撮像装置を提供することができる。または、スループットの高い撮像装置を提供することができる。または、低照度下での撮像が容易な撮像装置を提供することができる。または、低消費電力の撮像装置を提供することができる。または、信頼性の高い撮像装置を提供することができる。または、新規な撮像装置などを提供することができる。または、新規な半導体装置などを提供することができる。

40

【図面の簡単な説明】

【0019】

【図1】撮像装置および外部機器を説明するブロック図。

【図2】長時間ノイズおよびその除去を説明する図。

【図3】長時間ノイズの画像を分割した図。

【図4】ニューラルネットワークによる画像の生成を説明する図。

【図5】撮像装置で長時間ノイズを除去する動作を説明する図。

【図6】ニューラルネットワークの構成例を示す図。

【図7】半導体装置の構成例を示す図。

50

【図 8】記憶回路の構成例を示す図。

【図 9】メモリセルの構成例を示す図。

【図 10】回路の構成例を示す図。

【図 11】半導体装置の動作を説明するタイミングチャート。

【図 12】画素回路を説明する図、および撮像の動作を説明するタイミングチャート。

【図 13】撮像装置の画素の構成を示す図、および撮像装置のブロック図。

【図 14】撮像装置の構成を示す断面図。

【図 15】撮像装置の構成を示す断面図。

【図 16】撮像装置の構成を示す断面図。

【図 17】撮像装置を収めたパッケージの斜視図。

【図 18】電子機器の構成例を示す図。

【発明を実施するための形態】

【0020】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

【0021】

(実施の形態 1)

本実施の形態では、本発明の一態様である撮像装置について、図面を参照して説明する。本発明の一態様は、ニューラルネットワークを用いた画像生成機能を有する撮像装置である。

【0022】

撮像装置では、長時間ノイズまたは固定パターンノイズと呼ばれる輝点が発生することがある。当該輝点は、トランジスタのリーク電流に起因し、画素の電荷保持部の電位が変化することにより発生する。

【0023】

これまで、長時間ノイズの補正は、元画像である第 1 の画像データ取得後に同一の条件で撮像した暗状態の第 2 の画像データを取得し、第 1 の画像データから第 2 の画像データを減算することで行っていた。そのため、撮像時間が倍増することが問題となっていた。

【0024】

本発明の一態様では、第 2 の画像データを事前の機械学習によって重みづけされたニューラルネットワークを用いて生成する。したがって、第 2 の画像データの撮像動作を省くことができる。その効果として、第 1 の画像データが長時間露光で取得された場合であっても、短時間で第 2 の画像データを生成することができ、撮像のスループットを向上させることができる。

【0025】

図 1 は、本発明の一態様の撮像装置を説明するブロック図の一例である。撮像装置 10 は、撮像部 11 と、制御部 12 と、演算部 13 と、画像処理部 14 と、温度センサ 15 と、記憶部 16 と、記憶部 17 と、インターフェイス 18 を有する。これらの要素は互いに電氣的に接続されており、必要に応じて信号およびデータの授受を行うことができる。なお、いずれかの要素が他のいずれかの要素と電氣的に接続していない場合もある。また、いずれかの要素の機能を他の要素が有する場合がある。また、一つの要素の機能を複数の要素に分散する場合もある。

【0026】

撮像部 11 は、画像データを撮像する機能を有し、具体的には CMOS イメージセンサなどを用いることができる。制御部 12 は、撮像にかかわる動作を制御する機能を有する。

10

20

30

40

50

演算部 13 は、撮像装置全体の動作に関わる演算を行う機能を有し、例えば中央演算処理装置 (CPU: Central Processing Unit) などを用いることができる。画像処理部 14 は、画像に関するデータ処理を行う機能を有し、例えば画像処理装置 (GPU: Graphics Processing Unit) などを用いることができる。また、画像処理部 14 は、画像データを生成するためのニューラルネットワーク 19 を有する。温度センサ 15 は、撮像部の温度を取得する機能を有する。

#### 【0027】

記憶部 16 は、撮像装置 10 に動作にかかわるプログラムや設定項目を保存する機能を有し、少なくとも一部は書き換え可能なメモリであることが好ましい。記憶部 17 は、撮像した画像等のデータを保存するためメモリであり、取り外し可能な記憶媒体であってもよい。インターフェイス 18 は、外部機器 20 を接続する機能を有する。

10

#### 【0028】

外部機器 20 は、制御部 21、画像処理部 22、記憶部 23 などを用い、画像処理部 22 はニューラルネットワーク 19 と同等の構成のニューラルネットワーク 24 を有する。なお、ニューラルネットワーク 19、24 はソフトウェアで構成してもよい。

#### 【0029】

ここで、前述した長時間ノイズの補正について説明する。図 2 (A) は、長時間の露光で撮像したビルおよび空を含む夜景の画像 30 の一例である。例えば、露光時間を数秒以上などの長時間としたとき、本来ならば黒レベルとなるべき空の領域に不自然な輝点 31、32 が発生することがある。輝点 31、32 は長時間ノイズと呼ばれ、多くの場合、隣り合う複数の画素が異常値を出力することで認識される。なお、長時間ノイズが出現する位置および出現の条件は、製品によって異なる。

20

#### 【0030】

同一の製品で撮像した画像において、長時間ノイズは基本的に同じ領域に発生するが、原因が特定のトランジスタのリーク電流であるため、画像に現れるノイズの状態 (明暗) は露光時間および温度に依存する。特に温度が高いとリーク電流が増加し、さらにそのリーク電流によって発熱するなどの悪循環が起こる。したがって、従来においては、機械式シャッター等を用いて画像 30 と同条件で撮像した暗状態の画像 35 (図 2 (B) 参照) を取得し、画像 30 のデータから画像 35 のデータを減算することにより、長時間ノイズを低減した画像 37 を取得する方法を用いていた (図 2 (C) 参照)。

30

#### 【0031】

しかしながら、この方法では、画像 30 を撮像した後に画像 30 と同じ露光時間で画像 35 の撮像を行うため、露光時間が倍増してしまう。また、画像 30 と画像 35 の撮像条件において、露光時間は同じとすることができるが、温度は環境により変化するため、続けて撮像を行っても温度は異なってしまうことがある。したがって、本発明の一態様では、画像 35 を撮像動作で取得するのではなく、ニューラルネットワークを用いて生成する手段を用いる。

#### 【0032】

次に、ニューラルネットワークの機械学習について説明する。当該機械学習は、図 1 に示す撮像装置 10 および外部機器 20 を用いて行うことができる。撮像装置 10 および外部機器 20 はインターフェイス 18 を介して接続される。このとき、撮像装置 10 は、外部機器 20 で撮像動作が行えるようになる。

40

#### 【0033】

まず、外部機器 20 の制御部 21 で撮像装置 10 を制御し、露光時間および温度をパラメータとした暗状態の画像データを複数取得する。ここで取得した画像データは、教師データとして外部機器 20 の記憶部 23 に格納する。そして、記憶部 23 に格納した教師データを読み出し、対応する露光時間および温度を入力データとして画像処理部 22 内のニューラルネットワーク 24 で学習を行う。

#### 【0034】

なお、長時間ノイズが発生する領域は比較的容易に特定することができるが、長時間ノイ

50

ズの明暗の情報を得るための撮像データは膨大となり、教師データの取得に時間を要する。そのため、複数の画像データの情報から外挿によって生成した画像データを教師データとして用いてもよい。

【0035】

画像全体に対して長時間ノイズにより輝点が発生する領域はわずかである。図3(A)は暗状態の画像36を再帰的に分割し、長時間ノイズが発生する領域を特定した図である。つまり、詳細な学習は、領域31bおよび領域32bに絞って行えばよいことになる。

【0036】

また、図3(B)は領域32bを拡大した図であり、長時間ノイズの有無が画素レベルに分別された様子を示している。さらに図3(C)乃至(E)に示すように画像の分割を行い、長時間ノイズが発生する可能性のある画素を輝点が発生している画素およびその周辺の画素に絞ることができる。最終的に一つの画素単位になるまで画像を分割してもよい。

【0037】

複数の教師データを用いて、上述したように画像を分割して長時間ノイズの発生する可能性のある画素およびその明暗を学習し、露光時間および温度を入力データとして長時間ノイズが再現された画像がニューラルネットワーク24で生成できるようにする。

【0038】

図4は、ニューラルネットワーク24で長時間ノイズを再現した画像を得る動作の流れを説明する図である。入力情報40a、40bは、それぞれ撮像装置10で長時間ノイズを除去する対象となる画像を取得したときの露光時間および温度に対応する。なお、入力情報として、さらにISO感度を追加してもよい。

【0039】

入力情報40a、40bは、入力層41、42にそれぞれ入力され、重みづけされた情報が中間層43の第1の層に入力される。ここで、中間層43は任意のノード数および層数を有する。そして、中間層の最終層から出力された情報が出力層44に入力され、出力層44は、長時間ノイズを再現した画像37を構成する情報を出力する。

【0040】

なお、ニューラルネットワーク24で生成する画像は、図4(A)に示す画像37のような全体画像とするほか、図4(B)に示す画像38、39のような局所的な画像、さらに画像38、39を分割した画像の一部であってもよい。なお、画像38、39のような局所的な画像の場合は、全体画像に対する位置を示すアドレス情報も付与される。元画像から減算処理を行う場合は、同じアドレスの領域のみを対象として行えばよい。

【0041】

また、ニューラルネットワーク24に画像を選択する動作を学習させてもよい。例えば、図3(B)乃至図3(E)に示すような画像を教師データから抽出し、露光時間および温度を入力データとして推定される長時間ノイズの画像を選択して出力できるようにする。この場合、限られた数の画像の中から選択が行われるため、長時間ノイズの再現性が劣る場合もあるが、画像を生成する動作が簡略化されるため、高速に動作させることができる。

【0042】

ニューラルネットワーク24での学習が終了した後、確定した重み係数をニューラルネットワーク19に格納する。したがって、学習済みのニューラルネットワーク24と同じ動作をニューラルネットワーク19で行えるようになる。なお、重み係数を記憶部16に格納し、ニューラルネットワーク19を動作させる前に記憶部16から読み出してもよい。また、前述した画像を選択する動作を行う場合は、教師データから抽出した複数の画像を記憶部16に格納する。

【0043】

ここまでの外部機器20を用いた学習動作および撮像装置10への重み係数の格納は、撮像装置10の工場出荷前に行うことが好ましく、ユーザ側での作業は不要である。ただし、より厳密に長時間ノイズを低減したい場合は、ユーザ側で暗状態の画像を撮像し、露光

10

20

30

40

50

時間および温度を入力データとし、当該画像を教師データとしてニューラルネットワーク 19 の重み係数の補正を行ってもよい。この場合、撮像装置 10 には暗状態の撮像を行うための機械式シャッタを設けることが好ましい。

【0044】

次に、撮像装置 10 における長時間ノイズ除去の動作の流れを図 5 に示すフローチャートを用いて説明する。

【0045】

まず、撮像部 11 で第 1 の画像の撮像を行う (S1)。ここで第 1 の画像とは、撮像条件を問わず、ユーザが撮像した画像である。このとき、第 1 の画像のデータは、画像処理部 14 または記憶部 16 に一時的に格納される。

10

【0046】

次に、第 1 の画像を撮像した条件 (露光時間、温度) が長時間ノイズの発生する条件であるか否かの判断を行う (S2)。長時間ノイズの発生しない条件 (露光時間が短い、温度が低いなど) である場合は、画像処理部 14 にて予め指定された画像フォーマットへの変換などが行われ (S6)、記憶部 17 に保存される (S7)。

【0047】

第 1 の画像を撮像した条件が長時間ノイズの発生する条件 (露光時間が長い、温度が高いなど) である場合は、長時間ノイズの除去動作を行う設定になっているか否かの確認を行う (S3)。

【0048】

事前にユーザが長時間ノイズの除去動作を行わない設定にしている場合は、S6 に進む。長時間ノイズの除去を行う場合は、第 1 の画像データの撮像条件 (露光時間、温度) を入力データとしてニューラルネットワーク 19 で第 2 の画像の生成を行う (S4)。このとき、第 2 の画像のデータは、画像処理部 14 または記憶部 16 に一時的に格納される。

20

【0049】

次に、画像処理部 14 で第 1 の画像のデータから第 2 の画像のデータを減算する処理を行い、長時間ノイズを除去した第 3 の画像データを生成する。

【0050】

そして、第 3 の画像データを画像処理部 14 で予め指定された画像フォーマットに変換し (S6)、記憶部 17 に保存する (S7)。

30

【0051】

以上の動作により、第 1 の画像から長時間ノイズを除去した画像の取得が完了する。

【0052】

なお、図 5 のフローチャートにおいて、S2 と S3 の順序を入れ替えてもよい。また、S2 の判定が Yes である場合は、S3 を省略して S4 に進んでもよい。

【0053】

また、温度変化がない前提で、S1 で同じ露光時間で複数の第 1 の画像を取得した後に S2 に進み、S4 で生成した一つの第 2 の画像を用いて複数の第 1 の画像の長時間ノイズを除去する動作を行ってもよい。

【0054】

次に、ニューラルネットワークの構成例について、図 6 (A) 乃至 (C) を用いて説明する。ニューラルネットワーク NN は、ニューロン回路と、ニューロン回路間に設けられたシナプス回路によって構成される。

40

【0055】

図 6 (A) は、ニューラルネットワーク NN を構成するニューロン回路 NC とシナプス回路 SC の構成例である。シナプス回路 SC には、入力データ  $x_1$  乃至  $x_L$  ( $L$  は自然数) が入力される。また、シナプス回路 SC は、重み係数  $w_k$  ( $k$  は 1 以上  $L$  以下の整数) を記憶する機能を有する。重み係数  $w_k$  は、ニューロン回路 NC 間の結合の強さに対応する。

【0056】

50

シナプス回路  $SC$  に入力データ  $x_1$  乃至  $x_L$  入力されると、ニューロン回路  $NC$  には、シナプス回路  $CN$  に入力された入力データ  $x_k$  と、シナプス回路  $CN$  に記憶された重み係数  $w_k$  との積 ( $x_k w_k$ ) を、 $k = 1$  乃至  $L$  について足し合わせた値 ( $x_1 w_1 + x_2 w_2 + \dots + x_L w_L$ )、すなわち、 $x_k$  と  $w_k$  を用いた積和演算によって得られた値が供給される。この値がニューロン回路  $NC$  のしきい値  $\theta$  を超えた場合、ニューロン回路  $NC$  はハイレベルの信号を出力する。この現象をニューロン回路  $NC$  の発火と呼ぶ。

【0057】

図6(B)にニューラルネットワーク  $NN$  のモデルの一例を示す。ニューラルネットワーク  $NN$  は、ニューロン回路  $NC$  とシナプス回路  $SC$  を用いた階層型パーセプトロンの構成を有し、入力層  $IL$ 、隠れ層(中間層)  $HL$ 、出力層  $OL$  を有する。

10

【0058】

入力層  $IL$  は隠れ層  $HL$  に対して、入力データ  $x_1$  乃至  $x_L$  を出力することができる。隠れ層  $HL$  は、隠れシナプス回路  $HS$ 、隠れニューロン回路  $HN$  を有する。出力層  $OL$  は、出力シナプス回路  $OS$ 、出力ニューロン回路  $ON$  を有する。

【0059】

隠れニューロン回路  $HN$  には、入力データ  $x_k$  と、隠れシナプス回路  $HS$  に保持された重み係数  $w_k$  と、を用いた積和演算によって得られた値が供給される。そして、出力ニューロン回路  $ON$  には、隠れニューロン回路  $HN$  の出力と、出力シナプス回路  $OS$  に保持された重み係数  $w_k$  を用いた積和演算によって得られた値が供給される。そして、出力ニューロン回路  $ON$  から、出力データ  $y_1$  乃至  $y_n$  が出力される。

20

【0060】

このように、所定の入力データが与えられたニューラルネットワーク  $NN$  は、シナプス回路  $SC$  に保持された重み係数と、ニューロン回路のしきい値  $\theta$  に応じた値を、出力データとして出力する機能を有する。

【0061】

また、ニューラルネットワーク  $NN$  は、教師データの入力によって教師あり学習を行うことができる。図6(C)に、誤差逆伝播法を利用して教師あり学習を行うニューラルネットワーク  $NN$  のモデルを示す。

【0062】

誤差逆伝播法は、ニューラルネットワークの出力データと教師信号の誤差が小さくなるように、シナプス回路の重み係数  $w_k$  を変更する方式である。具体的には、出力データ  $y_1$  乃至  $y_n$  と教師データ  $t_1$  乃至  $t_L$  に基づいて決定される誤差  $\delta$  に応じて、隠れシナプス回路  $HS$  の重み係数  $w_k$  が変更される。また、隠れシナプス回路  $HS$  の重み係数  $w_k$  の変更量に応じて、さらに前段のシナプス回路  $SC$  の重み係数  $w_k$  が変更される。このように、教師データ  $t_1$  乃至  $t_L$  に基づいて、シナプス回路  $SC$  の重み係数を順次変更することにより、ニューラルネットワーク  $NN$  の学習を行うことができる。

30

【0063】

図6に示すニューラルネットワークの構成は、図1におけるニューラルネットワーク19、24に用いることができる。また、ニューラルネットワーク24の学習には、上記の誤差逆伝播法を用いることができる。その場合、入力データ  $x_1$  乃至  $x_L$  として露光時間および温度が用いられ、教師データには予め撮像された暗状態の画像が用いられる。

40

【0064】

なお、図6(B)、(C)には1層の隠れ層  $HL$  を示しているが、隠れ層  $HL$  の層数は2以上とすることができる。隠れ層  $HL$  を2層以上有するニューラルネットワーク(ディープニューラルネットワーク(DNN))を用いることにより、深層学習を行うことができる。これにより、画像生成の精度を高めることができる。

【0065】

以上の説明の通り、本発明の一態様を用いることで長時間ノイズを含む第2の画像を生成することができ、元画像である第1の画像から第2の画像を減算処理することにより長時間ノイズを低減した第3の画像を得ることができる。したがって、第2の画像を撮像動作

50

で取得する動作を省くことができ、撮像のスループットを向上させることができる。

【0066】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0067】

(実施の形態2)

本実施の形態では、上記実施の形態で説明したニューラルネットワークに用いることができる半導体装置の構成例について説明する。

【0068】

ニューラルネットワークがハードウェアによって構成される場合、ニューラルネットワークにおける積和演算は、積和演算素子を用いて行うことができる。本実施の形態では、ニューラルネットワーク19またはニューラルネットワーク24における積和演算素子として用いることができる半導体装置の構成例について説明する。

【0069】

<半導体装置の構成例>

半導体装置100の構成の一例を図7に示す。図7に示す半導体装置100は、記憶回路110(MEM)と、参照用記憶回路120(RMEM)と、回路130と、回路140と、を有する。半導体装置100は、さらに電流源回路150(CREF)を有していても良い。

【0070】

記憶回路110(MEM)は、メモリセルMC[i, j]、メモリセルMC[i+1, j]で例示されるメモリセルMCを有する。また、各メモリセルMCは、入力された電位を電流に変換する機能を有する素子を有する。上記機能を有する素子として、例えばトランジスタなどの能動素子を用いることができる。図7では、各メモリセルMCがトランジスタTr11を有する場合を例示している。

【0071】

そして、メモリセルMCには、配線WD[j]で例示される配線WDから第1のアナログ電位が入力される。第1のアナログ電位は、第1のアナログデータに対応する。そして、メモリセルMCは、第1のアナログ電位に応じた第1のアナログ電流を生成する機能を有する。具体的には、トランジスタTr11のゲートに第1のアナログ電位を供給したときに得られるトランジスタTr11のドレイン電流を、第1のアナログ電流とすることができる。なお、以下、メモリセルMC[i, j]に流れる電流をI[i, j]とし、メモリセルMC[i+1, j]に流れる電流をI[i+1, j]とする。

【0072】

なお、トランジスタTr11が飽和領域で動作する場合、そのドレイン電流はソースとドレイン間の電圧に依存せず、ゲート電圧としきい値電圧の差分によって制御される。よって、トランジスタTr11は飽和領域で動作させることが望ましい。トランジスタTr11を飽和領域で動作させるために、そのゲート電圧、ソースとドレイン間の電圧は、飽和領域で動作する範囲の電圧に適切に設定されているものとする。

【0073】

具体的に、図7に示す半導体装置100では、メモリセルMC[i, j]に配線WD[j]から第1のアナログ電位Vx[i, j]または第1のアナログ電位Vx[i, j]に応じた電位が入力される。メモリセルMC[i, j]は、第1のアナログ電位Vx[i, j]に応じた第1のアナログ電流を生成する機能を有する。すなわち、この場合、メモリセルMC[i, j]の電流I[i, j]は、第1のアナログ電流に相当する。

【0074】

また、具体的に、図7に示す半導体装置100では、メモリセルMC[i+1, j]に配線WD[j]から第1のアナログ電位Vx[i+1, j]または第1のアナログ電位Vx[i+1, j]に応じた電位が入力される。メモリセルMC[i+1, j]は、第1のアナログ電位Vx[i+1, j]に応じた第1のアナログ電流を生成する機能を有する。すなわち、この場合、メモリセルMC[i+1, j]の電流I[i+1, j]は、第1のア

10

20

30

40

50

ナログ電流に相当する。

【0075】

そして、メモリセルMCは、第1のアナログ電位を保持する機能を有する。すなわち、メモリセルMCは、第1のアナログ電位を保持することで、第1のアナログ電位に応じた第1のアナログ電流を保持する機能を有するといえる。

【0076】

また、メモリセルMCには、配線RW[i]、配線RW[i+1]で例示される配線RWから第2のアナログ電位が入力される。第2のアナログ電位は、第2のアナログデータに対応する。メモリセルMCは、既に保持されている第1のアナログ電位に、第2のアナログ電位あるいは第2のアナログ電位に応じた電位を加算する機能と、加算することで得られる第3のアナログ電位を保持する機能とを有する。そして、メモリセルMCは、第3のアナログ電位に応じた第2のアナログ電流を生成する機能を有する。すなわち、メモリセルMCは、第3のアナログ電位を保持することで、第3のアナログ電位に応じた第2のアナログ電流を保持する機能を有するといえる。

10

【0077】

具体的に、図7に示す半導体装置100では、メモリセルMC[i, j]に配線RW[i]から第2のアナログ電位Vw[i, j]が入力される。そして、メモリセルMC[i, j]は、第1のアナログ電位Vx[i, j]および第2のアナログ電位Vw[i, j]に応じた第3のアナログ電位を保持する機能を有する。そして、メモリセルMC[i, j]は、第3のアナログ電位に応じた第2のアナログ電流を生成する機能を有する。すなわち、この場合、メモリセルMC[i, j]の電流I[i, j]は、第2のアナログ電流に相当する。

20

【0078】

また、図7に示す半導体装置100では、メモリセルMC[i+1, j]に配線RW[i+1]から第2のアナログ電位Vw[i+1, j]が入力される。そして、メモリセルMC[i+1, j]は、第1のアナログ電位Vx[i+1, j]および第2のアナログ電位Vw[i+1, j]に応じた第3のアナログ電位を保持する機能を有する。そして、メモリセルMC[i+1, j]は、第3のアナログ電位に応じた第2のアナログ電流を生成する機能を有する。すなわち、この場合、メモリセルMC[i+1, j]の電流I[i+1, j]は、第2のアナログ電流に相当する。

30

【0079】

そして、電流I[i, j]は、メモリセルMC[i, j]を介して配線BL[j]と配線VR[j]の間を流れる。電流I[i+1, j]は、メモリセルMC[i+1, j]を介して配線BL[j]と配線VR[j]の間を流れる。よって、電流I[i, j]と電流I[i+1, j]との和に相当する電流I[j]が、メモリセルMC[i, j]およびメモリセルMC[i+1, j]を介して配線BL[j]と配線VR[j]の間を流れることとなる。

【0080】

参照用記憶回路120(RMEM)は、メモリセルMCR[i]、メモリセルMCR[i+1]で例示されるメモリセルMCRを有する。メモリセルMCRには、配線WDEFから第1の参照電位VPRが入力される。そして、メモリセルMCRは、第1の参照電位VPRに応じた第1の参照電流を生成する機能を有する。なお、以下、メモリセルMCR[i]に流れる電流をIREF[i]とし、メモリセルMCR[i+1]に流れる電流をIREF[i+1]とする。

40

【0081】

そして、具体的に、図7に示す半導体装置100では、メモリセルMCR[i]に配線WDEF[i]から第1の参照電位VPRが入力される。メモリセルMCR[i]は、第1の参照電位VPRに応じた第1の参照電流を生成する機能を有する。すなわち、この場合、メモリセルMCR[i]の電流IREF[i]は、第1の参照電流に相当する。

【0082】

50

また、図7に示す半導体装置100では、メモリセルMCR[i+1]に配線WDREFから第1の参照電位VPRが入力される。メモリセルMCR[i+1]は、第1の参照電位VPRに応じた第1の参照電流を生成する機能を有する。すなわち、この場合、メモリセルMCR[i+1]の電流IREF[i+1]は、第1の参照電流に相当する。

【0083】

そして、メモリセルMCRは、第1の参照電位VPRを保持する機能を有する。すなわち、メモリセルMCRは、第1の参照電位VPRを保持することで、第1の参照電位VPRに応じた第1の参照電流を保持する機能を有すると言える。

【0084】

また、メモリセルMCRには、配線RW[i]、配線RW[i+1]で例示される配線RWから第2のアナログ電位が入力される。メモリセルMCRは、既に保持されている第1の参照電位VPRに、第2のアナログ電位あるいは第2のアナログ電位に応じた電位を加算し、加算することで得られる第2の参照電位を保持する機能を有する。そして、メモリセルMCRは、第2の参照電位に応じた第2の参照電流を生成する機能を有する。すなわち、メモリセルMCRは、第2の参照電位を保持することで、第2の参照電位に応じた第2の参照電流を保持する機能を有すると言える。

10

【0085】

具体的に、図7に示す半導体装置100では、メモリセルMCR[i]に配線RW[i]から第2のアナログ電位Vw[i, j]が入力される。そして、メモリセルMCR[i]は、第1の参照電位VPRおよび第2のアナログ電位Vw[i, j]に応じた第2の参照電位を保持する機能を有する。そして、メモリセルMCR[i]は、第2の参照電位に応じた第2の参照電流を生成する機能を有する。すなわち、この場合、メモリセルMCR[i]の電流IREF[i]は、第2の参照電流に相当する。

20

【0086】

また、図7に示す半導体装置100では、メモリセルMCR[i+1]に配線RW[i+1]から第2のアナログ電位Vw[i+1, j]が入力される。そして、メモリセルMCR[i+1]は、第1の参照電位VPRおよび第2のアナログ電位Vw[i+1, j]に応じた第2の参照電位を保持する機能を有する。そして、メモリセルMCR[i+1]は、第2の参照電位に応じた第2の参照電流を生成する機能を有する。すなわち、この場合、メモリセルMCR[i+1]の電流IREF[i+1]は、第2の参照電流に相当する。

30

【0087】

そして、電流IREF[i]は、メモリセルMCR[i]を介して配線BLREFと配線VRREFの間を流れる。電流IREF[i+1]は、メモリセルMCR[i+1]を介して配線BLREFと配線VRREFの間を流れる。よって、電流IREF[i]と電流IREF[i+1]との和に相当する電流IREFが、メモリセルMCR[i]およびメモリセルMCR[i+1]を介して配線BLREFと配線VRREFの間を流れることとなる。

【0088】

電流源回路150は、配線BLREFに流れる電流IREFと同じ値の電流、もしくは電流IREFに対応する電流を、配線BLに供給する機能を有する。そして、後述するオフセットの電流を設定する際には、メモリセルMC[i, j]およびメモリセルMC[i+1, j]を介して配線BL[j]と配線VR[j]の間を流れる電流I[j]が、メモリセルMCR[i]およびメモリセルMCR[i+1]を介して配線BLREFと配線VRREFの間を流れる電流IREFと異なる場合、差分の電流は回路130または回路140に流れる。回路130は電流ソース回路としての機能を有し、回路140は電流シンク回路としての機能を有する。

40

【0089】

具体的に、電流I[j]が電流IREFよりも大きい場合、回路130は、電流I[j]と電流IREFの差分に相当する電流I[j]を生成する機能を有する。また、回路1

50

30は、生成した電流  $I[j]$  を配線  $BL[j]$  に供給する機能を有する。すなわち、回路130は、電流  $I[j]$  を保持する機能を有すると言える。

【0090】

また、電流  $I[j]$  が電流  $I_{REF}$  よりも小さい場合、回路140は、電流  $I[j]$  と電流  $I_{REF}$  の差分に相当する電流  $I[j]$  を生成する機能を有する。また、回路140は、生成した電流  $I[j]$  を配線  $BL[j]$  から引き込む機能を有する。すなわち、回路140は、電流  $I[j]$  を保持する機能を有すると言える。

【0091】

次いで、図7に示す半導体装置100の動作の一例について説明する。

【0092】

まず、メモリセル  $MC[i, j]$  に第1のアナログ電位に応じた電位を格納する。具体的には、第1の参照電位  $V_{PR}$  から第1のアナログ電位  $V_x[i, j]$  を差し引いた電位  $V_{PR} - V_x[i, j]$  が、配線  $WD[j]$  を介してメモリセル  $MC[i, j]$  に入力される。メモリセル  $MC[i, j]$  では、電位  $V_{PR} - V_x[i, j]$  が保持される。また、メモリセル  $MC[i, j]$  では、電位  $V_{PR} - V_x[i, j]$  に応じた電流  $I[i, j]$  が生成される。例えば第1の参照電位  $V_{PR}$  は、接地電位よりも高いハイレベルの電位とする。具体的には、接地電位よりも高く、電流源回路150に供給されるハイレベルの電位  $V_{DD}$  と同程度か、それ以下の電位であることが望ましい。

【0093】

また、メモリセル  $MCR[i]$  に第1の参照電位  $V_{PR}$  を格納する。具体的には、電位  $V_{PR}$  が、配線  $WD_{REF}$  を介してメモリセル  $MCR[i]$  に入力される。メモリセル  $MCR[i]$  では、電位  $V_{PR}$  が保持される。また、メモリセル  $MCR[i]$  では、電位  $V_{PR}$  に応じた電流  $I_{REF}[i]$  が生成される。

【0094】

また、メモリセル  $MC[i+1, j]$  に第1のアナログ電位に応じた電位を格納する。具体的には、第1の参照電位  $V_{PR}$  から第1のアナログ電位  $V_x[i+1, j]$  を差し引いた電位  $V_{PR} - V_x[i+1, j]$  が、配線  $WD[j]$  を介してメモリセル  $MC[i+1, j]$  に入力される。メモリセル  $MC[i+1, j]$  では、電位  $V_{PR} - V_x[i+1, j]$  が保持される。また、メモリセル  $MC[i+1, j]$  では、電位  $V_{PR} - V_x[i+1, j]$  に応じた電流  $I[i+1, j]$  が生成される。

【0095】

また、メモリセル  $MCR[i+1]$  に第1の参照電位  $V_{PR}$  を格納する。具体的には、電位  $V_{PR}$  が、配線  $WD_{REF}$  を介してメモリセル  $MCR[i+1]$  に入力される。メモリセル  $MCR[i+1]$  では、電位  $V_{PR}$  が保持される。また、メモリセル  $MCR[i+1]$  では、電位  $V_{PR}$  に応じた電流  $I_{REF}[i+1]$  が生成される。

【0096】

上記動作において、配線  $RW[i]$  および配線  $RW[i+1]$  は基準電位とする。例えば、基準電位として接地電位、基準電位よりも低いローレベルの電位  $V_{SS}$  などを用いることができる。あるいは、基準電位として電位  $V_{SS}$  と電位  $V_{DD}$  の間の電位を用いると、第2のアナログ電位  $V_w$  を正負にしても、配線  $RW$  の電位を接地電位よりも高くできるので信号の生成を容易にすることができ、正負のアナログデータに対する積演算が可能になるので好ましい。

【0097】

上記動作により、配線  $BL[j]$  には、配線  $BL[j]$  に接続されたメモリセル  $MC$  においてそれぞれ生成される電流を合わせた電流が、流れることとなる。具体的に図7では、メモリセル  $MC[i, j]$  で生成される電流  $I[i, j]$  と、メモリセル  $MC[i+1, j]$  で生成される電流  $I[i+1, j]$  とを合わせた電流  $I[j]$  が流れる。また、上記動作により、配線  $BL_{REF}$  には、配線  $BL_{REF}$  に接続されたメモリセル  $MCR$  においてそれぞれ生成される電流を合わせた電流が、流れることとなる。具体的に図7では、メモリセル  $MCR[i]$  で生成される電流  $I_{REF}[i]$  と、メモリセル  $MCR[i+1]$

10

20

30

40

50

で生成される電流  $I_{REF}[i+1]$  とを合わせた電流  $I_{REF}$  が流れる。

【0098】

次いで、配線  $RW[i]$  および配線  $RW[i+1]$  の電位を基準電位としたまま、第1のアナログ電位によって得られる電流  $I[j]$  と第1の参照電位によって得られる電流  $I_{REF}$  との差分から得られるオフセットの電流  $I_{offset}[j]$  を、回路130または回路140において保持する。

【0099】

具体的に、電流  $I[j]$  が電流  $I_{REF}$  よりも大きい場合、回路130は電流  $I_{offset}[j]$  を配線  $BL[j]$  に供給する。すなわち、回路130に流れる電流  $ICM[j]$  は電流  $I_{offset}[j]$  に相当することとなる。そして、当該電流  $ICM[j]$  の値は回路130において保持される。また、電流  $I[j]$  が電流  $I_{REF}$  よりも小さい場合、回路140は電流  $I_{offset}[j]$  を配線  $BL[j]$  から引き込む。すなわち、回路140に流れる電流  $ICP[j]$  は電流  $I_{offset}[j]$  に相当することとなる。そして、当該電流  $ICP[j]$  の値は回路140において保持される。

【0100】

次いで、既にメモリセル  $MC[i, j]$  において保持されている第1のアナログ電位または第1のアナログ電位に応じた電位に加算するように、第2のアナログ電位または第2のアナログ電位に応じた電位をメモリセル  $MC[i, j]$  に格納する。具体的には、配線  $RW[i]$  の電位を基準電位に対して  $Vw[i]$  だけ高い電位とすることで、第2のアナログ電位  $Vw[i]$  が、配線  $RW[i]$  を介してメモリセル  $MC[i, j]$  に入力される。メモリセル  $MC[i, j]$  では、電位  $V_{PR} - Vx[i, j] + Vw[i]$  が保持される。また、メモリセル  $MC[i, j]$  では、電位  $V_{PR} - Vx[i, j] + Vw[i]$  に応じた電流  $I[i, j]$  が生成される。

【0101】

また、既にメモリセル  $MC[i+1, j]$  において保持されている第1のアナログ電位または第1のアナログ電位に応じた電位に加算するように、第2のアナログ電位または第2のアナログ電位に応じた電位をメモリセル  $MC[i+1, j]$  に格納する。具体的には、配線  $RW[i+1]$  の電位を基準電位に対して  $Vw[i+1]$  だけ高い電位とすることで、第2のアナログ電位  $Vw[i+1]$  が、配線  $RW[i+1]$  を介してメモリセル  $MC[i+1, j]$  に入力される。メモリセル  $MC[i+1, j]$  では、電位  $V_{PR} - Vx[i+1, j] + Vw[i+1]$  が保持される。また、メモリセル  $MC[i+1, j]$  では、電位  $V_{PR} - Vx[i+1, j] + Vw[i+1]$  に応じた電流  $I[i+1, j]$  が生成される。

【0102】

なお、電位を電流に変換する素子として飽和領域で動作するトランジスタ  $Tr11$  を用いる場合、配線  $RW[i]$  の電位が  $Vw[i]$  であり、配線  $RW[i+1]$  の電位が  $Vw[i+1]$  であると仮定すると、メモリセル  $MC[i, j]$  が有するトランジスタ  $Tr11$  のドレイン電流が電流  $I[i, j]$  に相当するので、第2のアナログ電流は以下の式1で表される。なお、 $k$  は係数、 $V_{th}$  はトランジスタ  $Tr11$  のしきい値電圧である。

【0103】

$$I[i, j] = k (Vw[i] - V_{th} + V_{PR} - Vx[i, j])^2 \quad (\text{式1})$$

【0104】

また、メモリセル  $MC R[i]$  が有するトランジスタ  $Tr11$  のドレイン電流が電流  $I_{REF}[i]$  に相当するので、第2の参照電流は以下の式2で表される。

【0105】

$$I_{REF}[i] = k (Vw[i] - V_{th} + V_{PR})^2 \quad (\text{式2})$$

【0106】

そして、メモリセル  $MC[i, j]$  に流れる電流  $I[i, j]$  と、メモリセル  $MC[i+1, j]$  に流れる電流  $I[i+1, j]$  の和に相当する電流  $I[j]$  は、 $I[j] = \sum_i I[i, j]$  であり、メモリセル  $MC R[i]$  に流れる電流  $I_{REF}[i]$  と、メモリセ

10

20

30

40

50

ル  $MCR[i+1]$  に流れる電流  $IREF[i+1]$  の和に相当する電流  $IREF$  は、 $IREF = \sum_i IREF[i]$  となり、その差分に相当する電流  $I[j]$  は以下の式 3 で表される。

【0107】

$$I[j] = IREF - I[j] = \sum_i IREF[i] - \sum_i I[i, j] \quad (\text{式 3})$$

【0108】

式 1、式 2、式 3 から、電流  $I[j]$  は以下の式 4 のように導き出される。

【0109】

$$\begin{aligned} I[j] &= \sum_i \{ k(Vw[i] - Vth + VPR)^2 - k(Vw[i] - Vth + VPR - Vx[i, j])^2 \} \\ &= 2k \sum_i (Vw[i] \cdot Vx[i, j]) - 2k \sum_i (Vth - VPR) \cdot Vx[i, j] - k \sum_i Vx[i, j]^2 \quad (\text{式 4}) \end{aligned}$$

10

【0110】

式 4 において、 $2k \sum_i (Vw[i] \cdot Vx[i, j])$  で示される項は、第 1 のアナログ電位  $Vx[i, j]$  および第 2 のアナログ電位  $Vw[i]$  の積と、第 1 のアナログ電位  $Vx[i+1, j]$  および第 2 のアナログ電位  $Vw[i+1]$  の積と、の和に相当する。

【0111】

また、 $Ioffset[j]$  は、配線  $RW[i]$  の電位を全て基準電位としたとき、すなわち第 2 のアナログ電位  $Vw[i]$  を 0、第 2 のアナログ電位  $Vw[i+1]$  を 0 としたときの電流  $I[j]$  とすると、式 4 から、以下の式 5 が導き出される。

20

【0112】

$$Ioffset[j] = -2k \sum_i (Vth - VPR) \cdot Vx[i, j] - k \sum_i Vx[i, j]^2 \quad (\text{式 5})$$

【0113】

したがって、式 3 乃至式 5 から、第 1 のアナログデータと第 2 のアナログデータの積和値に相当する  $2k \sum_i (Vw[i] \cdot Vx[i, j])$  は、以下の式 6 で表されることが分かる。

【0114】

$$2k \sum_i (Vw[i] \cdot Vx[i, j]) = IREF - I[j] - Ioffset[j] \quad (\text{式 6})$$

30

【0115】

そして、メモリセル  $MC$  に流れる電流の和を電流  $I[j]$ 、メモリセル  $MCR$  に流れる電流の和を電流  $IREF$ 、回路 130 または回路 140 に流れる電流を電流  $Ioffset[j]$  とすると、配線  $RW[i]$  の電位を  $Vw[i]$ 、配線  $RW[i+1]$  の電位を  $Vw[i+1]$  としたときに配線  $BL[j]$  から流れ出る電流  $Iout[j]$  は、 $IREF - I[j] - Ioffset[j]$  で表される。式 6 から、電流  $Iout[j]$  は、 $2k \sum_i (Vw[i] \cdot Vx[i, j])$  であり、第 1 のアナログ電位  $Vx[i, j]$  および第 2 のアナログ電位  $Vw[i]$  の積と、第 2 のアナログ電位  $Vx[i+1, j]$  および第 2 のアナログ電位  $Vw[i+1]$  の積と、の和に相当することが分かる。

40

【0116】

なお、トランジスタ  $Tr11$  は飽和領域で動作させることが望ましいが、トランジスタ  $Tr11$  の動作領域が理想的な飽和領域と異なっていたとしても、第 1 のアナログ電位  $Vx[i, j]$  および第 2 のアナログ電位  $Vw[i]$  の積と、第 2 のアナログ電位  $Vx[i+1, j]$  および第 2 のアナログ電位  $Vw[i+1]$  の積との和に相当する電流を、所望の範囲内の精度で問題なく得ることができる場合は、トランジスタ  $Tr11$  は飽和領域で動作しているものとみなせる。

【0117】

本発明の一態様により、アナログデータの演算処理をデジタルデータに変換せずとも実行

50

することができるので、半導体装置の回路規模を小さく抑えることができる。また、本発明の一態様により、アナログデータの演算処理をデジタルデータに変換せずとも実行することができるので、アナログデータの演算処理に要する時間を抑えることができる。また、本発明の一態様により、アナログデータの演算処理に要する時間を抑えつつ、半導体装置の低消費電力化を実現することができる。

#### 【0118】

<記憶回路の構成例>

次いで、記憶回路110(MEM)と、参照用記憶回路120(RMEM)の具体的な構成の一例について、図8を用いて説明する。

#### 【0119】

図8では、記憶回路110(MEM)が $y$ 行 $x$ 列の複数のメモリセルMCを有し、参照用記憶回路120(RMEM)が $y$ 行1列の複数のメモリセルMCRを有する場合を例示している。

10

#### 【0120】

記憶回路110は、配線RWと、配線WWと、配線WDと、配線VRと、配線BLとに接続されている。図8では、配線RW[1]乃至配線RW[y]が各行のメモリセルMCにそれぞれ接続され、配線WW[1]乃至配線WW[y]が各行のメモリセルMCにそれぞれ接続され、配線WD[1]乃至配線WD[y]が各列のメモリセルMCにそれぞれ接続され、配線BL[1]乃至配線BL[y]が各列のメモリセルMCにそれぞれ接続されている場合を例示している。また、図8では、配線VR[1]乃至配線VR[y]が各列のメモリセルMCにそれぞれ接続されている場合を例示している。なお、配線VR[1]乃至配線VR[y]は、互いに接続されていても良い。

20

#### 【0121】

そして、参照用記憶回路120は、配線RWと、配線WWと、配線WDREFと、配線VRREFと、配線BLREFとに接続されている。図8では、配線RW[1]乃至配線RW[y]が各行のメモリセルMCRにそれぞれ接続され、配線WW[1]乃至配線WW[y]が各行のメモリセルMCRにそれぞれ接続され、配線WDREFが1列のメモリセルMCRにそれぞれ接続され、配線BLREFが1列のメモリセルMCRにそれぞれ接続され、配線VRREFが1列のメモリセルMCRにそれぞれ接続されている場合を例示している。なお、配線VRREFは、配線VR[1]乃至配線VR[y]に接続されていても良い。

30

#### 【0122】

次いで、図8に示した複数のメモリセルMCのうち、任意の2行2列のメモリセルMCと、図8に示した複数のメモリセルMCRのうち、任意の2行1列のメモリセルMCRとの、具体的な回路構成と接続関係とを、一例として図9に示す。

#### 【0123】

具体的に図9では、 $i$ 行 $j$ 列目のメモリセルMC[i, j]と、 $i+1$ 行 $j$ 列目のメモリセルMC[i+1, j]と、 $i$ 行 $j+1$ 列目のメモリセルMC[i, j+1]と、 $i+1$ 行 $j+1$ 列目のメモリセルMC[i+1, j+1]とを図示している。また、具体的に図9では、 $i$ 行目のメモリセルMCR[i]と、 $i+1$ 行目のメモリセルMCR[i+1]とを図示している。なお、 $i$ と $i+1$ はそれぞれ1から $y$ までの任意の数で、 $j$ と $j+1$ はそれぞれ1から $x$ までの任意の数とする。

40

#### 【0124】

$i$ 行目のメモリセルMC[i, j]と、メモリセルMC[i, j+1]と、メモリセルMCR[i]とは、配線RW[i]および配線WW[i]に接続されている。また、 $i+1$ 行目のメモリセルMC[i+1, j]と、メモリセルMC[i+1, j+1]と、メモリセルMCR[i+1]とは、配線RW[i+1]および配線WW[i+1]に接続されている。

#### 【0125】

$j$ 列目のメモリセルMC[i, j]と、メモリセルMC[i+1, j]とは、配線WD[

50

$j$  ]、配線  $VR[j]$ 、および配線  $BL[j]$  に接続されている。また、 $j + 1$  列目のメモリセル  $MC[i, j + 1]$  と、メモリセル  $MC[i + 1, j + 1]$  とは、配線  $WD[j + 1]$ 、配線  $VR[j + 1]$ 、および配線  $BL[j + 1]$  に接続されている。また、メモリセル  $MCR[i]$  と、 $i + 1$  行目のメモリセル  $MCR[i + 1]$  とは、配線  $WDRF$ 、配線  $VRREF$ 、および配線  $BLREF$  に接続されている。

【0126】

そして、各メモリセル  $MC$  と各メモリセル  $MCR$  とは、トランジスタ  $Tr11$  と、トランジスタ  $Tr12$  と、容量素子  $C11$  と、を有する。トランジスタ  $Tr12$  は、メモリセル  $MC$  またはメモリセル  $MCR$  への第1のアナログ電位の入力を制御する機能を有する。トランジスタ  $Tr11$  は、ゲートに入力された電位に従って、アナログ電流を生成する機能を有する。容量素子  $C11$  は、メモリセル  $MC$  またはメモリセル  $MCR$  において保持されている第1のアナログ電位または第1のアナログ電位に応じた電位に、第2のアナログ電位あるいは第2のアナログ電位に応じた電位を加算する機能を有する。

10

【0127】

具体的に、図9に示すメモリセル  $MC$  では、トランジスタ  $Tr12$  は、ゲートが配線  $WW$  に接続され、ソースまたはドレインの一方が配線  $WD$  に接続され、ソースまたはドレインの他方がトランジスタ  $Tr11$  のゲートに接続されている。また、トランジスタ  $Tr11$  は、ソースまたはドレインの一方が配線  $VR$  に接続され、ソースまたはドレインの他方が配線  $BL$  に接続されている。容量素子  $C11$  は、第1の電極が配線  $RW$  に接続され、第2の電極がトランジスタ  $Tr11$  のゲートに接続されている。

20

【0128】

また、図9に示すメモリセル  $MCR$  では、トランジスタ  $Tr12$  は、ゲートが配線  $WW$  に接続され、ソースまたはドレインの一方が配線  $WDRF$  に接続され、ソースまたはドレインの他方がトランジスタ  $Tr11$  のゲートに接続されている。また、トランジスタ  $Tr11$  は、ソースまたはドレインの一方が配線  $VRREF$  に接続され、ソースまたはドレインの他方が配線  $BLREF$  に接続されている。容量素子  $C11$  は、第1の電極が配線  $RW$  に接続され、第2の電極がトランジスタ  $Tr11$  のゲートに接続されている。

【0129】

メモリセル  $MC$  においてトランジスタ  $Tr11$  のゲートをノード  $N$  とすると、メモリセル  $MC$  では、トランジスタ  $Tr12$  を介してノード  $N$  に第1のアナログ電位が入力され、次いでトランジスタ  $Tr12$  がオフになるとノード  $N$  が浮遊状態になり、ノード  $N$  において第1のアナログ電位または第1のアナログ電位に応じた電位が保持される。また、メモリセル  $MC$  では、ノード  $N$  が浮遊状態になると、容量素子  $C11$  の第1の電極に入力された第2のアナログ電位がノード  $N$  に与えられる。上記動作により、ノード  $N$  は、第1のアナログ電位または第1のアナログ電位に応じた電位に、第2のアナログ電位または第2のアナログ電位に応じた電位が加算されることで得られる電位となる。

30

【0130】

なお、容量素子  $C11$  の第1の電極の電位は容量素子  $C11$  を介してノード  $N$  に与えられるため、実際には、第1の電極の電位の変化量がそのままノード  $N$  の電位の変化量に反映されるわけではない。具体的には、容量素子  $C11$  の容量値と、トランジスタ  $Tr11$  のゲート容量の容量値と、寄生容量の容量値とから一意に決まる結合係数を、第1の電極の電位の変化量に乗ずることで、ノード  $N$  の電位の変化量を正確に算出することができる。以下、説明を分かり易くするために、第1の電極の電位の変化量がほぼノード  $N$  の電位の変化量に反映されるものとして説明を行う。

40

【0131】

トランジスタ  $Tr11$  は、ノード  $N$  の電位にしたがってそのドレイン電流が定まる。よって、トランジスタ  $Tr12$  がオフになることでノード  $N$  の電位が保持されると、トランジスタ  $Tr11$  のドレイン電流の値も保持される。上記ドレイン電流には第1のアナログ電位と第2のアナログ電位が反映されている。

【0132】

50

また、メモリセルMCRにおいてトランジスタTr11のゲートをノードNREFとすると、メモリセルMCRでは、トランジスタTr12を介してノードNREFに第1の参照電位または第1の参照電位に応じた電位が入力され、次いでトランジスタTr12がオフになるとノードNREFが浮遊状態になり、ノードNREFにおいて第1の参照電位または第1の参照電位に応じた電位が保持される。また、メモリセルMCRでは、ノードNREFが浮遊状態になると、容量素子C11の第1の電極に入力された第2のアナログ電位がノードNREFに与えられる。上記動作により、ノードNREFは、第1の参照電位または第1の参照電位に応じた電位に、第2のアナログ電位または第2のアナログ電位に応じた電位が加算されることで得られる電位となる。

【0133】

トランジスタTr11は、ノードNREFの電位にしたがってそのドレイン電流が定まる。よって、トランジスタTr12がオフになることでノードNREFの電位が保持されると、トランジスタTr11のドレイン電流の値も保持される。上記ドレイン電流には第1の参照電位と第2のアナログ電位が反映されている。

【0134】

メモリセルMC[i, j]のトランジスタTr12に流れるドレイン電流を電流I[i, j]とし、メモリセルMC[i+1, j]のトランジスタTr12に流れるドレイン電流を電流I[i+1, j]とすると、配線BL[j]からメモリセルMC[i, j]およびメモリセルMC[i+1, j]に供給される電流の和は、電流I[j]となる。また、メモリセルMC[i, j+1]のトランジスタTr12に流れるドレイン電流を電流I[i, j+1]とし、メモリセルMC[i+1, j+1]のトランジスタTr12に流れるドレイン電流を電流I[i+1, j+1]とすると、配線BL[j+1]からメモリセルMC[i, j+1]およびメモリセルMC[i+1, j+1]に供給される電流の和は、電流I[j+1]となる。また、メモリセルMCR[i]のトランジスタTr12に流れるドレイン電流を電流IREF[i]とし、メモリセルMCR[i+1]のトランジスタTr12に流れるドレイン電流を電流IREF[i+1]とすると、配線BLREFからメモリセルMCR[i]およびメモリセルMCR[i+1]に供給される電流の和は、電流IREFとなる。

【0135】

<回路130・回路140・電流源回路の構成例>

次いで、回路130と、回路140と、電流源回路150(CREF)の具体的な構成の一例について、図10を用いて説明する。

【0136】

図10では、図9に示すメモリセルMCとメモリセルMCRに対応した、回路130、回路140、電流源回路150の構成の一例を示している。具体的に、図10に示す回路130は、j列目のメモリセルMCに対応した回路130[j]と、j+1列目のメモリセルMCに対応した回路130[j+1]とを有する。また、図10に示す回路140は、j列目のメモリセルMCに対応した回路140[j]と、j+1列目のメモリセルMCに対応した回路140[j+1]とを有する。

【0137】

そして、回路130[j]および回路140[j]は、配線BL[j]に接続されている。また、回路130[j+1]および回路140[j+1]は、配線BL[j+1]に接続されている。

【0138】

電流源回路150は、配線BL[j]、配線BL[j+1]、配線BLREFに接続されている。そして、電流源回路150は、配線BLREFに電流IREFを供給する機能と、電流IREFと同じ電流または電流IREFに応じた電流を、配線BL[j]および配線BL[j+1]のそれぞれに供給する機能を有する。

【0139】

具体的に、回路130[j]および回路130[j+1]は、トランジスタTr24乃至

10

20

30

40

50

Tr 2 6 と、容量素子 C 2 2 とをそれぞれ有する。オフセットの電流を設定する際に、回路 1 3 0 [ j ] において、トランジスタ Tr 2 4 は、電流 I [ j ] が電流 I R E F よりも大きい場合に、電流 I [ j ] と電流 I R E F の差分に相当する電流 I C M [ j ] を生成する機能を有する。また、回路 1 3 0 [ j + 1 ] において、トランジスタ Tr 2 4 は、電流 I [ j + 1 ] が電流 I R E F よりも大きい場合に、電流 I [ j + 1 ] と電流 I R E F の差分に相当する電流 I C M [ j + 1 ] を生成する機能を有する。電流 I C M [ j ] および電流 I C M [ j + 1 ] は、回路 1 3 0 [ j ] および回路 1 3 0 [ j + 1 ] から配線 B L [ j ] および配線 B L [ j + 1 ] に供給される。

【 0 1 4 0 】

そして、回路 1 3 0 [ j ] および回路 1 3 0 [ j + 1 ] において、トランジスタ Tr 2 4 は、ソースまたはドレインの一方が対応する配線 B L に接続されており、ソースまたはドレインの他方が所定の電位が供給される配線に接続されている。トランジスタ Tr 2 5 は、ソースまたはドレインの一方が配線 B L に接続されており、ソースまたはドレインの他方がトランジスタ Tr 2 4 のゲートに接続されている。トランジスタ Tr 2 6 は、ソースまたはドレインの一方がトランジスタ Tr 2 4 のゲートに接続されており、ソースまたはドレインの他方が所定の電位が供給される配線に接続されている。容量素子 C 2 2 は、第 1 の電極がトランジスタ Tr 2 4 のゲートに接続されており、第 2 の電極が所定の電位が供給される配線に接続されている。

10

【 0 1 4 1 】

トランジスタ Tr 2 5 のゲートは配線 O S M に接続されており、トランジスタ Tr 2 6 のゲートは配線 O R M に接続されている。

20

【 0 1 4 2 】

なお、図 1 0 では、トランジスタ Tr 2 4 が p チャネル型であり、トランジスタ Tr 2 5 および Tr 2 6 が n チャネル型である場合を例示している。

【 0 1 4 3 】

また、回路 1 4 0 [ j ] および回路 1 4 0 [ j + 1 ] は、トランジスタ Tr 2 1 乃至 Tr 2 3 と、容量素子 C 2 1 とをそれぞれ有する。オフセットの電流を設定する際に、回路 1 4 0 [ j ] において、トランジスタ Tr 2 1 は、電流 I [ j ] が電流 I R E F よりも小さい場合に、電流 I [ j ] と電流 I R E F の差分に相当する電流 I C P [ j ] を生成する機能を有する。また、回路 1 4 0 [ j + 1 ] において、トランジスタ Tr 2 1 は、電流 I [ j + 1 ] が電流 I R E F よりも小さい場合に、電流 I [ j + 1 ] と電流 I R E F の差分に相当する電流 I C P [ j + 1 ] を生成する機能を有する。電流 I C P [ j ] および電流 I C P [ j + 1 ] は、配線 B L [ j ] および配線 B L [ j + 1 ] から回路 1 4 0 [ j ] および回路 1 4 0 [ j + 1 ] に引き込まれる。

30

【 0 1 4 4 】

なお、電流 I C M [ j ] と電流 I C P [ j ] とが、I o f f s e t [ j ] に相当する。また、なお、電流 I C M [ j + 1 ] と電流 I C P [ j + 1 ] とが、I o f f s e t [ j + 1 ] に相当する。

【 0 1 4 5 】

そして、回路 1 4 0 [ j ] および回路 1 4 0 [ j + 1 ] において、トランジスタ Tr 2 1 は、ソースまたはドレインの一方が対応する配線 B L に接続されており、ソースまたはドレインの他方が所定の電位が供給される配線に接続されている。トランジスタ Tr 2 2 は、ソースまたはドレインの一方が配線 B L に接続されており、ソースまたはドレインの他方がトランジスタ Tr 2 1 のゲートに接続されている。トランジスタ Tr 2 3 は、ソースまたはドレインの一方がトランジスタ Tr 2 1 のゲートに接続されており、ソースまたはドレインの他方が所定の電位が供給される配線に接続されている。容量素子 C 2 1 は、第 1 の電極がトランジスタ Tr 2 1 のゲートに接続されており、第 2 の電極が所定の電位が供給される配線に接続されている。

40

【 0 1 4 6 】

トランジスタ Tr 2 2 のゲートは配線 O S P に接続されており、トランジスタ Tr 2 3 の

50

ゲートは配線ORPに接続されている。

【0147】

なお、図10では、トランジスタTr21乃至Tr23がnチャネル型である場合を例示している。

【0148】

また、電流源回路150は、配線BLに対応したトランジスタTr27と、配線BLREFに対応したトランジスタTr28とを有する。具体的に、図10に示す電流源回路150は、トランジスタTr27として、配線BL[j]に対応したトランジスタTr27[j]と、配線BL[j+1]に対応したトランジスタTr27[j+1]とを有する場合を例示している。

10

【0149】

そして、トランジスタTr27のゲートは、トランジスタTr28のゲートに接続されている。また、トランジスタTr27は、ソースまたはドレインの一方が対応する配線BLに接続されており、ソースまたはドレインの他方が所定の電位が供給される配線に接続されている。トランジスタTr28は、ソースまたはドレインの一方が配線BLREFに接続されており、ソースまたはドレインの他方が所定の電位が供給される配線に接続されている。

【0150】

トランジスタTr27とトランジスタTr28とは、同じ極性を有している。図10では、トランジスタTr27とトランジスタTr28とが、共にpチャネル型を有する場合を例示している。

20

【0151】

トランジスタTr28のドレイン電流は電流IREFに相当する。そして、トランジスタTr27とトランジスタTr28とはカレントミラー回路としての機能を有するため、トランジスタTr27のドレイン電流は、トランジスタTr28のドレイン電流とほぼ同じ値、またはトランジスタTr28のドレイン電流に応じた値となる。

【0152】

<半導体装置の動作例>

次いで、図9および図10を用いて、本発明の一態様に係る半導体装置100の具体的な動作の一例について説明する。

30

【0153】

図11は、図9に示すメモリセルMC、メモリセルMCRと、図10に示す回路130、回路140、電流源回路150の動作を示すタイミングチャートの一例に相当する。図11では、時刻T01乃至時刻T04において、メモリセルMCおよびメモリセルMCRに第1のアナログデータを格納する動作が行われる。時刻T05乃至時刻T10において、回路130および回路140にオフセットの電流Ioffsetを設定する動作が行われる。時刻T11乃至時刻T16において、第1のアナログデータと第2のアナログデータとの積和値に対応したデータを取得する動作が行われる。

【0154】

なお、電源線VR[j]および電源線VR[j+1]にはローレベルの電位が供給されるものとする。また、回路130に接続される所定の電位を有する配線は、全てハイレベルの電位VDDが供給されるものとする。また、回路140に接続される所定の電位を有する配線は、全てローレベルの電位VSSが供給されるものとする。また、電流源回路150に接続される所定の電位を有する配線は、全てハイレベルの電位VDDが供給されるものとする。

40

【0155】

また、トランジスタTr11、Tr21、Tr24、Tr27[j]、Tr27[j+1]、Tr28は飽和領域で動作するものとする。

【0156】

まず、時刻T01乃至時刻T02において、配線WW[i]にハイレベルの電位が与えら

50

れ、配線  $WW[i+1]$  にローレベルの電位が与えられる。上記動作により、図 9 に示すメモリセル  $MC[i, j]$ 、メモリセル  $MC[i, j+1]$ 、メモリセル  $MCR[i]$  においてトランジスタ  $Tr12$  がオンになる。また、メモリセル  $MC[i+1, j]$ 、メモリセル  $MC[i+1, j+1]$ 、メモリセル  $MCR[i+1]$  においてトランジスタ  $Tr12$  がオフの状態を維持する。

【0157】

また、時刻  $T01$  乃至時刻  $T02$  では、図 9 に示す配線  $WD[j]$  と配線  $WD[j+1]$  とに、第 1 の参照電位  $VPR$  から第 1 のアナログ電位を差し引いた電位がそれぞれ与えられる。具体的に、配線  $WD[j]$  には電位  $VPR - Vx[i, j]$  が与えられ、配線  $WD[j+1]$  には電位  $VPR - Vx[i, j+1]$  が与えられる。また、配線  $WDEF$  には第 1 の参照電位  $VPR$  が与えられ、配線  $RW[i]$  および配線  $RW[i+1]$  には基準電位として電位  $VSS$  と電位  $VDD$  の間の電位、例えば電位  $(VDD + VSS) / 2$  が与えられる。

10

【0158】

よって、図 9 に示すメモリセル  $MC[i, j]$  のノード  $N[i, j]$  にはトランジスタ  $Tr12$  を介して電位  $VPR - Vx[i, j]$  が与えられ、メモリセル  $MC[i, j+1]$  のノード  $N[i, j+1]$  にはトランジスタ  $Tr12$  を介して電位  $VPR - Vx[i, j+1]$  が与えられ、メモリセル  $MCR[i]$  のノード  $NREF[i]$  にはトランジスタ  $Tr12$  を介して電位  $VPR$  が与えられる。

20

【0159】

時刻  $T02$  が終了すると、図 9 に示す配線  $WW[i]$  に与えられる電位はハイレベルからローレベルに変化し、メモリセル  $MC[i, j]$ 、メモリセル  $MC[i, j+1]$ 、メモリセル  $MCR[i]$  においてトランジスタ  $Tr12$  がオフになる。上記動作により、ノード  $N[i, j]$  には電位  $VPR - Vx[i, j]$  が保持され、ノード  $N[i, j+1]$  には電位  $VPR - Vx[i, j+1]$  が保持され、ノード  $NREF[i]$  には電位  $VPR$  が保持される。

【0160】

次いで、時刻  $T03$  乃至時刻  $T04$  において、図 9 に示す配線  $WW[i]$  の電位はローレベルに維持され、配線  $WW[i+1]$  にハイレベルの電位が与えられる。上記動作により、図 9 に示すメモリセル  $MC[i+1, j]$ 、メモリセル  $MC[i+1, j+1]$ 、メモリセル  $MCR[i+1]$  においてトランジスタ  $Tr12$  がオンになる。また、メモリセル  $MC[i, j]$ 、メモリセル  $MC[i, j+1]$ 、メモリセル  $MCR[i]$  においてトランジスタ  $Tr12$  がオフの状態を維持する。

30

【0161】

また、時刻  $T03$  乃至時刻  $T04$  では、図 9 に示す配線  $WD[j]$  と配線  $WD[j+1]$  とに、第 1 の参照電位  $VPR$  から第 1 のアナログ電位を差し引いた電位がそれぞれ与えられる。具体的に、配線  $WD[j]$  には電位  $VPR - Vx[i+1, j]$  が与えられ、配線  $WD[j+1]$  には電位  $VPR - Vx[i+1, j+1]$  が与えられる。また、配線  $WDEF$  には第 1 の参照電位  $VPR$  が与えられ、配線  $RW[i]$  および配線  $RW[i+1]$  には基準電位として電位  $VSS$  と電位  $VDD$  の間の電位、例えば電位  $(VDD + VSS) / 2$  が与えられる。

40

【0162】

よって、図 9 に示すメモリセル  $MC[i+1, j]$  のノード  $N[i+1, j]$  にはトランジスタ  $Tr12$  を介して電位  $VPR - Vx[i+1, j]$  が与えられ、メモリセル  $MC[i+1, j+1]$  のノード  $N[i+1, j+1]$  にはトランジスタ  $Tr12$  を介して電位  $VPR - Vx[i+1, j+1]$  が与えられ、メモリセル  $MCR[i+1]$  のノード  $NREF[i+1]$  にはトランジスタ  $Tr12$  を介して電位  $VPR$  が与えられる。

【0163】

時刻  $T04$  が終了すると、図 9 に示す配線  $WW[i+1]$  に与えられる電位はハイレベルからローレベルに変化し、メモリセル  $MC[i+1, j]$ 、メモリセル  $MC[i+1, j$

50

+ 1 ]、メモリセルMCR [ i + 1 ]においてトランジスタTr 1 2がオフになる。上記動作により、ノードN [ i + 1、j ]には電位VPR - Vx [ i + 1、j ]が保持され、ノードN [ i + 1、j + 1 ]には電位VPR - Vx [ i + 1、j + 1 ]が保持され、ノードNREF [ i + 1 ]には電位VPRが保持される。

【 0 1 6 4 】

次いで、時刻T05乃至時刻T06において、図10に示す配線ORPおよび配線ORMにハイレベルの電位が与えられる。図10に示す回路130 [ j ]および回路130 [ j + 1 ]では、配線ORMにハイレベルの電位が与えられることで、トランジスタTr 2 6がオンになり、トランジスタTr 2 4のゲートは電位VDDが与えられることでリセットされる。また、図10に示す回路140 [ j ]および回路140 [ j + 1 ]では、配線ORPにハイレベルの電位が与えられることで、トランジスタTr 2 3がオンになり、トランジスタTr 2 1のゲートは電位VSSが与えられることでリセットされる。

10

【 0 1 6 5 】

時刻T06が終了すると、図9に示す配線ORPおよび配線ORMに与えられる電位はハイレベルからローレベルに変化し、回路130 [ j ]および回路130 [ j + 1 ]においてトランジスタTr 2 6がオフになり、回路140 [ j ]および回路140 [ j + 1 ]においてトランジスタTr 2 3がオフになる。上記動作により、回路130 [ j ]および回路130 [ j + 1 ]においてトランジスタTr 2 4のゲートに電位VDDが保持され、回路140 [ j ]および回路140 [ j + 1 ]においてトランジスタTr 2 1のゲートに電位VSSが保持される。

20

【 0 1 6 6 】

次いで、時刻T07乃至時刻T08において、図10に示す配線OSPにハイレベルの電位が与えられる。また、図9に示す配線RW [ i ]および配線RW [ i + 1 ]には基準電位として電位VSSと電位VDDの間の電位、例えば電位 ( VDD + VSS ) / 2 が与えられる。配線OSPにハイレベルの電位が与えられることにより、回路140 [ j ]および回路140 [ j + 1 ]においてトランジスタTr 2 2がオンになる。

【 0 1 6 7 】

配線BL [ j ]に流れるI [ j ]が配線BLREFに流れる電流IREFよりも小さい場合、すなわち I [ j ]が正の場合、図9に示すメモリセルMC [ i、j ]のトランジスタTr 2 8が引き込むことのできる電流と、メモリセルMC [ i + 1、j ]のトランジスタTr 2 8が引き込むことのできる電流との和が、トランジスタTr 2 7 [ j ]のドレイン電流より小さいことを意味する。よって、電流 I [ j ]が正の場合、回路140 [ j ]においてトランジスタTr 2 2がオンになると、トランジスタTr 2 7 [ j ]のドレイン電流の一部がトランジスタTr 2 1のゲートに流れ込み、当該ゲートの電位が上昇し始める。そして、トランジスタTr 2 1のドレイン電流が電流 I [ j ]とほぼ等しくなると、トランジスタTr 2 1のゲートの電位は所定の値に収束する。このときのトランジスタTr 2 1のゲートの電位は、トランジスタTr 2 1のドレイン電流が電流 I [ j ]、すなわちIoffset [ j ] ( = ICP [ j ] ) となるような電位に相当する。つまり、回路140 [ j ]のトランジスタTr 2 1は、電流ICP [ j ]を流し得る電流源に設定された状態であると言える。

30

40

【 0 1 6 8 】

同様に、配線BL [ j + 1 ]に流れるI [ j + 1 ]が配線BLREFに流れる電流IREFよりも小さい場合、つまり電流 I [ j + 1 ]が正の場合、回路140 [ j + 1 ]においてトランジスタTr 2 2がオンになると、トランジスタTr 2 7 [ j + 1 ]のドレイン電流の一部がトランジスタTr 2 1のゲートに流れ込み、当該ゲートの電位が上昇し始める。そして、トランジスタTr 2 1のドレイン電流が電流 I [ j + 1 ]とほぼ等しくなると、トランジスタTr 2 1のゲートの電位は所定の値に収束する。このときのトランジスタTr 2 1のゲートの電位は、トランジスタTr 2 1のドレイン電流が電流 I [ j + 1 ]、すなわちIoffset [ j + 1 ] ( = ICP [ j + 1 ] ) となるような電位に相当する。つまり、回路140 [ j + 1 ]のトランジスタTr 2 1は、電流ICP [ j + 1 ]

50

]を流し得る電流源に設定された状態であると言える。

【0169】

時刻T08が終了すると、図10に示す配線OSPに与えられる電位はハイレベルからローレベルに変化し、回路140[j]および回路140[j+1]においてトランジスタTr22がオフになる。上記動作により、トランジスタTr21のゲートの電位は保持される。よって、回路140[j]は電流ICP[j]を流し得る電流源に設定された状態を維持し、回路140[j+1]は電流ICP[j+1]を流し得る電流源に設定された状態を維持する。

【0170】

次いで、時刻T09乃至時刻T10において、図10に示す配線OSMにハイレベルの電位が与えられる。また、図9に示す配線RW[i]および配線RW[i+1]には基準電位として電位VSSと電位VDDの間の電位、例えば電位(VDD+VSS)/2が与えられる。配線OSMにハイレベルの電位が与えられることにより、回路130[j]および回路130[j+1]においてトランジスタTr25がオンになる。

10

【0171】

配線BL[j]に流れるI[j]が配線BLREFに流れる電流IREFよりも大きい場合、すなわちI[j]が負の場合、図9に示すメモリセルMC[i,j]のトランジスタTr28が引き込むことのできる電流と、メモリセルMC[i+1,j]のトランジスタTr28が引き込むことのできる電流との和が、トランジスタTr27[j]のドレイン電流より大きいことを意味する。よって、電流I[j]が負の場合、回路130[j]においてトランジスタTr25がオンになると、トランジスタTr24のゲートから配線BL[j]に電流が流れ出し、当該ゲートの電位が下降し始める。そして、トランジスタTr24のドレイン電流が電流I[j]とほぼ等しくなると、トランジスタTr24のゲートの電位は所定の値に収束する。このときのトランジスタTr24のゲートの電位は、トランジスタTr24のドレイン電流が電流I[j]、すなわちIoffset[j](=ICM[j])となるような電位に相当する。つまり、回路130[j]のトランジスタTr24は、電流ICM[j]を流し得る電流源に設定された状態であると言える。

20

【0172】

同様に、配線BL[j+1]に流れるI[j+1]が配線BLREFに流れる電流IREFよりも大きい場合、つまり電流I[j+1]が負の場合、回路130[j+1]においてトランジスタTr25がオンになると、トランジスタTr24のゲートから配線BL[j+1]に電流が流れ出し、当該ゲートの電位が下降し始める。そして、トランジスタTr24のドレイン電流が電流I[j+1]の絶対値とほぼ等しくなると、トランジスタTr24のゲートの電位は所定の値に収束する。このときのトランジスタTr24のゲートの電位は、トランジスタTr24のドレイン電流が電流I[j+1]、すなわちIoffset[j+1](=ICM[j+1])の絶対値に等しい電位に相当する。つまり、回路130[j+1]のトランジスタTr24は、電流ICM[j+1]を流し得る電流源に設定された状態であると言える。

30

【0173】

時刻T08が終了すると、図10に示す配線OSMに与えられる電位はハイレベルからローレベルに変化し、回路130[j]および回路130[j+1]においてトランジスタTr25がオフになる。上記動作により、トランジスタTr24のゲートの電位は保持される。よって、回路130[j]は電流ICM[j]を流し得る電流源に設定された状態を維持し、回路130[j+1]は電流ICM[j+1]を流し得る電流源に設定された状態を維持する。

40

【0174】

なお、回路140[j]および回路140[j+1]において、トランジスタTr21は電流を引き込む機能を有する。そのため、時刻T07乃至時刻T08において配線BL[j]に流れる電流I[j]が配線BLREFに流れる電流IREFよりも大きくI[j]

50

]が負の場合、あるいは、配線BL[j+1]に流れる電流I[j+1]が配線BLREFに流れる電流IREFよりも大きくI[j+1]が負の場合、回路140[j]または回路140[j+1]から過不足なく配線BL[j]または配線BL[j+1]に電流を供給するのが難しくなる恐れがある。この場合、配線BL[j]または配線BL[j+1]に流れる電流と、配線BLREFに流れる電流とのバランスを取るために、メモリセルMCのトランジスタTr11と、回路140[j]または回路140[j+1]のトランジスタTr21と、トランジスタTr27[j]またはTr27[j+1]とが、共に飽和領域で動作することが困難になる可能性がある。

#### 【0175】

時刻T07乃至時刻T08においてI[j]が負の場合でも、トランジスタTr11、Tr21、Tr27[j]またはTr27[j+1]における飽和領域での動作を確保するために、時刻T05乃至時刻T06において、トランジスタTr24のゲートを電位VDDにリセットするのではなく、トランジスタTr24のゲートの電位を所定のドレイン電流が得られる程度の高さに設定しておいても良い。上記構成により、トランジスタTr27[j]またはTr27[j+1]のドレイン電流に加えてトランジスタTr24から電流が供給されるため、トランジスタTr11において引き込めない分の電流を、トランジスタTr21においてある程度引き込むことができるため、トランジスタTr11、Tr21、Tr27[j]またはTr27[j+1]における飽和領域での動作を確保することができる。

10

#### 【0176】

なお、時刻T09乃至時刻T10において、配線BL[j]に流れるI[j]が配線BLREFに流れる電流IREFよりも小さい場合、すなわちI[j]が正の場合、時刻T07乃至時刻T08において回路140[j]が電流ICP[j]を流し得る電流源に既に設定されているため、回路130[j]においてトランジスタTr24のゲートの電位はほぼ電位VDDのままとなる。同様に、配線BL[j+1]に流れるI[j+1]が配線BLREFに流れる電流IREFよりも小さい場合、すなわちI[j+1]が正の場合、時刻T07乃至時刻T08において回路140[j+1]が電流ICP[j+1]を流し得る電流源に既に設定されているため、回路130[j+1]においてトランジスタTr24のゲートの電位はほぼ電位VDDのままとなる。

20

#### 【0177】

次いで、時刻T11乃至時刻T12において、図9に示す配線RW[i]に第2のアナログ電位Vw[i]が与えられる。また、配線RW[i+1]には、基準電位として電位VSSと電位VDDの間の電位、例えば電位(VDD+VSS)/2が与えられたままである。具体的に、配線RW[i]の電位は、基準電位である電位VSSと電位VDDの間の電位、例えば電位(VDD+VSS)/2に対して電位差Vw[i]だけ高い電位となるが、以下説明を分かり易くするために、配線RW[i]の電位は電位Vw[i]であると仮定する。

30

#### 【0178】

配線RW[i]が電位Vw[i]になると、容量素子C11の第1の電極の電位の変化量がほぼノードNの電位の変化量に反映されるものと仮定すると、図9に示すメモリセルMC[i,j]におけるノードNの電位はVPR-Vx[i,j]+Vw[i]となり、メモリセルMC[i,j+1]におけるノードNの電位はVPR-Vx[i,j+1]+Vw[i]となる。そして、上記の式6から、メモリセルMC[i,j]に対応する第1のアナログデータと第2のアナログデータの積和値は、電流I[j]からIoffset[j]を差し引いた電流、すなわち、配線BL[j]から流れ出る電流Iout[j]に反映されることが分かる。また、メモリセルMC[i,j+1]に対応する第1のアナログデータと第2のアナログデータの積和値は、電流I[j+1]からIoffset[j+1]を差し引いた電流、すなわち、配線BL[j+1]から流れ出る電流Iout[j+1]に反映されることが分かる。

40

#### 【0179】

50

時刻  $T_{12}$  が終了すると、配線  $RW[i]$  には、再度、基準電位である電位  $V_{SS}$  と電位  $V_{DD}$  の間の電位、例えば電位  $(V_{DD} + V_{SS}) / 2$  が与えられる。

【0180】

次いで、時刻  $T_{13}$  乃至時刻  $T_{14}$  において、図9に示す配線  $RW[i+1]$  に第2のアナログ電位  $V_w[i+1]$  が与えられる。また、配線  $RW[i]$  には、基準電位として電位  $V_{SS}$  と電位  $V_{DD}$  の間の電位、例えば電位  $(V_{DD} + V_{SS}) / 2$  が与えられたままである。具体的に、配線  $RW[i+1]$  の電位は、基準電位である電位  $V_{SS}$  と電位  $V_{DD}$  の間の電位、例えば電位  $(V_{DD} + V_{SS}) / 2$  に対して電位差  $V_w[i+1]$  だけ高い電位となるが、以下説明を分かり易くするために、配線  $RW[i+1]$  の電位は電位  $V_w[i+1]$  であると仮定する。

10

【0181】

配線  $RW[i+1]$  が電位  $V_w[i+1]$  になると、容量素子  $C_{11}$  の第1の電極の電位の変化量がほぼノード  $N$  の電位の変化量に反映されるものと仮定すると、図9に示すメモリセル  $MC[i+1, j]$  におけるノード  $N$  の電位は  $V_{PR} - V_x[i+1, j] + V_w[i+1]$  となり、メモリセル  $MC[i+1, j+1]$  におけるノード  $N$  の電位は  $V_{PR} - V_x[i+1, j+1] + V_w[i+1]$  となる。そして、上記の式6から、メモリセル  $MC[i+1, j]$  に対応する第1のアナログデータと第2のアナログデータの積和値は、電流  $I[j]$  から  $I_{offset}[j]$  を差し引いた電流、すなわち、 $I_{out}[j]$  に反映されることが分かる。また、メモリセル  $MC[i+1, j+1]$  に対応する第1のアナログデータと第2のアナログデータの積和値は、電流  $I[j+1]$  から  $I_{offset}[j+1]$  を差し引いた電流、すなわち、 $I_{out}[j+1]$  に反映されることが分かる。

20

【0182】

時刻  $T_{12}$  が終了すると、配線  $RW[i+1]$  には、再度、基準電位である電位  $V_{SS}$  と電位  $V_{DD}$  の間の電位、例えば電位  $(V_{DD} + V_{SS}) / 2$  が与えられる。

【0183】

次いで、時刻  $T_{15}$  乃至時刻  $T_{16}$  において、図9に示す配線  $RW[i]$  に第2のアナログ電位  $V_w[i]$  が与えられ、配線  $RW[i+1]$  に第2のアナログ電位  $V_w[i+1]$  が与えられる。具体的に、配線  $RW[i]$  の電位は、基準電位である電位  $V_{SS}$  と電位  $V_{DD}$  の間の電位、例えば電位  $(V_{DD} + V_{SS}) / 2$  に対して電位差  $V_w[i]$  だけ高い電位となり、配線  $RW[i+1]$  の電位は、基準電位である電位  $V_{SS}$  と電位  $V_{DD}$  の間の電位、例えば電位  $(V_{DD} + V_{SS}) / 2$  に対して電位差  $V_w[i+1]$  だけ高い電位となるが、以下説明を分かり易くするために、配線  $RW[i]$  の電位は電位  $V_w[i]$  であり、配線  $RW[i+1]$  の電位は電位  $V_w[i+1]$  であると仮定する。

30

【0184】

配線  $RW[i]$  が電位  $V_w[i]$  になると、容量素子  $C_{11}$  の第1の電極の電位の変化量がほぼノード  $N$  の電位の変化量に反映されるものと仮定すると、図9に示すメモリセル  $MC[i, j]$  におけるノード  $N$  の電位は  $V_{PR} - V_x[i, j] + V_w[i]$  となり、メモリセル  $MC[i, j+1]$  におけるノード  $N$  の電位は  $V_{PR} - V_x[i, j+1] + V_w[i]$  となる。また、配線  $RW[i+1]$  が電位  $V_w[i+1]$  になると、容量素子  $C_{11}$  の第1の電極の電位の変化量がほぼノード  $N$  の電位の変化量に反映されるものと仮定すると、図9に示すメモリセル  $MC[i+1, j]$  におけるノード  $N$  の電位は  $V_{PR} - V_x[i+1, j] + V_w[i+1]$  となり、メモリセル  $MC[i+1, j+1]$  におけるノード  $N$  の電位は  $V_{PR} - V_x[i+1, j+1] + V_w[i+1]$  となる。

40

【0185】

そして、上記の式6から、メモリセル  $MC[i, j]$  とメモリセル  $MC[i+1, j]$  とに対応する第1のアナログデータと第2のアナログデータの積和値は、電流  $I[j]$  から  $I_{offset}[j]$  を差し引いた電流、すなわち、電流  $I_{out}[j]$  に反映されることが分かる。また、メモリセル  $MC[i, j+1]$  とメモリセル  $MC[i+1, j+1]$  とに対応する第1のアナログデータと第2のアナログデータの積和値は、電流  $I[j$

50

+ 1 ] から  $I_{offset}[j+1]$  を差し引いた電流、すなわち、電流  $I_{out}[j+1]$  に反映されることが分かる。

【0186】

時刻  $T16$  が終了すると、配線  $RW[i]$  および配線  $RW[i+1]$  には、再度、基準電位である電位  $VSS$  と電位  $VDD$  の間の電位、例えば電位  $(VDD + VSS) / 2$  が与えられる。

【0187】

上記構成により、積和演算を小さな回路規模で行うことができる。また、上記構成により、積和演算を高速で行うことができる。また、上記構成により、低消費電力で積和演算を行うことができる。

10

【0188】

なお、トランジスタ  $Tr12$ 、 $Tr22$ 、 $Tr23$ 、 $Tr25$ 、または  $Tr26$  は、オフ電流が極めて低いトランジスタを用いることが望ましい。トランジスタ  $Tr12$  にオフ電流が極めて低いトランジスタを用いることにより、ノード  $N$  の電位の保持を長時間に渡って行うことができる。また、トランジスタ  $Tr22$  および  $Tr23$  にオフ電流が極めて低いトランジスタを用いることにより、トランジスタ  $Tr21$  のゲートの電位の保持を、長時間に渡って行うことができる。また、トランジスタ  $Tr25$  および  $Tr26$  にオフ電流が極めて低いトランジスタを用いることにより、トランジスタ  $Tr24$  のゲートの電位の保持を、長時間に渡って行うことができる。

20

【0189】

オフ電流が極めて低いトランジスタとして半導体層に金属酸化物を用いたトランジスタ（以下、 $OS$  トランジスタ）を用いればよい。チャネル幅で規格化した  $OS$  トランジスタのリーク電流は、ソースドレイン電圧が  $10V$ 、室温（ $25$  程度）の状態では  $10 \times 10^{-21} A / \mu m$ （ $10$  ゼプト  $A / \mu m$ ）以下とすることが可能である。

【0190】

$OS$  トランジスタに用いる半導体材料としては、エネルギーギャップが  $2eV$  以上、好ましくは  $2.5eV$  以上、より好ましくは  $3eV$  以上である金属酸化物を用いることができる。代表的には、インジウムを含む酸化物半導体などであり、例えば、後述する  $CAC-OS$  などを用いることができる。

30

【0191】

半導体層は、例えばインジウム、亜鉛および  $M$ （アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属）を含む  $In-M-Zn$  系酸化物で表記される膜とすることが出来る。

【0192】

半導体層を構成する酸化物半導体が  $In-M-Zn$  系酸化物の場合、 $In-M-Zn$  酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、 $In-M-Zn$  を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 、 $In:M:Zn=3:1:2$ 、 $In:M:Zn=4:2:3$ 、 $In:M:Zn=4:2:4.1$ 、 $In:M:Zn=5:1:6$ 、 $In:M:Zn=5:1:7$ 、 $In:M:Zn=5:1:8$  等が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス  $40\%$  の変動を含む。

40

【0193】

半導体層としては、キャリア密度の低い酸化物半導体を用いる。例えば、半導体層は、キャリア密度が  $1 \times 10^{17} / cm^3$  以下、好ましくは  $1 \times 10^{15} / cm^3$  以下、さらに好ましくは  $1 \times 10^{13} / cm^3$  以下、より好ましくは  $1 \times 10^{11} / cm^3$  以下、さらに好ましくは  $1 \times 10^{10} / cm^3$  未満であり、 $1 \times 10^{-9} / cm^3$  以上のキャリア密度の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。これにより不純物濃度が低く、欠陥準位密度が低いので、安定な特性を有する酸化物半導体であるといえる。

50

## 【0194】

なお、これらに限られず、必要とするトランジスタの半導体特性および電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

## 【0195】

半導体層を構成する酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

10

## 【0196】

また、アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層におけるアルカリ金属またはアルカリ土類金属の濃度（二次イオン質量分析法により得られる濃度）を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

## 【0197】

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（二次イオン質量分析法により得られる濃度）は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

20

## 【0198】

また、半導体層は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、c軸に配向した結晶を有するCAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor、または、C-Axis Aligned and A-B-plane Anchored Crystalline Oxide Semiconductor）、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

30

## 【0199】

非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

## 【0200】

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述した領域のうち、いずれか二種以上の領域を含む単層構造、または積層構造を有する場合があります。

40

## 【0201】

以下では、非単結晶の半導体層の一態様であるCAC（Cloud-Aligned Composite）-OSの構成について説明する。

## 【0202】

CAC-OSとは、例えば、酸化物半導体を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

50

## 【0203】

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

## 【0204】

例えば、 $In-Ga-Zn$ 酸化物における $CAC-OS$  ( $CAC-OS$ の中でも $In-Ga-Zn$ 酸化物を、特に $CAC-IGZO$ と呼称してもよい。)とは、インジウム酸化物 (以下、 $InO_{x_1}$  ( $x_1$ は0よりも大きい実数)とする。)、またはインジウム亜鉛酸化物 (以下、 $In_{x_2}Zn_{y_2}O_{z_2}$  ( $x_2$ 、 $y_2$ 、および $z_2$ は0よりも大きい実数)とする。)と、ガリウム酸化物 (以下、 $GaO_{x_3}$  ( $x_3$ は0よりも大きい実数)とする。)、またはガリウム亜鉛酸化物 (以下、 $Ga_{x_4}Zn_{y_4}O_{z_4}$  ( $x_4$ 、 $y_4$ 、および $z_4$ は0よりも大きい実数)とする。)などと、に材料が分離することでモザイク状となり、モザイク状の $InO_{x_1}$ 、または $In_{x_2}Zn_{y_2}O_{z_2}$ が、膜中に均一に分布した構成 (以下、クラウド状ともいう。)である。

10

## 【0205】

つまり、 $CAC-OS$ は、 $GaO_{x_3}$ が主成分である領域と、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または $InO_{x_1}$ が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第1の領域の元素Mに対するInの原子数比が、第2の領域の元素Mに対するInの原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、Inの濃度が高いとする。

20

## 【0206】

なお、 $IGZO$ は通称であり、In、Ga、Zn、およびOによる1つの化合物をいう場合がある。代表例として、 $InGaO_3(ZnO)_{m_1}$  ( $m_1$ は自然数)、または $In_{(1+x_0)}Ga_{(1-x_0)}O_3(ZnO)_{m_0}$  ( $-1 < x_0 < 1$ 、 $m_0$ は任意数)で表される結晶性の化合物が挙げられる。

## 【0207】

上記結晶性の化合物は、単結晶構造、多結晶構造、または $CAC$ 構造を有する。なお、 $CAC$ 構造とは、複数の $IGZO$ のナノ結晶がc軸配向を有し、かつa-b面においては配向せずに連結した結晶構造である。

30

## 【0208】

一方、 $CAC-OS$ は、酸化物半導体の材料構成に関する。 $CAC-OS$ とは、In、Ga、Zn、およびOを含む材料構成において、一部にGaを主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。したがって、 $CAC-OS$ において、結晶構造は副次的な要素である。

## 【0209】

なお、 $CAC-OS$ は、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Inを主成分とする膜と、Gaを主成分とする膜との2層からなる構造は、含まない。

40

## 【0210】

なお、 $GaO_{x_3}$ が主成分である領域と、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または $InO_{x_1}$ が主成分である領域とは、明確な境界が観察できない場合がある。

## 【0211】

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、 $CAC-OS$ は、一部

50

に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

【0212】

CAC-OSは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、CAC-OSをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス(代表的にはアルゴン)、酸素ガス、および窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

10

【0213】

CAC-OSは、X線回折(XRD: X-ray diffraction)測定法のひとつであるOut-of-plane法による $\theta/2$  スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、X線回折から、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

【0214】

また、CAC-OSは、プローブ径が1nmの電子線(ナノビーム電子線ともいう。)を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域と、該リング領域に複数の輝点が観測される。したがって、電子線回折パターンから、CAC-OSの結晶構造が、平面方向、および断面方向において、配向性を有さないnc(nano-crystal)構造を有することがわかる。

20

【0215】

また、例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、 $GaO_{x_3}$ が主成分である領域と、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または $InO_{x_1}$ が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

【0216】

CAC-OSは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-OSは、 $GaO_{x_3}$ などが主成分である領域と、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または $InO_{x_1}$ が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

30

【0217】

ここで、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または $InO_{x_1}$ が主成分である領域は、 $GaO_{x_3}$ などが主成分である領域と比較して、導電性が高い領域である。つまり、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または $InO_{x_1}$ が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。したがって、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または $InO_{x_1}$ が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度( $\mu$ )が実現できる。

【0218】

一方、 $GaO_{x_3}$ などが主成分である領域は、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または $InO_{x_1}$ が主成分である領域と比較して、絶縁性が高い領域である。つまり、 $GaO_{x_3}$ などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

40

【0219】

したがって、CAC-OSを半導体素子に用いた場合、 $GaO_{x_3}$ などに起因する絶縁性と、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または $InO_{x_1}$ に起因する導電性とが、相補的に作用することにより、高いオン電流( $I_{on}$ )、および高い電界効果移動度( $\mu$ )を実現することができる。

【0220】

50

また、C A C - O Sを用いた半導体素子は、信頼性が高い。したがって、C A C - O Sは、様々な半導体装置の構成材料として適している。

【0221】

以上説明した半導体装置を用いることにより、ニューラルネットワーク19またはニューラルネットワーク24における積和演算を行うことができる。

【0222】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0223】

(実施の形態3)

本実施の形態では、本発明の一態様を適用することのできる撮像装置の一例について、図面を参照して説明する。

【0224】

図12(A)は、撮像装置の画素回路を説明する図である。当該画素回路は、光電変換素子50と、トランジスタ51と、トランジスタ52と、トランジスタ53と、トランジスタ54を有する。

【0225】

光電変換素子50の一方の電極(アノード)は、トランジスタ51のソースまたはドレインの一方と電氣的に接続される。光電変換素子50の一方の電極は、トランジスタ52のソースまたはドレインの一方と電氣的に接続される。トランジスタ51のソースまたはドレインの他方は、トランジスタ53のゲートと電氣的に接続される。トランジスタ53のソースまたはドレインの一方は、トランジスタ54のソースまたはドレインの一方と電氣的に接続される。なお、トランジスタ53のゲートと電氣的に接続される容量素子を設けてもよい。

【0226】

光電変換素子50の他方の電極(カソード)は、配線72と電氣的に接続される。トランジスタ51のゲートは、配線75と電氣的に接続される。トランジスタ53のソースまたはドレインの他方は、配線79に電氣的に接続される。トランジスタ52のゲートは、配線76と電氣的に接続される。トランジスタ52のソースまたはドレインの他方は、配線73と電氣的に接続される。トランジスタ54のソースまたはドレインの他方は、配線71と電氣的に接続される。トランジスタ54のゲートは、配線78と電氣的に接続される。配線72は、電源56の一方の端子と電氣的に接続され、電源56の他方の端子は、配線77と電氣的に接続される。

【0227】

ここで、配線71は、画素から信号を出力する出力線としての機能を有することができる。配線73、配線77、配線79は、電源線としての機能を有することができる。例えば、配線73および配線77は、低電位電源線、配線79は高電位電源線として機能させることができる。配線75、配線76、配線78は、各トランジスタのオンオフを制御する信号線として機能させることができる。

【0228】

光電変換素子50には、低照度時の光検出感度を高めるためアバランシェ増倍効果を生じる光電変換素子を用いることが好ましい。アバランシェ増倍効果を生じさせるためには、比較的高い電位H V D Dが必要となる。したがって、電源56は電位H V D Dを供給することのできる機能を有し、光電変換素子50の他方の電極には配線72を介して電位H V D Dが供給される。なお、光電変換素子50は、アバランシェ増倍効果が生じない電位を印加して使用することもできる。

【0229】

トランジスタ51は、光電変換素子50の出力に応じて変化する電荷蓄積部(N R)の電位を電荷検出部(N D)に転送する機能を有することができる。トランジスタ52は、電荷蓄積部(N R)および電荷検出部(N D)の電位を初期化する機能を有することができる。トランジスタ53は、電荷検出部(N D)の電位に応じた信号を出力する機能を有す

10

20

30

40

50

ることができる。トランジスタ 5 4 は、信号を読み出す画素を選択する機能を有することができる。

【0230】

光電変換素子 5 0 に高電圧を印加する場合、光電変換素子 5 0 と接続されるトランジスタには高電圧に耐えられる高耐圧のトランジスタを用いる必要がある。当該高耐圧のトランジスタには、例えば、OS トランジスタなどを用いることができる。具体的には、トランジスタ 5 1 およびトランジスタ 5 2 に OS トランジスタを適用することが好ましい。

【0231】

トランジスタ 5 1 およびトランジスタ 5 2 はスイッチング特性が優れていることが望まれるが、トランジスタ 5 3 は増幅特性が優れていることが望まれるため、オン電流が高いトランジスタであることが好ましい。したがって、トランジスタ 5 3 およびトランジスタ 5 4 には、シリコンを活性層または活性領域に用いたトランジスタ（以下、Si トランジスタ）を適用することが好ましい。

10

【0232】

トランジスタ 5 1 乃至トランジスタ 5 4 を上述した構成とすることで、低照度における光の検出感度が高く、ノイズの少ない信号を出力することのできる撮像装置を作製することができる。また、光の検出感度が高いため、光の取り込み時間を短くすることができ、撮像を高速に行うことができる。

【0233】

なお、上記構成に限らず、トランジスタ 5 3 およびトランジスタ 5 4 に OS トランジスタを適用してもよい。または、トランジスタ 5 1 およびトランジスタ 5 2 に Si トランジスタを適用してもよい。いずれの場合においても当該画素回路の撮像動作は可能である。

20

【0234】

次に、図 1 2 ( B ) のタイミングチャートを用いて、画素の動作を説明する。なお、以下に説明する一例の動作において、トランジスタ 5 2 のゲートに接続された配線 7 6 には、“H”として HVDD、“L”として GND の電位が供給されるものとする。トランジスタ 5 1 のゲートに接続された配線 7 5 およびトランジスタ 5 4 のゲートに接続された配線 7 8 には、“H”として VDD、“L”として GND の電位が供給されるものとする。また、トランジスタ 5 3 のソースに接続された配線 7 9 には、VDD の電位が供給されるものとする。なお、各配線に上記以外の電位を供給する形態とすることもできる。

30

【0235】

時刻 T 1 に配線 7 6 を “H”、配線 7 5 を “H” とし、電荷蓄積部 ( NR ) および電荷検出部 ( ND ) の電位をリセット電位 ( GND ) に設定する ( リセット動作 )。なお、リセット動作時に配線 7 6 に “H” として電位 VDD を供給してもよい。

【0236】

時刻 T 2 に配線 7 6 を “L”、配線 7 5 を “L” とすることで、電荷蓄積部 ( NR ) の電位が変化する ( 蓄積動作 )。電荷蓄積部 ( NR ) の電位は、光電変換素子 5 0 に入射した光の強度に応じて GND から最大で HVDD まで変化する。

【0237】

時刻 T 3 に配線 7 5 を “H” とし、電荷蓄積部 ( NR ) の電荷を電荷検出部 ( ND ) に転送する ( 転送動作 )。

40

【0238】

時刻 T 4 に配線 7 6 を “L”、配線 7 5 を “L” とし、転送動作を終了させる。この時点で電荷検出部 ( ND ) の電位が確定される。

【0239】

時刻 T 5 乃至 T 6 期間に配線 7 6 を “L”、配線 7 5 を “L”、配線 7 8 を “H” とし、電荷検出部 ( ND ) の電位に応じた信号を配線 7 1 出力する。すなわち、蓄積動作において光電変換素子 5 0 に入射した光の強度に応じた出力信号を得ることができる。

【0240】

図 1 3 ( A ) に、上述した画素回路を有する撮像装置の画素の構成の一例を示す。当該撮

50

像装置は、層 6 1、層 6 2 および層 6 3 を有し、それぞれが互いに重なる領域を有する構成とすることができる。

【0241】

層 6 1 は、光電変換素子 5 0 の構成を有する。光電変換素子 5 0 は、画素電極に相当する電極 6 5 と、光電変換部 6 6 と、共通電極に相当する電極 6 7 を有する。

【0242】

電極 6 5 には、低抵抗の金属層などを用いることが好ましい。例えば、アルミニウム、チタン、タングステン、タンタル、銀またはそれらの積層を用いることができる。

【0243】

電極 6 7 には、可視光に対して高い透光性を有する導電層を用いることが好ましい。例えば、インジウム酸化物、錫酸化物、亜鉛酸化物、インジウム - 錫酸化物、ガリウム - 亜鉛酸化物、インジウム - ガリウム - 亜鉛酸化物、またはグラフェンなどを用いることができる。なお、電極 6 7 を省く構成とすることもできる。

10

【0244】

光電変換部 6 6 には、例えばセレン系材料を光電変換層とした p n 接合型フォトダイオードなどを用いることができる。層 6 6 a としては p 型半導体であるセレン系材料を用い、層 6 6 b としては n 型半導体であるガリウム酸化物などを用いることが好ましい。

【0245】

セレン系材料を用いた光電変換素子は、可視光に対する外部量子効率が高い特性を有する。当該光電変換素子では、アバランシェ増倍効果を利用することにより、入射される光量に対する電子の増幅が大きい高感度のセンサとすることができる。また、セレン系材料は光吸収係数が高いため、光電変換層を薄膜で作製できるなどの生産上の利点を有する。セレン系材料の薄膜は、真空蒸着法またはスパッタ法などを用いて形成することができる。

20

【0246】

セレン系材料としては、単結晶セレンや多結晶セレンなどの結晶性セレン、非晶質セレン、銅、インジウム、セレンの化合物 (CIS)、または、銅、インジウム、ガリウム、セレンの化合物 (CIGS) などを用いることができる。

【0247】

n 型半導体は、バンドギャップが広く、可視光に対して透光性を有する材料で形成することが好ましい。例えば、亜鉛酸化物、ガリウム酸化物、インジウム酸化物、錫酸化物、またはそれらが混在した酸化物などを用いることができる。また、これらの材料は正孔注入阻止層としての機能も有し、暗電流を小さくすることもできる。

30

【0248】

なお、層 6 1 は上記構成に限らず、層 6 6 a に p 型シリコン半導体または n 型シリコン半導体の一方を用い、層 6 6 b に p 型シリコン半導体または n 型シリコン半導体の他方を用いた p n 接合型フォトダイオードであってもよい。または、層 6 6 a と層 6 6 b との間に i 型シリコン半導体層を設けた p i n 接合型フォトダイオードであってもよい。

【0249】

上記 p n 接合型フォトダイオードまたは p i n 接合型フォトダイオードは、単結晶シリコンを用いて形成することができる。このとき、層 6 1 と層 6 2 とは、貼り合わせ工程を用いて電気的な接合を得ることが好ましい。また、p i n 接合型フォトダイオードとしては、非晶質シリコン、微結晶シリコン、多結晶シリコンなどの薄膜を用いて形成することもできる。

40

【0250】

層 6 2 は、例えば、O S トランジスタ (トランジスタ 5 1、トランジスタ 5 2) を有する層とすることができる。図 1 2 (A) に示す画素の回路構成では、光電変換素子 5 0 に入射される光の強度が小さいときに電荷検出部 (ND) の電位が小さくなる。O S トランジスタは極めてオフ電流が低いため、ゲート電位が極めて小さい場合においても当該ゲート電位に応じた電流を正確に出力することができる。したがって、検出することのできる照度のレンジ、すなわちダイナミックレンジを広げることができる。

50

## 【0251】

また、トランジスタ51およびトランジスタ52の低いオフ電流特性によって、電荷検出部(ND)および電荷蓄積部(NR)で電荷を保持できる期間を極めて長くすることができる。そのため、回路構成や動作方法を複雑にすることなく、全画素で同時に電荷の蓄積動作を行うグローバルシャッタ方式を適用することができる。

## 【0252】

層63は、支持基板またはSiトランジスタ(トランジスタ53、トランジスタ54)を有する層とすることができる。当該Siトランジスタは、単結晶シリコン基板に活性領域を有する構成のほか、絶縁表面上に結晶系のシリコン活性層を有する構成とすることができる。なお、層63に単結晶シリコン基板を用いる場合は、当該単結晶シリコン基板にp-n接合型フォトダイオードまたはpin接合型フォトダイオードを形成してもよい。この場合、層61を省くことができる。

10

## 【0253】

図13(B)は、本発明の一態様の撮像装置の回路構成を説明するブロック図である。当該撮像装置は、マトリクス状に配列された画素80を有する画素アレイ81と、画素アレイ81の行を選択する機能を有する回路82(ロードライバ)と、画素80の出力信号に対して相関二重サンプリング処理を行うための回路83(CDS回路)と、回路83から出力されたアナログデータをデジタルデータに変換する機能を有する回路84(A/D変換回路等)と、回路84で変換されたデータを選択して読み出す機能を有する回路85(カラムドライバ)と、を有する。なお、回路83を設けない構成とすることもできる。

20

## 【0254】

例えば、光電変換素子を除く画素アレイ81の要素は、図13(A)に示す層62に設けることができる。回路82乃至回路85の要素は、層63に設けることができる。これらの回路はシリコントランジスタを用いたCMOS回路で構成することができる。

## 【0255】

当該構成とすることで、それぞれの回路に適したトランジスタを用いることができ、かつ撮像装置の面積を小さくすることができる。

## 【0256】

図14(A)、(B)、(C)は、図13(A)に示す撮像装置の具体的な構成を説明する図である。図14(A)は、トランジスタ51、52、53、54のチャンネル長方向を示す断面図である。図14(B)は一点鎖線A1-A2の断面図であり、トランジスタ52のチャンネル幅方向の断面を示している。図14(C)は一点鎖線B1-B2の断面図であり、トランジスタ53のチャンネル幅方向の断面を示している。

30

## 【0257】

撮像装置は、層61乃至63の積層とすることができる。層61は、セレン層を有する光電変換素子50の他、隔壁92を有する構成とすることができる。隔壁92は、電極65の段差を覆うように設けられる。光電変換素子50に用いるセレン層は高抵抗であり、画素間で分離しない構成とすることができる。

## 【0258】

層62にはOSトランジスタであるトランジスタ51、52が設けられる。トランジスタ51、52はともにバックゲート91を有する構成を示しているが、いずれかがバックゲートを有する形態であってもよい。バックゲート91は、図14(B)に示すように対向して設けられるトランジスタのフロントゲートと電氣的に接続する場合がある。または、バックゲート91にフロントゲートとは異なる固定電位を供給することができる構成であってもよい。

40

## 【0259】

また、図14(A)では、OSトランジスタとしてセルフアラインのトップゲート型トランジスタを例示しているが、図15(A)に示すように、ノンセルフアライン型のトランジスタであってもよい。

## 【0260】

50

層 6 3 には、S i トランジスタであるトランジスタ 5 3 およびトランジスタ 5 4 が設けられる。図 1 4 ( A ) において S i トランジスタはシリコン基板 2 0 0 に設けられたフィン型の半導体層を有する構成を例示しているが、図 1 5 ( B ) に示すように、シリコン基板 2 0 1 に活性領域を有するプレーナ型であってもよい。または、図 1 2 ( C ) に示すようにシリコン薄膜の半導体層 2 1 0 を有するトランジスタであってもよい。半導体層 2 1 0 は、例えば、シリコン基板 2 0 2 上の絶縁層 2 2 0 上に形成された単結晶シリコン ( S O I ( S i l i c o n o n I n s u l a t o r ) ) とすることができる。または、ガラス基板などの絶縁表面上に形成された多結晶シリコンであってもよい。この他、層 6 3 には画素を駆動するための回路を設けることができる。

#### 【 0 2 6 1 】

O S トランジスタが形成される領域と S i トランジスタが形成される領域との間には、水素の拡散を防止する機能を有する絶縁層 9 3 が設けられる。トランジスタ 5 3、5 4 の活性領域近傍に設けられる絶縁層中の水素はシリコンのダングリングボンドを終端する。一方、トランジスタ 5 1、5 2 の活性層である酸化物半導体層の近傍に設けられる絶縁層中の水素は、酸化物半導体層中にキャリアを生成する要因の一つとなる。

#### 【 0 2 6 2 】

絶縁層 9 3 により、一方の層に水素を閉じ込めることでトランジスタ 5 3、5 4 の信頼性を向上させることができる。また、一方の層から他方の層への水素の拡散が抑制されることでトランジスタ 5 1、5 2 の信頼性も向上させることができる。

#### 【 0 2 6 3 】

絶縁層 9 3 としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア ( Y S Z ) 等を用いることができる。

#### 【 0 2 6 4 】

図 1 6 ( A ) は、本発明の一態様の撮像装置にカラーフィルタ等を付加した例を示す断面図である。当該断面図では、3 画素分の画素回路を有する領域の一部を示している。光電変換素子 5 0 が形成される層 6 1 上には、絶縁層 3 0 0 が形成される。絶縁層 3 0 0 は可視光に対して透光性の高い酸化シリコン膜などを用いることができる。また、パッシベーション膜として窒化シリコン膜を積層してもよい。また、反射防止膜として、酸化ハフニウムなどの誘電体膜を積層してもよい。

#### 【 0 2 6 5 】

絶縁層 3 0 0 上には、遮光層 3 1 0 が形成されてもよい。遮光層 3 1 0 は、上部のカラーフィルタを通る光の混色を防止する機能を有する。遮光層 3 1 0 には、アルミニウム、タングステンなどの金属層を用いることができる。また、当該金属層と反射防止膜としての機能を有する誘電体膜を積層してもよい。

#### 【 0 2 6 6 】

絶縁層 3 0 0 および遮光層 3 1 0 上には、平坦化膜として有機樹脂層 3 2 0 を設けることができる。また、画素別にカラーフィルタ 3 3 0 ( カラーフィルタ 3 3 0 a、カラーフィルタ 3 3 0 b、カラーフィルタ 3 3 0 c ) が形成される。例えば、カラーフィルタ 3 3 0 a、カラーフィルタ 3 3 0 b およびカラーフィルタ 3 3 0 c に、R ( 赤 )、G ( 緑 )、B ( 青 )、Y ( 黄 )、C ( シアン )、M ( マゼンタ ) などの色を割り当てることにより、カラー画像を得ることができる。

#### 【 0 2 6 7 】

カラーフィルタ 3 3 0 上には、可視光に対して透光性を有する絶縁層 3 6 0 などを設けることができる。

#### 【 0 2 6 8 】

また、図 1 6 ( B ) に示すように、カラーフィルタ 3 3 0 の代わりに光学変換層 3 5 0 を用いてもよい。このような構成とすることで、様々な波長領域における画像が得られる撮像装置とすることができる。

#### 【 0 2 6 9 】

10

20

30

40

50

例えば、光学変換層 350 に可視光線の波長以下の光を遮るフィルタを用いれば赤外線撮像装置とすることができる。また、光学変換層 350 に近赤外線の波長以下の光を遮るフィルタを用いれば遠赤外線撮像装置とすることができる。また、光学変換層 350 に可視光線の波長以上の光を遮るフィルタを用いれば紫外線撮像装置とすることができる。

【0270】

また、光学変換層 350 にシンチレータを用いれば、X線撮像装置などに用いる、放射線の強弱を可視化した画像を得る撮像装置とすることができる。被写体を透過したX線等の放射線がシンチレータに入射されると、フォトルミネッセンス現象により可視光線や紫外光線などの光（蛍光）に変換される。そして、当該光を光電変換素子 50 で検知することにより画像データを取得する。また、放射線検出器などに当該構成の撮像装置を用いてもよい。

10

【0271】

シンチレータは、X線やガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光や紫外光を発する物質を含む。例えば、 $Gd_2O_2S:Tb$ 、 $Gd_2O_2S:Pr$ 、 $Gd_2O_2S:Eu$ 、 $BaFCl:Eu$ 、 $NaI$ 、 $CsI$ 、 $CaF_2$ 、 $BaF_2$ 、 $CeF_3$ 、 $LiF$ 、 $LiI$ 、 $ZnO$ などを樹脂やセラミクスに分散させたものを用いることができる。

【0272】

なお、セレン系材料を用いた光電変換素子 50 においては、X線等の放射線を電荷に直接変換することができるため、シンチレータを不要とする構成とすることもできる。

20

【0273】

また、図 16 (C) に示すように、カラーフィルタ 330 a、カラーフィルタ 330 b およびカラーフィルタ 330 c 上にマイクロレンズアレイ 340 を設けてもよい。マイクロレンズアレイ 340 が有する個々のレンズを通る光が直下のカラーフィルタを通り、光電変換素子 50 に照射されるようになる。また、図 16 (B) に示す光学変換層 350 上にマイクロレンズアレイ 340 を設けてもよい。

【0274】

以下では、イメージセンサチップを収めたパッケージおよびカメラモジュールの一例について説明する。当該イメージセンサチップには、上記撮像装置の構成を用いることができる。

30

【0275】

図 17 (A1) は、イメージセンサチップを収めたパッケージの上面側の外観斜視図である。当該パッケージは、イメージセンサチップ 450 を固定するパッケージ基板 410、カバーガラス 420 および両者を接着する接着剤 430 等を有する。

【0276】

図 17 (A2) は、当該パッケージの下面側の外観斜視図である。パッケージの下面には、半田ボールをパンプ 440 とした BGA (Ball grid array) の構成を有する。なお、BGAに限らず、LGA (Land grid array) や PGA (Pin Grid Array) などであってもよい。

【0277】

図 17 (A3) は、カバーガラス 420 および接着剤 430 の一部を省いて図示したパッケージの斜視図である。パッケージ基板 410 上には電極パッド 460 が形成され、電極パッド 460 およびパンプ 440 はスルーホールを介して電氣的に接続されている。電極パッド 460 は、イメージセンサチップ 450 とワイヤ 470 によって電氣的に接続されている。

40

【0278】

また、図 17 (B1) は、イメージセンサチップをレンズ一体型のパッケージに収めたカメラモジュールの上面側の外観斜視図である。当該カメラモジュールは、イメージセンサチップ 451 を固定するパッケージ基板 411、レンズカバー 421、およびレンズ 435 等を有する。また、パッケージ基板 411 およびイメージセンサチップ 451 の間には

50

撮像装置の駆動回路および信号変換回路などの機能を有するICチップ490も設けられており、SiP (System in package)としての構成を有している。

【0279】

図17(B2)は、当該カメラモジュールの下面側の外観斜視図である。パッケージ基板411の下面および側面には、実装用のランド441が設けられるQFN (Quad flat no-lead package)の構成を有する。なお、当該構成は一例であり、QFP (Quad flat package)や前述したBGA等であってもよい。

【0280】

図17(B3)は、レンズカバー421およびレンズ435の一部を省いて図示したモジュールの斜視図である。ランド441は電極パッド461と電氣的に接続され、電極パッド461はイメージセンサチップ451またはICチップ490とワイヤ471によって電氣的に接続されている。

10

【0281】

イメージセンサチップを上述したような形態のパッケージに収めることでプリント基板等への実装が容易になり、イメージセンサチップを様々な半導体装置、電子機器に組み込むことができる。

【0282】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0283】

20

(実施の形態4)

本発明の一態様に係る撮像装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図18に示す。

【0284】

図18(A)は監視カメラであり、筐体951、レンズ952、支持部953等を有する。当該監視カメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。なお、監視カメラとは慣用的な名称であり、用途を限定するものではない。例えば監視カメラとしての機能を有する機器はカメラ、またはビデオカメラとも呼ばれる。

30

【0285】

図18(B)はビデオカメラであり、第1筐体971、第2筐体972、表示部973、操作キー974、レンズ975、接続部976等を有する。操作キー974およびレンズ975は第1筐体971に設けられており、表示部973は第2筐体972に設けられている。当該ビデオカメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

40

【0286】

図18(C)はデジタルカメラであり、筐体961、シャッターボタン962、マイク963、発光部967、レンズ965等を有する。当該デジタルカメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【0287】

図18(D)は腕時計型の情報端末であり、筐体931、表示部932、リストバンド933、操作用のボタン935、電頭936、カメラ939等を有する。表示部932はタッチパネルとなってもよい。当該情報端末における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【0288】

50

図 18 (E) 携帯電話機の一例であり、筐体 981、表示部 982、操作ボタン 983、外部接続ポート 984、スピーカ 985、マイク 986、カメラ 987等を有する。当該携帯電話機は、表示部 982 にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指やスタイラスなどで表示部 982 に触れることを行うことができる。当該携帯電話機における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【0289】

図 18 (F) は携帯データ端末であり、筐体 911、表示部 912、カメラ 919等を有する。表示部 912 が有するタッチパネル機能により情報の入出力を行うことができる。当該携帯データ端末における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

10

【0290】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【符号の説明】

【0291】

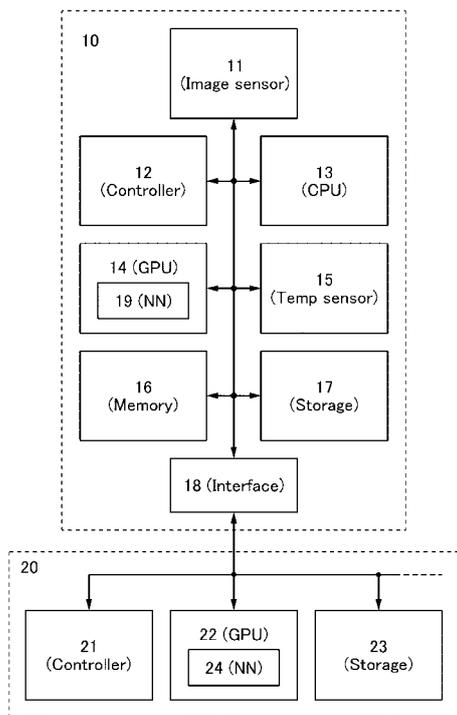
C 1 1	容量素子	
C 2 1	容量素子	
C 2 2	容量素子	
T r 1 1	トランジスタ	
T r 1 2	トランジスタ	20
T r 2 1	トランジスタ	
T r 2 2	トランジスタ	
T r 2 3	トランジスタ	
T r 2 4	トランジスタ	
T r 2 5	トランジスタ	
T r 2 6	トランジスタ	
T r 2 7	トランジスタ	
T r 2 8	トランジスタ	
1 0	撮像装置	
1 1	撮像部	30
1 2	制御部	
1 3	演算部	
1 4	画像処理部	
1 5	温度センサ	
1 6	記憶部	
1 7	記憶部	
1 8	インターフェイス	
1 9	ニューラルネットワーク	
2 0	外部機器	
2 1	制御部	40
2 2	画像処理部	
2 3	記憶部	
2 4	ニューラルネットワーク	
3 0	画像	
3 1	輝点	
3 1 b	領域	
3 2	輝点	
3 2 b	領域	
3 5	画像	
3 6	画像	50

3 7	画像	
3 8	画像	
3 9	画像	
4 0 a	入力情報	
4 0 b	入力情報	
4 1	入力層	
4 2	入力層	
4 3	中間層	
4 4	出力層	
5 0	光電変換素子	10
5 1	トランジスタ	
5 2	トランジスタ	
5 3	トランジスタ	
5 4	トランジスタ	
5 6	電源	
6 1	層	
6 2	層	
6 3	層	
6 5	電極	
6 6	光電変換部	20
6 6 a	層	
6 6 b	層	
6 7	電極	
7 1	配線	
7 2	配線	
7 3	配線	
7 5	配線	
7 6	配線	
7 7	配線	
7 8	配線	30
7 9	配線	
8 0	画素	
8 1	画素アレイ	
8 2	回路	
8 3	回路	
8 4	回路	
8 5	回路	
9 1	バックゲート	
9 2	隔壁	
9 3	絶縁層	40
1 0 0	半導体装置	
1 1 0	記憶回路	
1 2 0	参照用記憶回路	
1 3 0	回路	
1 4 0	回路	
1 5 0	電流源回路	
2 0 0	シリコン基板	
2 0 1	シリコン基板	
2 0 2	シリコン基板	
2 1 0	半導体層	50

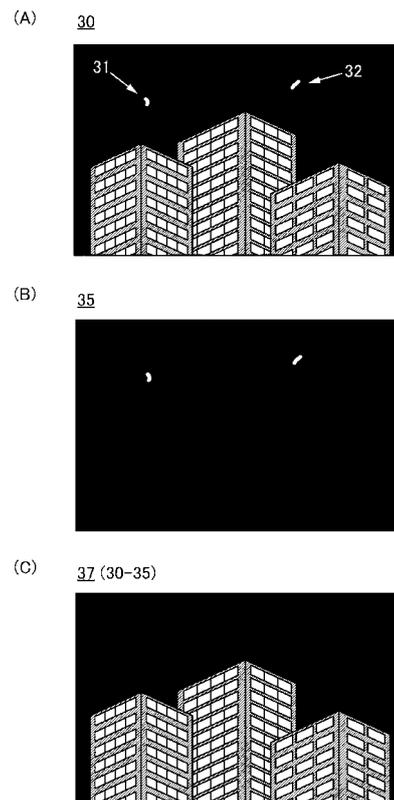
2 2 0	絶縁層	
3 0 0	絶縁層	
3 1 0	遮光層	
3 2 0	有機樹脂層	
3 3 0	カラーフィルタ	
3 3 0 a	カラーフィルタ	
3 3 0 b	カラーフィルタ	
3 3 0 c	カラーフィルタ	
3 4 0	マイクロレンズアレイ	
3 5 0	光学変換層	10
3 6 0	絶縁層	
4 1 0	パッケージ基板	
4 1 1	パッケージ基板	
4 2 0	カバーガラス	
4 2 1	レンズカバー	
4 3 0	接着剤	
4 3 5	レンズ	
4 4 0	バンブ	
4 4 1	ランド	
4 5 0	イメージセンサチップ	20
4 5 1	イメージセンサチップ	
4 6 0	電極パッド	
4 6 1	電極パッド	
4 7 0	ワイヤ	
4 7 1	ワイヤ	
4 9 0	ICチップ	
9 1 1	筐体	
9 1 2	表示部	
9 1 9	カメラ	
9 3 1	筐体	30
9 3 2	表示部	
9 3 3	リストバンド	
9 3 5	ボタン	
9 3 6	竜頭	
9 3 9	カメラ	
9 5 1	筐体	
9 5 2	レンズ	
9 5 3	支持部	
9 6 1	筐体	
9 6 2	シャッターボタン	40
9 6 3	マイク	
9 6 5	レンズ	
9 6 7	発光部	
9 7 1	筐体	
9 7 2	筐体	
9 7 3	表示部	
9 7 4	操作キー	
9 7 5	レンズ	
9 7 6	接続部	
9 8 1	筐体	50

- 9 8 2 表示部
- 9 8 3 操作ボタン
- 9 8 4 外部接続ポート
- 9 8 5 スピーカ
- 9 8 6 マイク
- 9 8 7 カメラ

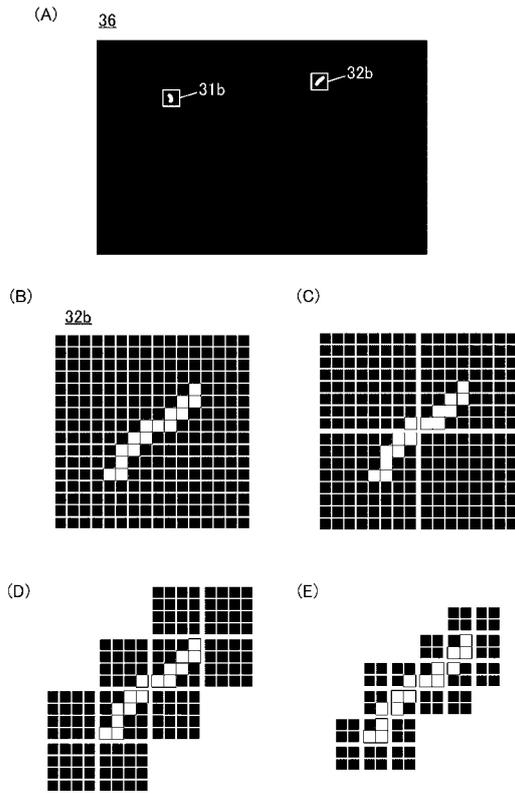
【 図 1 】



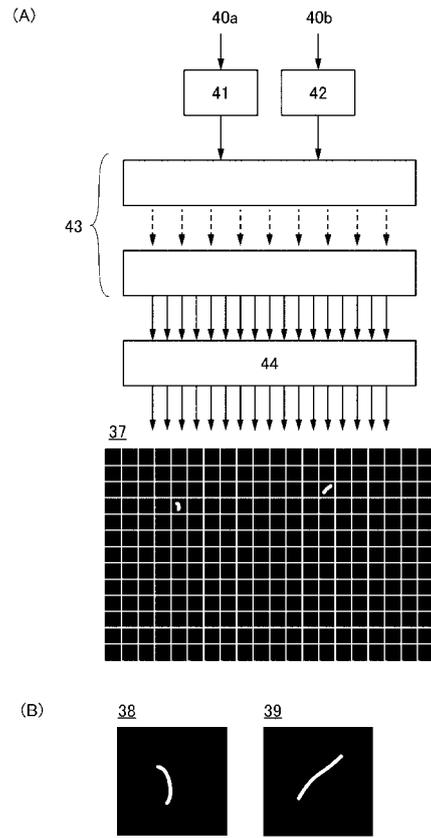
【 図 2 】



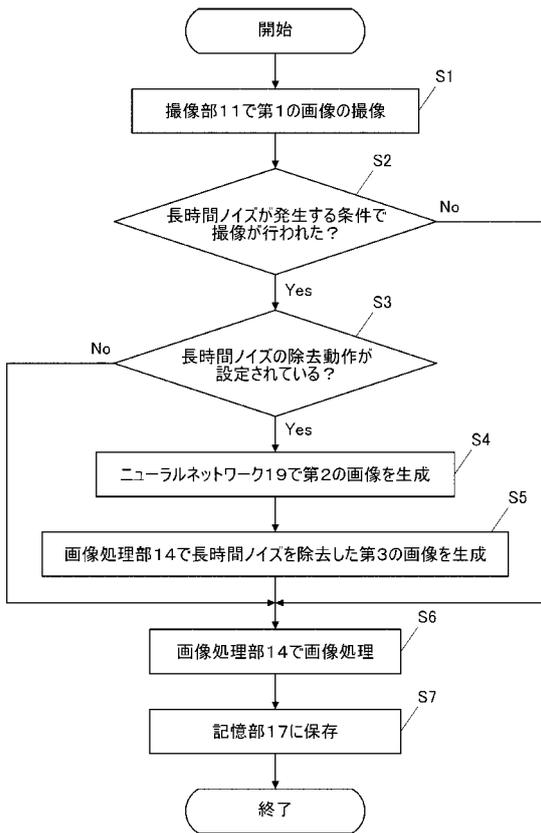
【 図 3 】



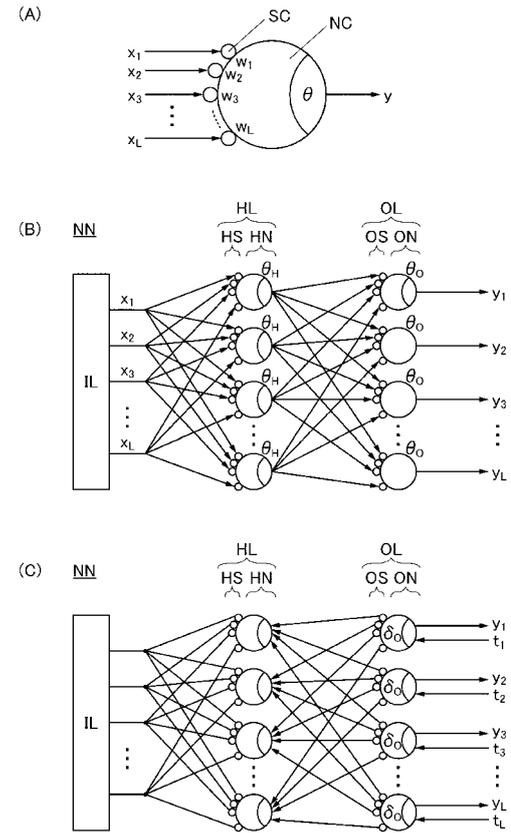
【 図 4 】



【 図 5 】

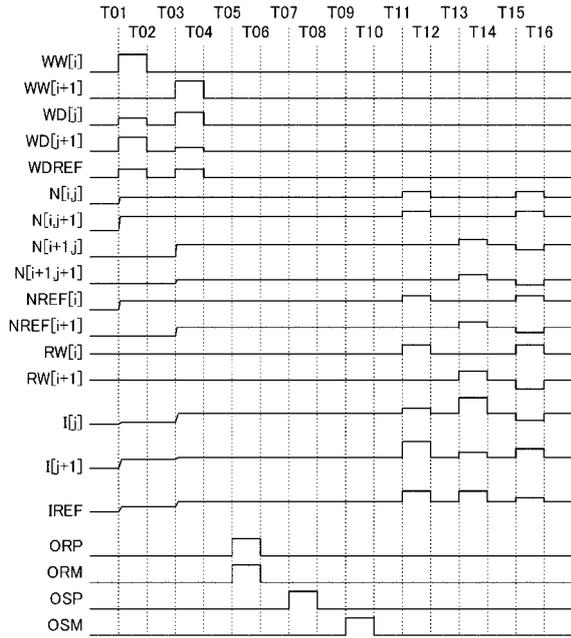


【 図 6 】

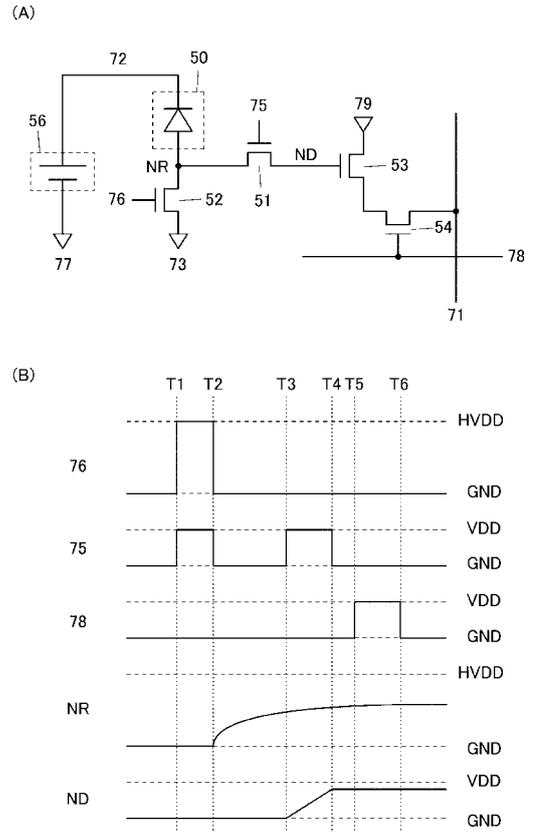




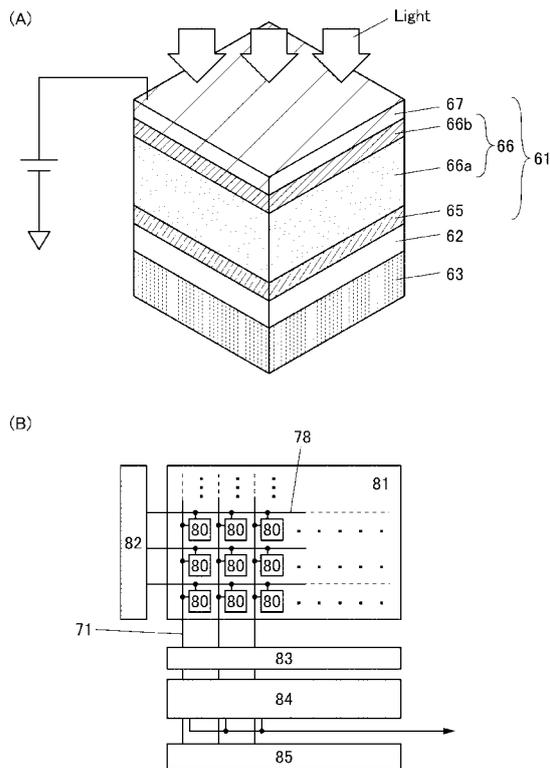
【 図 1 1 】



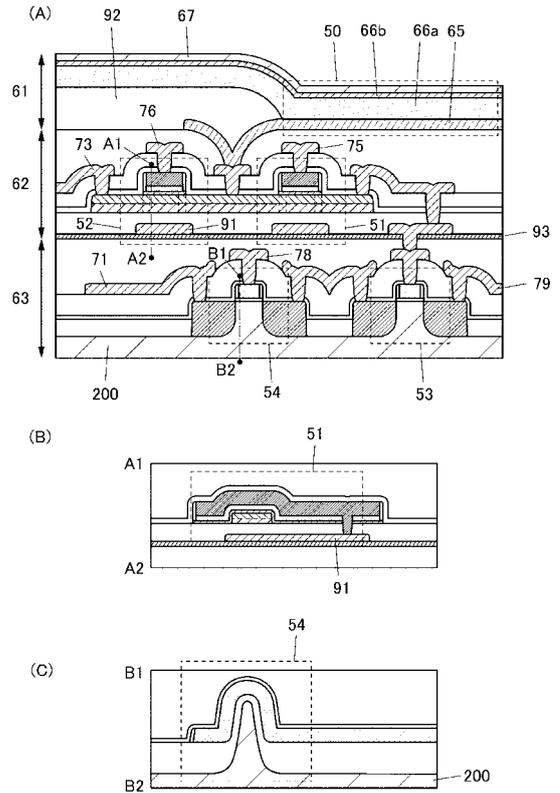
【 図 1 2 】



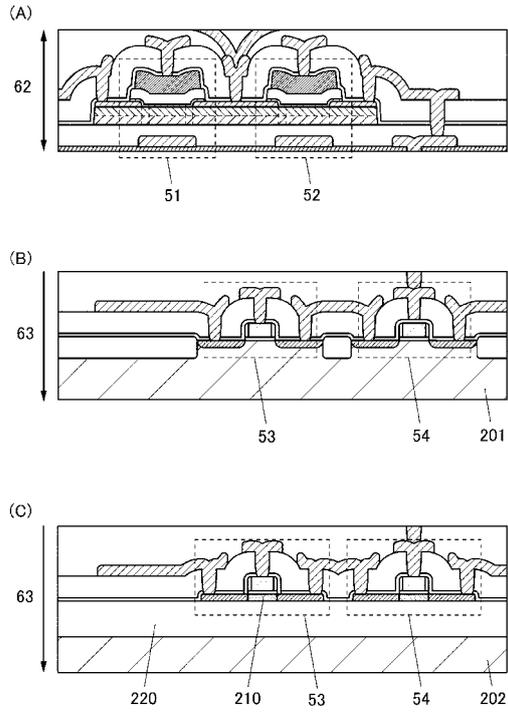
【 図 1 3 】



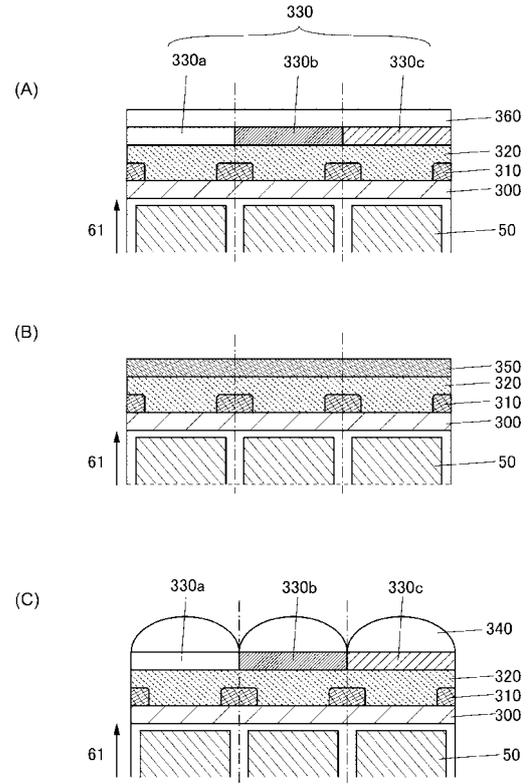
【 図 1 4 】



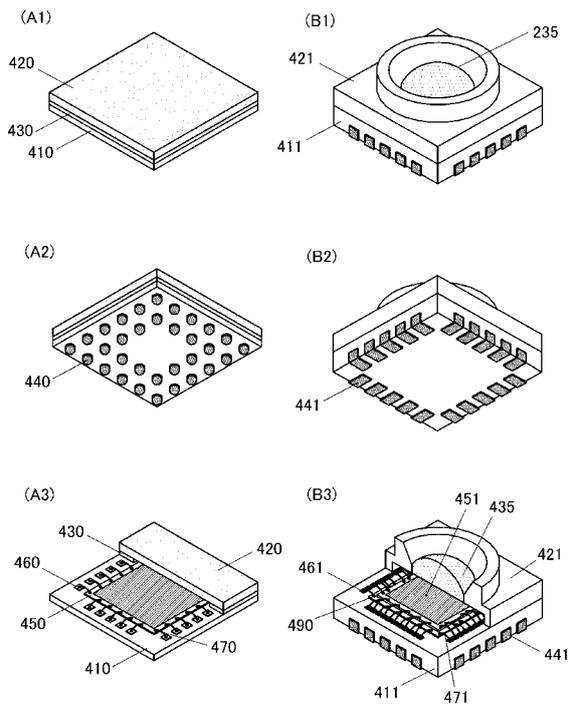
【 図 1 5 】



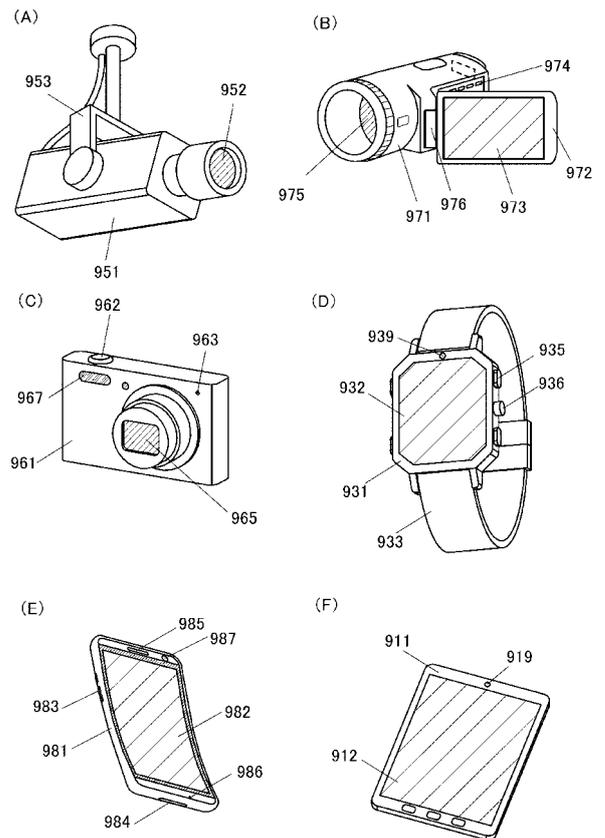
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 27/10 (2006.01)</i>	H 0 1 L 27/088	E
<i>H 0 1 L 21/8242 (2006.01)</i>	H 0 1 L 27/088	3 3 1 E
<i>H 0 1 L 27/108 (2006.01)</i>	H 0 1 L 27/10	4 8 1
<i>H 0 4 N 5/3745 (2011.01)</i>	H 0 1 L 27/10	4 6 1
	H 0 1 L 27/108	3 2 1
	H 0 4 N 5/3745	

Fターム(参考) 5F048 AB01 AB10 AC01 BA01 BA16 BB02 BB03 BB14 BD06 BD10  
 CB01 CB03 CB04 CB10  
 5F083 AD69 HA10 JA60 PR22 ZA12 ZA13  
 5F110 AA06 BB05 BB10 BB11 CC10 EE30 GG01 GG02 GG07 GG13  
 GG14 GG15 GG17 GG19 GG35 GG43 HM00 NN74 NN78