



(12) 发明专利

(10) 授权公告号 CN 113496954 B

(45) 授权公告日 2023. 08. 29

(21) 申请号 202010277791.8

(22) 申请日 2020.04.08

(65) 同一申请的已公布的文献号
申请公布号 CN 113496954 A

(43) 申请公布日 2021.10.12

(73) 专利权人 长鑫存储技术有限公司
地址 230601 安徽省合肥市经济技术开发
区翠微路6号海恒大厦630室

(72) 发明人 祝啸 陈易翔 杨丽辉 林宏益
宓筠婕 巩金峰

(74) 专利代理机构 上海晨皓知识产权代理事务
所(普通合伙) 31260
专利代理师 成丽杰

(51) Int. Cl.
H10B 12/00 (2023.01)

(56) 对比文件

- CN 101064286 A, 2007.10.31
- CN 103000584 A, 2013.03.27
- US 2006068544 A1, 2006.03.30
- US 6100138 A, 2000.08.08
- CN 106409751 A, 2017.02.15
- KR 20000067767 A, 2000.11.25
- US 5573968 A, 1996.11.12

审查员 黄宇

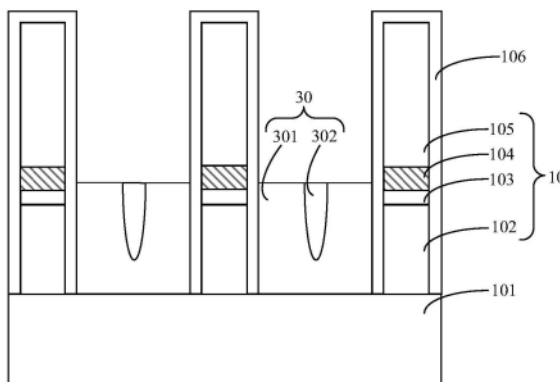
权利要求书2页 说明书7页 附图5页

(54) 发明名称

存储器的形成方法及存储器

(57) 摘要

本发明实施方式提供一种存储器的形成方法及存储器,存储器的形成方法,包括:提供基底,基底上具有多个分立的位线结构,且相邻位线结构与基底围成的区域具有中心轴线;在基底上形成第一导电膜,第一导电膜填充相邻位线结构之间的区域;采用第一刻蚀工艺,刻蚀第一导电膜,形成第一导电层,且在沿位线结构侧壁指向中心轴线的方向上,第一导电层的厚度在垂直于基底表面的方向上逐渐减小;在第一导电层顶部表面形成第二导电膜;采用第二刻蚀工艺,刻蚀第二导电膜及第一导电层,剩余的第二导电膜及第一导电层构成电容接触窗;在电容接触孔的深宽比较大的情况下,形成了顶部形貌较为平坦的电容接触窗。



1. 一种存储器的形成方法,其特征于,包括:

提供基底,所述基底上具有多个分立的位线结构,且相邻所述位线结构与所述基底围成的区域具有中心轴线;

在所述基底上形成第一导电膜,所述第一导电膜填充相邻所述位线结构之间的区域;

采用第一刻蚀工艺,刻蚀所述第一导电膜,形成第一导电层,且在沿所述位线结构侧壁指向所述中心轴线的方向上,所述第一导电层的厚度在垂直于所述基底表面的方向上逐渐减小;

在所述第一导电层顶部表面形成第二导电膜;

采用第二刻蚀工艺,刻蚀所述第二导电膜及所述第一导电层,剩余的所述第二导电膜及所述第一导电层构成电容接触窗,且所述第二刻蚀工艺对所述第二导电膜的刻蚀速率小于对所述第一导电层的刻蚀速率。

2. 根据权利要求1所述的存储器的形成方法,其特征在于,采用第二刻蚀工艺,刻蚀所述第二导电膜及所述第一导电层,包括:

进行第一步刻蚀工艺,刻蚀所述第二导电膜直至暴露出所述第一导电层;

进行第二步刻蚀工艺,刻蚀所述第二导电膜以及暴露出的所述第一导电层,且所述第二步刻蚀工艺对所述第二导电膜的刻蚀速率小于对所述第一导电层的刻蚀速率。

3. 根据权利要求1或2所述的存储器的形成方法,其特征在于,所述电容接触窗的高度位于所述位线结构中的金属层的顶部表面高度与底部表面高度之间。

4. 根据权利要求1所述的存储器的形成方法,其特征在于,所述在所述基底上形成第一导电膜,所述第一导电膜填充相邻所述位线结构之间的区域,包括:在所述基底上形成填充相邻所述位线结构之间的区域且覆盖所述位线结构顶部表面的第一导电膜,且位于所述区域内的所述第一导电膜中具有缝隙。

5. 根据权利要求4所述的存储器的形成方法,其特征在于,在进行所述第一刻蚀工艺之后,所述第一导电层内具有孔洞;且在形成所述第二导电膜的工艺步骤中,所述第二导电膜填充所述孔洞。

6. 根据权利要求4所述的存储器的形成方法,其特征在于,所述第一导电膜顶部表面的高度高于所述位线结构顶部表面的高度至少20nm。

7. 根据权利要求1所述的存储器的形成方法,其特征在于,所述在所述第一导电层顶部表面形成第二导电膜,包括:在所述第一导电层顶部表面形成覆盖所述位线结构顶部表面的第二导电膜。

8. 根据权利要求7所述的存储器的形成方法,所述在所述第一导电层顶部表面形成覆盖所述位线结构顶部表面的所述第二导电膜,包括:

在所述第一导电层顶部表面沉积初始第二导电膜,所述初始第二导电膜顶部表面的高度高于所述位线结构的顶部表面的高度;

对所述初始第二导电膜进行平坦化处理,形成所述第二导电膜。

9. 根据权利要求8所述的存储器的形成方法,其特征在于,所述初始第二导电膜顶部表面的高度高于所述位线结构顶部表面的高度至少20nm。

10. 根据权利要求1所述的存储器的形成方法,其特征在于,所述第一刻蚀工艺采用的刻蚀气体包括氯气,所述刻蚀气体的流量范围为20sccm~60sccm。

11. 根据权利要求1所述的存储器的形成方法,其特征在于,所述第二刻蚀工艺的工艺参数与所述第一刻蚀工艺的工艺参数相同。

12. 根据权利要求1所述的存储器的形成方法,其特征在于,所述第一导电膜的材料为掺杂有第一离子的第一半导体材料,所述第二导电膜的材料为掺杂有第二离子或非掺杂的第二半导体材料,所述第一离子的掺杂浓度大于所述第二离子的掺杂浓度。

13. 根据权利要求12所述的存储器的形成方法,其特征在于,所述第一离子与所述第二离子的掺杂浓度差值的范围为 $30\text{Atoms}/\text{cm}^3\sim 70\text{Atoms}/\text{cm}^3$ 。

14. 根据权利要求13所述的存储器的形成方法,其特征在于,所述第一离子的掺杂浓度的范围为 $50\text{Atoms}/\text{cm}^3\sim 500\text{Atoms}/\text{cm}^3$;所述第二离子的掺杂浓度的范围为 $0\sim 450\text{Atoms}/\text{cm}^3$ 。

15. 一种存储器,其特征在于,包括:

基底,所述基底上具有多个分立的位线结构,且相邻所述位线结构与所述基底围成的区域具有中心轴线;

电容接触窗,位于所述位线结构之间的所述基底上;

其中,所述电容接触窗由部分第二导电膜以及部分第一导电层构成,所述部分第一导电层顶部表面存在孔洞,所述部分第二导电膜填充所述部分第一导电层顶部表面的孔洞;

其中,所述第一导电层的材料为掺杂有第一离子的第一半导体材料,所述第二导电膜的材料为掺杂有第二离子或非掺杂的第二半导体材料,所述第一离子的掺杂浓度大于所述第二离子的掺杂浓度。

16. 根据权利要求15所述的存储器,其特征在于,所述第一离子与所述第二离子的掺杂浓度差值的范围为 $30\text{Atoms}/\text{cm}^3\sim 70\text{Atoms}/\text{cm}^3$ 。

存储器的形成方法及存储器

技术领域

[0001] 本发明涉及半导体领域,特别涉及一种存储器的形成方法及存储器。

背景技术

[0002] 随着动态随机存取存储器(Dynamic Random Access Memory, DRAM)的特征尺寸和线宽不断减小,相邻位线结构之间间距也变得越来越小。而相邻位线结构之间间距变小,会导致相邻位线结构之间的电容接触孔的深宽比变大,进而影响后续形成的电容接触窗的形貌特征。

[0003] 在电容接触孔的深宽比较大的情况下,如何形成顶部形貌较好的电容接触窗,以减小电容接触窗的电阻,是当前亟待解决的问题。

发明内容

[0004] 本发明实施方式提供一种存储器的形成方法及存储器,在电容接触孔的深宽比较大的情况下,形成了顶部形貌较为平坦的电容接触窗。

[0005] 为解决上述技术问题,本发明的实施方式提供了一种存储器的形成方法,包括:提供基底,基底上具有多个分立的位线结构,且相邻位线结构与基底围成的区域具有中心轴线;在基底上形成第一导电膜,第一导电膜填充相邻位线结构之间的区域;采用第一刻蚀工艺,刻蚀第一导电膜,形成第一导电层,且在沿位线结构侧壁指向中心轴线的方向上,第一导电层的厚度在垂直于基底表面的方向上逐渐减小;在第一导电层顶部表面形成第二导电膜;采用第二刻蚀工艺,刻蚀第二导电膜及第一导电层,剩余的第二导电膜及第一导电层构成电容接触窗,且第二刻蚀工艺对第二导电膜的刻蚀速率小于对第一导电层的刻蚀速率。

[0006] 由于电容接触孔的深宽比大,直接填充的第一导电膜存在缝隙,在形成第一导电膜过程中相邻位线结构之间的顶部会提前封口,导致刻蚀形成的电容接触窗顶部形貌存在缺陷,从而致使电容接触窗的电阻较大。通过刻蚀第一导电膜,由于缝隙的存在,刻蚀后形成第一导电层的顶部表面边缘部分较高,中间部分较低,然后在第一导电层顶部形成第二导电膜,第二导电膜填充第一导电层的顶部缺陷。由于底部的第一导电层,相当于降低了深宽比,此时形成的第二导电膜中不会产生缝隙,且第二刻蚀工艺对第二导电膜的刻蚀速率低于第一导电层,使得刻蚀形成的电容接触窗顶部表面较为平坦,从而减小了电容接触窗的电阻。

[0007] 另外,采用第二刻蚀工艺,刻蚀第二导电膜及第一导电层,包括:进行第一步刻蚀工艺,刻蚀第二导电膜直至暴露出第一导电层;进行第二步刻蚀工艺,刻蚀第二导电膜以及暴露出的第一导电层,且第二步刻蚀工艺对第二导电膜的刻蚀速率小于对第一导电层的刻蚀速率。

[0008] 另外,电容接触窗的高度位于位线结构中的金属层的顶部表面高度与底部表面高度之间。

[0009] 另外,在基底上形成第一导电膜,第一导电膜填充相邻位线结构之间的区域,包

括:在基底上形成填充相邻位线结构之间的区域且覆盖位线结构顶部表面的第一导电膜,且位于区域内的第一导电膜中具有缝隙。

[0010] 另外,在进行第一刻蚀工艺之后,第一导电层内具有孔洞;且在形成第二导电膜的工艺步骤中,第二导电膜填充满孔洞。

[0011] 另外,第一导电膜顶部表面的高度高于位线结构顶部表面的高度至少20nm。

[0012] 另外,在第一导电层顶部表面形成第二导电膜,包括:在第一导电层顶部表面形成覆盖位线结构顶部表面的第二导电膜。

[0013] 另外,在第一导电层顶部表面形成覆盖位线结构顶部表面的第二导电膜,包括:在第一导电层顶部表面沉积初始第二导电膜,初始第二导电膜顶部表面的高度高于位线结构的顶部表面的高度;对初始第二导电膜进行平坦化处理,形成第二导电膜。

[0014] 另外,第一导电膜顶部表面的高度高于位线结构顶部表面的高度至少20nm。

[0015] 另外,第一刻蚀工艺采用的刻蚀气体包括氯气,刻蚀气体的流量范围为20sccm~60sccm。

[0016] 另外,第二刻蚀工艺的工艺参数与第一刻蚀工艺的工艺参数相同。

[0017] 另外,第一导电膜的材料为掺杂有第一离子的第一半导体材料,第二导电膜的材料为掺杂有第二离子或非掺杂的第二半导体材料,第一离子的掺杂浓度大于第二离子的掺杂浓度。

[0018] 另外,第一离子与第二离子的掺杂浓度差值的范围为 $30\text{Atoms}/\text{cm}^3\sim 70\text{Atoms}/\text{cm}^3$ 。第一离子的掺杂浓度的范围为 $50\text{Atoms}/\text{cm}^3\sim 500\text{Atoms}/\text{cm}^3$;第二离子的掺杂浓度的范围为 $0\sim 450\text{Atoms}/\text{cm}^3$ 。

[0019] 本发明实施方式还提供了一种存储器,包括:基底,基底上具有多个分立的位线结构,且相邻位线结构与基底围成的区域具有中心轴线;电容接触窗,位于位线结构之间的基底上;其中,电容接触窗由部分第二导电膜以及部分第一导电层构成,部分第一导电层顶部表面存在孔洞,部分第二导电膜填充部分第一导电层顶部表面的孔洞。

[0020] 另外,第一导电膜的材料为掺杂有第一离子的第一半导体材料,第二导电膜的材料为掺杂有第二离子或非掺杂的第二半导体材料,第一离子的掺杂浓度大于第二离子的掺杂浓度。第一离子与第二离子的掺杂浓度差值的范围为 $30\text{Atoms}/\text{cm}^3\sim 70\text{Atoms}/\text{cm}^3$ 。

[0021] 相比于现有技术而言,在电容接触孔深宽比变大的情况下,通过顶部表面较为平坦的电容接触窗,增大了接触面积,从而减小了电容接触窗的电阻。

附图说明

[0022] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明,除非有特别说明,附图中的图不构成比例限制。

[0023] 图1至图7为本发明一实施例提供的存储器的形成方法各步骤对应的剖面结构示意图。

具体实施方式

[0024] 目前,在电容接触孔的深宽比较大的情况下,如何形成顶部形貌较好的电容接触窗,以减小电容接触窗的电阻,是当前亟待解决的问题。

[0025] 为解决上述问题,本发明第一实施方式提供了一种存储器的形成方法,包括:提供基底,基底上具有多个分立的位线结构,且相邻位线结构与基底围成的区域具有中心轴线;在基底上形成第一导电膜,第一导电膜填充相邻位线结构之间的区域;采用第一刻蚀工艺,刻蚀第一导电膜,形成第一导电层,且在沿位线结构侧壁指向中心轴线的方向上,第一导电层的厚度在垂直于基底表面的方向上逐渐减小;在第一导电层顶部表面形成第二导电膜;采用第二刻蚀工艺,刻蚀第二导电膜及第一导电层,剩余的第二导电膜及第一导电层构成电容接触窗,且第二刻蚀工艺对第二导电膜的刻蚀速率小于对第一导电层的刻蚀速率。

[0026] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合附图对本发明的各实施方式进行详细的阐述。然而,本领域的普通技术人员可以理解,在本发明各实施方式中,为了使读者更好地理解本申请而提出了许多技术细节。但是,即使没有这些技术细节和基于以下各实施方式的种种变化和修改,也可以实现本申请所要求保护的技术方案。以下各个实施例的划分是为了描述方便,不应对本发明的具体实现方式构成任何限定,各个实施例在不矛盾的前提下可以相互结合,相互引用。

[0027] 图1至图7为本发明实施例提供的存储器的形成方法各步骤对应的剖面结构示意图,下面对本实施方式的存储器的形成方法进行具体说明。

[0028] 参考图1,提供基底10,基底10上具有多个分立的位线结构11,且相邻位线结构11与基底10围成的区域具有中心轴线107。

[0029] 基底10内包括埋入式字线、浅沟槽隔离结构、有源区等结构。位线结构11包括依次堆叠设置的位线接触层102、底层介质层103、金属层104以及顶层介质层105。位线接触层102的材料包括钨或多晶硅,底层介质层103和顶层介质层105的材料包括氮化硅、二氧化硅或氮氧化硅,金属层104可以为一种导电材料或者由多种导电材料构成,例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等。

[0030] 相邻位线结构11与基底10围成的区域作为电容接触孔,用于后续形成电容接触窗,电容接触孔中具有中心轴线107,中心轴线107与相邻的两个位线结构11的距离相等。

[0031] 本实施例中,位线结构11的顶部表面和侧壁还覆盖有保护层106,保护层106用于保护并隔离位线结构11。

[0032] 本实施例中,保护层106采用原子层沉积工艺形成,原子层沉积工艺具有沉积速率慢,沉积形成的膜层致密性高和阶梯覆盖率好等特点,如此,能够使得保护层106能够在厚度较薄的条件下对相邻位线结构11进行有效地隔离保护,避免保护层106占据相邻位线结构11之间较小的空间,有利于实现后续第一导电膜和第二导电膜的填充。其中,保护层106的材料包括氮化硅或氮氧化硅。

[0033] 参考图2,在基底10上形成第一导电膜201,第一导电膜201填充相邻位线结构11之间的区域,且位于区域内的第一导电膜201中具有缝隙202。

[0034] 在本实施例中,在基底10上形成填充相邻位线结构11之间的区域且覆盖位线结构11顶部表面的第一导电膜201,以便使第一导电膜201填满相邻位线结构之间的区域。具体地,第一导电膜201顶部表面的高度高于位线结构11顶部表面的高度至少20nm,以确保位线结构11之间的区域被第一导电膜201填充。

[0035] 其中,形成第一导电膜201的工艺包括化学气相沉积工艺或原子层沉积工艺,由于需要形成的第一导电膜201的顶部表面需要高于位线结构11的顶部表面,厚度较大,因此,

采用沉积速率较快的化学气相沉积工艺形成第一导电膜201有利于缩短制程工艺的周期。

[0036] 具体地,第一导电膜201的材料为掺杂有第一离子的第一半导体材料;第一半导体材料包括多晶硅或者非晶硅;第一离子包括磷离子。需要说明的是,本实施例中对第一半导体材料、和第一离子的材料介绍是为了让本领域技术人员理解本方案的实现细节,并不构成对本方案的限定。

[0037] 其中,第一离子的掺杂浓度的范围为 $50\text{Atoms}/\text{cm}^3\sim 500\text{Atoms}/\text{cm}^3$ 。需要说明的是,本实施例中对第一离子的掺杂浓度举例介绍是为了让本领域技术人员理解本方案的实现细节,并不构成对本方案的限定。

[0038] 需要说明的是,在其他实施例中,第一导电膜可以仅在位线结构之间的区域形成,并不需要覆盖位线结构的顶部表面。

[0039] 由于相邻位线结构11之间间距小,相邻位线结构11之间的电容接触孔的深宽比大,在形成第一导电膜201过程中相邻位线结构11之间的顶部会提前封口,导致中心轴线107处出现缝隙202。

[0040] 由于第一导电膜201是在基底10上均匀沉积的,因此缝隙202会出现在与相邻位线结构11距离相等的位置,即缝隙202位于中心轴线107上。

[0041] 参考图3,采用第一刻蚀工艺,刻蚀第一导电膜201,形成第一导电层211,且在沿位线结构11侧壁指向中心轴线107的方向上,第一导电层211的厚度在垂直于基底10表面的方向上逐渐减小。

[0042] 具体地,由于第一导电膜201中具有缝隙202(参考图2),导致刻蚀才形成的第一导电层211的顶部表面具有孔洞212。由于电容接触孔的深宽比大,此时同一刻蚀材料对第一导电膜201的中心轴线107附近的刻蚀速率大于第一导电膜,抛开孔洞212而言,此时第一导电层211的顶部表面的中间高度低于边缘高度,且由于孔洞212的存在,即形成如图3所示的顶部形貌。

[0043] 本实施例中,第一刻蚀工艺采用的刻蚀气体为氯气,刻蚀气体的流量范围为 $20\text{sccm}\sim 60\text{sccm}$,例如 30sccm 、 40sccm 或者 50sccm 。

[0044] 参考图4及图5,在第一导电层211顶部表面形成第二导电膜311。

[0045] 具体地,第二导电膜311的材料为掺杂有第二离子或非掺杂的第二半导体材料;第二半导体材料包括多晶硅或者非晶硅;第二离子包括磷离子。需要说明的是,本实施例中对第二半导体材料和第二离子的材料介绍是为了让本领域技术人员理解本方案的实现细节,并不构成对本方案的限定。

[0046] 其中,第二离子的掺杂浓度的范围为 $0\sim 450\text{Atoms}/\text{cm}^3$ 。需要说明的是,本实施例中对第二离子的掺杂浓度举例介绍是为了让本领域技术人员理解本方案的实现细节,并不构成对本方案的限定。

[0047] 参考图4,在本实施例中,在第一导电层211顶部表面形成覆盖位线结构11的第二导电膜311,第二导电膜311填充满孔洞212。

[0048] 具体地,在第一导电层211顶部表面沉积初始第二导电膜301,初始第二导电膜301顶部表面的高度高于位线结构11顶部表面的高度至少 20nm ,以确保位线结构11之间的区域被第一导电层211顶部的孔洞212被填充。由于此时电容接触孔底部存在第一导电层211,相当于降低了电容接触孔的深宽比,此时形成的初始第二导电膜301中不会出现缝隙。

[0049] 其中,形成初始第二导电膜301的工艺包括化学气相沉积工艺或原子层沉积工艺,由于需要形成的初始第二导电膜301的顶部表面需要高于位线结构11的顶部表面,厚度较大,因此,采用沉积速率较快的化学气相沉积工艺形成初始第二导电膜301有利于缩短制程工艺的周期。

[0050] 需要说明的是,在其他实施例中,初始第二导电膜可以仅在位线结构之间的区域形成,并不需要覆盖位线结构的顶部表面。

[0051] 参考图5,对初始第二导电膜301(参考图4)进行平坦化处理,形成所述第二导电膜311。

[0052] 具体地,采用化学机械研磨的方式将初始第二导电膜301的顶部进行打磨,形成顶部表面较为平坦的第二导电膜311,化学机械研磨相对于刻蚀工艺具有较高的去除速率,有利于缩短工艺周期。

[0053] 参考图6及图7,采用第二刻蚀工艺,刻蚀第二导电膜311及第一导电层211,剩余的第二导电膜302及第一导电层301构成电容接触窗30,且第二刻蚀工艺对第二导电膜311的刻蚀速率小于对第一导电层211的刻蚀速率。

[0054] 在半导体领域中,同一种刻蚀材料对被刻蚀材料的刻蚀,被刻蚀材料的掺杂浓度越大,其被刻蚀的速率越快。本发明实施方式通过控制第一导电膜201材料的掺杂浓度大于第二导电膜311材料的掺杂浓度,从而实现了在第二刻蚀工艺中对第二导电膜311的刻蚀速率小于对第一导电层211的刻蚀速率。

[0055] 本实施例中,第二刻蚀工艺对第一导电层211和第二导电膜311的刻蚀速率是通过第一导电层211和第二导电膜311的材料来控制的。

[0056] 具体地,第一离子的掺杂浓度大于第二离子的掺杂浓度;其中,第一离子与第二离子的掺杂浓度差的范围为 $30\text{Atoms}/\text{cm}^3 \sim 70\text{Atoms}/\text{cm}^3$,例如 $40\text{Atoms}/\text{cm}^3$ 、 $50\text{Atoms}/\text{cm}^3$ 或者 $60\text{Atoms}/\text{cm}^3$ 。

[0057] 参考图6,进行第一步刻蚀工艺,刻蚀第二导电膜311直至暴露出第一导电层211。

[0058] 第一步刻蚀工艺是刻蚀第二导电膜311这一种材料,由于底部的第一导电层211降低了电容接触孔的深宽比,此时同一刻蚀材料对位线结构11边缘的第二导电膜311的刻蚀速率与中心轴线107处的第二导电膜311的刻蚀速率差异不大,且刻蚀深度较浅,此时仍然能够刻蚀出较为平坦的表面。

[0059] 参考图7,进行第二步刻蚀工艺,刻蚀第二导电膜311以及暴露出的第一导电层211且第二步刻蚀工艺对第二导电膜311的刻蚀速率小于对第一导电层211的刻蚀速率。

[0060] 第二步刻蚀工艺是刻蚀第二导电膜311和第一导电层211两种材料。由于电容接触孔的深宽比大,同一刻蚀材料对同一被刻蚀材料中心轴线107处的刻蚀速率大于位线结构11侧壁处的刻蚀速率;此时通过第二步刻蚀工艺对第二导电膜311和第一导电层211的刻蚀速率差异进行补偿,使得刻蚀后形成的电容接触窗30具有较为平坦的顶部形貌。在本实施例中,电容接触窗30的高度位于位线结构11中的金属层104的顶部表面高度与底部表面高度之间。

[0061] 需要说明的是,在其他实施例中,电容接触窗的高度可以于金属层的高度齐平。

[0062] 在本实施例中,第二刻蚀工艺的工艺参数与第一刻蚀工艺的工艺参数相同。需要说明的是,本领域技术人员可以理解本实施例对第二刻蚀工艺的参数进行描述是为了清楚

的介绍本发明实施方式,并不构成对第二刻蚀工艺的工艺参数的限定,在具体实施方式中,只要采用了类似的刻蚀步骤,都应属于本发明的保护范围之内。

[0063] 相对于现有技术而言,通过刻蚀第一导电膜,由于缝隙的存在,刻蚀后形成第一导电层的顶部表面边缘部分较高,中间部分较低,然后在第一导电层顶部形成第二导电膜,第二导电膜填充第一导电层的顶部缺陷。由于底部的第一导电层,相当于降低了深宽比,此时形成的第二导电膜中不会产生缝隙,且第二刻蚀工艺对第二导电膜的刻蚀速率低于第一导电层,使得刻蚀形成的电容接触窗顶部表面较为平坦,从而减小了电容接触窗的电阻。

[0064] 上面各种步骤划分,只是为了描述清楚,实现时可以合并为一个步骤或者对某些步骤进行拆分,分解为多个步骤,只要包括相同的逻辑关系,都在本专利的保护范围内;对流程中添加无关紧要的修改或者引入无关紧要的设计,但不改变其流程的核心设计都在该专利的保护范围内。

[0065] 本发明第二实施方式涉及一种存储器。

[0066] 参考图7,以下将结合附图对本实施方式提供的存储器进行详细说明,与第一实施例相同或相应的部分,以下将不做详细赘述。

[0067] 存储器,包括:基底10,基底10上具有多个分立的位线结构11,且相邻位线结构11与基底10围成的区域具有中心轴线;电容接触窗30,位于位线结构11之间的基底10上;其中,电容接触窗30由部分第二导电膜302以及部分第一导电层301构成,部分第一导电层301顶部表面存在孔洞,部分第二导电膜302填充部分第一导电层顶部301表面的孔洞。

[0068] 在本实施例中,电容接触窗30的高度位于位线结构11中的金属层104的顶部表面高度与底部表面高度之间。需要说明的是,在其他实施例中,电容接触窗的高度可以于金属层的高度齐平。

[0069] 具体地,第一导电膜201的材料为掺杂有第一离子的第一半导体材料,第二导电膜311的材料为掺杂有第二离子或非掺杂的第二半导体材料,第一离子的掺杂浓度大于第二离子的掺杂浓度。

[0070] 在半导体领域中,同一种刻蚀材料对被刻蚀材料的刻蚀,被刻蚀材料的掺杂浓度越大,其被刻蚀的速率越快。本发明实施方式通过控制第一导电膜201材料的掺杂浓度大于第二导电膜311材料的掺杂浓度,从而形成了顶部形貌较为平坦的电容接触窗30。

[0071] 具体地,在本实施例中,第一半导体材料包括多晶硅或者非晶硅,第二半导体材料包括多晶硅或者非晶硅,第一离子包括磷离子,第二离子包括磷离子。

[0072] 其中,第一离子与第二离子的掺杂浓度差的范围为 $30\text{Atoms}/\text{cm}^3 \sim 70\text{Atoms}/\text{cm}^3$,且第一离子的掺杂浓度的范围为 $50\text{Atoms}/\text{cm}^3 \sim 500\text{Atoms}/\text{cm}^3$;所述第二离子的掺杂浓度的范围为 $0 \sim 450\text{Atoms}/\text{cm}^3$ 。

[0073] 与现有技术相比,在电容接触孔深宽比变大的情况下,通过顶部表面较为平坦的电容接触窗,增大了接触面积,从而减小了电容接触窗的电阻。

[0074] 由于第一实施方式与本实施方式相互对应,因此本实施方式可与第一实施方式互相配合实施。第一实施方式中提到的相关技术细节在本实施方式中依然有效,在第一实施方式中所能达到的技术效果在本实施方式中也同样可以实现,为了减少重复,这里不再赘述。相应地,本实施方式中提到的相关技术细节也可应用在第一实施方式中。

[0075] 本领域的普通技术人员可以理解,上述各实施方式是实现本发明的具体实施例,

而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本发明的精神和范围。

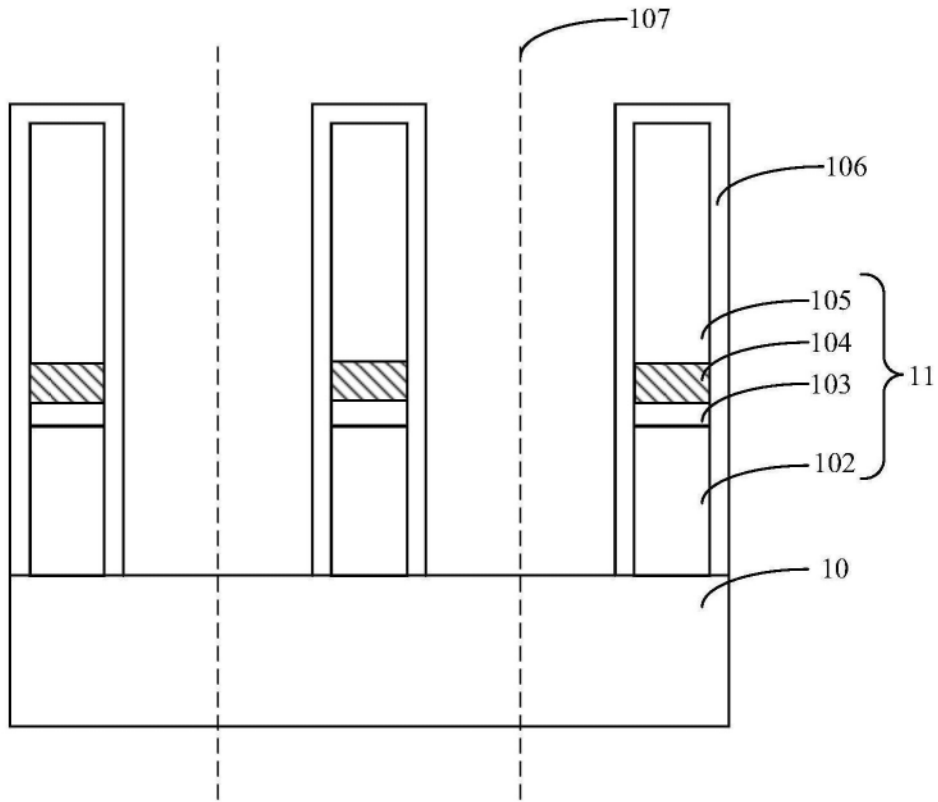


图1

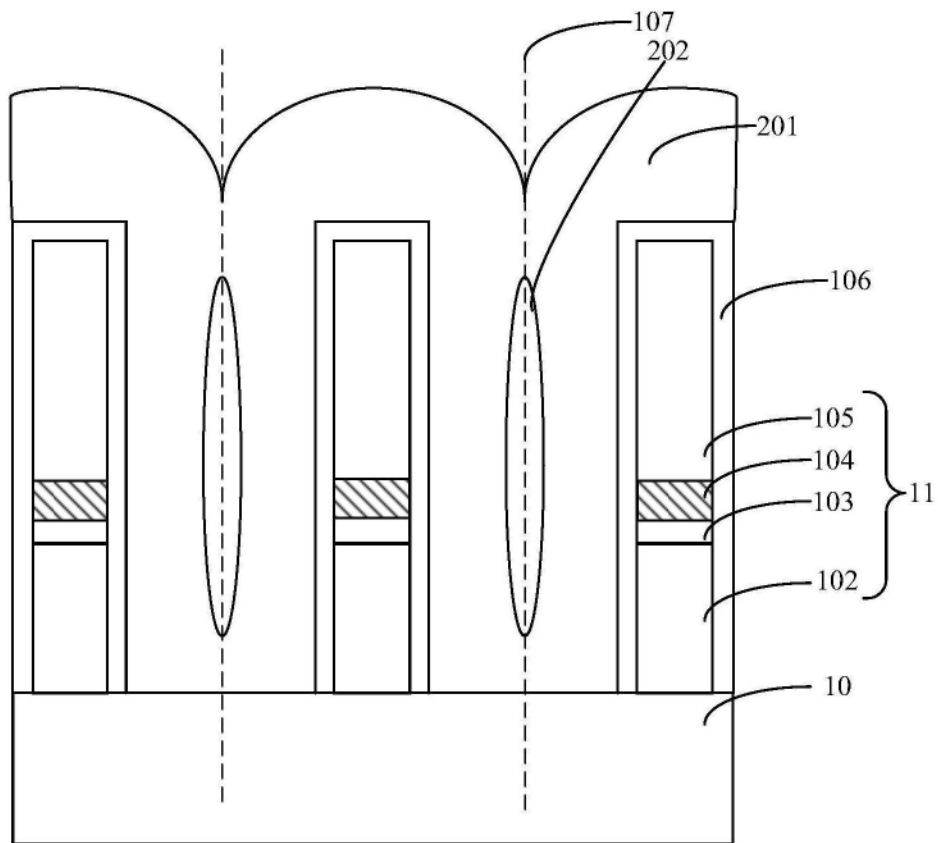


图2

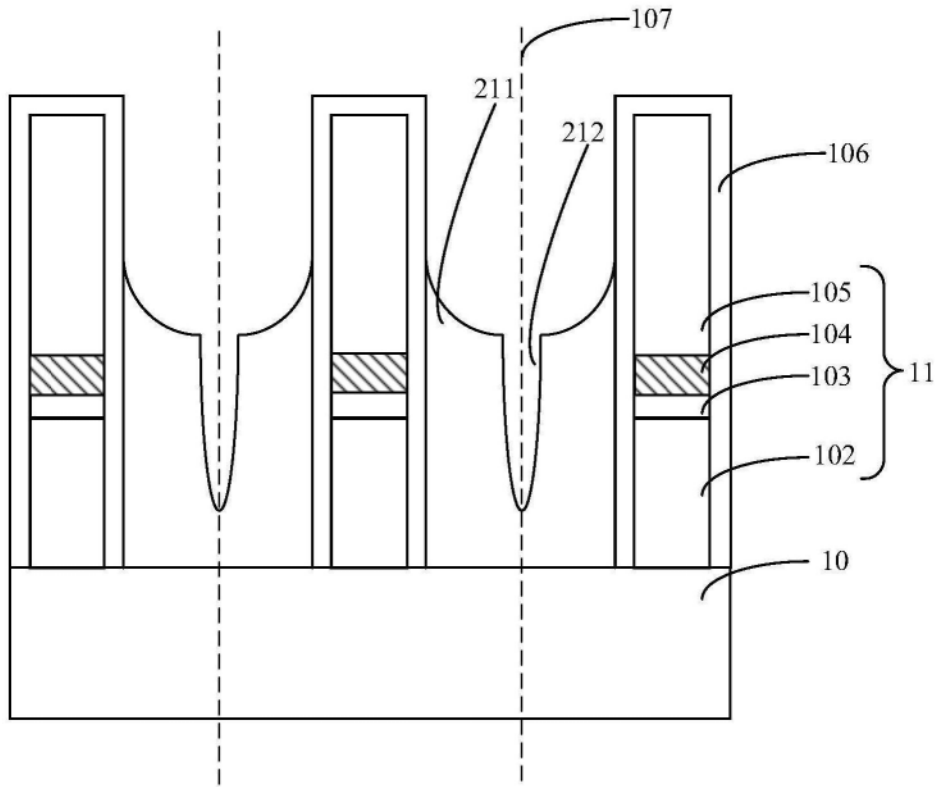


图3

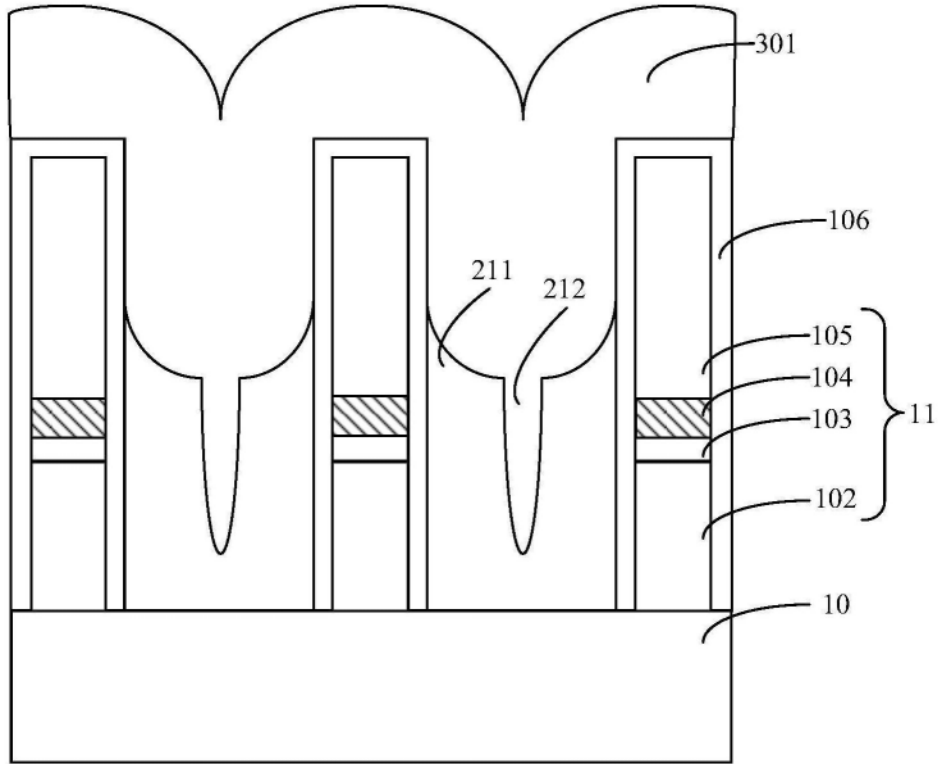


图4

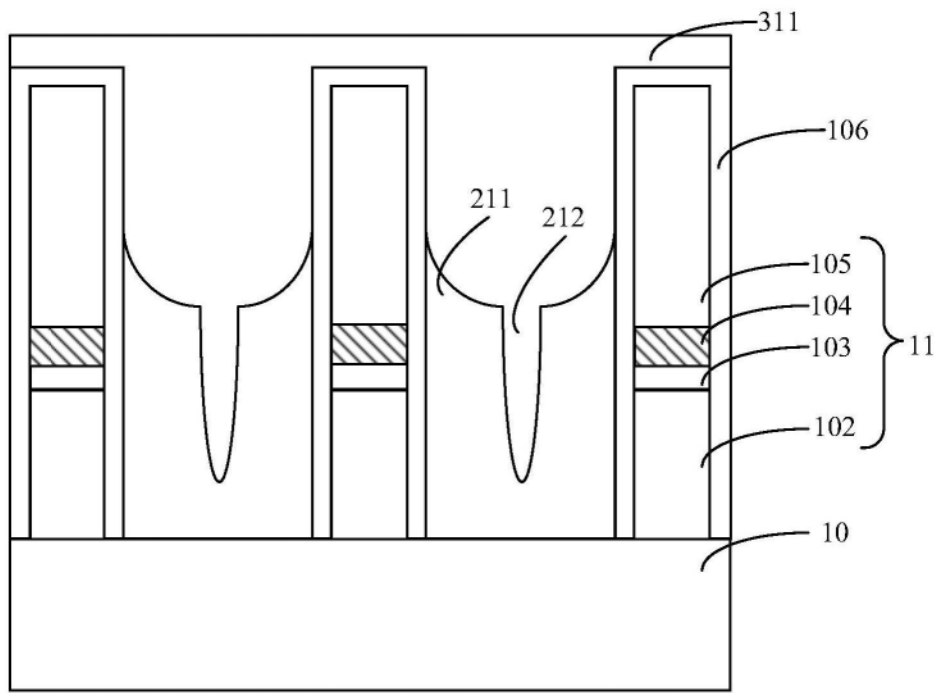


图5

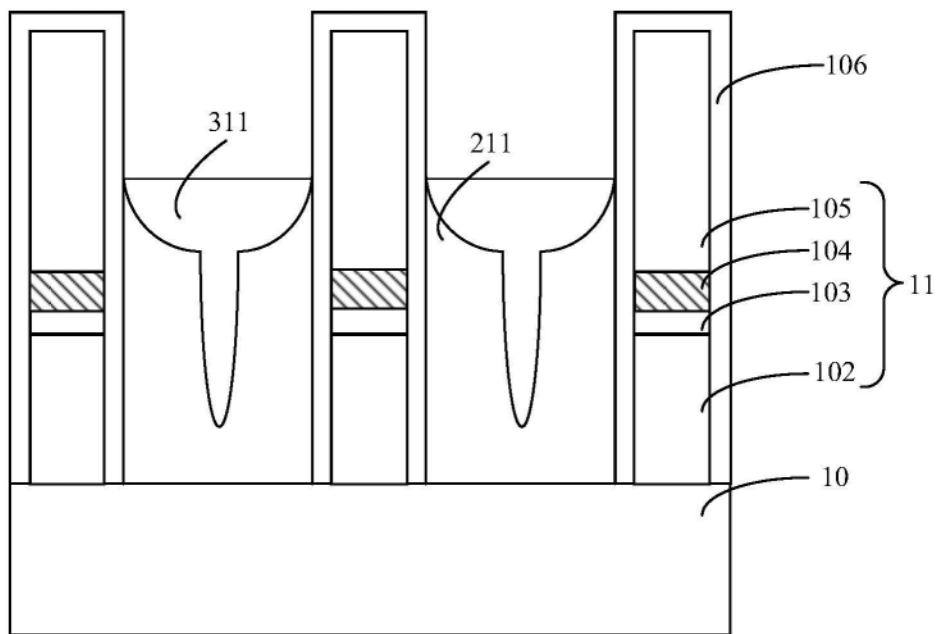


图6

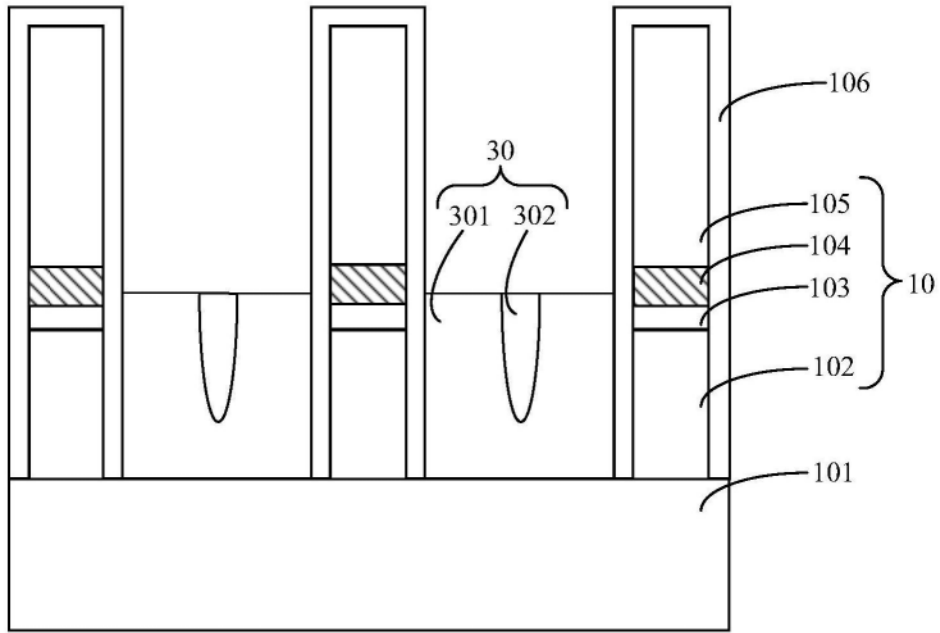


图7