



(12) 发明专利申请

(10) 申请公布号 CN 116456774 A

(43) 申请公布日 2023. 07. 18

(21) 申请号 202210003196.4

(22) 申请日 2022.01.04

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 赵西玉 冯宇 吴宝云 王丽

(74) 专利代理机构 北京安信方达知识产权代理
有限公司 11262

专利代理师 陶丽 曲鹏

(51) Int. Cl.

H10K 59/35 (2023.01)

H10K 59/122 (2023.01)

H10K 59/131 (2023.01)

H10K 71/00 (2023.01)

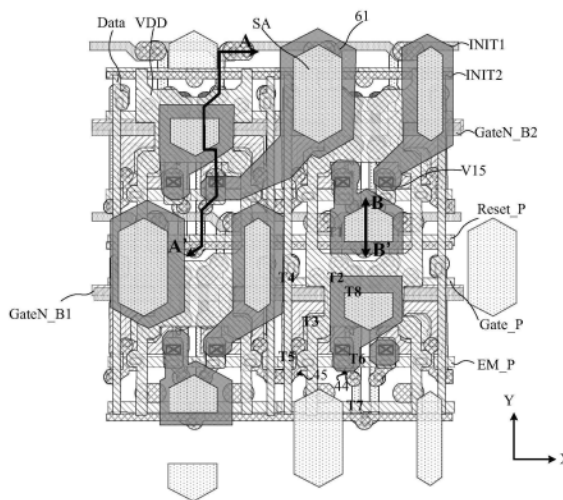
权利要求书2页 说明书20页 附图19页

(54) 发明名称

显示基板及其制备方法、显示装置

(57) 摘要

一种显示基板及其制备方法、显示装置，显示基板包括呈阵列排布的多个像素单元；像素单元包括绿色子像素；显示基板包括在基底上依次设置的导电层和像素定义层，导电层包括第一电源线和数据信号线，像素定义层包括与绿色子像素对应的第一开口；第一开口在基底上的正投影与源漏金属层在基底上的正投影不存在重叠区域，或者，第一开口在基底上的正投影与源漏金属层在基底上的正投影存在重叠区域，且第一开口包括面积大致相同的第一区域和第二区域，第一区域和第二区域沿第一方向排布，第一区域与下方的导电层在基底上的投影相交为第一交叠区，第二区域与下方的导电层在基底上的投影相交为第二交叠区；第一交叠区与第二交叠区的面积大致相同。



1. 一种显示基板,其特征在于,所述显示基板包括呈阵列排布的多个像素单元;至少一个所述像素单元包括绿色子像素、红色子像素和蓝色子像素;

在垂直于所述显示基板的平面内,所述显示基板包括在基底上依次设置的导电层和像素定义层,所述导电层包括第一电源线和数据信号线,所述像素定义层包括与所述绿色子像素对应的第一开口、与所述红色子像素对应的第二开口以及与所述蓝色子像素对应的第三开口;

所述第一开口在基底上的正投影与所述导电层在基底上的正投影不存在重叠区域,或者,所述第一开口在基底上的正投影与所述导电层在基底上的正投影存在重叠区域,且所述第一开口包括面积大致相同的第一区域和第二区域,所述第一区域和第二区域沿第一方向排布,所述第一区域与下方的导电层在基底上的投影相交为第一交叠区,所述第二区域与下方的导电层在基底上的投影相交为第二交叠区;所述第一交叠区的面积与所述第二交叠区的面积大致相同。

2. 根据权利要求1所述的显示基板,其特征在于,所述第一开口在基底上的正投影与所述第一电源线在基底上的正投影存在重叠区域,且所述第一交叠区中的第一电源线的面积与所述第二交叠区中的第一电源线的面积大致相同;在第二方向上,相邻两个所述绿色子像素对应的第一开口与所述第一电源线的交叠区域的面积不同。

3. 根据权利要求1所述的显示基板,其特征在于,所述第一开口在基底上的正投影与所述数据信号线在基底上的正投影存在重叠区域,且所述第一交叠区中的数据信号线的面积与所述第二交叠区中的数据信号线的面积大致相同。

4. 根据权利要求1所述的显示基板,其特征在于,所述第二开口在基底上的正投影与所述导电层在基底上的正投影存在重叠区域,且所述第二开口包括面积大致相同的第三区域和第四区域,所述第三区域和第四区域沿第一方向排布,所述第三区域与下方的导电层在基底上的投影相交为第三交叠区,所述第四区域与下方的导电层在基底上的投影相交为第四交叠区,所述第三交叠区与所述第四交叠区的面积差值占所述第三交叠区与所述第四交叠区的总面积的10%至45%之间。

5. 根据权利要求4所述的显示基板,其特征在于,所述第二开口在基底上的正投影与所述第一电源线在基底上的正投影以及所述数据信号线在基底上的正投影均存在重叠区域。

6. 根据权利要求5所述的显示基板,其特征在于,所述第二开口下方的导电层的面积大于在所述第二开口以及所述第三开口以外区域的子像素中对应区域的导电层的面积。

7. 根据权利要求5所述的显示基板,其特征在于,所述第三开口在基底上的正投影与所述第一电源线在基底上的正投影以及所述数据信号线在基底上的正投影均存在重叠区域;

所述第三开口下方的导电层的面积大于在所述第二开口以及所述第三开口以外区域的子像素中对应区域的导电层的面积。

8. 根据权利要求4所述的显示基板,其特征在于,所述第二开口在基底上的正投影与所述第一电源线在基底上的正投影存在重叠区域;所述第二开口在基底上的正投影与所述数据信号线在基底上的正投影不存在重叠区域。

9. 根据权利要求8所述的显示基板,其特征在于,所述第二开口下方的第一电源线的面积大于在所述第二开口以外区域的子像素中对应区域的第一电源线的面积。

10. 根据权利要求8所述的显示基板,其特征在于,所述第三开口在基底上的正投影与

所述第一电源线在基底上的正投影存在重叠区域;所述第三开口在基底上的正投影与所述数据信号线在基底上的正投影不存在重叠区域。

11. 根据权利要求10所述的显示基板,其特征在于,所述第三开口下方的第一电源线的面积大于在所述第三开口以外区域的子像素中对应区域的第一电源线的面积。

12. 根据权利要求1所述的显示基板,其特征在于,所述导电层和所述像素定义层之间设置有平坦层和阳极层,所述阳极层位于所述平坦层上,相邻子像素之间的阳极层通过所述像素定义层分隔;沿垂直于所述显示基板的方向,所述平坦层的厚度为所述阳极层厚度的10倍到15倍之间。

13. 一种显示装置,其特征在于,包括:如权利要求1至12任一所述的显示基板。

14. 一种显示基板的制备方法,其特征在于,所述显示基板包括呈阵列排布的多个像素单元,至少一个所述像素单元包括绿色子像素、红色子像素和蓝色子像素,所述制备方法包括:

在基底上形成导电层,所述导电层包括第一电源线和数据信号线;

在所述导电层上形成像素定义层,所述像素定义层包括与所述绿色子像素对应的第一开口、与所述红色子像素对应的第二开口以及与所述蓝色子像素对应的第三开口,所述第一开口在基底上的正投影与所述导电层在基底上的正投影不存在重叠区域,或者,所述第一开口在基底上的正投影与所述导电层在基底上的正投影存在重叠区域,且所述第一开口包括面积大致相同的第一区域和第二区域,所述第一区域和第二区域沿第一方向排布,所述第一区域与下方的导电层在基底上的投影相交为第一交叠区,所述第二区域与下方的导电层在基底上的投影相交为第二交叠区;所述第一交叠区的面积与所述第二交叠区的面积大致相同。

显示基板及其制备方法、显示装置

技术领域

[0001] 本公开实施例涉及但不限于显示技术领域,尤其涉及一种显示基板及其制备方法、显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,简称OLED)和量子点发光二极管(Quantum-dot Light Emitting Diodes,简称QLED)为主动发光显示器件,具有自发光、广视角、高对比度、低功耗、极高反应速度、轻薄、可弯曲和成本低等优点。随着显示技术的不断发展,以OLED或QLED为发光器件、由薄膜晶体管(Thin Film Transistor,简称TFT)进行信号控制的柔性显示装置(Flexible Display)已成为目前显示领域的主流产品。

发明内容

[0003] 本公开实施例提供了一种显示基板及其制备方法、显示装置,能够提高显示效果。

[0004] 本公开实施例提供了一种显示基板,所述显示基板包括呈阵列排布的多个像素单元;至少一个所述像素单元包括绿色子像素、红色子像素和蓝色子像素;

[0005] 在垂直于所述显示基板的平面内,所述显示基板包括在基底上依次设置的导电层和像素定义层,所述导电层包括第一电源线和数据信号线,所述像素定义层包括与所述绿色子像素对应的第一开口、与所述红色子像素对应的第二开口以及与所述蓝色子像素对应的第三开口;

[0006] 所述第一开口在基底上的正投影与所述导电层在基底上的正投影不存在重叠区域,或者,所述第一开口在基底上的正投影与所述导电层在基底上的正投影存在重叠区域,且所述第一开口包括面积大致相同的第一区域和第二区域,所述第一区域和第二区域沿第一方向排布,所述第一区域与下方的导电层在基底上的投影相交为第一交叠区,所述第二区域与下方的导电层在基底上的投影相交为第二交叠区;所述第一交叠区的面积与所述第二交叠区的面积大致相同。

[0007] 在一些示例性实施方式中,所述第一开口在基底上的正投影与所述第一电源线在基底上的正投影存在重叠区域,且所述第一交叠区中的第一电源线的面积与所述第二交叠区中的第一电源线的面积大致相同;在第二方向上,相邻两个所述绿色子像素对应的第一开口与所述第一电源线的交叠区域的面积不同。

[0008] 在一些示例性实施方式中,所述第一开口在基底上的正投影与所述数据信号线在基底上的正投影存在重叠区域,且所述第一交叠区中的数据信号线的面积与所述第二交叠区中的数据信号线的面积大致相同。

[0009] 在一些示例性实施方式中,所述第二开口在基底上的正投影与所述导电层在基底上的正投影存在重叠区域,且所述第二开口包括面积大致相同的第三区域和第四区域,所述第三区域和第四区域沿第一方向排布,所述第三区域与下方的导电层在基底上的投影相交为第三交叠区,所述第四区域与下方的导电层在基底上的投影相交为第四交叠区,所述

第三交叠区与所述第四交叠区的面积差值占所述第三交叠区与所述第四交叠区的总面积的10%至45%之间。

[0010] 在一些示例性实施方式中,所述第二开口在基底上的正投影与所述第一电源线在基底上的正投影以及所述数据信号线在基底上的正投影均存在重叠区域。

[0011] 在一些示例性实施方式中,所述第二开口下方的导电层的面积大于在所述第二开口以及所述第三开口以外区域的子像素中对应区域的导电层的面积。

[0012] 在一些示例性实施方式中,所述第三开口在基底上的正投影与所述第一电源线在基底上的正投影以及所述数据信号线在基底上的正投影均存在重叠区域;

[0013] 所述第三开口下方的导电层的面积大于在所述第二开口以及所述第三开口以外区域的子像素中对应区域的导电层的面积。

[0014] 在一些示例性实施方式中,所述第二开口在基底上的正投影与所述第一电源线在基底上的正投影存在重叠区域;所述第二开口在基底上的正投影与所述数据信号线在基底上的正投影不存在重叠区域。

[0015] 在一些示例性实施方式中,所述第二开口下方的第一电源线的面积大于在所述第二开口以外区域的子像素中对应区域的第一电源线的面积。

[0016] 在一些示例性实施方式中,所述第三开口在基底上的正投影与所述第一电源线在基底上的正投影存在重叠区域;所述第三开口在基底上的正投影与所述数据信号线在基底上的正投影不存在重叠区域。

[0017] 在一些示例性实施方式中,所述第三开口下方的第一电源线的面积大于在所述第三开口以外区域的子像素中对应区域的第一电源线的面积。

[0018] 在一些示例性实施方式中,所述导电层和所述像素定义层之间设置有平坦层和阳极层,所述阳极层位于所述平坦层上,相邻子像素之间的阳极层通过所述像素定义层分隔;沿垂直于所述显示基板的方向,所述平坦层的厚度为所述阳极层厚度的10倍到15倍之间。

[0019] 本公开实施例还提供了一种显示装置,包括:如以上任一所述的显示基板。

[0020] 本公开实施例还提供了一种显示基板的制备方法,所述显示基板包括呈阵列排布的多个像素单元,至少一个所述像素单元包括绿色子像素、红色子像素和蓝色子像素,所述制备方法包括:

[0021] 在基底上形成导电层,所述导电层包括第一电源线和数据信号线;

[0022] 在所述导电层上形成像素定义层,所述像素定义层包括与所述绿色子像素对应的第一开口、与所述红色子像素对应的第二开口以及与所述蓝色子像素对应的第三开口,所述第一开口在基底上的正投影与所述导电层在基底上的正投影不存在重叠区域,或者,所述第一开口在基底上的正投影与所述导电层在基底上的正投影存在重叠区域,且所述第一开口包括面积大致相同的第一区域和第二区域,所述第一区域和第二区域沿第一方向排布,所述第一区域与下方的导电层在基底上的投影相交为第一交叠区,所述第二区域与下方的导电层在基底上的投影相交为第二交叠区;所述第一交叠区的面积与所述第二交叠区的面积大致相同。

[0023] 本公开实施例的显示基板及其制备方法、显示装置,通过使得第一开口分成面积大致相同的两个区域,且两个区域与下方的导电层的交叠面积大致相同,使得子像素整体位于一个平面上,提高了阳极的平坦度,大大降低了色偏,提高了显示质量。此外,本公开的

制备工艺可以很好地与现有制备工艺兼容,工艺实现简单,易于实施,生产效率高,生产成本低,良品率高。

[0024] 本公开的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本公开而了解。本公开的其他优点可通过在说明书以及附图中所描述的方案来实现和获得。

附图说明

[0025] 附图用来提供对本公开技术方案的理解,并且构成说明书的一部分,与本公开的实施例一起用于解释本公开的技术方案,并不构成对本公开技术方案的限制。

[0026] 图1为本公开实施例提供的一种显示装置的结构示意图;

[0027] 图2为本公开实施例提供的一种显示面板的像素排列结构示意图;

[0028] 图3为本公开实施例提供的一种像素电路的等效电路图;

[0029] 图4为图3所示的像素电路的一种工作时序图;

[0030] 图5a为本公开实施例提供的一种显示基板的平面结构示意图;

[0031] 图5b为图5a所示的显示基板沿A-A'位置的剖面图;

[0032] 图5c为图5a所示的显示基板沿B-B'位置的剖面图;

[0033] 图5d为图5a所示的显示基板中第四导电层、第一平坦层、第五导电层、第二平坦层、阳极层和像素定义层的叠层结构示意图;

[0034] 图5e为图5a所示的显示基板中第五导电层和像素定义层的叠层结构示意图;

[0035] 图6a为本公开实施例提供的另一种显示基板中第四导电层、第一平坦层、第五导电层、第二平坦层、阳极层和像素定义层的叠层结构示意图;

[0036] 图6b为图6a所示的显示基板中第五导电层和像素定义层的叠层结构示意图;

[0037] 图6c为本公开实施例提供的又一种显示基板中第五导电层和像素定义层的叠层结构示意图;

[0038] 图6d为本公开实施例提供的又一种显示基板中第五导电层和像素定义层的叠层结构示意图;

[0039] 图7为图5a所示的显示基板形成第一半导体层后的结构示意图;

[0040] 图8为图5a所示的显示基板形成第一导电层后的结构示意图;

[0041] 图9为图5a所示的显示基板形成第二导电层后的结构示意图;

[0042] 图10为图5a所示的显示基板形成第二半导体层后的结构示意图;

[0043] 图11为图5a所示的显示基板形成第三导电层后的结构示意图;

[0044] 图12为图5a所示的显示基板形成第四绝缘层后的结构示意图;

[0045] 图13为图5a所示的显示基板形成第四导电层后的结构示意图;

[0046] 图14为图5a所示的显示基板形成第五导电层后的结构示意图;

[0047] 图15为图5a所示的显示基板形成第二平坦层后的结构示意图。

具体实施方式

[0048] 为使本公开的目的、技术方案和优点更加清楚明白,下文中将结合附图对本公开的实施例进行详细说明。注意,实施方式可以以多个不同形式来实施。所属技术领域的普通

技术人员可以很容易地理解一个事实,就是方式和内容可以在不脱离本公开的宗旨及其范围的条件下被变换为各种各样的形式。因此,本公开不应该被解释为仅限定在下面的实施方式所记载的内容中。在不冲突的情况下,本公开中的实施例及实施例中的特征可以相互任意组合。

[0049] 在附图中,有时为了明确起见,夸大表示了各构成要素的大小、层的厚度或区域。因此,本公开的一个方式并不一定限定于该尺寸,附图中各部件的形状和大小不反映真实比例。此外,附图示意性地示出了理想的例子,本公开的一个方式不局限于附图所示的形状或数值等。

[0050] 本说明书中的“第一”、“第二”、“第三”等序号词是为了避免构成要素的混同而设置,而不是为了在数量方面上进行限定的。

[0051] 在本说明书中,为了方便起见,使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系,仅是为了便于描述本说明书和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于在说明书中说明的词句,根据情况可以适当地更换。

[0052] 在本说明书中,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解。例如,可以是固定连接,或可拆卸连接,或一体地连接;可以是机械连接,或电连接;可以是直接相连,或通过中间件间接相连,或两个元件内部的连通。对于本领域的普通技术人员而言,可以具体情况理解上述术语在本公开中的具体含义。

[0053] 在本说明书中,晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极(漏电极端子、漏区域或漏电极)与源电极(源电极端子、源区域或源电极)之间具有沟道区域,并且电流能够流过漏电极、沟道区域以及源电极。注意,在本说明书中,沟道区域是指电流主要流过的区域。

[0054] 在本说明书中,第一极可以为漏电极、第二极可以为源电极,或者第一极可以为源电极、第二极可以为漏电极。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况等下,“源电极”及“漏电极”的功能有时互相调换。因此,在本说明书中,“源电极”和“漏电极”可以互相调换。

[0055] 在本说明书中,“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受,就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线,而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

[0056] 在本说明书中,“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态,因此,也包括该角度为 -5° 以上且 5° 以下的状态。另外,“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态,因此,也包括 85° 以上且 95° 以下的角度的状态。

[0057] 在本说明书中,“膜”和“层”可以相互调换。例如,有时可以将“导电层”换成为“导电膜”。与此同样,有时可以将“绝缘膜”换成为“绝缘层”。

[0058] 本公开中的“约”,是指不严格限定界限,允许工艺和测量误差范围内的数值。

[0059] 图1为一种显示装置的结构示意图。如图1所示,OLED显示装置可以包括时序控制

器、数据信号驱动器、扫描信号驱动器、发光信号驱动器和像素阵列,像素阵列可以包括多个扫描信号线(S1到Sm)、多个数据信号线(D1到Dn)、多个发光信号线(E1到Eo)和多个子像素 $P_{xi,j}$ 。在一些示例性实施方式中,时序控制器可以将适合于数据信号驱动器的规格的灰度值和控制信号提供到数据信号驱动器,可以将适合于扫描信号驱动器的规格的时钟信号、扫描起始信号等提供到扫描信号驱动器,可以将适合于发光信号驱动器的规格的时钟信号、发射停止信号等提供到发光信号驱动器。数据信号驱动器可以利用从时序控制器接收的灰度值和控制信号来产生将提供到数据信号线D1、D2、D3、……和Dn的数据电压。例如,数据信号驱动器可以利用时钟信号对灰度值进行采样,并且以像素行为单位将与灰度值对应的数据电压施加到数据信号线D1至Dn,n可以是自然数。扫描信号驱动器可以通过从时序控制器接收时钟信号、扫描起始信号等来产生将提供到扫描信号线S1、S2、S3、……和Sm的扫描信号。例如,扫描信号驱动器可以将具有导通电平脉冲的扫描信号顺序地提供到扫描信号线S1至Sm。例如,扫描信号驱动器可以被构造为移位寄存器的形式,并且可以在时钟信号的控制下顺序地将以导通电平脉冲形式提供的扫描起始信号传输到下一级电路的方式产生扫描信号,m可以是自然数。发光信号驱动器可以通过从时序控制器接收时钟信号、发射停止信号等来产生将提供到发光信号线E1、E2、E3、……和Eo的发射信号。例如,发光信号驱动器可以将具有截止电平脉冲的发射信号顺序地提供到发光信号线E1至Eo。例如,发光信号驱动器可以被构造为移位寄存器的形式,并且可以在时钟信号的控制下顺序地将以截止电平脉冲形式提供的发光停止信号传输到下一级电路的方式产生发光信号,o可以是自然数。像素阵列可以包括多个子像素 $P_{xi,j}$,每个子像素 $P_{xi,j}$ 可以连接到对应的数据信号线、对应的扫描信号线和对应的发光信号线,i和j可以是自然数。子像素 $P_{xi,j}$ 可以指其中晶体管连接到第i扫描信号线且连接到第j数据信号线的子像素。

[0060] 图2为本公开实施例提供的一种显示面板的像素排列结构示意图。如图2所示,显示基板可以包括以矩阵方式排布的多个像素单元P,多个像素单元P的至少一个包括第一子像素P1、第二子像素P2、第三子像素P3和第四子像素P4,第一子像素P1、第二子像素P2、第三子像素P3和第四子像素P4均包括像素电路和发光元件。第一子像素P1、第二子像素P2、第三子像素P3和第四子像素P4中的像素电路分别与扫描信号线、数据信号线和发光信号线连接,像素电路被配置为在扫描信号线和发光信号线的控制下,接收数据信号线传输的数据电压,向所述发光元件输出相应的电流。第一子像素P1、第二子像素P2、第三子像素P3和第四子像素P4中的发光元件分别与所在子像素的像素电路连接,发光元件被配置为响应所在子像素的像素电路输出的电流发出相应亮度的光。

[0061] 在一些示例性实施方式中,像素单元P中可以包括红色(R)子像素、绿色(G)子像素和蓝色(B)子像素,或者可以包括红色子像素、绿色子像素、蓝色子像素和白色子像素,本公开在此不做限定。在一些示例性实施方式中,像素单元中子像素的形状可以是矩形、菱形、五边形或六边形。像素单元包括三个子像素时,三个子像素可以采用水平并列、竖直并列或品字方式排列,像素单元包括四个子像素时,四个子像素可以采用水平并列、竖直并列或正方形(Square)方式排列,本公开在此不做限定。

[0062] 在一些示例性实施方式中,像素电路可以是3T1C、4T1C、5T1C、5T2C、6T1C或7T1C结构。图3为一种像素电路的等效电路示意图。如图3所示,像素电路可以包括8个晶体管(第一晶体管T1到第八晶体管T8)、1个存储电容C1和多个信号线(数据信号线Data、第一扫描信号

线Gate、第二扫描信号线GateN、复位控制信号线Reset、第一初始信号线INIT1、第二初始信号线INIT2、第一电源线VDD、第二电源线VSS和发光控制信号线EM)。

[0063] 在一些示例性实施方式中,第一晶体管T1的栅电极与复位控制信号线Reset连接,第一晶体管T1的第一极与第二初始信号线INIT2连接,第一晶体管T1的第二极与第五节点N5连接。第二晶体管T2的栅电极与第一扫描信号线Gate连接,第二晶体管T2的第一极与第五节点N5连接,第二晶体管T2的第二极与第三节点N3连接。第三晶体管T3的栅电极与第一节点N1连接,第三晶体管T3的第一极与第二节点N2连接,第三晶体管T3的第二极与第三节点N3连接。第四晶体管T4的栅电极与第一扫描信号线Gate连接,第四晶体管T4的第一极与数据信号线Data连接,第四晶体管T4的第二极与第二节点N2连接。第五晶体管T5的栅电极与发光控制信号线EM连接,第五晶体管T5的第一极与第一电源线VDD连接,第五晶体管T5的第二极与第二节点N2连接。第六晶体管T6的栅电极与发光控制信号线EM连接,第六晶体管T6的第一极与第三节点N3连接,第六晶体管T6的第二极与第四节点N4(即发光元件的第一极)连接。第七晶体管T7的栅电极与第一扫描信号线Gate或者复位控制信号线Reset连接,第七晶体管T7的第一极与第一初始信号线INIT1连接,第七晶体管T7的第二极与第四节点N4连接。第八晶体管T8的栅电极与第二扫描信号线GateN连接,第八晶体管T8的第一极与第五节点N5连接,第八晶体管T8的第二极与第一节点N1连接。存储电容C1的第一端与第一电源线VDD连接,存储电容C1的第二端与第一节点N1连接。

[0064] 在一些示例性实施方式中,第一晶体管T1到第七晶体管T7可以是N型薄膜晶体管,第八晶体管T8可以是P型薄膜晶体管;或者,第一晶体管T1到第七晶体管T7可以是P型薄膜晶体管,第八晶体管T8可以是N型薄膜晶体管。

[0065] 在一些示例性实施方式中,第一晶体管T1到第七晶体管T7可以是低温多晶硅(Low Temperature Poly Silicon,LTPS)薄膜晶体管(Thin Film Transistor,TFT),第八晶体管T8可以为铟镓锌氧化物(Indium Gallium Zinc Oxide,IGZO)薄膜晶体管。

[0066] 本实施例中,铟镓锌氧化物薄膜晶体管与低温多晶硅薄膜晶体管相比,产生的漏电流更少,因此,将第八晶体管T8设置为铟镓锌氧化物薄膜晶体管,可以显著减少漏电流的产生,从而改善显示面板的低频、低亮度闪烁的问题。此外,第一晶体管T1和第二晶体管T2无需设置为铟镓锌氧化物薄膜晶体管,由于低温多晶硅薄膜晶体管的尺寸一般都要小于铟镓锌氧化物薄膜晶体管,因此,本公开实施例的像素电路的占用空间会比较小,利于提高显示面板的分辨率。

[0067] 本公开实施例的像素电路,集合了LTPS-TFT的良好开关特性和Oxide-TFT的低漏电特性,可以实现低频驱动(1Hz~60Hz),大幅降低显示屏功耗。

[0068] 在一些示例性实施方式中,发光元件的第二极与第二电源线VSS连接,第二电源线VSS的信号为持续提供低电平信号,第一电源线VDD的信号为持续提供高电平信号。第一扫描信号线Gate的信号为本显示行像素电路中的扫描信号,复位控制信号线Reset的信号为上一显示行像素电路中的扫描信号,即对于第n显示行,第一扫描信号线Gate为Gate(n),复位控制信号线Reset为Gate(n-1),本显示行的复位控制信号线Reset的信号与上一显示行像素电路中的第一扫描信号线Gate的信号可以为同一信号,以减少显示面板的信号线,实现显示面板的窄边框。

[0069] 在一些示例性实施方式中,第一扫描信号线Gate、第二扫描信号线GateN、复位控

制信号线Reset、发光控制信号线EM、第一初始信号线INIT1和第二初始信号线INIT2均沿水平方向延伸,第二电源线VSS、第一电源线VDD和数据信号线DATA均沿垂直方向延伸。

[0070] 在一些示例性实施方式中,发光元件可以是有机电致发光二极管(OLED),包括叠设的第一极(阳极)、有机发光层和第二极(阴极)。

[0071] 图4为一种像素电路的工作时序图。下面通过图4示例的像素电路的工作过程说明本公开示例性实施例,图3中的像素电路包括8个晶体管(第一晶体管T1到第八晶体管T8)和1个存储电容C1,本实施例以第一晶体管T1到第七晶体管T7为P型晶体管,第八晶体管T8为N型晶体管,第七晶体管T7的栅极连接第一扫描信号线Gate为例进行说明。

[0072] 在一些示例性实施方式中,像素电路的工作过程可以包括:

[0073] 第一阶段t1,称为复位阶段,第一扫描信号线Gate、复位控制信号线Reset、第二扫描信号线GateN和发光控制信号线EM的信号均为高电平信号,复位控制信号线Reset的信号为低电平信号。发光控制信号线EM的高电平信号使得第五晶体管T5和第六晶体管T6关闭,第二扫描信号线GateN的高电平信号使得第八晶体管T8导通,复位控制信号线Reset的低电平信号使得第一晶体管T1导通,因此,第一节点N1的电压被复位为第二初始信号线INIT2提供的第二初始电压Vinit2,然后复位控制信号线Reset的电位高,第一晶体管T1关闭。由于第五晶体管T5和第六晶体管T6关闭,此阶段发光元件EL不发光。

[0074] 第二阶段t2,称为数据写入阶段,第一扫描信号线Gate的信号为低电平信号,第四晶体管T4、第二晶体管T2和第七晶体管T7导通,数据信号线Data输出数据电压,第四节点N4的电压被复位为第一初始电压线INIT1提供的第一初始电压Vinit1,完成初始化。此阶段由于第一节点N1为低电平,因此第三晶体管T3导通。第四晶体管T4和第二晶体管T2导通使得数据信号线Data输出的数据电压经过导通的第四晶体管T4、第二节点N2、导通的第三晶体管T3、第三节点N3、导通的第二晶体管T2、第五节点N4和第八晶体管T8提供至第一节点N1,并将数据信号线Data输出的数据电压与第三晶体管T3的阈值电压之和充入第一电容C1,第一电容C1的第二端(第一节点N1)的电压为Vdata+Vth,Vdata为数据信号线Data输出的数据电压,Vth为第三晶体管T3的阈值电压。发光控制信号线EM的信号为高电平信号,第五晶体管T5和第六晶体管T6关闭,确保发光元件EL不发光。

[0075] 第三阶段t3,称为发光阶段,第一扫描信号线Gate和复位控制信号线Reset的信号为高电平信号,发光控制信号线EM和第二扫描信号线GateN的信号均为低电平信号。复位控制信号线Reset的高电平信号,使第七晶体管T7关闭,发光控制信号线EM的低电平信号,使第五晶体管T5和第六晶体管T6导通,第一电源线VDD输出的电源电压通过导通的第五晶体管T5、第三晶体管T3和第六晶体管T6向发光元件EL的第一极(即第四节点N4)提供驱动电压,驱动发光元件EL发光。

[0076] 在像素电路驱动过程中,流过第三晶体管T3(即第三晶体管)的驱动电流由其栅电极和第一极之间的电压差决定。由于第一节点N1的电压为Vdata+Vth,因而第三晶体管T3的驱动电流为:

$$[0077] \quad I = K * (V_{gs} - V_{th})^2 = K * [(V_{data} + V_{th} - V_{dd}) - V_{th}]^2 = K * [V_{data} - V_{dd}]^2$$

[0078] 其中,I为流过第三晶体管T3的驱动电流,也就是驱动发光元件EL的驱动电流,K为常数,Vgs为第三晶体管T3的栅电极和第一极之间的电压差,Vth为第三晶体管T3的阈值电压,Vdata为数据信号线Data输出的数据电压,Vdd为第一电源端VDD输出的电源电压。

[0079] 由上述公式可以看出,流经发光元件EL的电流I与第三晶体管T3的阈值电压 V_{th} 无关,消除了第三晶体管T3的阈值电压 V_{th} 对电流I的影响,保证了亮度的均一性。

[0080] 基于上述工作时序,该像素电路消除了发光元件EL在上次发光后残余的正电荷,实现了对第三晶体管栅极电压的补偿,避免了第三晶体管的阈值电压漂移对发光元件EL驱动电流的影响,提高了显示图像的均匀性和显示面板的显示品质。

[0081] 本公开实施例的像素电路,通过将第四节点N4初始化为第一初始信号线INIT1的信号,通过将第五节点N5初始化为第二初始信号线INIT2的信号,能够对发光元件EL的复位电压和第一节点N1的复位电压分别进行调整,从而实现更佳的显示效果,改善低频闪烁等问题。

[0082] 目前的低温多晶氧化物(LTP0)像素布局设计中,像素定义层的像素开口位置及平坦性严重影响了显示质量,子像素整体不在一个平面上,造成屏幕视角产生严重的色偏,从侧面 30° 、 45° 、 60° 观察面板时与正面观察面板时颜色偏差较大,影响了显示效果。

[0083] 本公开实施例提供了一种显示基板,所述显示基板包括呈阵列排布的多个像素单元;至少一个所述像素单元包括绿色子像素、红色子像素和蓝色子像素;

[0084] 在垂直于所述显示基板的平面内,所述显示基板包括在基底上依次设置的导电层和像素定义层,所述导电层包括第一电源线和数据信号线,所述像素定义层包括与所述绿色子像素对应的第一开口、与所述红色子像素对应的第二开口以及与所述蓝色子像素对应的第三开口;

[0085] 所述第一开口在基底上的正投影与所述导电层在基底上的正投影不存在重叠区域,或者,所述第一开口在基底上的正投影与所述导电层在基底上的正投影存在重叠区域,且所述第一开口包括面积大致相同的第一区域和第二区域,所述第一区域和第二区域沿第一方向排布,所述第一区域与下方的导电层在基底上的投影相交为第一交叠区,所述第二区域与下方的导电层在基底上的投影相交为第二交叠区;所述第一交叠区的面积与所述第二交叠区的面积大致相同。

[0086] 本公开实施例提供的显示基板,通过使得第一开口分成面积大致相同的两个区域,且两个区域与下方的导电层的交叠面积大致相同,使得子像素整体可以位于一个平面上,大大降低了色偏,提高了显示质量。

[0087] 需要说明的是,本公开实施例所述的导电层,可以指的是与半导体层相同材料的膜层,或者可以指的是与栅金属层相同材料的膜层,又或者也可以指的是与源漏金属层相同材料的膜层,本公开对此不作限制,下文以导电层为与源漏金属层相同材料的膜层为例进行举例说明,示例性的,源漏金属层可以为采用钛铝钛(Ti/Al/Ti)三叠层金属的膜层。

[0088] 图5a为本公开实施例一种显示基板的平面结构示意图,图5b为图5a中A-A'方向的剖视图,图5c为图5a中B-B'方向的剖视图,图5d为图5a所示的显示基板中第四导电层、第一平坦层、第五导电层、第二平坦层、阳极层和像素定义层的叠层结构示意图,图5e为图5a所示的显示基板中第五导电层和像素定义层的叠层结构示意图,如图5a至图5e所示,所述显示基板包括多个像素单元,多个像素单元呈阵列排布;至少一个所述像素单元包括绿色(G)子像素、红色(R)子像素和蓝色(B)子像素。

[0089] 在垂直于该显示基板的平面内,该显示基板包括在基底90上依次设置的驱动结构层和发光结构层,驱动结构层包括源漏金属层(本公开中,源漏金属层指的是第二源漏金属

层,在其他实施例中,当驱动结构层只包括单层源漏金属层时,源漏金属层也可以为该单层源漏金属层),源漏金属层包括第一电源线VDD和数据信号线Data,发光结构层包括阳极61、像素定义层99、有机发光层(图中未示出)和阴极(图中未示出),像素定义层99包括与绿色子像素对应的第一开口SAG、与红色子像素对应的第二开口SAR以及与蓝色子像素对应的第三开口SAB,第一开口SAG在基底90上的正投影与源漏金属层在基底90上的正投影不存在重叠区域,或者,第一开口SAG在基底90上的正投影与源漏金属层在基底90上的正投影存在重叠区域,第一开口SAG包括面积大致相同的第一区域 D_1 和第二区域 D_2 (示例性的,第一区域 D_1 可以为第一开口SAG沿第一方向X的中心线 O_1 左侧的区域,第二区域 D_2 可以为第一开口SAG沿第一方向X的中心线 O_1 右侧的区域,但是本公开对此不作限制),第一区域 D_1 和第二区域 D_2 沿第一方向X排布,第一区域 D_1 与下方的导电层在基底90上的投影相交为第一交叠区,第二区域 D_2 与下方的导电层在基底90上的投影相交为第二交叠区;第一交叠区的面积与第二交叠区的面积大致相同。

[0090] 需要说明的是,本公开所述的大致相同的含义,指的是二者的面积差值为其中之一的预设范围之内,示例性的,预设范围可以为10%等。

[0091] 在一些示例性实施方式中,第一交叠区与第二交叠区关于第一开口SAG沿第一方向X的中心线 O_1 对称。

[0092] 本公开实施例的显示基板,通过使得第一交叠区与第二交叠区关于第一开口SAG沿第一方向X的中心线 O_1 对称,使得子像素整体位于一个平面上,大大降低了色偏,提高了显示质量。

[0093] 在一些示例性实施方式中,在第二方向Y上,绿色子像素G对应的第一开口SAG上至少两个点距离基底90的距离之差小于预设的第一距离范围,示例性的,第一距离范围可以小于800nm,例如,第一距离范围可以为600nm、500nm、400nm、200nm、100nm、50nm等。如图5c所示,第一开口SAG下方没有第二源漏金属层的金属垫平,但是,在没有第二源漏金属层的金属垫平的位置,绿色子像素G对应的第一开口SAG也是平整的。

[0094] 在一些示例性实施方式中,如图5d或5e所示,第一开口SAG的面积小于第二开口SAR的面积,第二开口SAR的面积小于第三开口SAB的面积。

[0095] 在一些示例性实施方式中,至少一个像素单元包括两个绿色(G)子像素、一个红色(R)子像素和一个蓝色(B)子像素。

[0096] 在一些示例性实施方式中,如图5e所示,第一开口SAG在基底90上的正投影与第一电源线VDD在基底90上的正投影存在重叠区域,且第一交叠区中的第一电源线VDD的面积与第二交叠区中的第一电源线VDD的面积大致相同。

[0097] 在一些示例性实施方式中,在第二方向Y上,相邻两个绿色子像素G对应的第一开口SAG与第一电源线VDD的交叠区域的面积不同。

[0098] 在一些示例性实施方式中,第一开口SAG下方的第一电源线VDD关于第一开口SAG沿第一方向X的中心线 O_1 对称。

[0099] 在另一些示例性实施方式中,如图6a至图6b所示,第一开口SAG在基底90上的正投影与数据信号线Data在基底90上的正投影存在重叠区域,且第一交叠区中的数据信号线Data的面积与第二交叠区中的数据信号线Data的面积大致相同。

[0100] 在一些示例性实施方式中,第一开口SAG下方的数据信号线Data关于第一开口SAG

沿第一方向的中心线 O_1 对称。

[0101] 在一些示例性实施方式中,如图6a至图6b所示,红色子像素R对应的第二开口SAR在基底90上的正投影至少有10%以上与第二开口SAR下方的源漏金属层(即第一电源线VDD)在基底90上的正投影不存在交叠区域,以减少阳极电位的耦合电容。

[0102] 在一些示例性实施方式中,如图6a至图6b所示,蓝色子像素B对应的第三开口SAB在基底90上的正投影至少有10%以上与第三开口SAB下方的源漏金属层(即第一电源线VDD)在基底90上的正投影不存在交叠区域,以减少阳极电位的耦合电容。

[0103] 在一些示例性实施方式中,如图5e所示,第二开口SAR在基底90上的正投影与源漏金属层在基底90上的正投影存在重叠区域,且第二开口SAR包括面积大致相同的第三区域 D_3 和第四区域 D_4 (示例性的,第三区域 D_3 可以为第一开口SAG沿第一方向X的中心线 O_1 左侧的区域,第四区域 D_4 可以为第一开口SAG沿第一方向X的中心线 O_1 右侧的区域,但是本公开对此不作限制),第三区域 D_3 和第四区域 D_4 沿第一方向X排布,第三区域 D_3 与下方的导电层在基底90上的投影相交为第三交叠区,第四区域 D_4 与下方的导电层在基底90上的投影相交为第四交叠区,第三交叠区与第四交叠区的面积差值占第三交叠区与第四交叠区的总面积的10%至45%之间。

[0104] 在一些示例性实施方式中,第二开口SAR下方的源漏金属层被第二开口SAR沿第一方向的中心线 O_2 分成两个部分(即第三交叠区和第四交叠区),且两个部分的面积的差值占第二开口下方的源漏金属层的整体面积的10%至45%之间。

[0105] 示例性的,第二开口SAR下方的源漏金属层被分成的两个部分的面积的差值占第二开口下方的源漏金属层的整体面积的14%至30%之间。

[0106] 示例性的,第二开口SAR下方的源漏金属层被分成的两个部分的面积的差值在 $20\mu\text{m}^2$ 到 $43\mu\text{m}^2$ 之间。

[0107] 在一些示例性实施方式中,如图5e所示,第二开口SAR在基底90上的正投影与第一电源线VDD在基底90上的正投影以及数据信号线Data在基底90上的正投影均存在重叠区域。

[0108] 在一些示例性实施方式中,如图5e所示,第三开口SAB在基底90上的正投影与源漏金属层在基底90上的正投影存在重叠区域,且第三开口SAB下方的源漏金属层被第三开口SAB沿第一方向的中心线 O_3 分成两个部分(即第五区域 D_5 和第六区域 D_6),且两个部分的面积的差值占所述第三开口SAB下方的源漏金属层的整体面积的5%至30%之间。示例性的,第三开口SAB下方的源漏金属层被分成的两个部分的面积的差值在 $22\mu\text{m}^2$ 到 $48\mu\text{m}^2$ 之间。

[0109] 在一些示例性实施方式中,如图6c或图6d所示,第二开口SAR下方的源漏金属层的面积大于在第二开口SAR以及第三开口SAB以外区域的子像素中对应区域的源漏金属层的面积。如图6c所示,B区域的第二电源线VDD以及数据信号线Data与C区域的第二电源线VDD以及数据信号线Data的结构不同,B区域的第二电源线VDD以及数据信号线Data的面积大于C区域的第二电源线VDD以及数据信号线Data的面积。如图6d所示,B区域的第二电源线VDD与C区域的第二电源线VDD的结构不同,B区域的第二电源线VDD的面积大于C区域的第二电源线VDD的面积。

[0110] 在一些示例性实施方式中,如图6c所示,第三开口SAB在基底90上的正投影与第一电源线VDD在基底90上的正投影以及数据信号线Data在基底90上的正投影均存在重叠区

膜”还需构图工艺,则在构图工艺前称为“薄膜”,构图工艺后称为“层”。经过构图工艺后的“层”中包含至少一个“图案”。本公开中所说的“A和B同层设置”是指,A和B通过同一次构图工艺同时形成。“A的正投影包含B的正投影”是指,B的正投影落入A的正投影范围内,或者A的正投影覆盖B的正投影。

[0119] 在一些示例性实施例中,图5a和图5b所示的显示基板的制备过程可以包括如下步骤:

[0120] (11) 形成第一半导体层图案。在一些示例性实施方式中,形成第一半导体层图案可以包括:先在基底90上沉积一层第一绝缘薄膜,形成覆盖整个基底90的第一绝缘层91图案。随后沉积一层第一有源层薄膜,通过构图工艺对第一有源层薄膜进行构图,形成设置在缓冲层上的第一半导体层图案。其中,第一绝缘层91用于阻挡基底中离子对薄膜晶体管的影响,可以采用氮化硅 SiN_x 、氧化硅 SiO_x 或 $\text{SiN}_x/\text{SiO}_x$ 的复合薄膜,第一有源层薄膜可以采用硅材料,硅材料包括非晶硅和多晶硅。第一有源层薄膜也可以采用非晶硅a-Si,经过结晶化或激光退火等方式形成多晶硅,如图7所示。其中,第一半导体层图案可以包括第一晶体管T1的第一有源层10(即第二复位有源层)、第二晶体管T2的第二有源层20、第三晶体管T3的第三有源层30、第四晶体管T4的第四有源层40、第五晶体管T5的第五有源层50(即第一发光控制有源层)、第六晶体管T6的第六有源层60和第七晶体管T7的第七有源层70(即第一复位有源层)。第一有源层10、第二有源层20、第三有源层30、第四有源层40、第五有源层50、第六有源层60和第七有源层70为相互连接的一体结构。

[0121] 在一些示例性实施方式中,第三有源层30的形状可以呈“几”字形,第一有源层10、第二有源层20、第四有源层40、第五有源层50、第六有源层60和第七有源层70的形状可以呈“1”字形。

[0122] 在一些示例性实施方式中,每个晶体管的有源层可以包括第一区、第二区以及位于第一区和第二区之间的沟道区。在一些示例性实施方式中,第一有源层10的第二区102同时作为第二有源层20的第一区201,即第一有源层10的第二区102和第二有源层20的第一区201之间相互连接。第三有源层30的第一区301同时作为第四有源层40的第二区402和第五有源层50的第二区502,即第三有源层30的第一区301、第四有源层40的第二区402和第五有源层50的第二区502之间相互连接。第三有源层30的第二区302同时作为第六有源层60的第一区601和第二有源层20的第二区202,即第三有源层30的第二区302、第六有源层60的第一区601和第二有源层20的第二区202之间相互连接。第六有源层60的第二区602同时作为第七有源层70的第二区702,即第六有源层60的第二区602和第七有源层70的第二区702之间相互连接。第一有源层10的第一区101、第四有源层40的第一区401、第五有源层50的第一区501和第七有源层70的第一区701单独设置。

[0123] 在一些示例性实施方式中,在第二方向Y上,任意相邻两列子像素的第一半导体层为镜像对称结构。

[0124] 在一些示例性实施方式中,第三有源层30的沟道区沿行方向延伸,第一有源层10、第二有源层20、第四有源层40、第五有源层50、第六有源层60和第七有源层70的沟道区沿列方向延伸。

[0125] 在一些示例性实施方式中,第一半导体层可以采用多晶硅(p-Si),即第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管和第七晶体管可以均为

LTPS薄膜晶体管。

[0126] 本次工艺后,显示基板包括设置在基底90上的第一绝缘层91和设置在第一绝缘层91上的第一半导体层,第一半导体层可以包括多个晶体管的有源层。

[0127] (12)形成第一导电层图案。在一些示例性实施方式中,形成第一导电层图案可以包括:在形成前述图案的基底90上,依次沉积第二绝缘薄膜和第一金属薄膜,通过图案化工艺对第一金属薄膜进行图案化,形成覆盖第一半导体层图案的第二绝缘层92,以及设置在第二绝缘层92上的第一导电层图案,第一导电层图案至少包括:第一扫描信号线Gate_P、复位控制信号线Reset_P、发光控制信号线EM_P和第一电容的第一极板Ce1,如图8所示。在一些示例性实施方式中,第一导电层可以称为第一栅金属(GATE 1)层。

[0128] 在一些示例性实施方式中,在第二方向Y上,任意相邻两列子像素的第一导电层为镜像对称结构。

[0129] 在一些示例性实施方式中,第一扫描信号线Gate_P、复位控制信号线Reset_P和发光控制信号线EM_P均沿第一方向X延伸。在每个子像素内,复位控制信号线Reset_P位于第一扫描信号线Gate_P远离发光控制信号线EM_P的一侧,存储电容的第一极板Ce1设置在第一扫描信号线Gate_P和发光控制信号线EM_P之间。

[0130] 在一些示例性实施方式中,第一极板Ce1可以为矩形状,矩形状的角部可以设置倒角,第一极板Ce1在基底90上的正投影与第三晶体管T3的第三有源层30在基底90上的正投影存在重叠区域。在一些示例性实施方式中,第一极板Ce1同时作为第三晶体管T3的栅电极,第三晶体管T3的第三有源层30与第一极板Ce1相重叠的区域作为第三晶体管T3的沟道区,沟道区的一端连接第三有源层30的第一区,另一端连接第三有源层30的第二区。

[0131] 在一些示例性实施方式中,复位控制信号线Reset_P与第一晶体管T1的第一有源层相重叠的区域作为第一晶体管T1的栅电极,第一扫描信号线Gate_P与第二晶体管T2的第二有源层相重叠的区域作为第二晶体管T2的栅电极,第一扫描信号线Gate_P与第四晶体管T4的第四有源层相重叠的区域作为第四晶体管T4的栅电极,发光控制信号线EM_P与第五晶体管T5的第五有源层相重叠的区域作为第五晶体管T5的栅电极,发光控制信号线EM_P与第六晶体管T6的第六有源层相重叠的区域作为第六晶体管T6的栅电极。每行子像素的下一行子像素中的复位控制信号线Reset_P(与本行子像素中的第一扫描信号线Gate_P的信号相同)与本行子像素中的第七晶体管T7的第七有源层相重叠的区域作为第七晶体管T7的栅电极。

[0132] 在一些示例性实施方式中,形成第一导电层图案后,可以利用第一导电层作为遮挡,对第一半导体层进行导体化处理,被第一导电层遮挡区域的第一半导体层形成各个晶体管的沟道区域,未被第一导电层遮挡区域的第一半导体层被导体化,即各个有源层的第一区和第二区均被导体化。

[0133] 本次工艺后,显示基板包括设置在基底90上的第一绝缘层91、设置在第一绝缘层91上的第一半导体层、覆盖第一半导体层上的第二绝缘层92和设置在第二绝缘层92上的第一导电层,第一导电层可以包括第一扫描信号线的第一分支Gate_B1、第一扫描信号线Gate_P、复位控制信号线Reset_P、发光控制信号线EM_P和存储电容的第一极板Ce1。

[0134] (13)形成第二导电层图案。在一些示例性实施方式中,形成第二导电层图案可以包括:在形成前述图案的基底90上,依次沉积第三绝缘薄膜和第二金属薄膜,采用图案化工

艺对第二金属薄膜进行图案化,形成覆盖第一导电层的第三绝缘层93,以及设置在第三绝缘层93上的第二导电层图案,第二导电层图案至少包括:存储电容的第二极板Ce2和第二扫描信号线GateN的第一分支GateN_B1,如图9所示。在一些示例性实施方式中,第二导电层可以称为第二栅金属(GATE 2)层。

[0135] 在一些示例性实施方式中,在第二方向Y上,任意相邻两列子像素的第二导电层为镜像对称结构。

[0136] 在一些示例性实施方式中,第二扫描信号线GateN的第一分支GateN_B1沿第一方向X延伸。在每个子像素内,存储电容的第二极板Ce2位于第二扫描信号线GateN的第一分支GateN_B1和发光控制信号线EM_P之间。

[0137] 在一些示例性实施方式中,第二极板Ce2的轮廓可以为矩形状,矩形状的角部可以设置倒角,第二极板Ce2在基底90上的正投影与第一极板Ce1在基底90上的正投影存在重叠区域。第二极板Ce2上设置有开口H,开口H可以位于第二极板Ce2的中部。开口H可以为正六边形,使第二极板Ce2形成环形结构。开口H暴露出覆盖第一极板Ce1的第三绝缘层,且第一极板Ce1在基底90上的正投影包含开口H在基底90上的正投影。在一些示例性实施方式中,开口H配置为容置后续形成的第四过孔,第四过孔位于开口H内并暴露出第一极板Ce1,使后续形成的第八晶体管T8的第二极与第一极板Ce1连接。

[0138] 本次工艺后,显示基板包括设置在基底90上的第一绝缘层91、设置在第一绝缘层91上的第一半导体层、覆盖第一半导体层上的第二绝缘层92、设置在第二绝缘层92上的第一导电层,覆盖第一导电层的第三绝缘层93和设置在第三绝缘层93上的第二导电层,第二导电层至少包括存储电容的第二极板Ce2和第二扫描信号线GateN的第一分支GateN_B1。

[0139] (14)形成第二半导体层图案。在一些示例性实施方式中,形成第二半导体层图案可以包括:在形成前述图案的基底90上,依次沉积第四绝缘薄膜和第二半导体薄膜,通过图案化工艺对第二半导体薄膜进行图案化,形成覆盖基底90的第四绝缘层94,以及设置在第四绝缘层94上的第二半导体层,如图10所示。

[0140] 在一些示例性实施方式中,在第二方向Y上,任意相邻两列子像素的第二半导体层为镜像对称结构。

[0141] 如图10所示,每个子像素的第二半导体层可以包括第八晶体管T8的第八有源层80。在一些示例性实施方式中,第八有源层80沿第二方向Y延伸,第八有源层80的形状可以呈哑铃形。

[0142] 在一些示例性实施方式中,第八有源层80的第一区801与第一晶体管T1的第一有源层邻近,第八有源层80的第二区802与第一电容C1邻近。

[0143] 在一些示例性实施方式中,第二半导体层可以采用氧化物,即第八晶体管为氧化物薄膜晶体管。

[0144] 本次工艺后,显示基板包括设置在基底90上的第一绝缘层91、设置在第一绝缘层91上的第一半导体层、覆盖第一半导体层上的第二绝缘层92、设置在第二绝缘层92上的第一导电层、覆盖第一导电层的第三绝缘层93、设置在第三绝缘层93上的第二导电层、覆盖第二导电层的第四绝缘层94和设置在第四绝缘层94上的第二半导体层,第二半导体层至少包括第八有源层80。

[0145] (15)形成第三导电层图案。在一些示例性实施方式中,形成第三导电层图案可以

包括:在形成前述图案的基底90上,依次沉积第五绝缘薄膜和第三金属薄膜,采用图案化工艺对第五绝缘薄膜和第三金属薄膜进行图案化,形成设置在第二半导体层上的第五绝缘层95,以及设置在第五绝缘层95上的第三导电层图案,第三导电层图案至少包括:第二扫描信号线GateN的第二分支GateN_B2和第二初始信号线INIT2,如图11所示。在一些示例性实施方式中,第三导电层可以称为第三栅金属(GATE3)层。

[0146] 在一些示例性实施方式中,在第二方向Y上,任意相邻两列子像素的第三导电层为镜像对称结构。

[0147] 在一些示例性实施方式中,第二扫描信号线GateN的第二分支GateN_B2沿第一方向X延伸,第二扫描信号线GateN的第二分支GateN_B2与第一扫描信号线Gate的第二分支Gate_B2靠近。在一些示例性实施方式中,第二扫描信号线GateN的第二分支GateN_B2与第八有源层80重叠的区域作为第八晶体管的栅电极。

[0148] 在一些示例性实施方式中,第二扫描信号线的第二分支GateN_B2在基底90上的正投影与第二扫描信号线的第一分支GateN_B1在基底90上的正投影交叠。在一些示例性实施方式中,第二扫描信号线的第一分支GateN_B1与第二扫描信号线的第二分支GateN_B2可以在周边区域通过信号线连接。

[0149] 在一些示例性实施方式中,第二初始信号线INIT2沿第一方向X延伸,在每行子像素内,第二初始信号线INIT2设置在复位控制信号线Reset_P远离第一扫描信号线Gate_P的一侧。

[0150] 本次工艺后,显示基板包括设置在基底90上的第一绝缘层91、设置在第一绝缘层91上的第一半导体层、覆盖第一半导体层上的第二绝缘层92、设置在第二绝缘层92上的第一导电层、覆盖第一导电层的第三绝缘层93、设置在第三绝缘层93上的第二导电层、覆盖第二导电层的第四绝缘层94和设置在第四绝缘层94上的第二半导体层、覆盖第二半导体层的第五绝缘层95和设置在第五绝缘层95上的第三导电层,第三导电层至少包括第二扫描信号线GateN的第二分支GateN_B2。

[0151] (16) 形成氧化物过孔和多晶硅过孔图案。在一些示例性实施方式中,形成氧化物过孔和多晶硅过孔图案可以包括:在形成前述图案的基底90上,沉积第六绝缘薄膜,采用图案化工艺对第六绝缘薄膜进行图案化,形成覆盖第三导电层的第六绝缘层96,第六绝缘层96上设置有多个过孔,多个过孔至少包括:第一过孔V1、第二过孔V2、第三过孔V3、第四过孔V4、第五过孔V5、第六过孔V6、第七过孔V7、第八过孔V8、第九过孔V9、第十过孔V10和第十一过孔V11,如图12所示。

[0152] 在一些示例性实施方式中,第一过孔V1内的第六绝缘层和第五绝缘层被刻蚀掉,暴露出第八有源层80的第二区的表面。

[0153] 在一些示例性实施方式中,第二过孔V2内的第六绝缘层和第五绝缘层被刻蚀掉,暴露出第八有源层80的第一区的表面。

[0154] 在一些示例性实施方式中,第三过孔V3内的第六绝缘层、第五绝缘层、第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第二有源层的第一区(也是第一有源层的第二区)的表面。第三过孔V3配置为使后续形成的第二晶体管T2的第一极通过该过孔与第二有源层连接,以及使后续形成的第一晶体管T1的第二极通过该过孔与第一有源层连接。

[0155] 在一些示例性实施方式中,第四过孔V4位于第二极板Ce2的开口H内,第四过孔V4

在基底90上的正投影位于开口H在基底90上的正投影的范围之内,第四过孔V4内的第六绝缘层、第五绝缘层、第四绝缘层和第三绝缘层被刻蚀掉,暴露出第一极板Ce1的表面。第四过孔V4配置为使后续形成的第三连接电极43与通过该过孔与第一极板Ce1连接。

[0156] 在一些示例性实施方式中,第五过孔V5内的第六绝缘层、第五绝缘层、第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第五有源层的第一区的表面。第五过孔V5配置为使后续形成的第五晶体管T5的第一极通过该过孔与第五有源层连接。

[0157] 在一些示例性实施方式中,第六过孔V6位于第二极板Ce2所在区域,第六过孔V6在基底90上的正投影位于第二极板Ce2在基底90上的正投影的范围之内,第六过孔V6内的第六绝缘层、第五绝缘层和第四绝缘层被刻蚀掉,暴露出第二极板Ce2的表面。第六过孔V6配置为使后续形成的第五连接电极45通过该过孔与第二极板Ce2连接。

[0158] 在一些示例性实施方式中,第七过孔V7内的第六绝缘层、第五绝缘层、第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第一有源层的第一区的表面。第七过孔V7配置为使后续形成的第一晶体管T1的第一极通过该过孔与第一有源层连接。

[0159] 在一些示例性实施方式中,第八过孔V8内的第六绝缘层、第五绝缘层、第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第七有源层的第一区的表面。第八过孔V8配置为使后续形成的第一初始信号线通过该过孔与第七有源层连接。

[0160] 在一些示例性实施方式中,第九过孔V9内的第六绝缘层、第五绝缘层、第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第六有源层的第二区(也是第七有源层的第二区)的表面。第九过孔V9配置为使后续形成的第六晶体管T6的第二极通过该过孔与第六有源层连接,以及使后续形成的第七晶体管T7的第二极通过该过孔与第七有源层连接。

[0161] 在一些示例性实施方式中,第十过孔V10内的第六绝缘层、第五绝缘层、第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第四有源层的第一区的表面。第十过孔V10配置为使后续形成的第二连接电极42通过该过孔与第四有源层连接。

[0162] 在一些示例性实施方式中,第十一过孔V11内的第六绝缘层被刻蚀掉,暴露出第二初始信号线INIT2的表面。第十一过孔V11配置为使后续形成的第六连接电极46通过该过孔与第二初始信号线INIT2连接。

[0163] (17)形成第四导电层图案。在一些示例性实施方式中,形成第四导电层可以包括:在形成前述图案的基底90上,沉积第四金属薄膜,采用图案化工艺对第四金属薄膜进行图案化,形成设置在第六绝缘层上的第四导电层,第四导电层至少包括:第一初始信号线INIT1、第一连接电极41、第二连接电极42、第三连接电极43、第四连接电极44、第五连接电极45和第六连接电极46,如图13所示。在一些示例性实施方式中,第四导电层可以称为第一源漏金属(SD1)层。

[0164] 在一些示例性实施方式中,在第二方向Y上,任意相邻两列子像素的第四导电层为镜像对称结构。

[0165] 在一些示例性实施方式中,第一初始信号线INIT1沿着第一方向X延伸,第一初始信号线INIT1通过第八过孔V8与第七有源层的第一区连接,使第七晶体管T7的第一极与第一初始信号线INIT1具有相同的电位。

[0166] 在一些示例性实施方式中,第一连接电极41的一端通过第三过孔V3与第二有源层的第一区(也是第一有源层的第二区)连接,另一端通过第二过孔V2与第八有源层的第一区

连接。在一些示例性实施方式中,第一连接电极41可以作为第八晶体管T8的第一极、第二晶体管的第一极和第一晶体管的第二极。

[0167] 在一些示例性实施方式中,第二连接电极42一方面通过第十过孔V10与第四有源层的第一区连接,另一方面通过后续形成的第十三过孔V13与后续形成的数据信号线Data连接。在一些示例性实施方式中,第二连接电极42可以作为第四晶体管T4的第一极。

[0168] 在一些示例性实施方式中,第三连接电极43的一端通过第一过孔V1与第八有源层的第二区连接,其另一端通过第四过孔V4与第一极板Ce1连接。在一些示例性实施方式中,第三连接电极43可以作为第八晶体管T8的第二极。

[0169] 在一些示例性实施方式中,第四连接电极44一方面通过第九过孔V9与第六有源层的第二区(也是第七有源层的第二区),另一方面,通过后续形成的第十二过孔V12与后续形成的阳极连接电极连接。在一些示例性实施方式中,第四连接电极44可以同时作为第六晶体管T6的第二极和第七晶体管T7的第二极。

[0170] 在一些示例性实施方式中,第五连接电极45(电源连接电极),一方面通过第六过孔V6与第二极板Ce2连接,另一方面通过第五过孔V5与第五有源层的第一区连接,第五连接电极45配置为通过后续形成的第十四过孔V14与后续形成的第一电源线VDD连接。

[0171] 在一些示例性实施方式中,第六连接电极46的一端通过第七过孔V7与第一有源层的第一区连接,另一端通过第十一过孔V11与第二初始信号线连接,使第一晶体管T1的第一极与第二初始信号线INIT2具有相同的电位。

[0172] (18)形成第一平坦层97和第五导电层图案。在一些示例性实施方式中,形成第五导电层可以包括:在形成前述图案的基底90上,依次沉积第一平坦薄膜和第五金属薄膜,采用图案化工艺对第一平坦薄膜和第五金属薄膜进行图案化,形成设置在第四导电层上的第一平坦层97,以及设置在第一平坦层97上的第五导电层图案,第一平坦层97至少包括:第十二过孔V12、第十三过孔V13和第十四过孔V14,第五导电层至少包括:数据信号线Data、第一电源线VDD和阳极连接电极51,如图14所示。在一些示例性实施方式中,第五导电层可以称为第二源漏金属(SD2)层。

[0173] 在一些示例性实施方式中,在第二方向Y上,任意相邻两列子像素的第五导电层为镜像对称结构。在另一些示例性实施方式中,在第二方向Y上,任意相邻两列子像素的第五导电层也可以不为镜像对称结构,可以根据需要增加第二开口或第三开口下方的第二源漏金属层的面积,以增加上层形成的阳极的平坦度,使得子像素整体位于一个平面上,从而可以降低色偏,提高显示质量。

[0174] 在一些示例性实施方式中,如图14所示,在一个重复单元内,相邻两列子像素中的第一电源线VDD可以为相互连接的一体结构。通过使相邻两列子像素中的第一电源线VDD形成相互连接的一体结构,可以使上层形成的阳极更加平坦。

[0175] 在一些示例性实施方式中,阳极连接电极51可以为矩形形状,阳极连接电极51通过第十二过孔V12与第四连接电极44连接。

[0176] 在一些示例性实施方式中,第一电源线VDD通过第十四过孔V14与第五连接电极45连接。

[0177] 在一些示例性实施方式中,数据信号线Data沿着第二方向Y延伸,数据信号线Data通过第十三过孔V13与第二连接电极42连接,由于第二连接电极42通过第十过孔V10与第四

有源层的第一区连接,因而实现了数据信号线与第四晶体管的第一极的连接,使数据信号线Data传输的数据信号可以写入第四晶体管。

[0178] (19)形成第二平坦层图案。在一些示例性实施方式中,形成第二平坦层图案可以包括:在形成前述图案的基底90上,涂覆第二平坦薄膜,采用图案化工艺对第二平坦薄膜进行图案化,形成覆盖第五导电层的第二平坦层98,第二平坦层98上至少设置有第十五过孔V15,如图15所示。

[0179] 在一些示例性实施方式中,第十五过孔V15位于阳极连接电极51所在区域,第十五过孔V15内的第二平坦层被去掉,暴露出阳极连接电极51的表面,第十五过孔V15配置为使后续形成的阳极通过该过孔与阳极连接电极51连接。

[0180] (20)形成阳极图案。在一些示例性实施方式中,形成阳极图案可以包括:在形成前述图案的基底90上,沉积透明导电薄膜,采用图案化工艺对透明导电薄膜进行图案化,形成设置在第二平坦层98上的阳极61,如图5a所示。

[0181] 在一些示例性实施方式中,阳极通过第十五过孔V15与阳极连接电极51连接。由于阳极连接电极51通过第十二过孔V12与第四连接电极44连接,第四连接电极44还通过第九过孔V9与第六有源层的第二区(也是第七有源层的第二区)连接,因而实现了像素电路可以驱动发光元件发光。

[0182] (21)形成像素定义层(PDL)图案。在一些示例性实施方式中,形成像素定义层图案可以包括:在形成前述图案的基底90上,涂覆像素定义薄膜,通过图案化工艺对像素定义薄膜进行图案化,形成像素定义层99,每个子像素的像素定义层99设置有子像素开口SA,子像素开口SA暴露出阳极61,如图5a所示。

[0183] 在一些示例性实施方式中,如图5a至图5d所示,像素定义层99包括与绿色子像素对应的第一开口SAG、与红色子像素对应的第二开口SAR以及与蓝色子像素对应的第三开口SAB,第一开口SAG在基底90上的正投影与第二源漏金属层在基底90上的正投影不存在重叠区域,或者,第一开口SAG在基底90上的正投影与第二源漏金属层在基底90上的正投影存在重叠区域,且第一开口SAG下方的第二源漏金属层关于第一开口SAG沿第一方向X的中心线 O_1 对称。

[0184] 在一些示例性实施方式中,如图5a至图5e所示,第一开口SAG在基底90上的正投影与第一电源线VDD在基底90上的正投影存在重叠区域,且第一开口SAG下方的第一电源线VDD关于第一开口SAG沿第一方向X的中心线 O_1 对称。

[0185] 在另一些示例性实施方式中,如图6a至图6b所示,第一开口SAG在基底90上的正投影与数据信号线Data在基底90上的正投影存在重叠区域,且第一开口SAG下方的数据信号线Data关于第一开口SAG沿第一方向的中心线 O_1 对称。

[0186] 在一些示例性实施方式中,如图5e所示,第二开口SAR在基底90上的正投影与第二源漏金属层在基底90上的正投影存在重叠区域,且第二开口SAR下方的第二源漏金属层被第二开口SAR沿第一方向的中心线 O_2 分成两个部分,且两个部分的面积的差值在预设范围之内占第二开口SAR下方的第二源漏金属层的整体面积的10%至45%之间。示例性的,两个部分的面积的差值可以为20到 $43\mu\text{m}^2$ 。

[0187] 在一些示例性实施方式中,后续制备流程可以包括:采用蒸镀或喷墨打印工艺形成有机发光层(图中未示出),在有机发光层上形成阴极(图中未示出)。形成封装层(图中未

示出),封装层可以包括叠设的第一封装层、第二封装层和第三封装层,第一封装层和第三封装层可以采用无机材料,第二封装层可以采用有机材料,第二封装层设置在第一封装层和第三封装层之间,可以保证外界水汽无法进入发光结构层。

[0188] 在一些示例性实施方式中,基底90可以是柔性基底,或者可以是刚性基底。刚性衬底可以为但不限于玻璃、石英中的一种或多种,柔性衬底可以为但不限于聚对苯二甲酸乙二醇酯、对苯二甲酸乙二醇酯、聚醚醚酮、聚苯乙烯、聚碳酸酯、聚芳基酸酯、聚芳酯、聚酰亚胺、聚氯乙烯、聚乙烯、纺织纤维中的一种或多种。在一些示例性实施方式中,柔性基底可以包括叠设的第一柔性材料层、第一无机材料层、半导体层、第二柔性材料层和第二无机材料层,第一柔性材料层和第二柔性材料层的材料可以采用聚酰亚胺(PI)、聚对苯二甲酸乙二醇酯(PET)或经表面处理的聚合物软膜等材料,第一无机材料层和第二无机材料层的材料可以采用氮化硅(SiNx)或氧化硅(SiOx)等,用于提高基底的抗水氧能力,半导体层的材料可以采用非晶硅(a-si)。

[0189] 在一些示例性实施方式中,第一导电层、第二导电层、第三导电层、第四导电层和第五导电层可以采用金属材料,如银(Ag)、铜(Cu)、铝(Al)和钼(Mo)中的任意一种或多种,或上述金属的合金材料,如铝钕合金(AlNd)或钼铌合金(MoNb),可以是单层结构,或者多层复合结构,如Mo/Cu/Mo等。第一绝缘层、第二绝缘层、第三绝缘层、第四绝缘层、第五绝缘层和第六绝缘层可以采用硅氧化物(SiOx)、硅氮化物(SiNx)和氮氧化硅(SiON)中的任意一种或多种,可以是单层、多层或复合层。第一绝缘层称为缓冲(BUF)层,用于提高基底的抗水氧能力,第二绝缘层称为第一栅绝缘(GI1)层,第三绝缘层称为第二栅绝缘(GI2)层,第四绝缘层称为第一层间绝缘(ILD1)层,第五绝缘层称为第二层间绝缘(ILD2)层,第六绝缘层称为钝化(PVX)层。第一平坦(PLN1)层和第二平坦(PLN2)层可以采用有机材料,透明导电薄膜可以采用氧化铟锡ITO或氧化铟锌IZO。第一半导体层(SML1)可以采用多晶硅(p-Si),第二半导体层(SML2)可以采用氧化物。

[0190] 本公开实施例的显示基板通过使得第一开口SAG下方的源漏金属层关于第一开口SAG沿第一方向X的中心线O₁对称,使得子像素整体位于一个平面上,大大降低了色偏,提高了显示质量。此外,本公开的制备工艺可以很好地与现有制备工艺兼容,工艺实现简单,易于实施,生产效率高,生产成本低,良品率高。

[0191] 本公开所示显示基板的结构及其制备过程仅仅是一种示例性说明,在一些示例性实施方式中,可以根据实际需要变更相应结构以及增加或减少构图工艺,本公开在此不做限定。本公开所示显示基板的结构及其制备过程以图3所示的8T1C的像素电路为例进行说明,在其他示例性实施方式中,像素电路也可以为3T1C、4T1C、5T1C、5T2C、6T1C或7T1C等结构,本公开对此不作限制。

[0192] 本公开还提供一种显示基板的制备方法,以制备上述实施例提供的显示基板。在一些示例性实施方式中,该显示基板的制备方法可以包括以下步骤:

[0193] 在基底上形成导电层,所述导电层包括第一电源线和数据信号线;

[0194] 在所述导电层上形成像素定义层,所述像素定义层包括与所述绿色子像素对应的第一开口、与所述红色子像素对应的第二开口以及与所述蓝色子像素对应的第三开口,所述第一开口在基底上的正投影与所述导电层在基底上的正投影不存在重叠区域,或者,所述第一开口在基底上的正投影与所述导电层在基底上的正投影存在重叠区域,且所述第一

开口包括面积大致相同的第一区域和第二区域,所述第一区域和第二区域沿第一方向排布,所述第一区域与下方的导电层在基底上的投影相交为第一交叠区,所述第二区域与下方的导电层在基底上的投影相交为第二交叠区;所述第一交叠区的面积与所述第二交叠区的面积大致相同。

[0195] 本公开提供的显示基板的制备方法所制备的显示基板,其实现原理和实现效果与前述的显示基板的实现原理和实现效果类似,在此不再赘述。

[0196] 本公开还提供一种显示装置,显示装置包括前述的显示基板。显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件,本发明实施例并不以此为限。

[0197] 虽然本公开所揭露的实施方式如上,但所述的内容仅为便于理解本公开而采用的实施方式,并非用以限定本发明。任何所属领域内的技术人员,在不脱离本公开所揭露的精神和范围的前提下,可以在实施的形式及细节上进行任何的修改与变化,但本发明的专利保护范围,仍须以所附的权利要求书所界定的范围为准。

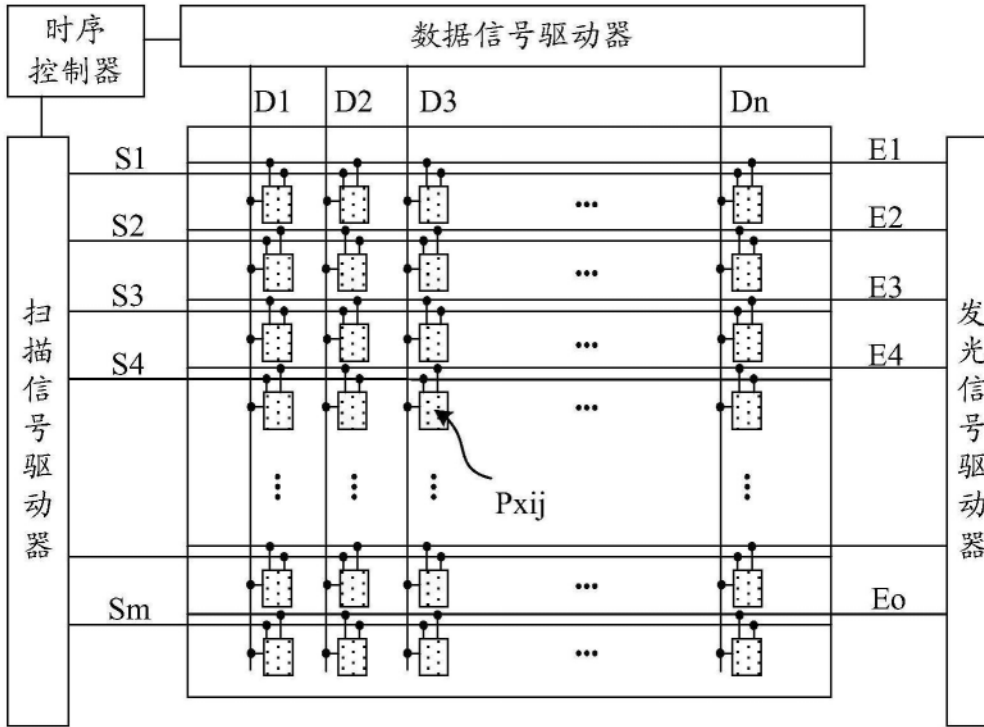


图1

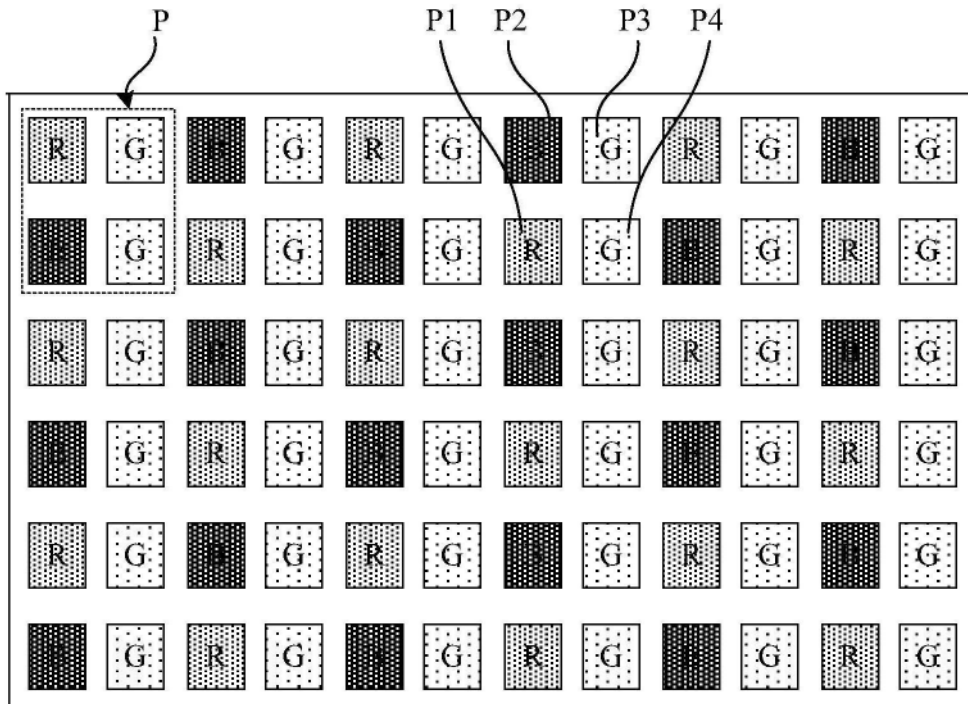


图2

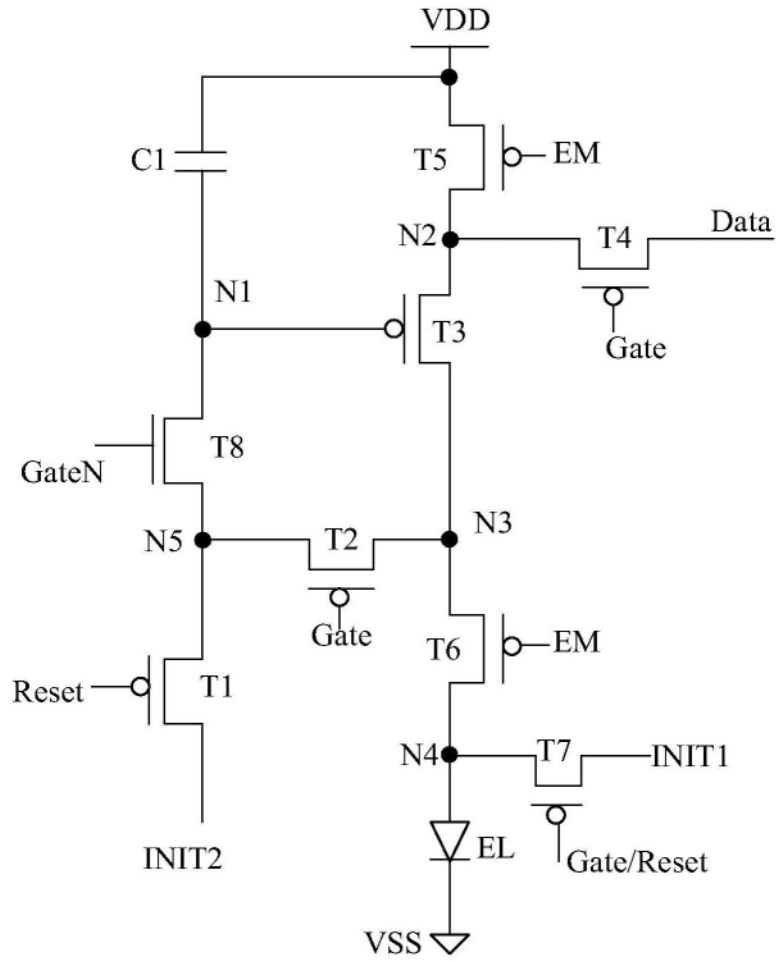


图3

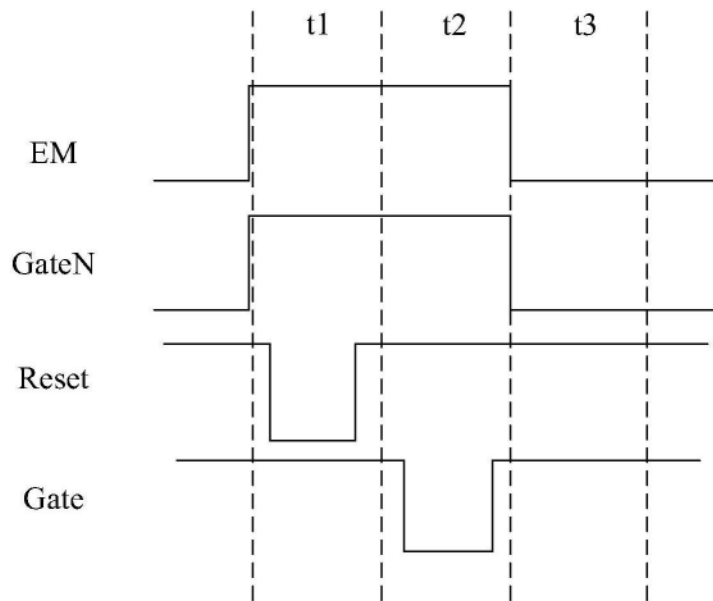


图4

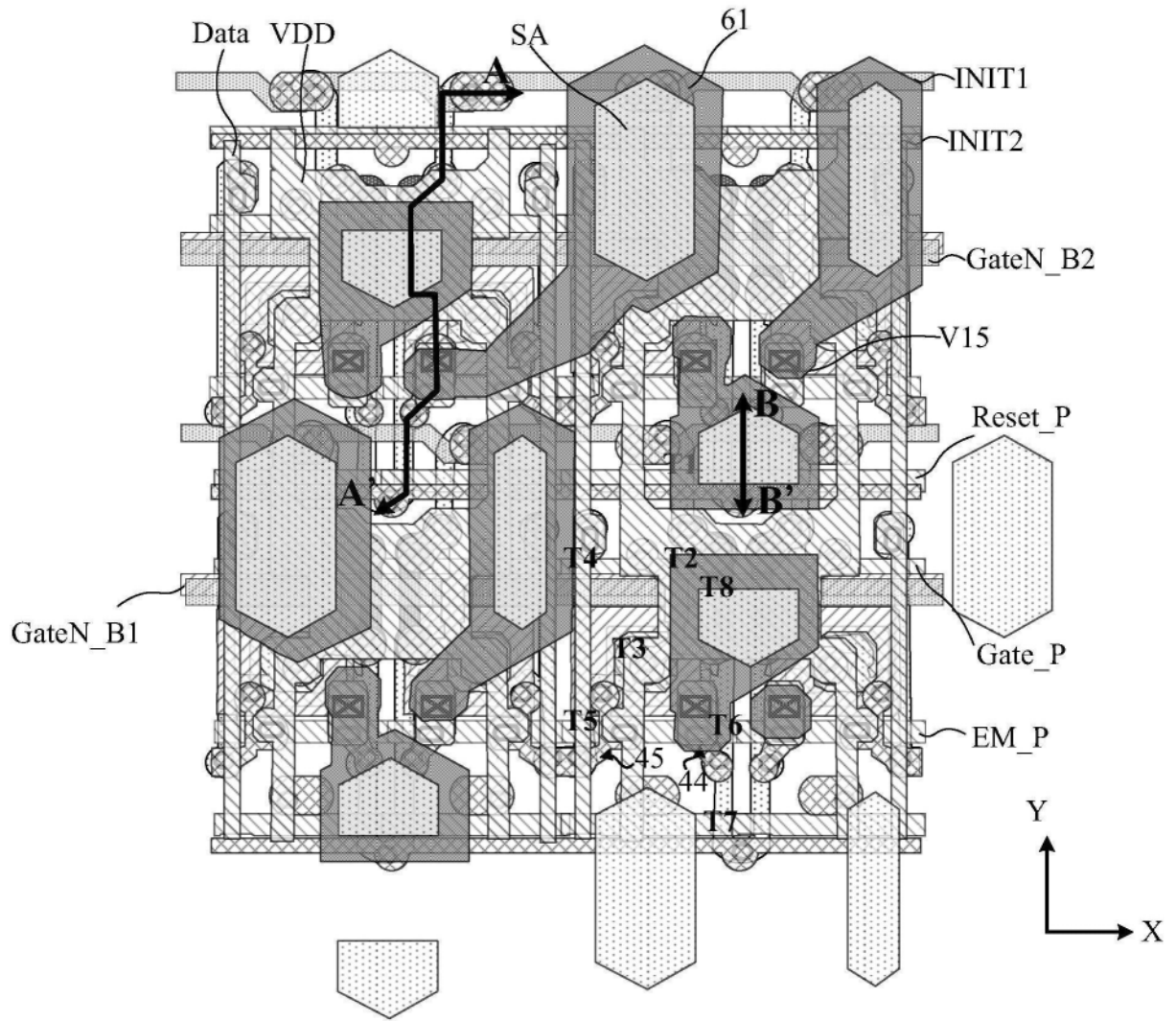


图5a

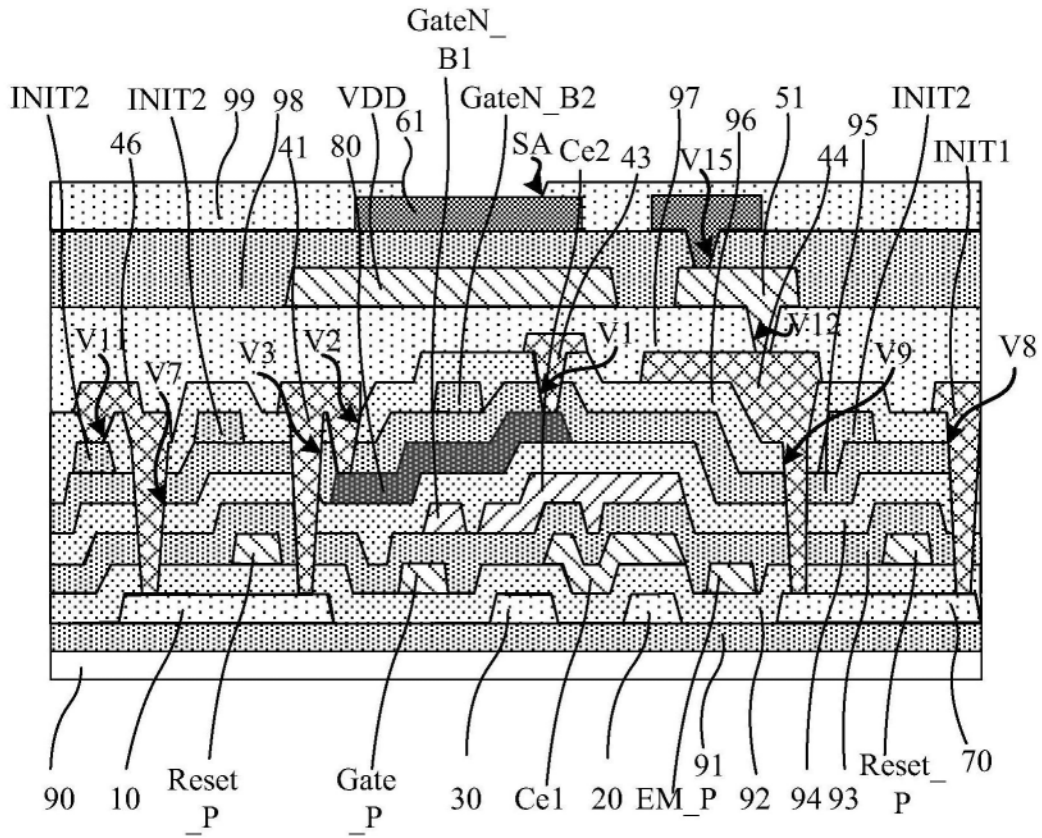


图5b

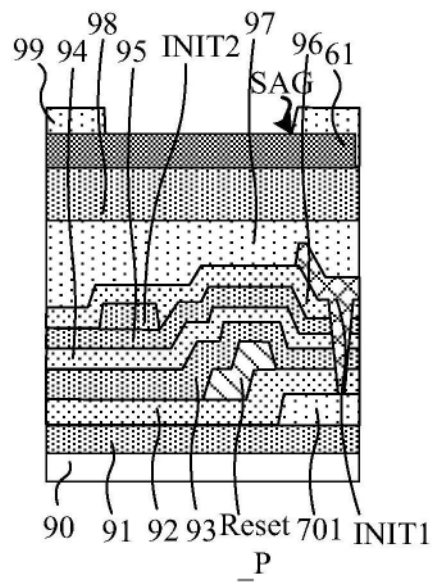


图5c

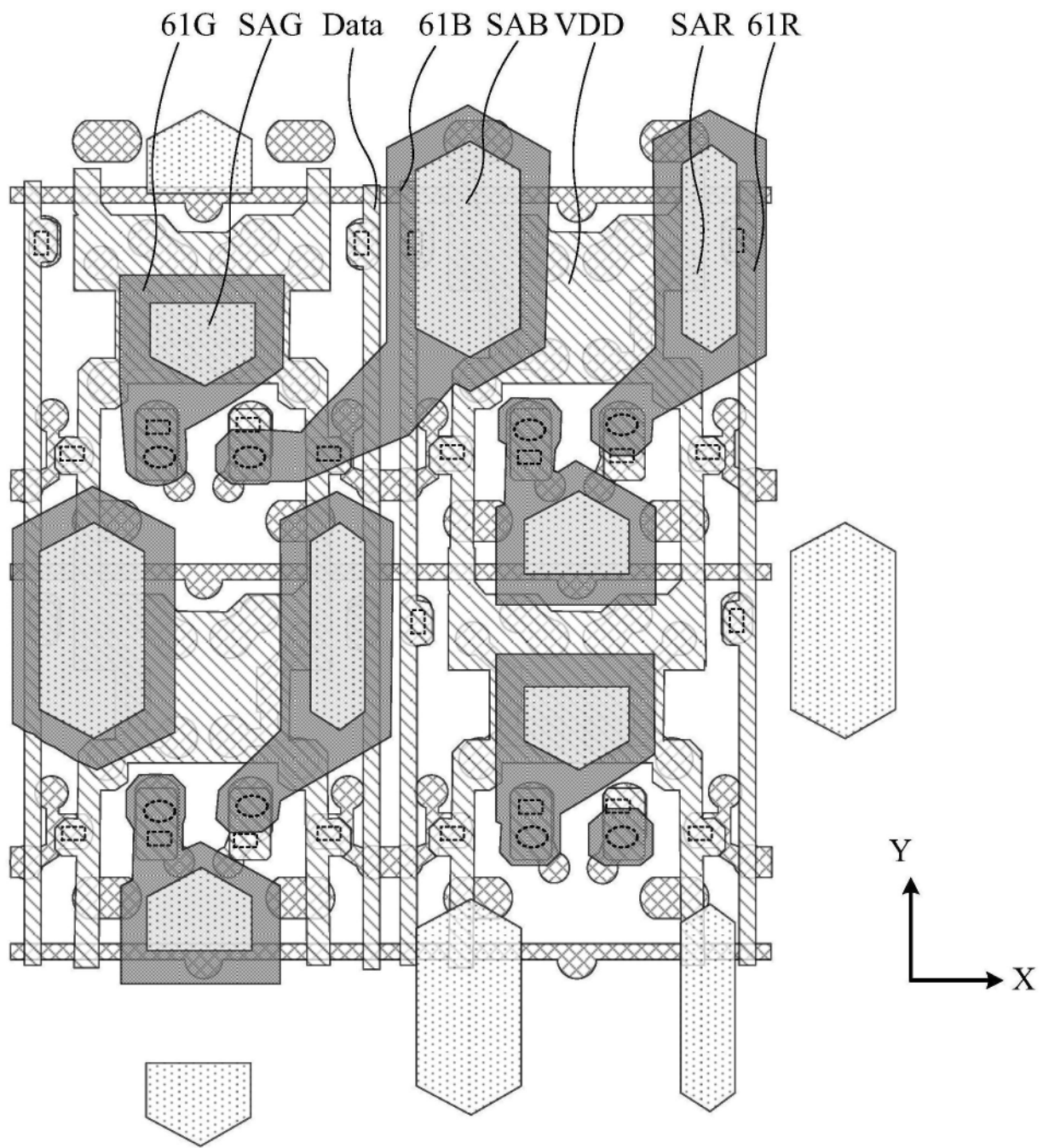


图5d

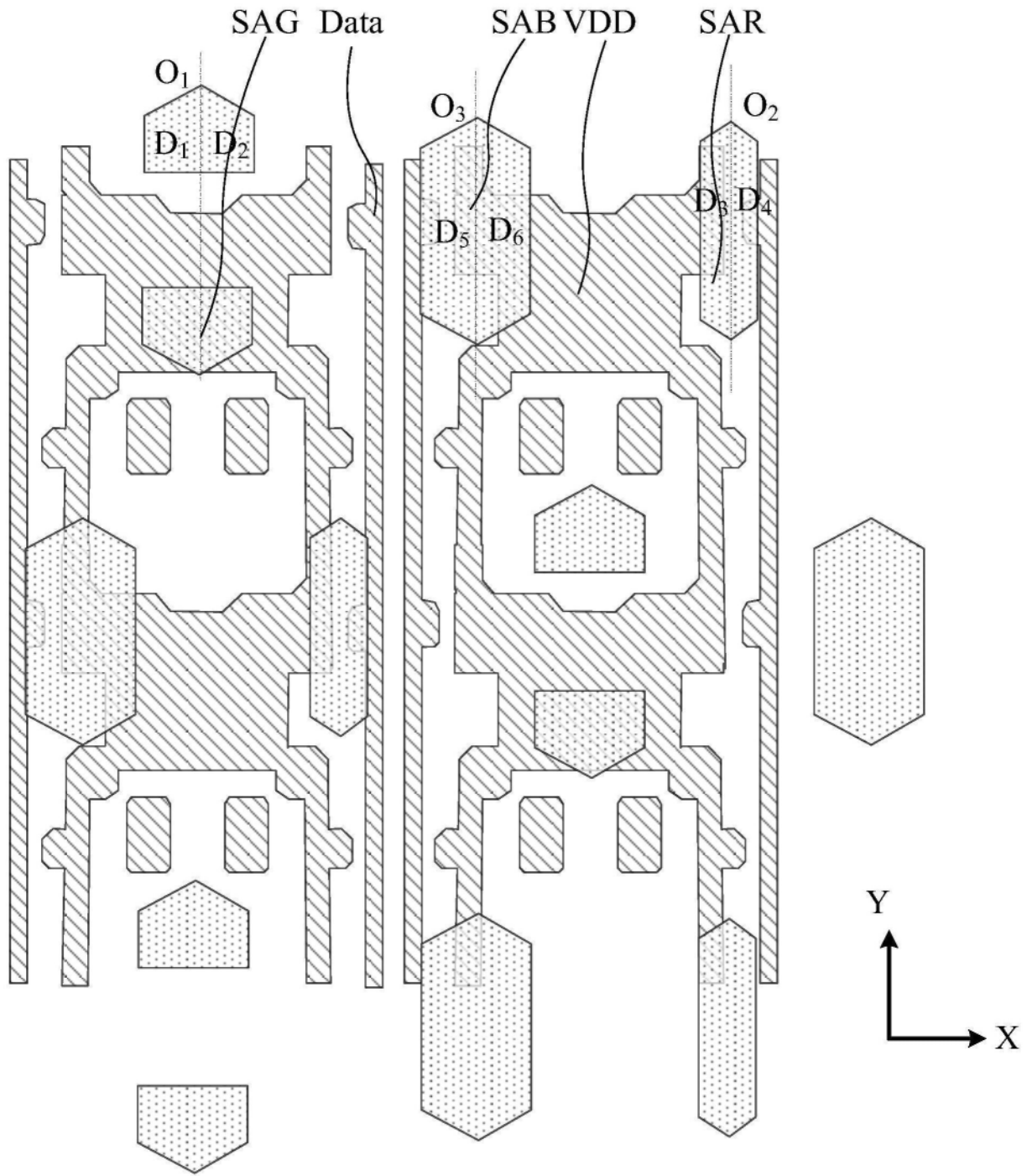


图5e

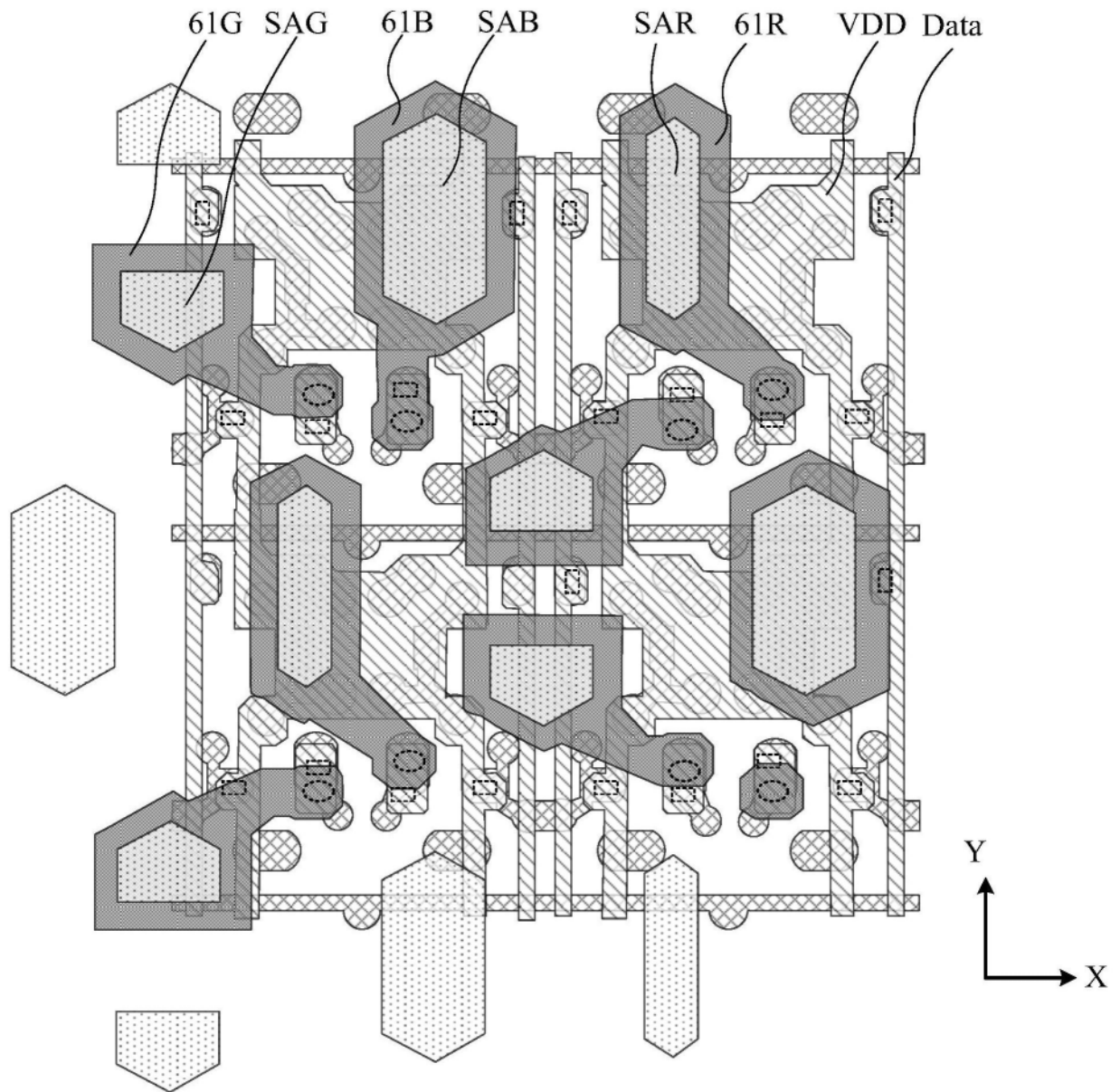


图6a

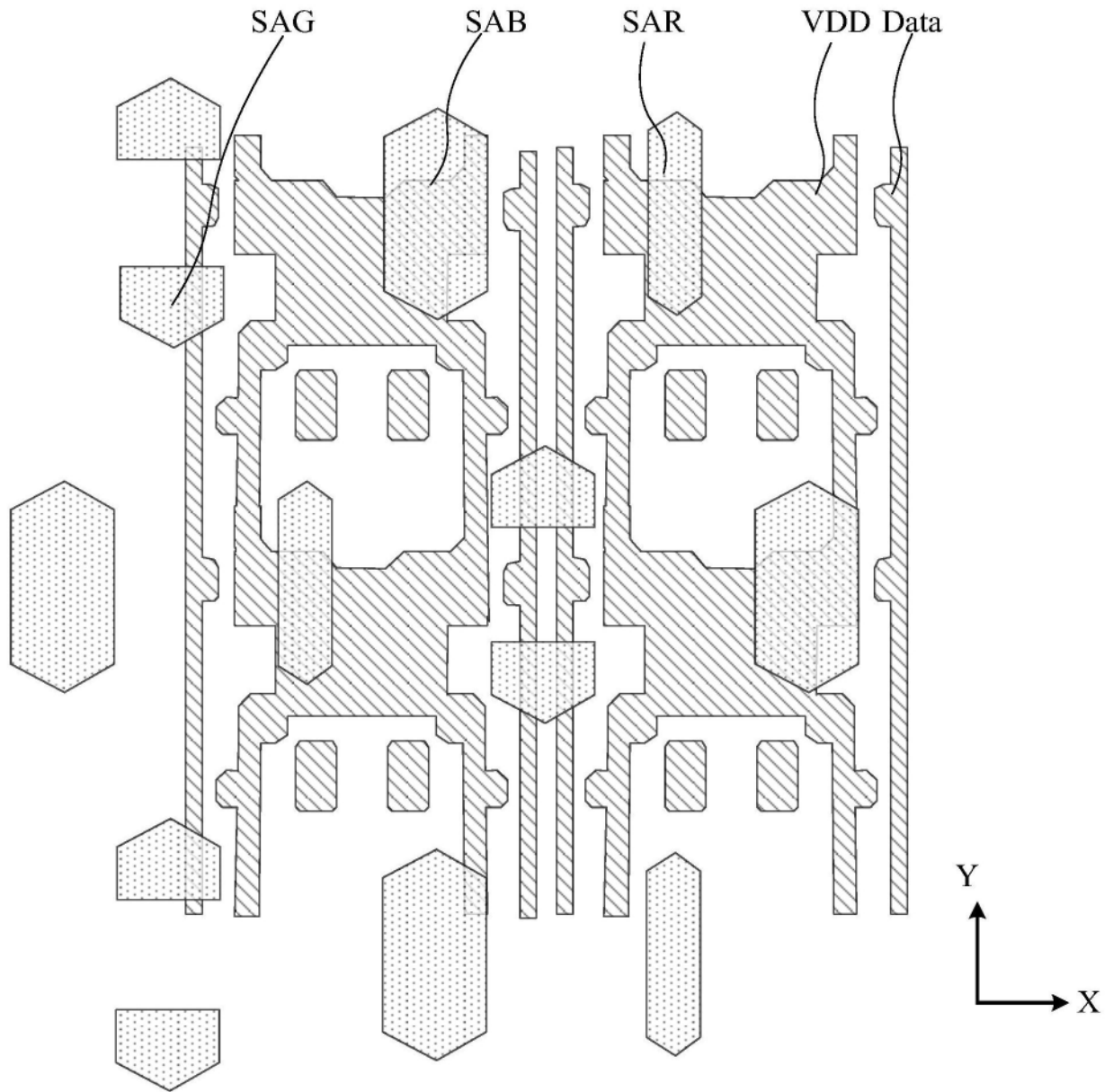


图6b

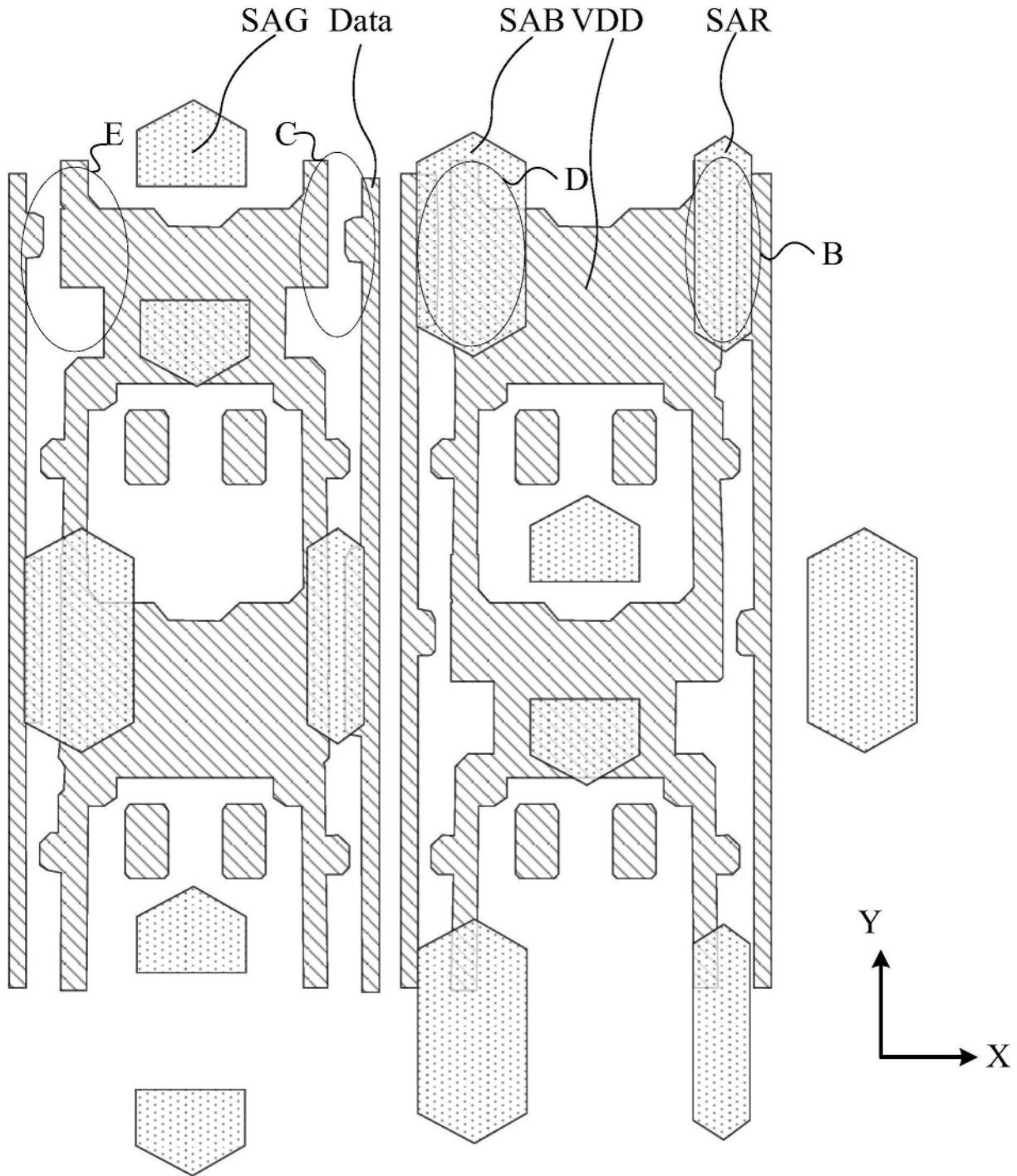


图6c

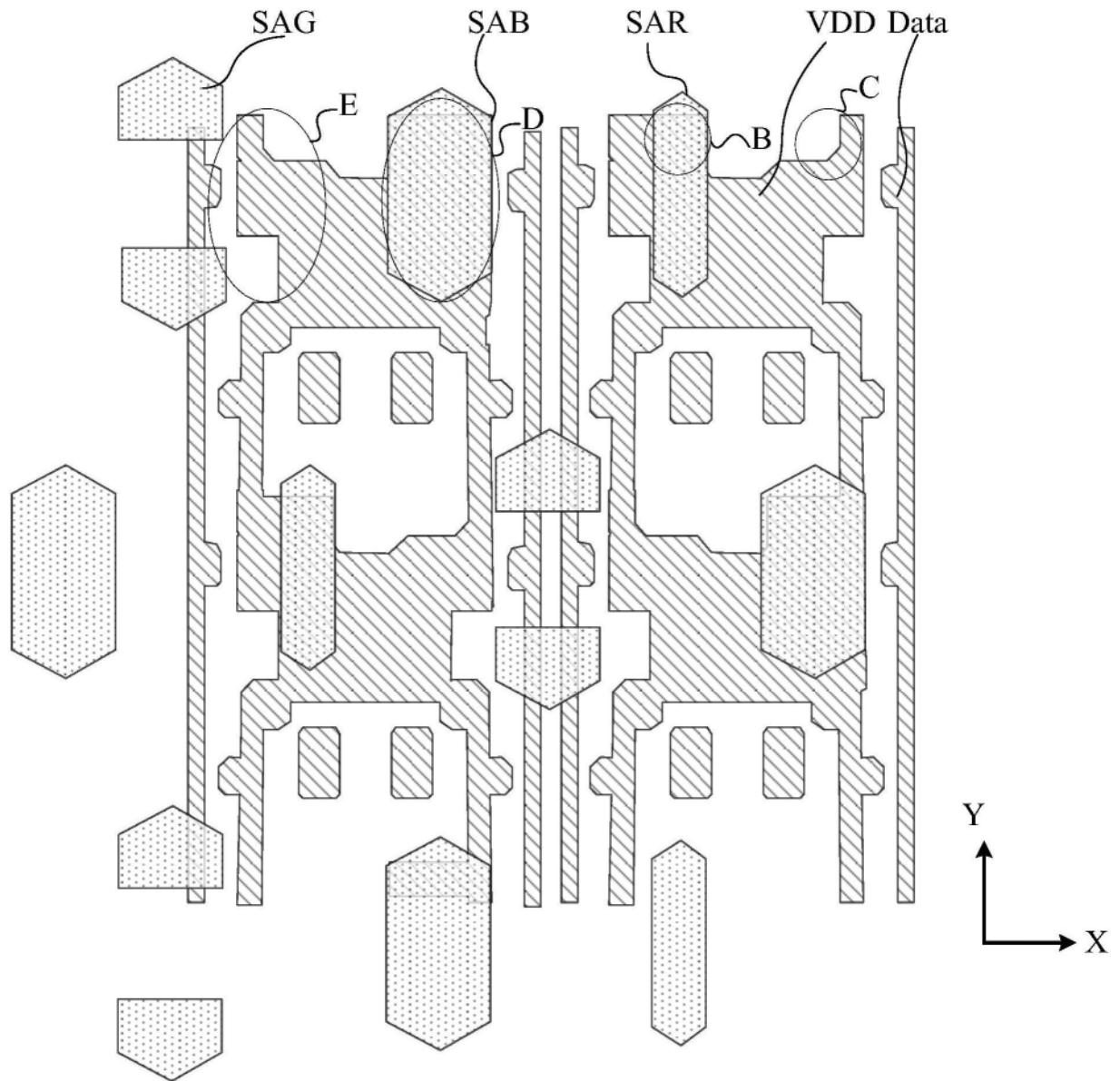


图6d

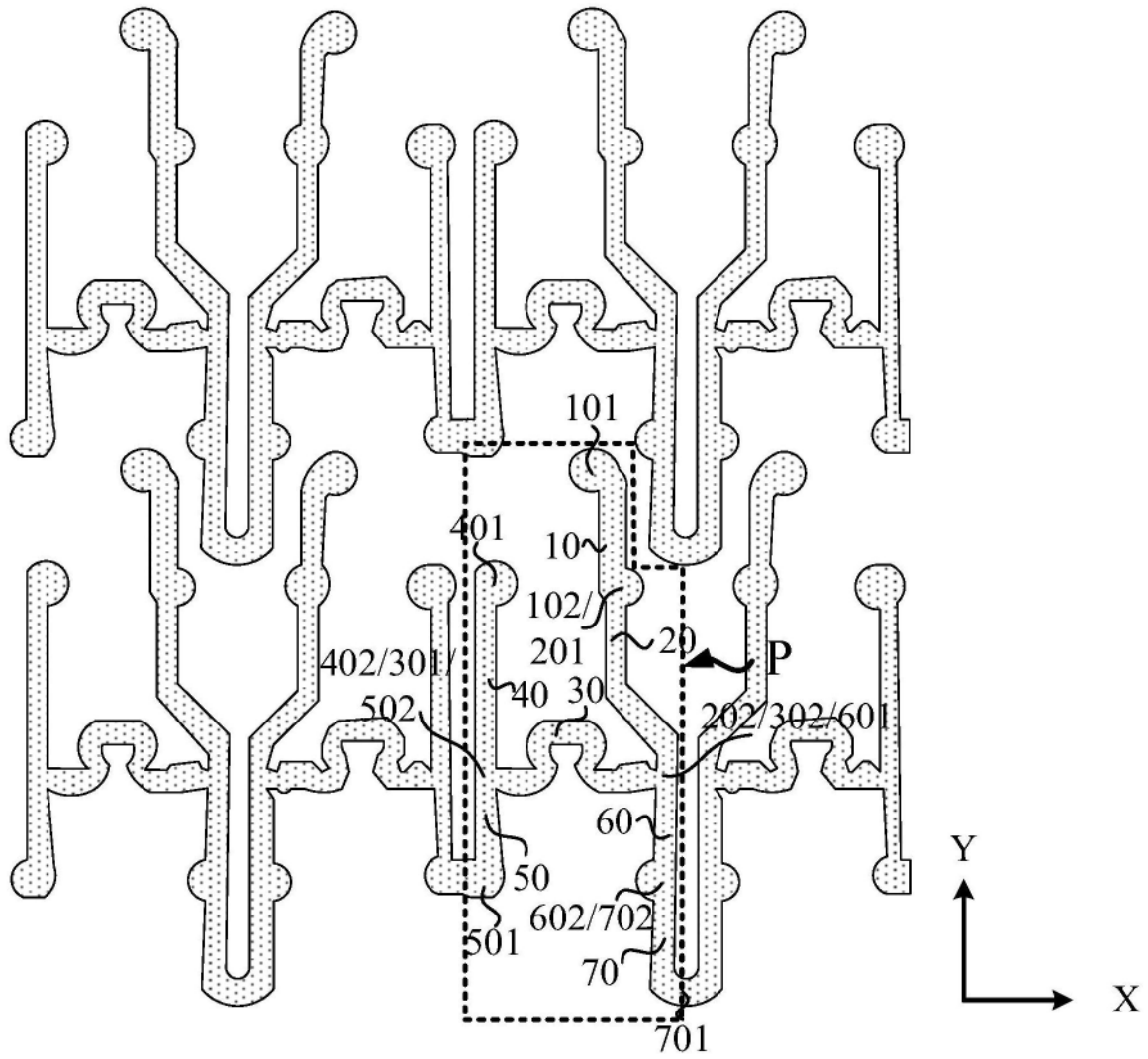


图7

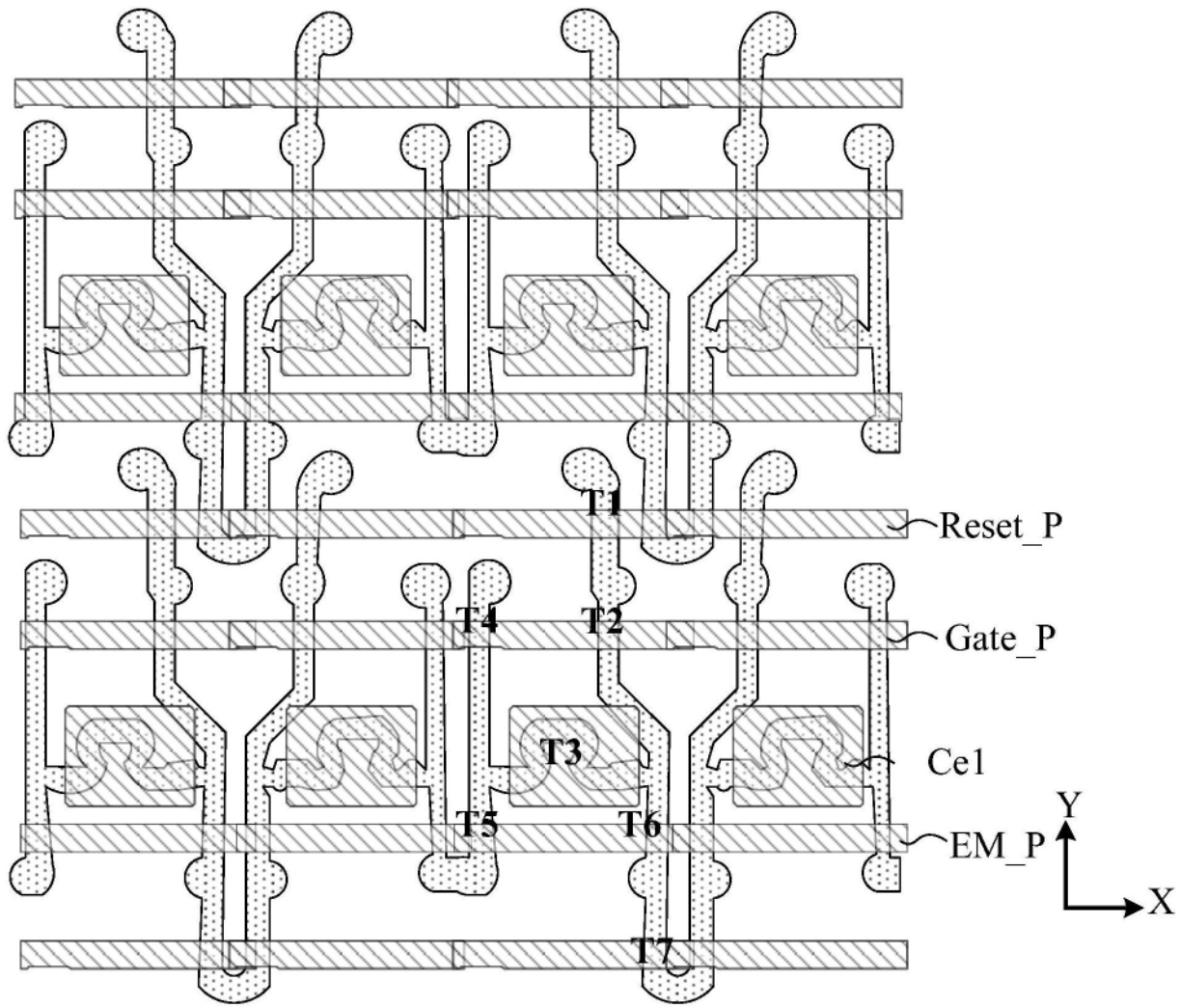


图8

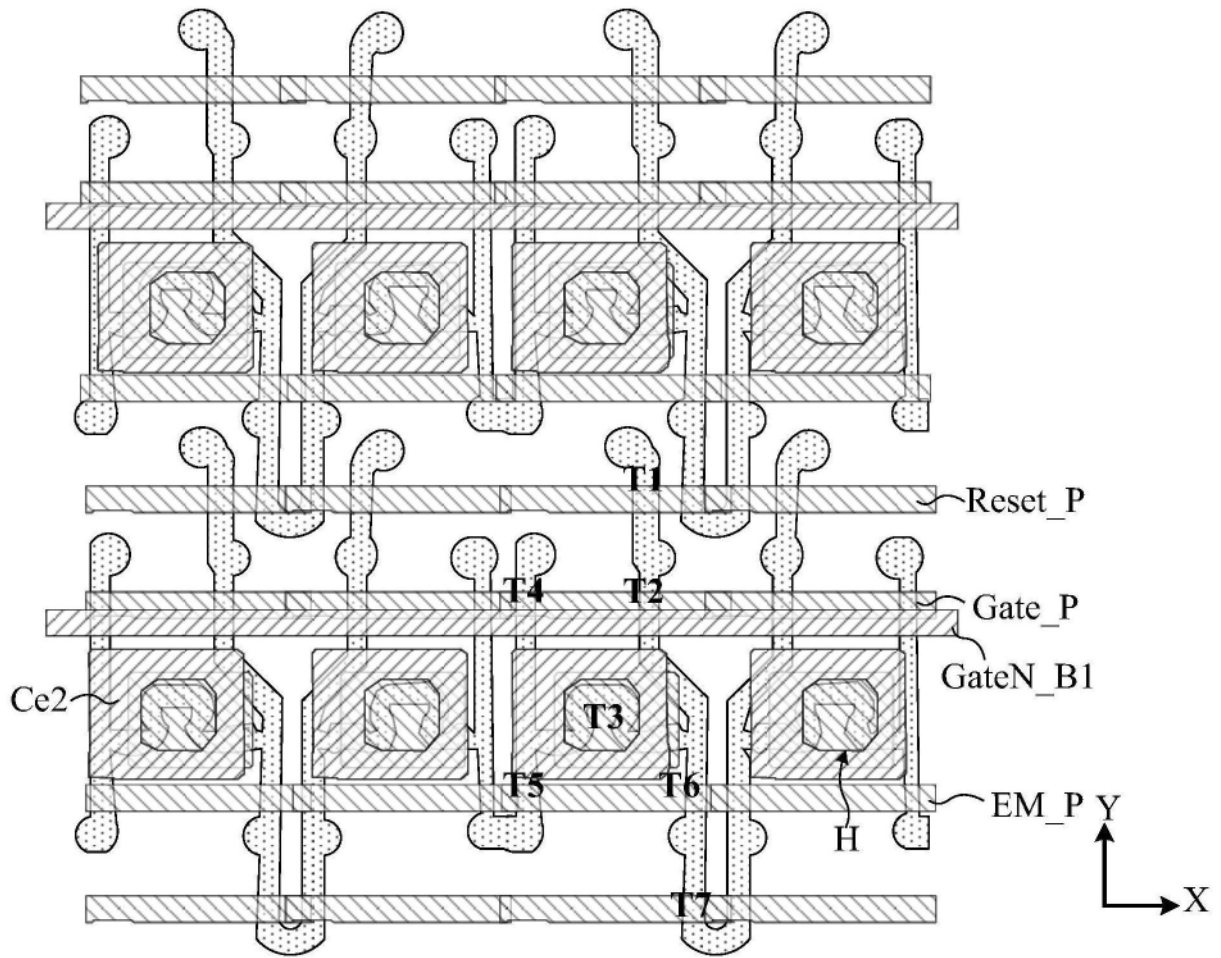


图9

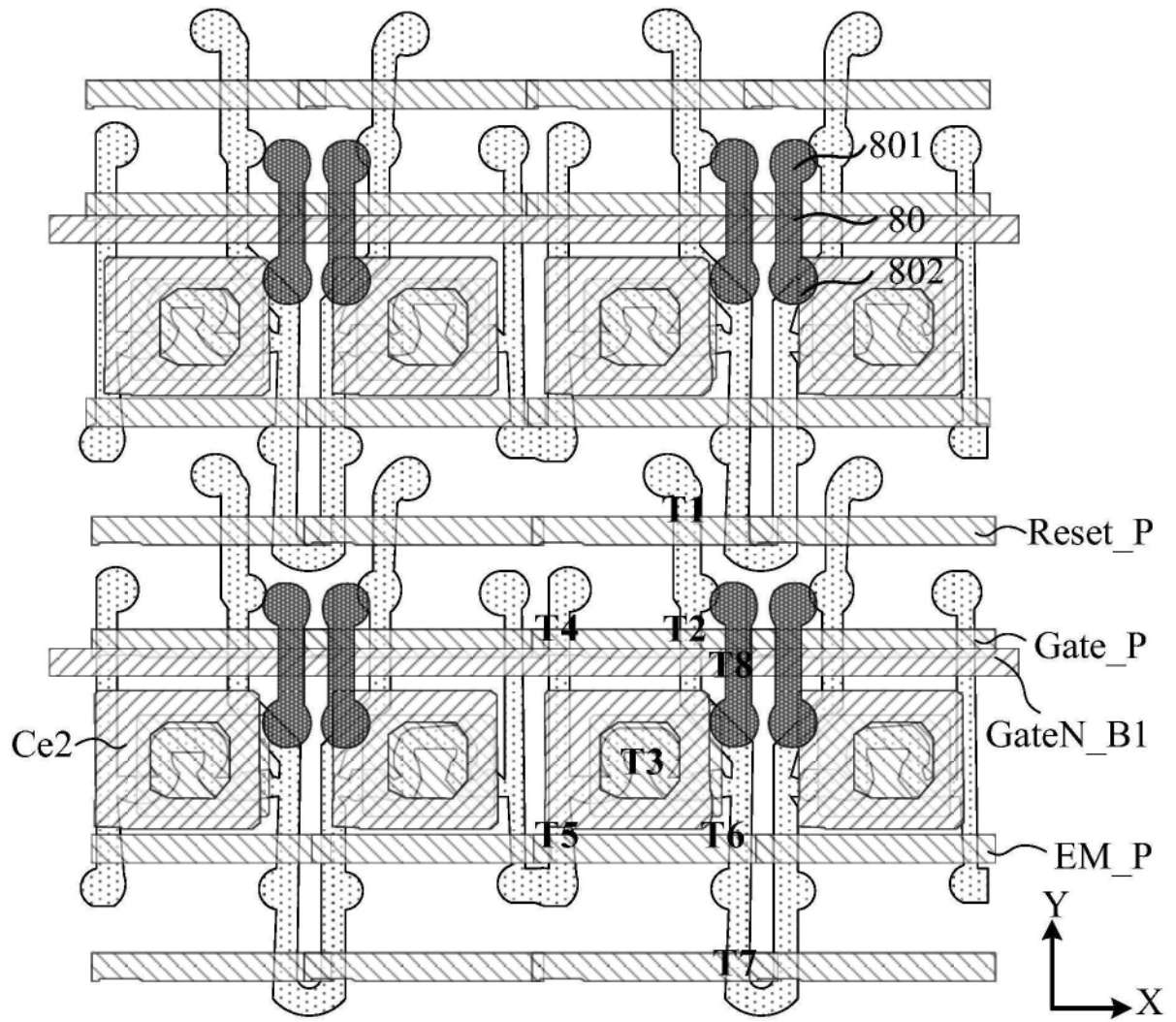


图10

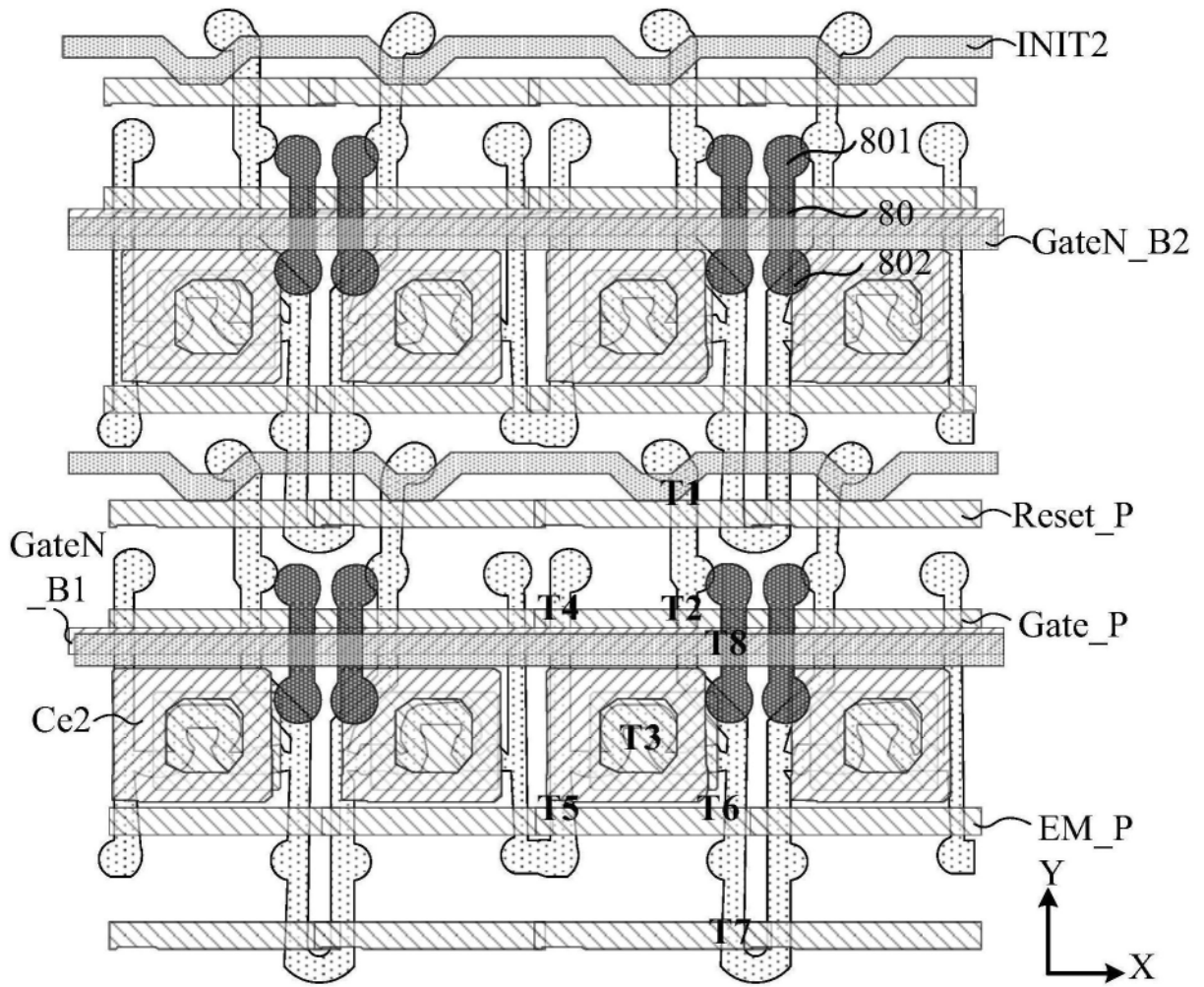


图11

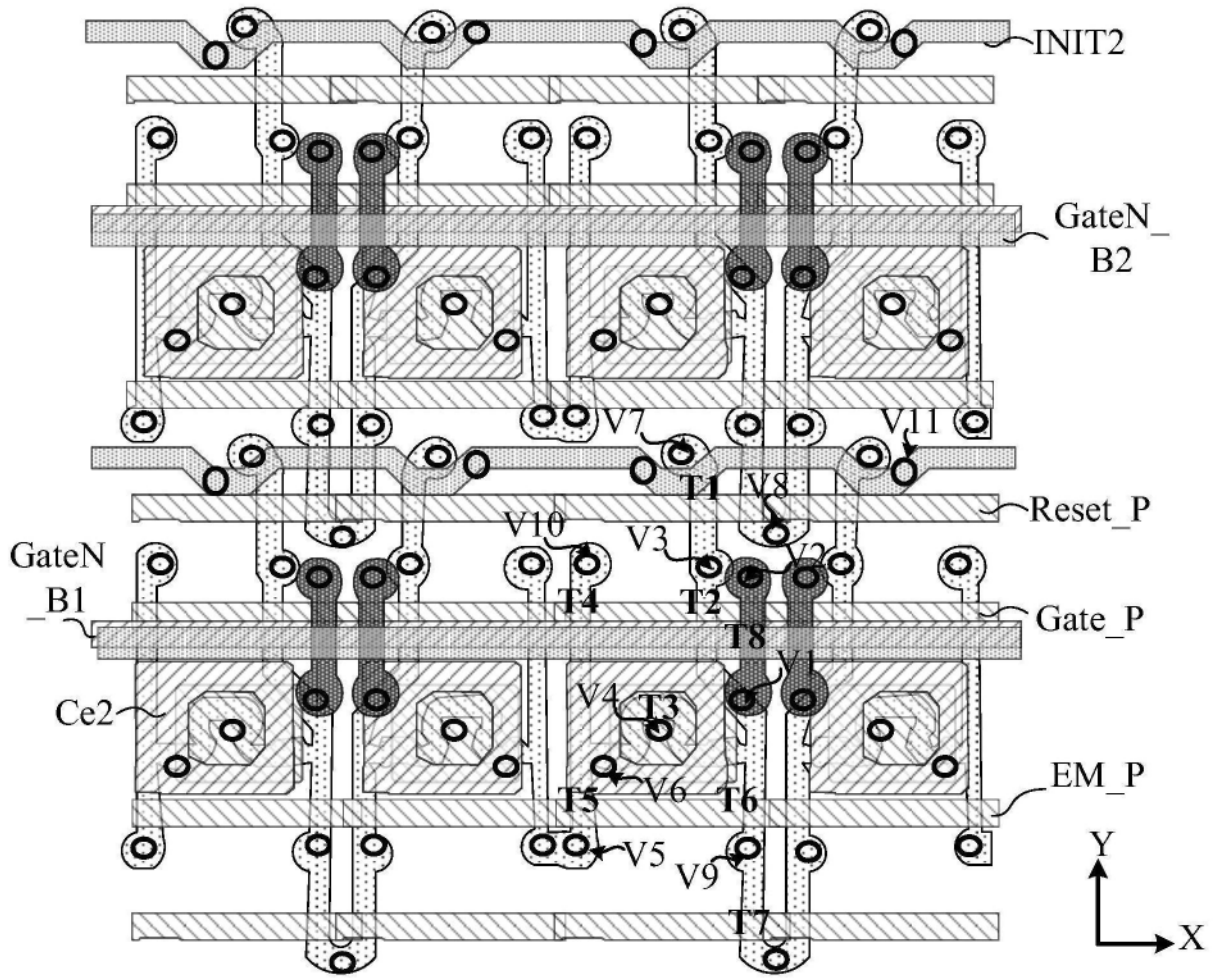


图12

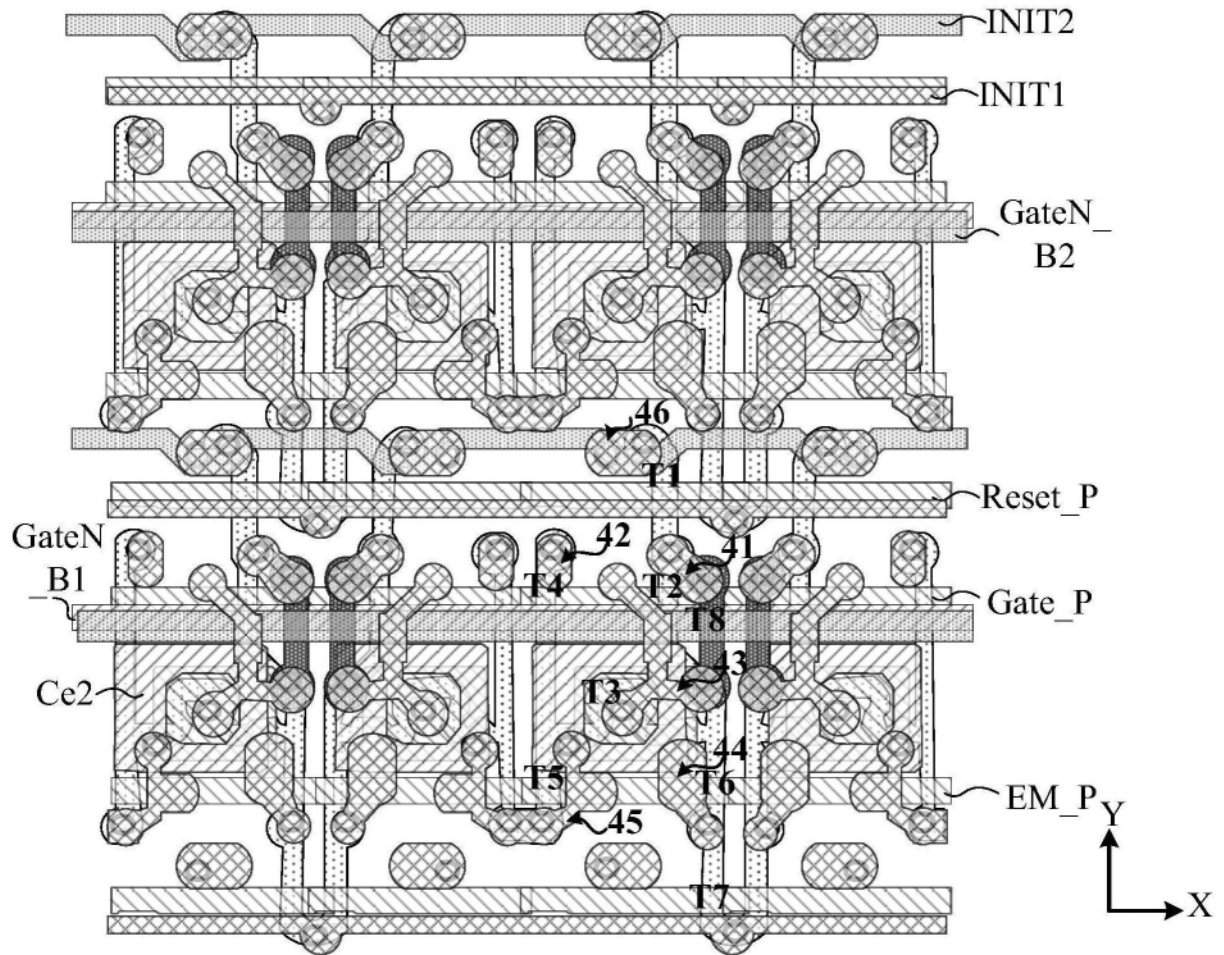


图13

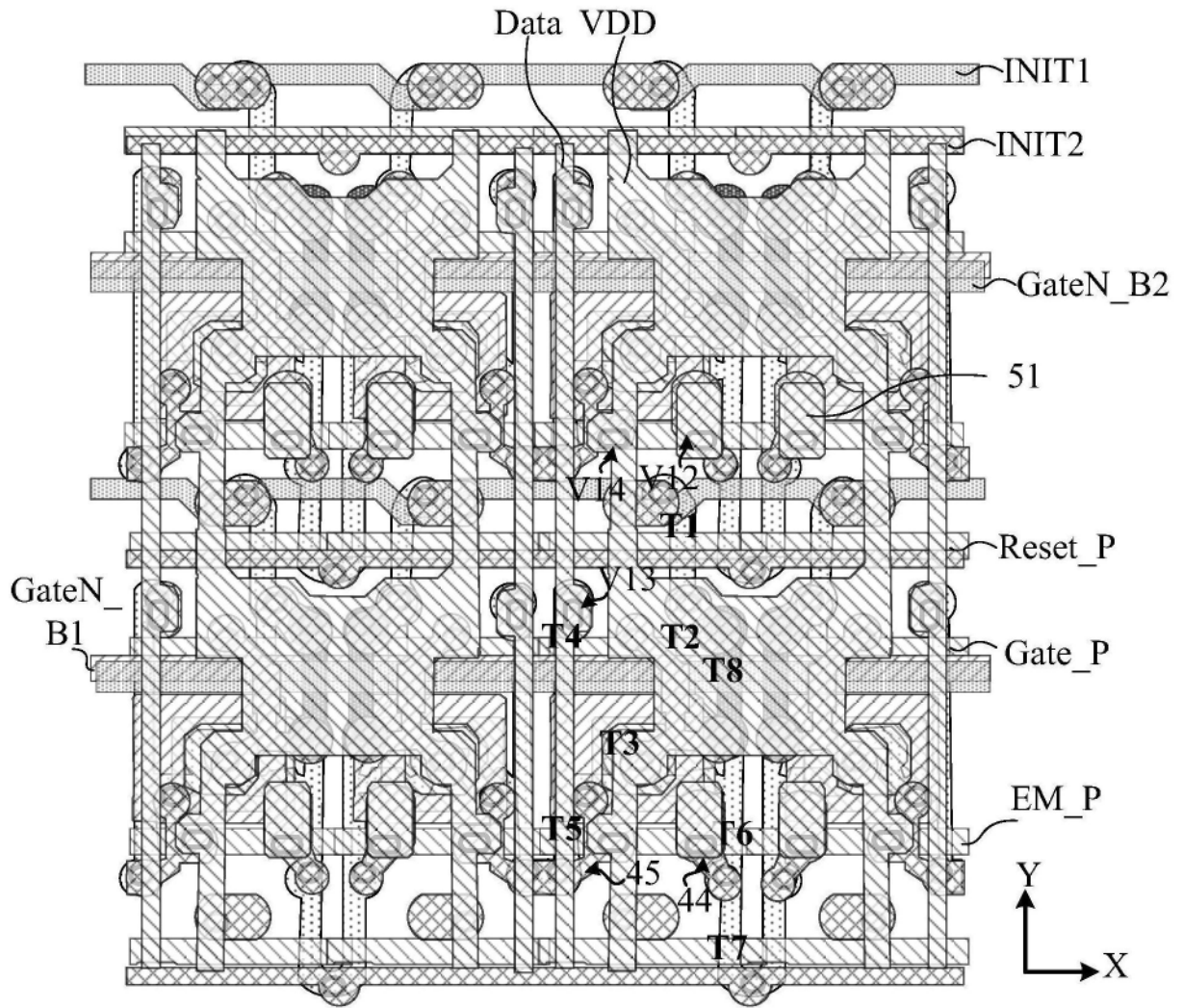


图14

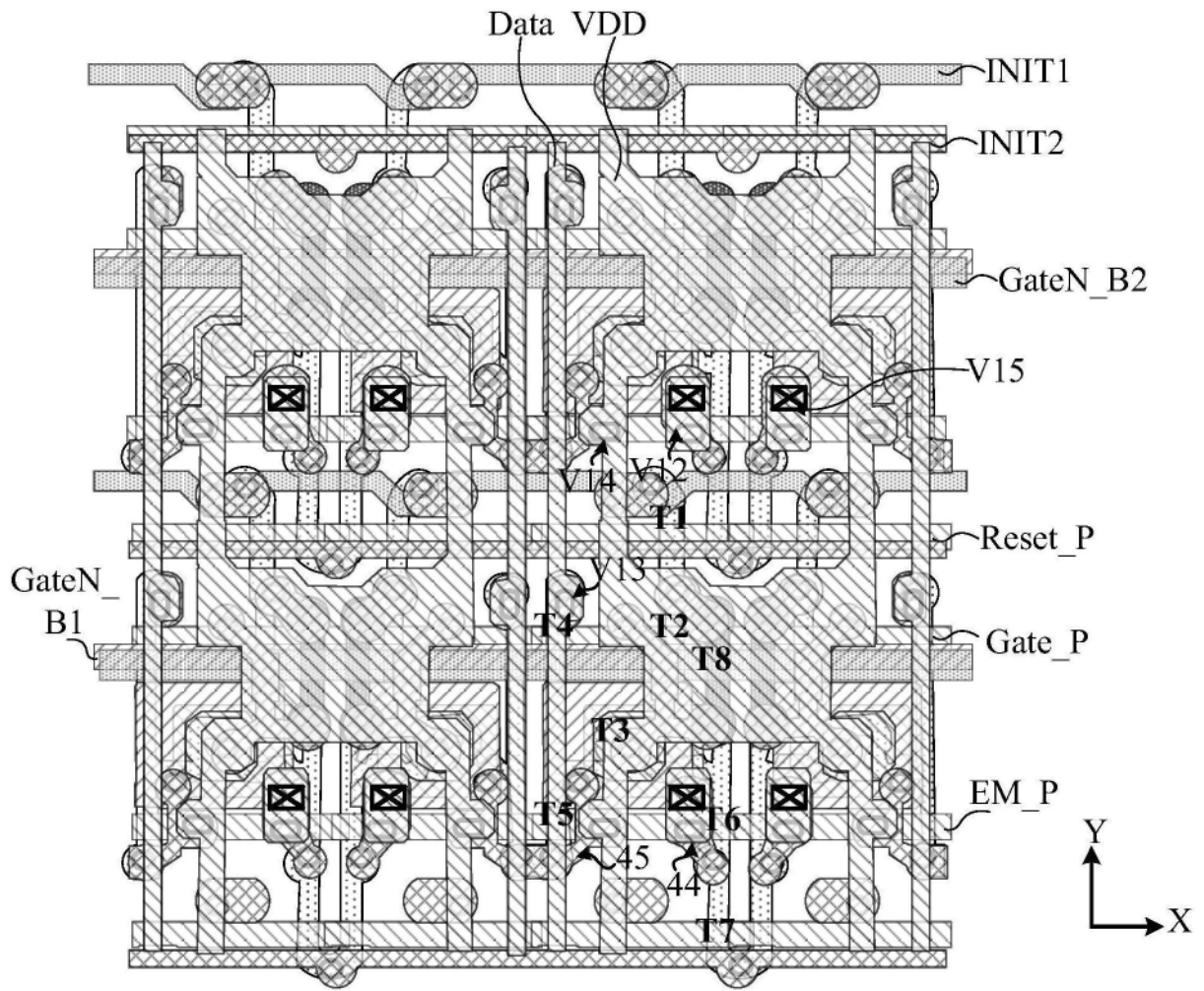


图15